[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H03K 19/018

[12] 发明专利说明书

专利号 ZL 00119235.3

[45] 授权公告日 2005 年 8 月 10 日

[11] 授权公告号 CN 1214530C

[22] 申请日 2000.5.19 [21] 申请号 00119235.3

[30] 优先权

[32] 1999. 5.19 [33] KR [31] 18095/1999

[32] 2000. 2.17 [33] KR [31] 7522/2000

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 林奎南

审查员 朱 骥

[74] 专利代理机构 北京市柳沈律师事务所

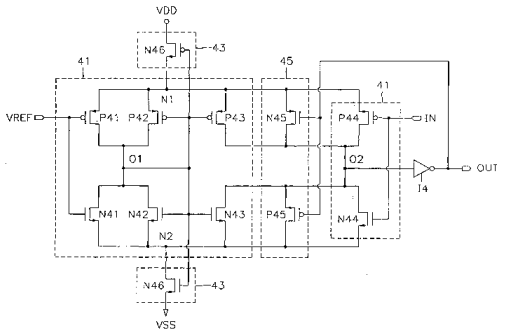
代理人 马 莹

权利要求书 3 页 说明书 11 页 附图 8 页

[54] 发明名称 用于低压接口的高速输入缓冲器电路

[57] 摘要

一种支持低压接口和普通低压晶体管 - 晶体管逻辑(LVTTL)接口并高速工作的输入缓冲器电路。由自偏置差分放大电路产生的自偏置电压不仅用来跟踪在该差分放大电路中的通用模式输入电压还用来控制电流源和/或电流阱的电流而对在该差分放大电路中使用的电流进行控制。 自偏置电压保持基本均匀的电平。 该差分放大电路的总传输增益 gm 基本均匀不随输入的参考电压变化。 改善了低压接口特性。 该输入缓冲器可包括摆幅宽度控制电路。 减小歪斜失真并改善工作速度。



ISSN1008-4274

1. 一种输入缓冲器电路，包括:

一差分放大电路，用来根据在一参考电压和一输入信号之间的一电压差来产生一内部自偏置信号和一输出信号;

一电流控制电路，用来向该差分放大电路提供电流和吸收来自该差分放大电路的电流，该电流控制电路响应于内部自偏置信号以将该内部自偏置信号保持在一均匀电平上; 和

一摆幅宽度控制电路，用来限制该输出信号的电压摆动。

2. 如权利要求 1 所述的输入缓冲器电路，其中该摆幅宽度控制电路包括:

一 NMOS 晶体管，连接在该差分放大电路的输出节点和电流控制电路的第一节点之间，从该输出节点输出所述输出信号，该 NMOS 晶体管响应于从该输出信号所产生的一反相信号; 和

一 PMOS 晶体管，连接在该差分放大电路的输出节点和该电流控制电路的第二节点之间，该 PMOS 晶体管响应于该反相信号。

3. 如权利要求 1 所述的输入缓冲器电路，其中该摆幅宽度控制电路包括:

一 NMOS 晶体管，连接在该差分放大电路的输出节点和电源电压端之间，从该输出节点输出所述输出信号，该 NMOS 晶体管响应于从该输出信号所产生的一反相信号; 和

一 PMOS 晶体管，连接在该差分放大电路的输出节点和地电压端之间，该 PMOS 晶体管响应于该反相信号。

4. 如权利要求 1 所述的输入缓冲器电路，其中该电流控制电路包括:

一电流源，连接在电源电压端和差分放大电路之间，该电流源响应于内部自偏置信号向该差分放大电路提供电流; 和

一电流阱，连接在差分放大电路和地电压端之间，该电流阱响应于内部自偏置信号吸收来自差分放大电路的电流。

5. 如权利要求 4 所述的输入缓冲器电路，其中该电流源是一 PMOS 晶体管。

6. 如权利要求 4 所述的输入缓冲器电路，其中该电流阱是一 NMOS 晶

体管。

7. 如权利要求 1 所述的输入缓冲器电路，其中该差分放大电路包括:

一第一 PMOS 晶体管，连接在电流控制电路的第一节点和内部节点之间，从该内部节点输出内部自偏置信号，第一 PMOS 晶体管由参考电压选通;

一第二 PMOS 晶体管，连接在第一节点和内部节点之间，并且由内部自偏置信号选通;

一第三 PMOS 晶体管，连接在第一节点和输出节点之间，从该输出节点输出所述输出信号，第三 PMOS 晶体管由内部自偏置信号选通;

一第四 PMOS 晶体管，连接在第一节点和输出节点之间，并且由输入信号选通;

一第一 NMOS 晶体管，连接在该电流控制电路的第二节点和该内部节点之间，并且由该参考电压选通;

一第二 NMOS 晶体管，连接在第二节点和内部节点之间，并且由该内部自偏置信号选通;

一第三 NMOS 晶体管，连接在第二节点和输出节点之间，并且由该内部自偏置信号选通; 和

一第四 NMOS 晶体管，连接在第二节点和输出节点之间，并且由该输入信号选通。

8. 如权利要求 1 所述的输入缓冲器电路，其中该差分放大电路包括:

一第一 PMOS 晶体管，连接在该电流控制电路的第一节点和内部节点之间，从该内部节点输出该内部自偏置信号，该第一 PMOS 晶体管由该参考电压选通;

一第二 PMOS 晶体管，连接在一电源电压端和该内部节点之间，并且由该内部自偏置信号选通;

一第三 PMOS 晶体管，连接在该电源电压端和输出节点之间从该输出节点输出所述输出信号，第三 PMOS 晶体管由该内部自偏置信号选通;

一第四 PMOS 晶体管，连接在第一节点和输出节点之间并且由该输入信号选通;

一第一 NMOS 晶体管，连接在该电流控制电路的第二节点和内部节点之间并且由该参考电压选通;

一第二 NMOS 晶体管，连接在一地电压端和内部节点之间，并且由该内部自偏置信号选通；

一第三 NMOS 晶体管，连接在该地电压端和输出节点之间，并且由该内部自偏置信号选通；和

一第四 NMOS 晶体管，连接在该电流控制电路的第二节点和输出节点之间并且由该输入信号选通。

9. 如权利要求 1 所述的输入缓冲器电路，其中该差分放大电路包括：

一第一 PMOS 晶体管，连接在该电流控制电路的第一节点和一内部节点之间，从该内部节点输出该内部自偏置信号，第一 PMOS 晶体管由该参考电压选通；

一第二 PMOS 晶体管，连接在第一节点和内部节点之间并且由所述输出信号选通；

一第三 PMOS 晶体管，连接在第一节点和输出节点之间从该输出节点输出所述输出信号并且由该内部自偏置信号选通；

一第四 PMOS 晶体管，连接在第一节点和输出节点之间，并且由该输入信号选通；

一第一 NMOS 晶体管，连接在该电流控制电路的第二节点和内部节点之间，并且由该参考电压选通；

一第二 NMOS 晶体管，连接在第二节点和内部节点之间，并且由该输出信号选通；

一第三 NMOS 晶体管，连接在第二节点和输出节点之间，并且由该内部自偏置信号选通；和

一第四 NMOS 晶体管，连接在第二节点和输出节点之间，并且由该输入信号选通。

10. 如权利要求 9 所述的输入缓冲器电路，其中该差分放大电路进一步包括：

一第五 PMOS 晶体管，具有一连接到第一节点的源极和共同连接到内部节点的一栅极和一漏极；和

一第五 NMOS 晶体管，具有共同连接到内部节点的一栅极和一漏极和一连接到第二节点的源极。

用于低压接口的高速输入缓冲器电路

技术领域

本发明涉及一种半导体存贮器件，特别是涉及一种输入缓冲器电路。

背景技术

数字系统常常使用晶体管－晶体管逻辑(TTL)半导体器件和互补金属氧化物半导体(CMOS)器件。因此，这种系统需要在TTL半导体器件和CMOS器件之间的接口电路。例如，输入缓冲器(通常称之为TTL至CMOS输入缓冲器或TTL兼容输入缓冲器)通常在CMOS器件中用来将TTL输入电平转换为COMS电平。

当TTL半导体器件和CMOS器件工作在大约3.3伏低电源电压时，在CMOS半导体器件中的输入缓冲器将低压晶体管－晶体管逻辑(LVTTL)输入电平转换为CMOS电平。在一使用3.3伏低电源电压的工作中，0伏的输入低电压(VIL)和2.8伏的输入高电平(VIH)是典型的LVTTL输入电平。在该LVTTL输入电平的最坏情况中，最大VIL大约为0.8伏，最小VIH大约为2.0伏。通常，该CMOS器件的输入缓冲器不仅LVTTL电平而且还有小摆幅晶体管逻辑(SSTL)电平需要转换为CMOS电平。

随着诸如便携式电话之类的便携式信息装置的最新发展，在这种装置中低电压和低功耗是很重要的，这就要求可支持其中VIL为0伏和VIH为1.8伏的低压接口以及其中VIL为0伏和VIH为2.8伏的普通LVTTL接口的输入缓冲器。图1中所示的常规N型差分放大型输入缓冲器和图2中所示的常规P型差分放大型输入缓冲器不能同时支持1.8伏的低压接口和2.8伏的LVTTL接口。因此，为了同时支持该低压接口和该LVTTL以及SSTL接口，引入了自偏置差分放大型输入缓冲器。典型的自偏置差分放大型输入缓冲器由M.Bazes的[Two Novel Fully Complementy Self-Biased CMOS Differential Amplifiers(两种全新互补自偏置CMOS差分放大器)，IEEE Journal of Solid-State Circuits，Vol.26, PP.165-169，February 1991]说明。另外，

图 3 所示的改进的自偏置差分放大型输入缓冲器由 Yasuhiro Takai 和 Mamoru Fujita 的[A 250 Mbps/pin,1Gb Double Data Rate SDRAM with a Bidirectional Delay and an Inter-bank shared Redundancy Scheme(具有一双向延迟和一共享冗余电路中间存贮体的一 250Mbps/Pin、1Gb 双倍数据速度 SDRAM)，ISSCC Digesf of Technical Papers, February 1999]中说明。

在图 3 所示的自偏置差分放大型输入缓冲器中，当一参考电压 VREF 降低时跨导增益 gm 轻微地减小。因此，低电压特性变坏，并且该输入缓冲器的工作速度降低。

发明内容

为了解决上述问题，本发明的一实施例提供了一种支持低压接口和低压晶体管－晶体管逻辑(LVTTL)接口并且工作在高速的输入缓冲电路。

本发明的一特定实施例是包括有一差分放大电路、一电流控制电路和一摆幅宽度控制电路的输入缓冲器电路。根据参考电压和输入信号之间的一电压差，该差分放大电路产生一内部自偏置信号和一输出信号。该电流控制电路响应于内部自偏置信号，向该差分放大电路提供电流，并且吸收来自该差分放大电路的电流而将该内部偏置信号保持在基本均匀的电平。该摆幅宽度控制电路响应于从该输出信号所产生的一被反相的信号并且防止该输出信号的电压摆动变得过大。该摆幅宽度控制电路最好包括一 NMOS 晶体管和一 PMOS 晶体管。该 NMOS 晶体管是在输出信号在此被输出的放大电路的一输出节点和电流控制电路的一第一节点之间。该 NMOS 晶体管响应于该被反相的信号。该 PMOS 晶体管是在差分放大电路的输出节点和电流控制电路的第二节点之间。该 PMOS 晶体管也响应于该被反相的信号。

该电流控制电路最好包括一电流源和/或一电流阱。该电流源是在一电源端和差分放大电路之间并且响应于该内部自偏置信号向该差分放大电路提供电流。该电流阱是在差分放大电路和一地电压端之间并且响应于该内部自偏置信号使来自该差分放大电路的电流沉陷。最好是，该电流源是一 PMOS 晶体管，和该电流阱是一 NMOS 晶体管。

根据一典型实施例，该差分放大电路包括有一包含第一至第四 PMOS 晶体管和第一至第四 NMOS 晶体管的自偏置差分放大器。第一 PMOS 晶体

管是在该电流控制电路的第一节点和在此该内部自偏置信号被输出的一内部节点之间并且由参考电压选通。第二 PMOS 晶体管是在第一节点和内部节点之间并且由内部自偏置信号选通。第三 PMOS 晶体管是在第一节点和在此该输出信号被输出的一输出节点之间并且由内部自偏置信号选通。第四 PMOS 晶体管是在第一节点和输出节点之间并且由该输入信号选通。第一 NMOS 晶体管是在电流控制电路的第二节点和内部节点之间并且由该参考电压选通。第二 NMOS 晶体管是在第二节点和内部节点之间并且由该内部偏置信号选通。第三 NMOS 是在第二节点和输出节点之间并且由该内部偏置信号选通。第四 NMOS 是在第二节点和输出节点之间并且由该输入信号选通。

根据另一实施例，该差分放大电路包括有一自偏置锁存器型差分放大器，它包括有一锁存器形式的正反馈环路。更详细地说，该自偏置锁存器型差分放大器包括第一至第五 PMOS 晶体管和第一至第五 NMOS 晶体管。第一 PMOS 晶体管是在电流控制电路的第一节点和在此该内部偏置信号被输出的一内部节点之间并且由该参考电压选通。第二 PMOS 晶体管是在第一节点和内部节点之间并且由该输出信号选通。第三 PMOS 晶体管是由该内部自偏置信号选通并且是在第一节点和在此该输出信号被输出的一输出节点之间。第四 PMOS 晶体管是在第一节点和输出节点之间并且由该输入信号选通。第五 PMOS 晶体管具有连接到第一节点的源极和栅极和通常连接到内部节点的漏极。第一 NMOS 晶体管是在电流控制电路的第二节点和内部节点之间并且由该参考电压选通。第二 NMOS 晶体管是在第二节点和内部节点之间并且由该输出信号选通。第三 NMOS 晶体管是在第二节点和输出节点之间并且由该内部自偏置信号选通。第四 NMOS 晶体管是在第二节点和输出节点之间并且由该输入信号选通。第五 NMOS 晶体管具有一栅极和一通常连接到内部节点的漏极和连接到第二节点的源极。

附图说明

通过下面参照附图对本发明的典型实施例的详细说明将对本发明的上述方面和优点更为清晰。

图 1 是一常规 N 差分放大型输入缓冲器的电路图；

图 2 是一常规 P 差分放大型输入缓冲器的电路图；

图 3 是一常规自偏置放大型输入缓冲器的电路图;

图 4 是一根据本发明第一实施例的一输入缓冲器电路的电路图;

图 5 是一根据本发明第二实施例的一输入缓冲器电路的电路图;

图 6 是一根据本发明第三实施例的一输入缓冲器电路的电路图;

图 7A 示出了当该地电压 VSS 为 0 伏时平均传输延迟时间 tPD 相对参考电压 VREF 变化的关系的模拟结果;

图 7B 示出了当该地电压 VSS 为 0.3 伏时平均传输延迟时间 tPD 相对参考电压 VREF 变化的关系的模拟结果;

图 8A 示出了当该地电压 VSS 为 0 伏时歪斜失真(skew)相对参考电压 VREF 变化的关系的模拟结果;

图 8B 示出了当该地电压 VSS 为 0.3 伏时歪斜失真相对参考电压 VREF 变化的关系的模拟结果;

图 9 示出了平均电流 Iavg 相对参考电压 VREF 变化的关系的模拟结果。

具体实施方式

下面将参照在其中示出了本发明典型实施例的附图对本发明作更为全面的说明。相同的附图标号在不同附图中表示相同或相似的部件。

图 4 示出了根据本发明第一实施例的一输入缓冲器电路。该输入缓冲器电路包括一差分放大电路 41、一电流控制电路 43 和一摆幅宽度控制电路 45。在其中一轨迹(rail)至轨迹通用模式被改进的该输入缓冲器电路具有一自偏置方案。

其为一自偏置差分放大电路的该差分放大电路 41 被连接在第一节点 N1 和第二节点 N2 之间。根据在参考电压 VREF 和输入信号 IN 之间的一电压差，该差分放大电路 41 在一内部节点 O1 处提供了一内部偏置信号并向一输出节点 O2 提供输出信号。

差分放大电路 41 具有一在其中混合有 P 型差分放大器和 N 型差分放大器的形式。差分放大电路 41 包括有第一至第四 PMOS 晶体管 P41、P42、P43 和 P44 以及第一至第四 NMOS 晶体管 N41、N42、N43 和 N44。第一 PMOS 晶体管 P41 是在第一节点 N1 和内部节点 O1 之间并且由该参考电压 VREF 选通。第二 PMOS 晶体管 P42 是在第一节点 N1 和内部节点 O1 之间

与第一 PMOS 晶体管 P41 相并接并且由来自内部节点 O1 的信号，即由该自偏置信号选通。第三 PMOS 晶体管 P43 是在第一节点 N1 和输出节点 O2 之间并且由来自内部节点 O1 的自偏置信号选通。第四 PMOS 晶体管 P44 与在第一节点 N1 和输出节点 O2 之间的第三 PMOS 晶体管 P43 并接并且由该输入信号 IN 选通。

第一 NMOS 晶体管 N41 是在第二节点 N2 和内部节点 O1 之间并且由该参考电压 VREF 选通。第二 NMOS 晶体管 N42 与在第二节点 N2 和内部节点 O1 之间的第一 NMOS 晶体管 N41 并接并且由该自偏置信号选通。第三 NMOS 晶体管 N43 是在第二节点 N2 和输出节点 O2 之间并且由该自偏置信号选通。第四 NMOS 晶体管 N44 与在第二节点 N2 和输出节点 O2 之间的第三 NMOS 晶体管 N43 并接并且由该输入信号 IN 选通。

电流控制电路 43 向差分放大电路 41 提供电流并且响应于该自偏置信号

吸收来自差分放大电路41的电流，因而将来自内部节点O1的自偏置信号保持在一基本均匀的电压电平上。该电流控制电路43包括有一其为PMOS晶体管P46的电流源和一其为NMOS晶体管N46的电流阱。在电源电压端VDD和第一节点N1之间的PMOS晶体管晶体管P46响应于提供给其栅极的该自偏置信号并向差分放大器电路41提供电流。在第二节点N2和地电压端VSS之间的NMOS晶体管N46响应于加在其栅极的自偏置信号和吸收来自差分放大电路41的电流。

如上所述，在根据图4实施例的该输入缓冲器电路中，来自内部节点O1的自偏置信号用来跟踪来自差分放大电路41的一通用模式输入电压和控制通过电流源P46和电流阱N46的电流。因此，来自内部节点O1的自偏置信号的电压电平基本上保持均匀。因而，在根据图4实施例的输入缓冲器电路中，由于该自偏置信号的电压电平基本上保持均匀，所以差分放大电路41的总的传输增益gm基本保持均匀而不随参考电压VREF变化。其结果，改善了低压接口特性。

该摆幅宽度控制电路45防止了差分放大电路41的输出信号的电压摆动变得过大。由反相器14自差分放大电路41的输出节点O2输出的信号所产生的输出信号OUT控制该摆幅宽度控制电路45。

该摆幅宽度控制电路45包括一NMOS晶体管N45和一PMOS晶体管P45。NMOS晶体管N45是在第一节点N1和输出节点O2之间并且响应于反相器14的输出信号OUT。PMOS晶体管P45是在输出节点O2和第二节点N2之间并且也响应于反相器14的输出信号OUT。另外，NMOS晶体管N45可直接连接在电源电压端VDD和输出节点O2之间，和PMOS晶体管P45可直接连接在输出节点O2和地电压端VSS之间。当在节点O2上的电压为低时，输出信号OUT为高，并且NMOS晶体管N45上拉在节点O2的电压以防止输出节点O2的电压过份下降。类似地，PMOS晶体管P45防止输出节点O2的电压电平过份增高。即，NMOS晶体管N45和PMOS晶体管P45防止了来自输出节点O2的信号的电压摆幅变得过大。因此，在根据图4实施例的输入缓冲电路中，因为该摆幅宽度控制电路45防止了来自输出节点O2的信号的过大摆动，所以降低了歪斜失真，并且提高了该输入缓冲器的工作速度。

图5是根据本发明的第二实施例的一输入缓冲器的电路图。图5的输入

缓冲器与图4的输入缓冲器的不同之处在于图5中的差分放大电路41A的连接不同于图4中的差分放大电路41的连接。

在该差分放大电路41A中，由来自内部节点O1的自偏置信号所选通的PMOS晶体管P42A和P43具有直接连接到电源电压端VDD的源极。另外，由该自偏置信号所选通的NMOS晶体管N42A和N43A具有直接连接到地电压端VSS的源极。因此，更多的电流流经PMOS晶体管P42A和P43A以及NMOS晶体管N42A和N43A，从而提高了图5的输入缓冲器的工作速度。

图6是根据本发明的第三实施例的一输入缓冲器电路的电路图。图6的输入缓冲器电路与图4的输入缓冲器电路的不同之处在于图6的差分放大电路41B的构成不同于图4的差分放大器电路41的构成。该差分放大电路41B是一自偏置锁存器型差分放大电路并且包括锁存器形式的正反馈环路。差分放大电路41B被连接在第一节点N1和第二节点N2之间。根据参考电压VREF和输入信号IN之间的电压差，该差分放大电路41B在节点O1处提供自偏置信号和在输出节点O2处提供输出信号。

该差分放大电路41B混合了一P型锁存差分放大器和一N型锁存差分放大器的状况。差分放大电路41B包括第一至第四PMOS晶体管P41、P42B、P43B和P44以及第一至第四NMOS晶体管N41、N42B、N43B和N44。第一和第四PMOS晶体管P41和P44以及第一和第四NMOS晶体管N41和N44各自的连接与图4中的第一和第四PMOS晶体管P41和P44以及第一和第四NMOS晶体管N41和N44的各自的连接是相同的。第二PMOS晶体管P42B是在第一节点N1和内部节点O1之间并且由自输出节点O2输出的信号选通。第三PMOS晶体管P43B是在第一节点N1和输出节点O2之间并且由自内部节点O1输出的自偏置信号选通。第二NMOS晶体管N42B是在第二节点N2和内部节点O1之间并且由自输出节点O2输出的信号选通。第三NMOS晶体管N43B是在第二节点N2和输出节点O2之间并且由该自偏置信号选通。因此，在差分放大电路41B中，第二和第三PMOS晶体管P42B和P43B以及第二和第三晶体管N42B和N43B构成锁存器形式的正反馈环路。

该差分放大电路41B进一步包括被连接成一二极管的第五PMOS晶体管P47，和被连接成一二极管的第五NMOS晶体管N47。因为另外的一偏置点可由正反馈环路增益锁存，所以二极管连接的晶体管P47和N47降低了

环路增益。第五 PMOS 晶体管 P47 具有一被连接到第一节点 N1 的源极并且栅极和漏极共同连接到内部节点 O1 。第五 NMOS 晶体管 N47 具有被共同连接到内部节点 O1 的栅极和漏极并且被连接到第二节点 N2 的源极。当内部节点 O1 的电压小于或等于一预置电压时第五 PMOS 晶体管 P47 被导通并且向内部接点 O1 提供电流并且因此防止了内部节点 O1 的电压过份减小。更详细地说，当在第五 PMOS 晶体管 P47 的栅极和源极之间的电压 Vgs 变得高于第五 PMOS 晶体管 P47 的阈值电压 Vtp 时，第五 PMOS 晶体管 P47 导通并且向内部节点 O1 提供电流。类似地，当内部节点 O1 的电压大于或等于预定电压时该第五 NMOS 晶体管 N47 导通并吸收来自内部节点 O1 的电流，因而防止了内部节点 O1 的电压过份增大。更详细地说，当第五 NMOS 晶体管 N47 的栅极－源极电压 Vgs 高于第五 NMOS 晶体管 N47 的阈值电压 Vtn 时，第五 NMOS 晶体管 N47 导通并且吸收内部节点 O1 的电流。因此，第五 PMOS 晶体管 P47 和第五 NMOS 晶体管 N47 执行自偏置并且稳定地控制环路增益。

下面将更详细地说明图 6 的该输入缓冲器电路的工作。当参考电压 VREF 大于或等于一预定电压时，差分放大电路 41B 的 P 锁存器型差分放大器和 N 锁存器型差分放大器工作。因此，该差分放大电路 41B 的总的传输增益 gm 变为 2gmo，这里 gmo 是 P 或 N 锁存器型差分放大器的单独的传输增益。当该参考电压 VREF 为低时，即低于大约 0.9 伏时，仅仅该差分放大电路 41B 的 P 锁存器型差分放大器工作。因此，差分放大电路 41B 的总的传输增益 gm 是一 P 型源极耦合对的增益和一正反馈 NMOS 环路的增益之和。当该正反馈 NMOS 环路的增益被激活时，差分放大电路 41B 的总的传输增益 gm 是 2gmo 。因此，在该差分放大电路 41B 中，总的传输增益 gm 可保持为基本均匀而不随参考电压 VREF 变化。

如同在图 4 所示的第一实施例那样，来自内部节点 O1 的自偏置信号不仅用于差分放大电路 41B 还用于控制电流源 P46 和电流阱 P46 的电流。因此，来自内部节点 O1 的自偏置信号的电压电平基本保持均匀。

因而，在图 6 的该输入缓冲电路中，因为该自偏置信号的电压电平基本保持均匀，所以差分放大电路 41B 的总的传输增益 gm 基本均匀而不随参考电压 VREF 变化。其结果，改善了低压接口特性。

图 6 的输入缓冲电路还包括防止自输出节点 O2 输出的信号的电压摆幅

变得过份大的摆幅宽度控制电路 45 。从而降低了歪斜失真而改善了该输入缓冲器的工作速度。通常，第一至第三实施例的摆幅控制电路 45 可连接到普通差分放大电路的输出节点，而不是所述的自偏置差分放大电路。即使带有一普通差分放大电路，该摆幅控制电路 45 也可降低歪斜失真以增大输入缓冲器的工作速度。

图 7A 至 9 示出了图 1 至 3 中所示的常规输入缓冲器的低压接口特性的模拟结果和图 4 所示的根据本发明实施例的输入缓冲器的低压接口特性的模拟结果。在该模拟条件下，电源电压 VDD 为 2.8 伏，温度为 100 ℃和输入信号 IN 为 VREF = ± 0.35 伏。另外，观察时免除了地噪声的因素，相对于 0 伏和 0.3 伏的地电压执行模拟。图 7A 示出了当地电压为 0 伏时平均传输延迟时间 tPD 随参考电压 VREF 变化关系的模拟结果。在图 7A 中， A1 表示图 2 所示的 P 差分放大型输入缓冲器的平均传输延迟时间。 A2 表示图 1 所示 N 差分放大型输入缓冲器的平均传输延迟时间。 A3 表示图 3 所示的自偏置差分放大型输入缓冲器的平均传输延迟时间。 A4 表示图 4 所示根据本发明实施例的输入缓冲器的平均传输延迟时间。

图 7B 示出了当地电压 VSS 为 0.3 伏时平均传输延迟时间 tPD 随参考电压 VREF 变化关系的模拟结果。这里， B1 表示图 2 所示 P 差分放大型输入缓冲器的平均传输延迟时间。 B2 表示图 1 所示的 N 差分放大型输入缓冲器的平均传输延迟时间。 B3 表示图 3 所示自偏置差分放大型输入缓冲器的平均传输延迟时间。 B4 表示图 4 所示的根据本发明的输入缓冲器的平均传输延迟时间。

参见图 7B ，当该地电压 VSS 为 0.3 伏时，当参考电压 VREF 小于 1.0 伏时 N 差分放大型输入缓冲器的平均传输延迟时间 B2 迅速增大，而当参考电压 VSS 小于 0.7 伏时 P 差分放大型输入缓冲器的平均传输延迟时间 B1 迅速增大。另外，当参考电压 VREF 小于 0.7 伏时图 3 所示自偏置差分放大型输入缓冲器的平均延迟时间 B3 迅速增大。即，考虑该平均传输延迟时间，图 1 所示的 N 差分放大型输入缓冲器、图 2 所示的 P 差分放大型输入缓冲器和图 3 所示的自偏置差分放大型输入缓冲器有对地噪声的缺点并且不适于该低压接口。当地电压 VSS 为 0.3 伏时图 4 所示的根据本发明的该输入缓冲器的平均传输延迟时间 B4 是基本均匀的不随参考电压 VREF 变化。即，考虑该平均传输延迟时间，图 4 所示的根据本发明的输入缓冲器对地噪声的缺点

减小并且适于低压接口。

参见图 7A 和 7B，图 4 所示的根据本发明的输入缓冲器的平均传输延迟时间 A4 和 B4 类似于图 3 所示的自偏置差分放大型输入缓冲器的平均传输延迟时间 A3 和 B3 。

图 8A 示出了当该地电压 VSS 为 0 伏时，歪斜失真随参考电压 VREF 变化关系的模拟结果。这里，C1 表示图 2 所示的 P 型差分放大输入缓冲器的歪斜失真。C2 表示图 1 所示的 N 型差分放大输入缓冲器的歪斜失真。C3 表示图 3 所示的自偏置差分放大型输入缓冲器的歪斜失真。C4 表示图 4 所示的根据本发明实施例的输入缓冲器的歪斜失真。

图 8B 示出了当地电压 VSS 为 0.3V 时歪斜失真随参考电压 VREF 变化关系的模拟结果。这里，D1 表示图 2 所示的 P 型差分放大输入缓冲器的歪斜失真。D2 表示图 1 所示的 N 型差分放大输入缓冲器的歪斜失真。D3 表示图 3 所示的自偏置差分放大型输入缓冲器的歪斜失真。D4 表示图 4 所示的根据本发明实施例的输入缓冲器的歪斜失真。参见图 8A 和 8B，图 2 所示的 P 型差分放大型输入缓冲器的歪斜失真 C1 及 D1 和图 1 所示的 N 型差分放大输入缓冲器的歪斜失真 C2 及 D2 要比图 3 所示的自偏置差分放大型输入缓冲器的歪斜失真的 C3 及 D3 和图 4 所示的根据本发明实施例的歪斜失真 C4 及 D4 大得多。参见图 8B，当该地电压 VSS 为 0.3 伏时，当参考电压 VREF 小于 0.9 伏时 P 型差分放大型输入缓冲器的歪斜失真 D1 迅速增加，和当参考电压 VREF 小于 0.8 伏时 N 型差分放大型输入缓冲器的歪斜失真 D2 迅速增加。另外，当参考电压 VREF 小于约 0.9 伏时图 3 所示的自偏置差分放大型输入缓冲器的歪斜失真 D3 迅速增加。即，考虑该歪斜失真，图 1 所示的 N 差分放大型输入缓冲器、图 2 所示的 P 差分放大型输入缓冲器和图 3 所示的自偏置差分放大型输入缓冲器有随地电压变化的缺点并且不适于低压接口。

图 4 所示的根据本发明的输入缓冲器的歪斜失真 C4 和 D4 基本上是均匀的不随参考电压 VREF 变化。即，考虑该歪斜失真，图 4 所示的根据本发明的输入缓冲器减小了随地电压变化的缺点并且适于低压接口。图 4 所示根据本发明的输入缓冲器的歪斜失真 C4 和 D4 也比图 1 至图 3 所示的常规输入缓冲器的歪斜失真要小得多。

图 9 示出了平均电流 Iavg 随参考电压 VREF 变化关系的模拟结果。在

图9中，E1表示图2所示的P型差分放大输入缓冲器的平均电流Iavg。E2表示图1所示的N型差分放大型输入缓冲器的平均电流。E3表示图3所示的自偏置差分放大型输入缓冲器的平均电流。E4表示图4所示的根据本发明实施例的输入缓冲器的平均电流。参见图9，图3所示的自偏置放大型输入缓冲器消耗的电流量最大。

总之，考虑该平均传输延迟时间和歪斜失真，图4所示的根据本发明实施例的输入缓冲器减小了随地电压变化的缺点并适于低压接口。图4所示的输入缓冲器的平均传输延迟时间和歪斜失真要小于图1至3所示的常规输入缓冲器的平均传输延迟时间和歪斜失真。即，根据本发明的输入缓冲器的工作速度要高于图1至3所示的常规输入缓冲器的工作速度。

如上所述，根据本发明的输入缓冲器可以支持低压接口和普通的LVTTL接口并且可工作在高速。

通过附图和说明书描述和披露了本发明的典型实施例，这只作为示例性例子说明而已并不对本发明起限制作用。另外，在这里所使用的特定术语只作为一般的和描述意义使用而无限制的用途，本发明的范围在下面的权利要求中陈述。因此，在不违反由权利要求所规定的本发明的精神和范围的前提下，可对示例性权利要求的形式和细节作各种变化。

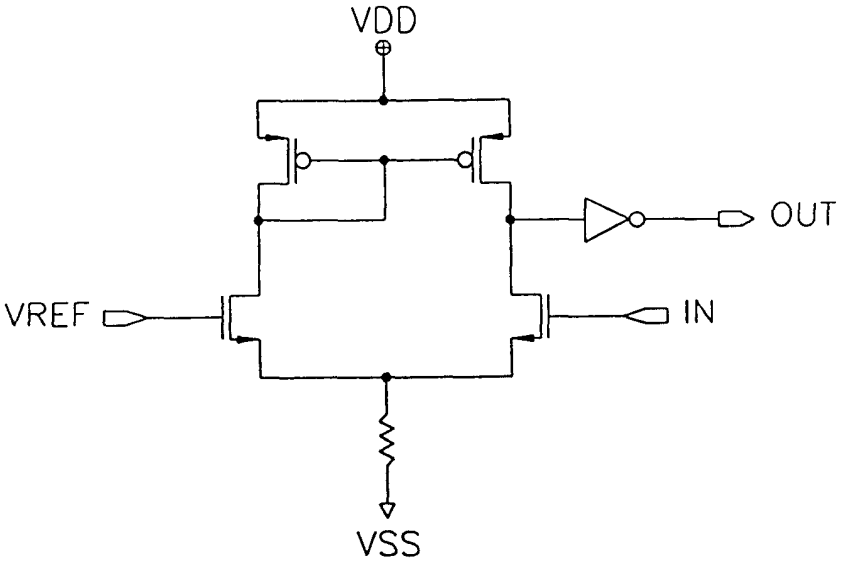


图 1

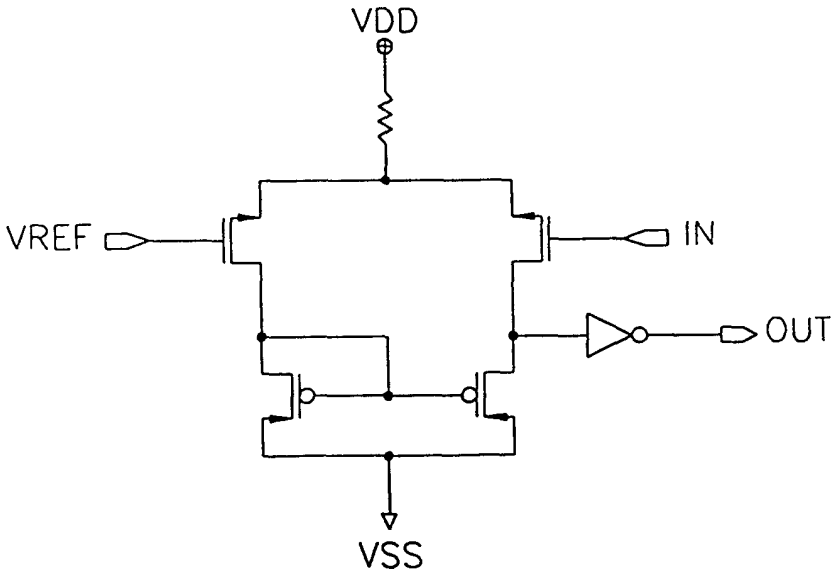


图 2

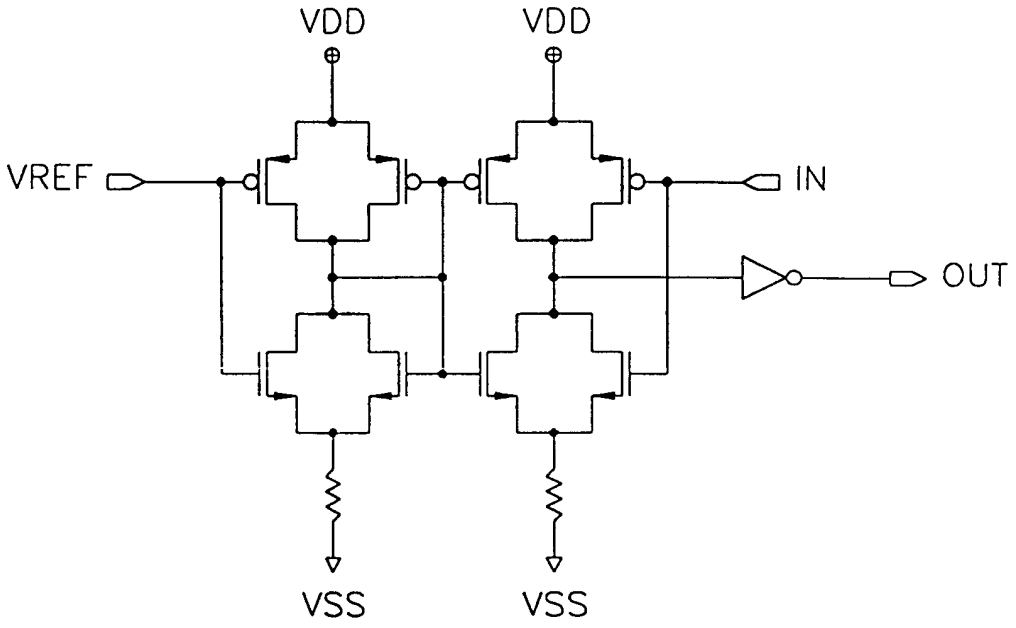


图 3

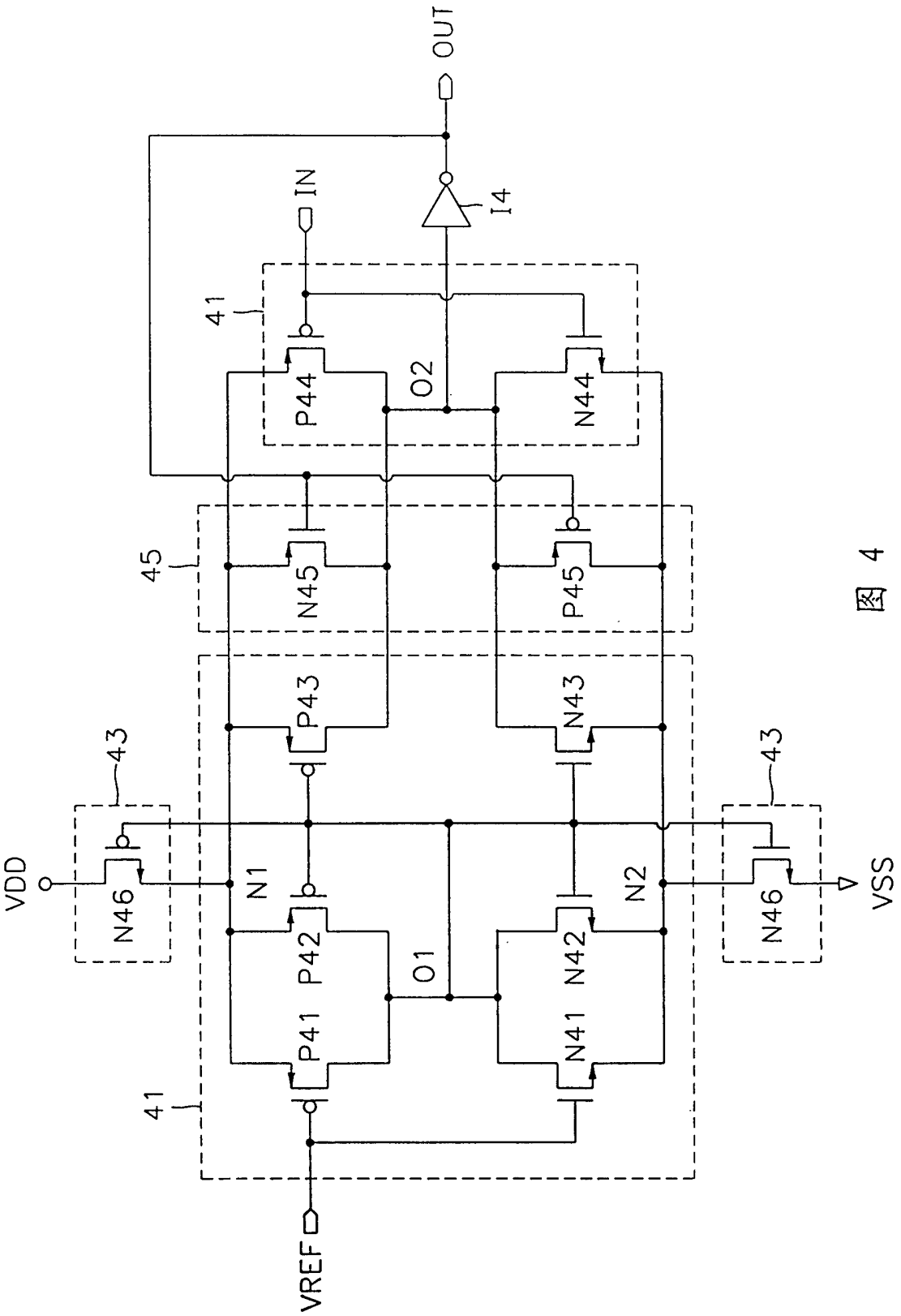

OUT
IN
I4
41
P44
O2
N44
45
N45
P45
P43
N43
43
43
VDD
N46
N1
N2
N46
VSS
P42
O1
N42
P41
N41
41
VREF

图 4

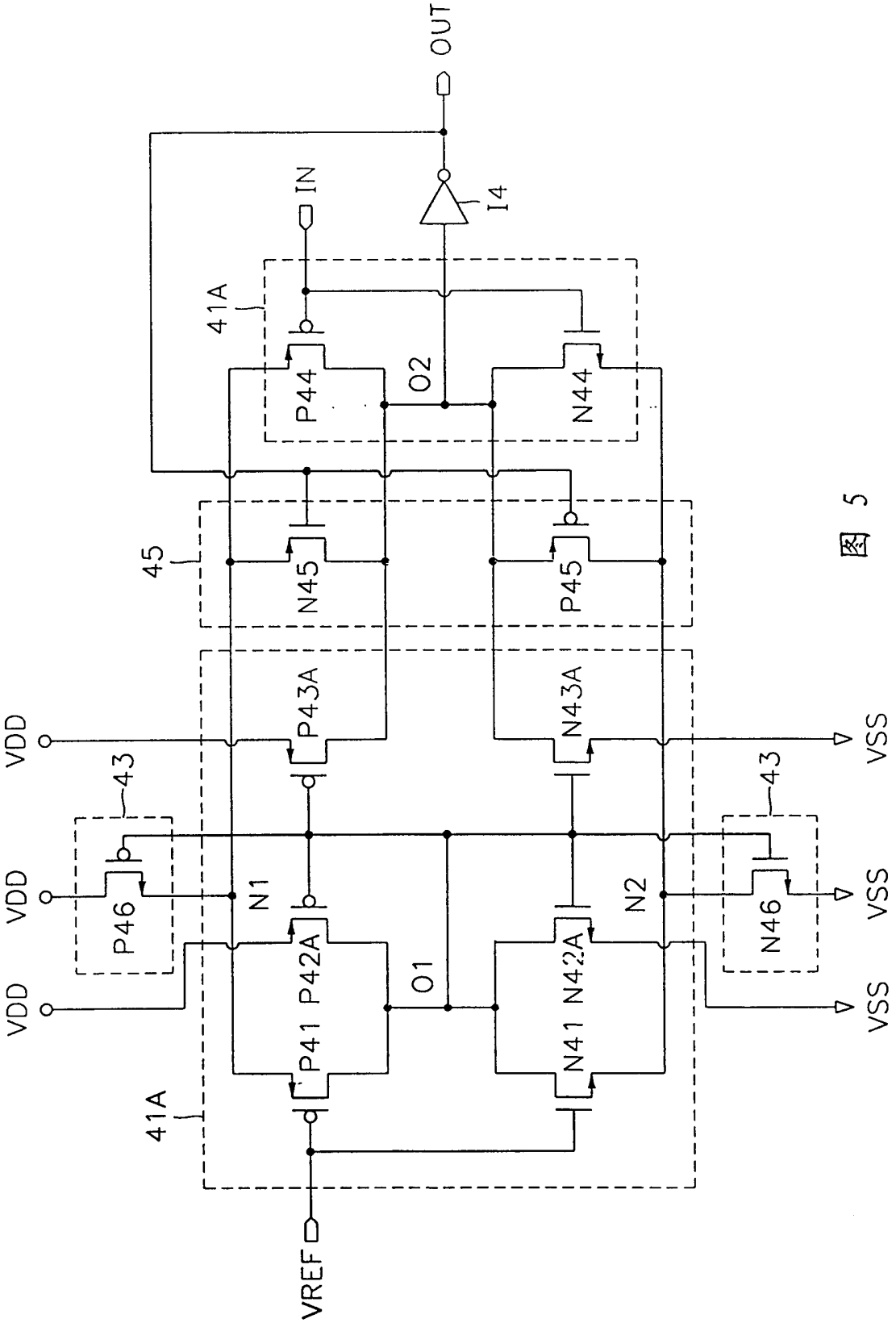

OUT
IN
I4
41A
P44
O2
N44
45
N45
P45
P43A
N43A
VDD
VSS
43
P46
N46
N1
N2
P42A
N42A
O1
P41
N41
VREF

图 5

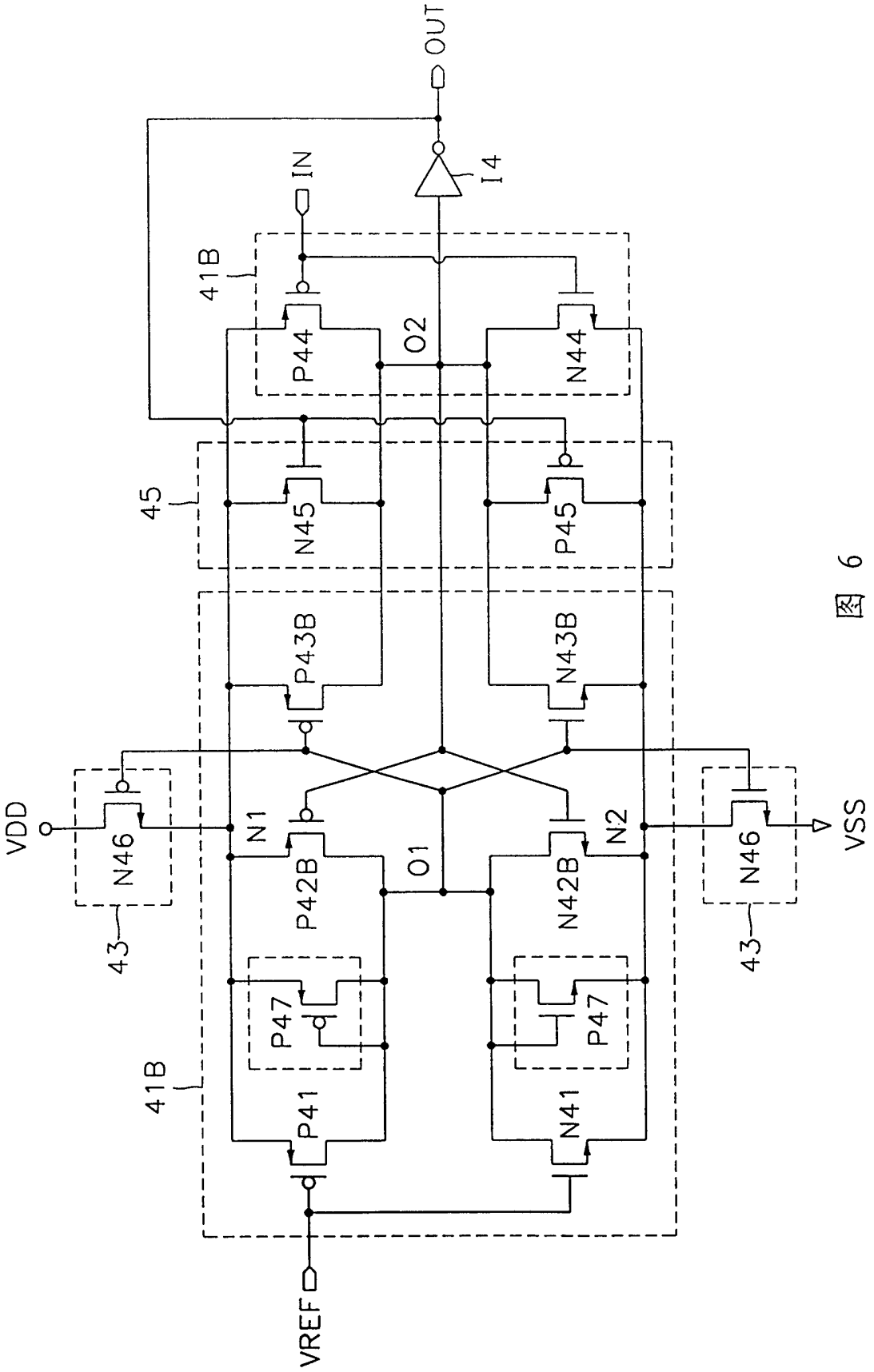

OUT
IN
I4
41B
P44
O2
N44
45
N45
P45
P43B
N43B
VDD
N46
N1
P42B
O1
N42B
N2
N46
VSS
43
43
P47
P47
41B
P41
N41
VREF

图 6

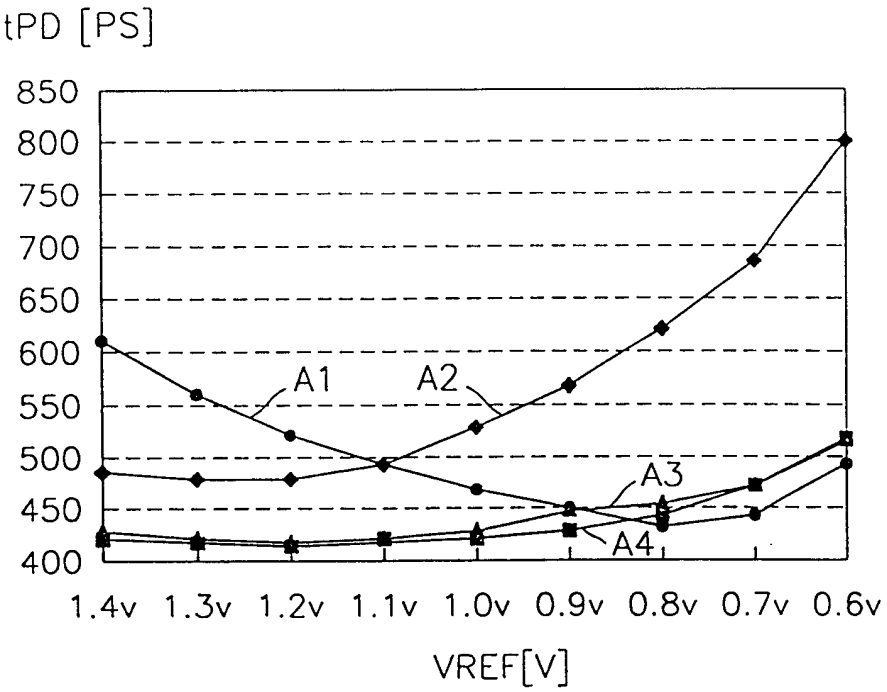

tPD [PS]
850
800
750
700
650
600
550
500
450
400
A1
A2
A3
A4
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

图 7A

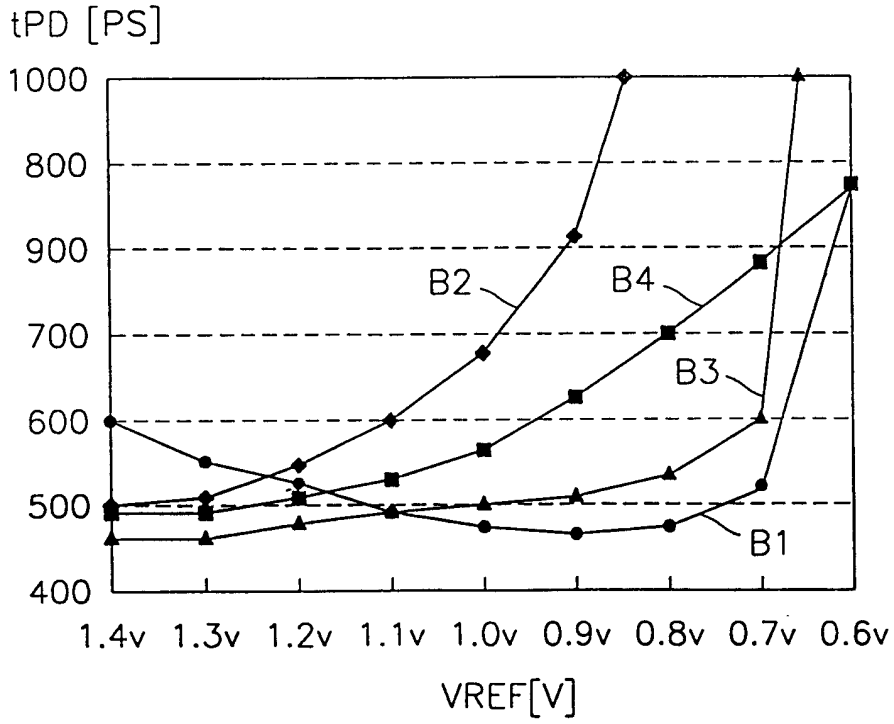

tPD [PS]
1000
800
900
700
600
500
400
B2
B4
B3
B1
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

图 7B

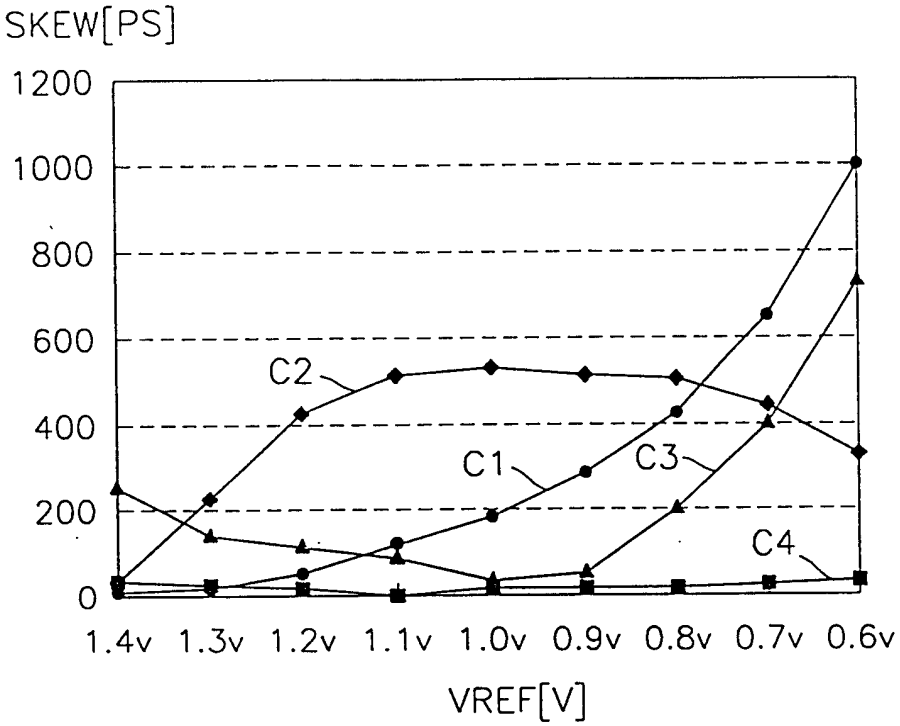

SKEW[PS]
1200
1000
800
600
400
200
0
C2
C1
C3
C4
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

图 8A

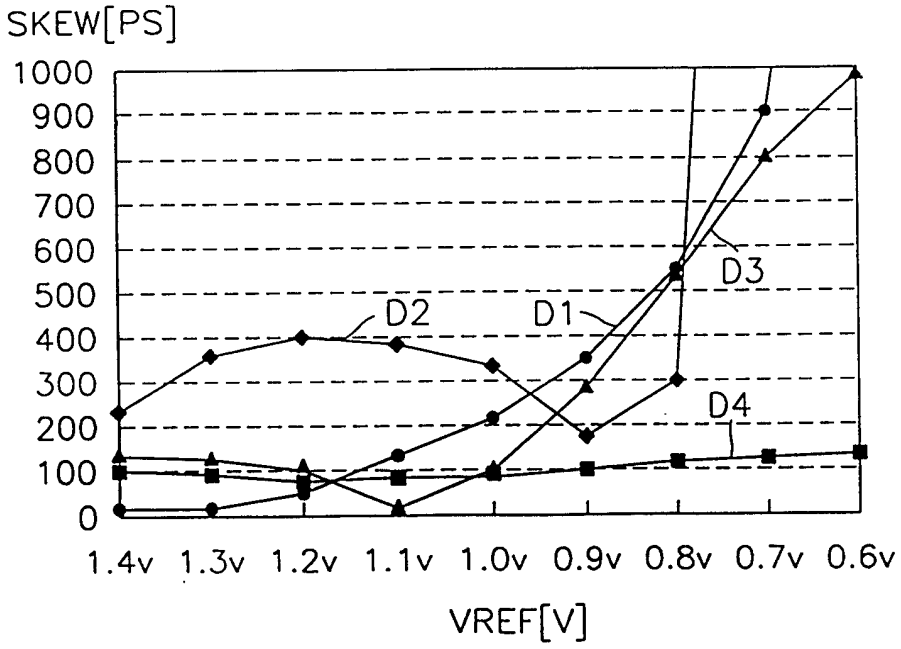

SKEW[PS]
1000
900
800
700
600
500
400
300
200
100
0
D2
D1
D3
D4
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

图 8B

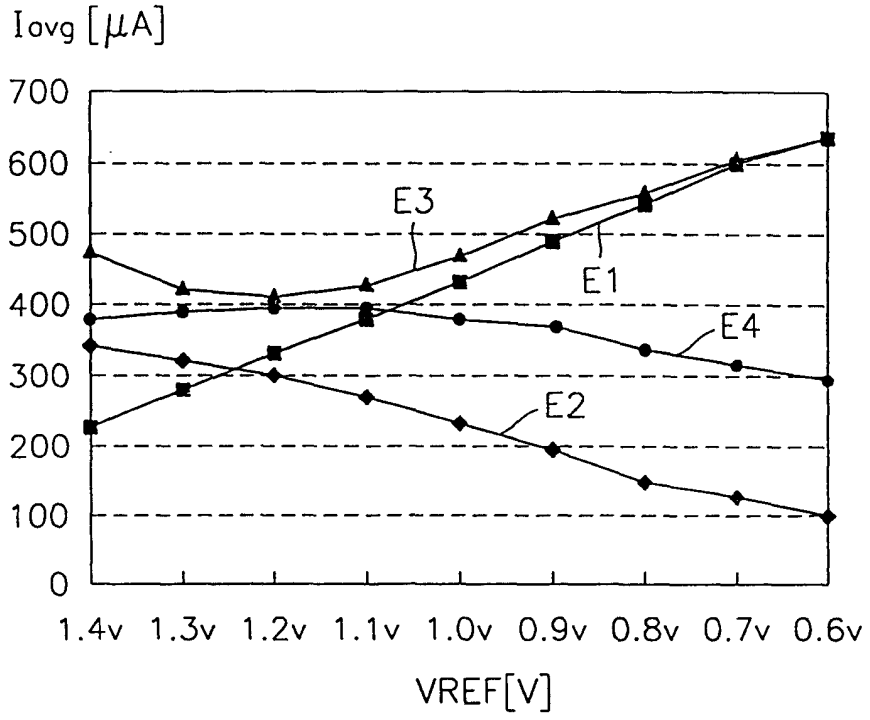

Iavg [μA]
700
600
500
400
300
200
100
0
E3
E1
E4
E2
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

图 9