

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年2月14日 (14.02.2008)

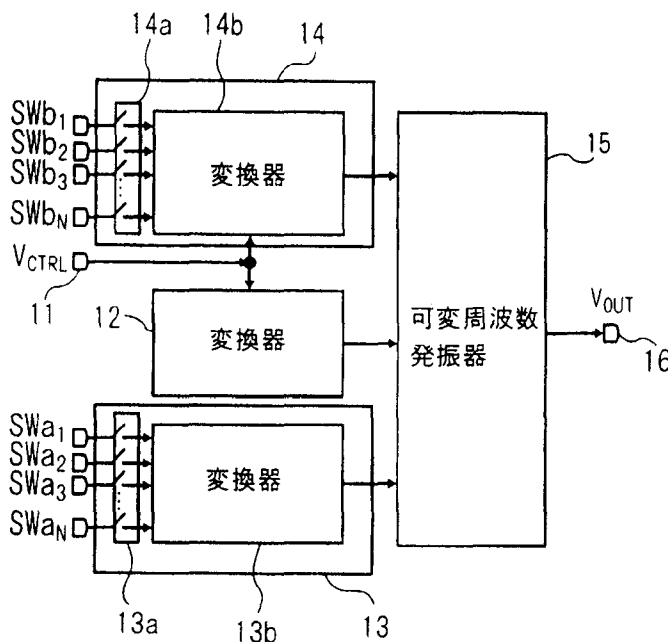
PCT

(10) 国際公開番号
WO 2008/018276 A1

- (51) 国際特許分類:
H03K 3/354 (2006.01) H03L 7/099 (2006.01)
H03G 5/02 (2006.01) H03L 7/10 (2006.01)
H03H 11/20 (2006.01)
- (21) 国際出願番号: PCT/JP2007/064242
- (22) 国際出願日: 2007年7月19日 (19.07.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-219789 2006年8月11日 (11.08.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 児玉 浩志 (KODAMA, Hiroshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

(54) Title: VOLTAGE CONTROLLED OSCILLATOR, FREQUENCY SYNTHESIZER AND OSCILLATING FREQUENCY CONTROL METHOD

(54) 発明の名称: 電圧制御発振器、周波数シンセサイザおよび発振周波数制御方法



14b CONVERTER
12 CONVERTER
13b CONVERTER
15 VARIABLE FREQUENCY OSCILLATOR

(57) Abstract: A voltage controlled oscillator is provided to make it possible to enlarge a variable frequency range with an increase in a conversion gain suppressed. A converter (12) converts an input voltage to a first physical amount. A variable converter (13) outputs a second physical amount in accordance with each switch state of a switch group (13a). A variable converter (14) outputs a third physical amount in accordance with each switch of a switch group (14a) and an input voltage when the input voltage is within a predetermined range. A variable frequency oscillator (15) outputs a signal with a frequency in accordance with the first, second and third physical amounts.

(57) 要約: 変換ゲインの増加を抑制しながら可変周波数範囲を広くすることが可能な電圧制御発振器を提供する。変換器12は、入力電圧を第一物理量に変換する。可変変換器13は、スイッチ群13aの各スイッチの状態に応じた第二物理量を出力する。可変変換器14は、入力電圧が所定電圧範囲に含まれる際に、スイッチ群14aの各スイッチおよび入力電圧に応じた第三物理量を出力する。可変周波数発振器15は、その第一物理量、第二物理量および第三物理量に応じた周波数の信号を出力する。

明 細 書

電圧制御発振器、周波数シンセサイザおよび発振周波数制御方法 技術分野

[0001] 本発明は、広帯域に発振周波数を変化させる電圧制御発振器、周波数シンセサイザおよび発振周波数制御方法に関する。

背景技術

[0002] 入力電圧に応じた周波数の信号が出力される電圧制御発振器は、例えば、PLL回路(位相同期回路)、または、省面積かつ低スプリアス電力で周波数を高速に遷移(ホッピング)する周波数シンセサイザなどに用いられる。

[0003] 図1は、従来の電圧制御発振器の構成を示したブロック図である。図1において、電圧制御発振器は、入力端子1と、電圧／電流変換器2および3と、電流制御発振器4と、出力端子5とを含む。

[0004] 電圧／電流変換器2および3は、入力端子1に印加された入力電圧を、その入力電圧に応じた電流に変換する。電流制御発振器4は、電圧／電流変換器2および3のそれぞれにて変換された電流の和に応じた周波数の信号を生成する。

[0005] 電圧／電流変換器2および3のそれぞれは、電圧制御発振器の入出力特性が線形になるように制御される。例えば、電圧／電流変換器2の変換ゲインが減少するときには、電圧／電流変換器3は、自己の変換ゲインが増加するように制御される。

[0006] これにより、電圧制御発振器の入出力特性が線形になる周波数の範囲(以下、可変周波数範囲と称する)を広くすることが可能になる。

[0007] しかしながら、このような電圧制御発振器では、入出力特性が一つであるため、位相雑音が高くなる。これは、一つの入出力特性を有する電圧制御発振器が複数の入出力特性を有する電圧制御発振器と同じ可変周波数範囲を得るためには、電圧制御発振器の変換ゲインが大きくなる必要があるからである。

[0008] 特許文献1(特開2003-69390号公報)には、入力電圧の可変範囲において、入出力特性が線形になる電圧制御発振器を備えたPLL回路が記載されている。通常、入力電圧が、電圧電流変換器の動作を制御する電源電圧に近づくと、その入出力

特性は線形にならない。特許文献1に記載の電圧制御発振器では、その入力電圧が電源電圧に近づいても、その入出力特性を線形することが可能になり、可変周波数範囲を広げることが可能になる。

[0009] 具体的には、その電圧制御発振器では、電圧値の高い第2電源電圧で動作する電圧電流変換回路にて入力電圧が電流に変換される。また、その電流が、第2電源電圧よりも低い第1電源電圧で動作する第3カレントミラー回路と、リングオシレータへの電流を制御する複数の第1トランジスタのゲートと、に第2電源電圧で動作する第1および第2カレントミラー回路を介して出力される。

[0010] これにより、電圧制御発振器の変換ゲインの増加を大きくしなくても、可変周波数範囲が広がっている。

特許文献1:特開2003-69390号公報

発明の開示

発明が解決しようとする課題

[0011] 特許文献1に記載のPLL回路の電圧制御発振器の入出力特性は、一つだけである。このため、入力電圧の可変範囲において、より広い可変周波数範囲の周波数の信号を得るためには、電圧制御発振器のゲインを大きくする必要がある。なお、この電圧制御発振器では、定電流源を設けることで可変周波数範囲を変更している。しかしながら、可変周波数範囲は、変更されているだけで、広がってはいない。

[0012] 本発明の目的は、変換ゲインの増加を抑制しながら可変周波数範囲を広くすることが可能な電圧制御発振器、周波数シンセサイザおよび発振周波数制御方法を提供することである。

課題を解決するための手段

[0013] 上記の目的を達成するために、本発明の電圧制御発振器は、入力電圧に応じた周波数の信号を出力する電圧制御発振器であって、前記入力電圧を、該入力電圧に応じた第一物理量に変換する変換部と、前記周波数をオフセットするための複数の第一スイッチを含み、各第一スイッチの状態に応じた第二物理量を生成するオフセット調節部と、前記入力電圧および前記周波数の関係を線形に調節するための複数の第二スイッチを含み、前記入力電圧が、前記入力電圧および前記周波数の関係

を線形に調節するための所定電圧範囲に含まれる際に、前記入力電圧および各第二スイッチの状態に応じた第三物理量を生成する線形調節部と、前記第一物理量、前記第二物理量および前記第三物理量に応じた周波数の信号を出力する信号出力部と、を含む。

[0014] また、本発明の発振周波数制御方法は、入力電圧に応じた周波数をオフセットするための複数の第一スイッチと、前記入力電圧および前記周波数の関係を線形に調節するための複数の第二スイッチとを含み、前記周波数の信号を出力する電圧制御発振器が行う発振周波数制御方法であって、前記入力電圧を、該入力電圧に応じた第一物理量に変換する変換ステップと、各第一スイッチの状態に応じた第二物理量を生成するオフセット調節ステップと、前記入力電圧が、前記入力電圧および前記周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、前記入力電圧および各第二スイッチの状態に応じた第三物理量を生成する線形調節ステップと、前記第一物理量、前記第二物理量および前記第三物理量に応じた周波数の信号を出力する信号出力ステップと、を含む。

[0015] また、本発明の電圧制御発振器は、入力電圧に応じた周波数の信号を出力する電圧制御発振器であって、前記入力電圧を、該入力電圧に応じた第一物理量に変換する変換部と、前記周波数をオフセットするための複数の第一スイッチを含み、各第一スイッチの状態に応じた第二物理量を生成するオフセット調節部と、前記入力電圧および前記周波数の関係を線形に調節するための状態値を生成する生成回路を含み、前記入力電圧が、前記入力電圧および前記周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、前記入力電圧および前記状態値に応じた第三物理量を生成する線形調節部と、前記第一物理量、前記第二物理量および前記第三物理量に応じた周波数の信号を出力する信号出力部と、を含む。

[0016] また、本発明の発振周波数制御方法は、入力電圧に応じた周波数をオフセットするための複数の第一スイッチと、前記入力電圧および前記周波数の関係を線形に調節するための複数の第二スイッチとを含み、前記周波数の信号を出力する電圧制御発振器が行う発振周波数制御方法であって、前記入力電圧を、該入力電圧に応じた第一物理量に変換する変換ステップと、各第一スイッチの状態に応じた第二物理量

を生成するオフセット調節ステップと、前記入力電圧が、前記入力電圧および前記周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、前記入力電圧および各第二スイッチの状態に応じた第三物理量を生成する線形調整ステップと、前記第一物理量、前記第二物理量および前記第三物理量に応じた周波数の信号を出力する信号出力ステップと、を含む。

[0017] 上記の発明によれば、入力電圧がその入力電圧に応じた第一物理量に変換される。また、周波数をオフセットするための複数の第一スイッチの状態に応じた第二物理量が生成される。また、入力電圧が、入力電圧および周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、第三物理量が生成される。

[0018] このため、第一スイッチの状態が変更されることで、入力電圧および周波数の関係を変更することが可能になり、電圧制御発振器の入出力特性を複数設定することが可能になる。また、各入出力特性は、第三物理量によって、入力電圧および周波数の関係が線形に調節されるので、各入出力特性が線形になる範囲を広くすることが可能になる。したがって、変換ゲインの増加を抑制しながら可変周波数範囲を広くすることが可能になる。

[0019] また、前記入力電圧および前記信号に基づいて、各第二スイッチを制御するスイッチ制御回路をさらに含むことが望ましい。

[0020] 入力電圧に応じた周波数は、温度、電源電圧の環境変動および各種デバイスの経年変化などにより変化する。このため、電圧制御発振器の設計者などが、各入出力特性が線形となるような第三物理量を予め知ることが困難な場合がある。

[0021] 上記の発明によれば、入力電圧および信号に基づいて、各第二スイッチが制御される。このため、各第二スイッチが、電圧制御発振器の入出力特性が線形になるような第三物理量が生成されるように制御されれば、各入出力特性が線形になるような第三物理量を予め知ることが困難な場合でも、各入出力特性が線形になる範囲を広くすることが可能になる。

[0022] また、前記入力電圧、前記第一物理量、前記第二物理量および前記第三物理量に基づいて、各第二スイッチを制御するスイッチ制御回路をさらに含むことが望ましい。

- [0023] 上記の発明によれば、入力電圧、第一物理量、第二物理量および第三物理量に基づいて、各第二スイッチが制御される。このため、各第二スイッチが、電圧制御発振器の入出力特性が線形になるような第三物理量が生成されるように制御されれば、各入出力特性が線形になるような第三物理量を予め知ることが困難な場合でも、各入出力特性が線形になる範囲を広くすることが可能になる。
- [0024] また、前記第一物理量は、第一電流であり、前記第二物理量は、第二電流であり、前記第三物理量は、第三電流であることが望ましい。
- [0025] また、前記線形調節部は、前記入力電圧を所定値だけ下げてレベルシフト電圧を生成するレベルシフト回路と、前記レベルシフト電圧が、前記所定電圧範囲を前記所定値だけ下げた特定電圧範囲に含まれる際に、前記第三電流を生成する出力回路と、を含むことが望ましい。
- [0026] 電圧を電流に変換することで第三電流を生成する場合、線形調節部および変換部としてMOSTランジスタが用いられると、変換部の変換ゲインが変化する電圧の値が、線形調節部に用いられるMOSTランジスタのしきい値と同じである必要があるが、このようなMOSTランジスタを設けることは困難な場合がある。
- [0027] 上記の発明によれば、入力電圧が所定値だけ下げられたレベルシフト電圧が生成される。また、そのレベルシフト電圧が所定電圧範囲を所定値だけ下げた特定電圧範囲に含まれる際に、第三物理量が生成される。
- [0028] このため、変換部の変換ゲインが変化する電圧の値と、線形調節部に用いられるMOSTランジスタのしきい値との差分が所定値として設定されれば、容易に入力電圧が所定電圧範囲に含まれるときに、第三物理量を生成することが可能になる。
- [0029] また、前記入力電圧および前記信号に基づいて、前記所定値を制御するシフト制御回路をさらに含むことが望ましい。
- [0030] 電圧制御発振器の入出力特性が線形にならないような入力電圧の範囲は、温度、電源電圧の環境変動および各種デバイスの経年変化などにより変化する。このため、予め適切な所定値を知ることが困難な場合がある。
- [0031] 上記の発明によれば、入力電圧および信号に基づいて、所定値が制御される。このため、入力電圧を、予め適切な所定値を知ることが困難な場合でも、電圧制御発

振器の入出力特性が線形になる範囲を広くすることが可能になる。

[0032] また、前記信号出力部は、所定振幅範囲内の振幅で発振する発振器と、前記第一電流、前記第二電流および前記第三電流に基づいて、前記発振器の発振周波数を調節する位相補間回路と、を含むことが望ましい。

[0033] 上記の発明によれば、発振器は、所定振幅範囲内の振幅で発振する。位相補間回路は、第一電流、第二電流および第三電流に基づいて、その発振器の発振周波数を調節する。

[0034] このため、例えば、所定振幅範囲が電源電圧ないし接地電圧の範囲に設定されれば、出力される信号の振幅を大きくすることが可能になる。したがって、電圧制御発振器の位相雑音特性を良くすることが可能になる。

[0035] また、前記位相補間回路は、前記位相補間回路に流れる電流を受け付ける入力端子と、前記位相補間回路を流れた電流を出力する出力端子と、を含み、前記位相補間回路に流れる電流に応じて前記発振器の発振周波数を調節し、前記変換部は、電源端子と前記入力端子との間に接続され、前記入力電圧に応じた電流を流し、前記出力端子と接地端子との間に並列に接続され、かつ、前記第一スイッチがオンのときに、定電流を流す複数の定電流回路を含み、前記線形調節部は、前記出力端子と前記接地端子との間に互いに並列に接続され、かつ、前記第二スイッチがオンのときに、前記入力電圧に応じた電流を流す複数の可変電流回路を含むことが望ましい。

[0036] 上記の発明によれば、各第一および第二スイッチをnMOSトランジスタにて構成することが可能になり、電圧制御発振器の面積を減少させることが可能になる。これは、nMOSトランジスタがpMOSトランジスタと同じトランスコンダクタンスを小さい面積で実現できるためである。

[0037] また、本発明の周波数シンセサイザは、基準周波数の信号に基づいて互いに異なる周波数範囲の周波数の信号を出力する複数のPLL回路を有する周波数シンセサイザであって、各PLL回路は、入力電圧に応じて、該PLL回路に応じた周波数範囲の周波数の信号を出力する電圧制御発振部と、前記電圧制御発振部が出力した信号を分周する可変分周器と、前記可変分周器にて分周された信号の周波数および

前記基準周波数の位相差を示す位相差信号を生成し、該位相差信号に基づいて前記入力電圧を制御する入力電圧制御部と、を含み、各PLL回路から出力された信号のいずれか一つを出力する選択部、を含む。

[0038] また、本発明の発振周波数制御方法は、基準周波数の信号に基づいて互いに異なる周波数範囲の周波数の信号を出力する複数のPLL回路を有する周波数シンセサイザが行う発振周波数制御方法であって、各PLL回路が、入力電圧に応じて、該PLL回路に応じた周波数範囲の周波数の信号を出力する電圧制御発振ステップと、各PLL回路が、前記出力された信号を分周する分周ステップと、各PLL回路が、前記分周された信号の周波数および前記基準周波数の位相差を示す位相差信号を生成する位相差生成ステップと、各PLL回路が、前記生成された位相差信号に基づいて前記入力電圧を制御する入力電圧制御ステップと、周波数シンセサイザが、各PLL回路にて出力された信号のいずれか一つを出力する選択ステップと、を含む。

[0039] 上記の発明によれば、各PLL回路からそのPLL回路に応じた発振周波数範囲の周波数の信号が出力される。また、それらの周波数の信号のいずれか一つが出力される。

[0040] このため、周波数シンセサイザが所定の周波数範囲に含まれる周波数の信号を生成する場合、個々のPLL回路から出力される信号の周波数の周波数範囲は、その所定の周波数範囲より小さくても良くなる。よって、ゲインの増加を抑制しながら可変周波数範囲を広くすることが可能になる。

[0041] また、前記基準周波数の信号を逡倍する逡倍回路と、前記基準周波数の信号および前記逡倍された基準周波数の信号のどちらか一方を各PLL回路に出力する第二の選択部と、前記第二の選択部が前記逡倍された基準周波数の信号を出力するときには、前記逡倍回路に電力を供給し、前記第二の選択部が前記基準周波数の信号を出力するときには、前記逡倍回路への電力の供給を停止する電源管理部と、をさらに含むことが望ましい。

[0042] 上記の発明によれば、基準周波数の信号が逡倍される。また、基準周波数の信号およびその逡倍された基準周波数の信号のどちらか一方が各PLL回路に出力され

る。また、基準信号がPLL回路に出力されるときには、基準周波数の信号を逡倍する逡倍回路への電力の供給が停止される。

[0043] このため、基準周波数を逡倍することが可能な周波数発振器において、使用電力を軽減することが可能になる。

[0044] また、前記電圧制御発振部は、前記電圧制御発振器にて構成されることが望ましい。

発明の効果

[0045] 本発明によれば、変換ゲインの増加を抑制しながら可変周波数範囲を広くすることが可能になる。

図面の簡単な説明

[0046] [図1]従来の電圧制御発振器の構成を示したブロック図である。

[図2]本発明の一実施例の電圧制御発振器の構成を示したブロック図である。

[図3]本発明の他の実施例の電圧制御発振器の構成を示したブロック図である。

[図4]本発明の他の実施例の電圧制御発振器の構成を示したブロック図である。

[図5]本発明の他の実施例の電圧制御発振器の構成を示したブロック図である。

[図6]周波数オフセットの一例を説明するためのグラフである。

[図7A]非線形性の補正の一例を説明するためのグラフである。

[図7B]非線形性の補正の一例を説明するためのグラフである。

[図8]非線形性の補正の一例を説明するためのグラフである。

[図9]本発明の他の実施例の電圧制御発振器の構成を示したブロック図である。

[図10]電流制御発振器の一例を示した回路図である。

[図11]ディレイセルの一例を示した回路図である。

[図12]ディレイセルの一例を示した回路図である。

[図13]本発明の他の実施例の電圧制御発振器の構成を示したブロック図である。

[図14]スイッチ制御電流源の一例を示した回路図である。

[図15]スイッチ制御変換器の一例を示した回路図である。

[図16]本発明の他の実施例の電圧制御発振器の構成を示したブロック図である。

[図17A]本発明の一実施例の周波数シンセサイザの構成を示したブロック図である。

[図17B]入力電圧制御回路の構成の一例を示したブロック図である。

[図18]各PLL回路の可変周波数範囲を示した説明図である。

[図19]本発明の他の実施例の周波数シンセサイザの構成を示したブロック図である。

発明を実施するための最良の形態

[0047] 以下、本発明の実施形態について図面を参照して説明する。

[0048] 図2は、本発明の一実施形態の電圧制御発振器の構成を示したブロック図である。

[0049] 図2において、電圧制御発振器は、入力端子11と、変換器12と、可変変換器13および14と、可変周波数発振器15と、出力端子16とを含む。

[0050] 入力端子11には、入力電圧が印加される。

[0051] 変換器12は、その入力電圧を、その入力電圧に応じた第一物理量に変換する。

[0052] 可変変換器13は、スイッチ群13aと、変換器13bとを含む。なお、可変変換器13は、オフセット調節部の一例である。

[0053] スwitch群13aは、入力電圧に応じた周波数をオフセットするための複数のスイッチを含む。各スイッチは、電源電圧が印加された電源端子(図示せず)と接続される。また、各スイッチは、互いに並列に接続される。なお、スイッチ群13aのスイッチの数は、本実施形態では、Nであり、図2には、N個のスイッチの中の4個のスイッチ(SWa1ないし3およびSWaN)が示されている。

[0054] 可変変換器13(具体的には、変換器13b)は、各スイッチの状態に応じた第二物理量を生成する。

[0055] 可変変換器14は、スイッチ群14aと、変換器14bとを含む。なお、可変変換器14は、線形調節部の一例である。

[0056] スwitch群14aは、入力電圧および周波数の関係を線形に調節するための複数のスイッチを含む。なお、入力電圧および周波数の関係は、電圧制御発振器の入出力特性である。

[0057] スwitch群14aの各スイッチは、電源電圧が印加された電源端子と接続される。また、各スイッチは、互いに並列に接続される。スイッチ群14aのスイッチの数は、本実施形態では、Nであり、図2には、N個のスイッチの中の4個のスイッチ(SWb1ないし3およびSWbN)が示されている。なお、スイッチ群14aのスイッチの数は、本実施形態

では、スイッチ群13aのスイッチの数と同じであるが、実際には、スイッチ群13aのスイッチの数と異なってもよい。

[0058] 可変変換器14(具体的には、変換器14b)は、その入力電圧がおよび周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、その入力電圧およびスイッチ群14aの各スイッチの状態に応じた第三物理量を出力する。

[0059] また、可変変換器14は、スイッチ群14aの代わりに、入力電圧および周波数の関係を線形に調節するための状態値を生成する生成回路を含んでもよい。生成回路は、例えば、電源端子と接続され、電源電圧の値を調節し、その調節された値を状態値として用いる。

[0060] この場合、可変変換器14は、その入力電圧がその所定電圧範囲に含まれる際に、その入力電圧および状態値に応じた第三物理量を生成する。

[0061] 可変周波数発振器15は、その第一物理量、第二物理量および第三物理量に応じた周波数の信号を出力する。なお、可変周波数発振器15は、信号出力部の一例である。

[0062] なお、物理量の種類は、例えば、電流、抵抗または電気容量などである。また、物理量の種類は、電流、抵抗または電気容量に限らず適宜変更可能である。

[0063] 次に動作を説明する。

[0064] 変換器12は、入力端子11に印加された入力電圧を、その入力電圧に応じた第一物理量に変換する。変換器12は、その第一物理量を可変周波数発振器15に出力する。

[0065] 変換器13bは、スイッチ群13aの各スイッチの状態に応じた第二物理量を生成し、その第二物理量を可変周波数発振器15に出力する。

[0066] 変換器14bは、その入力電圧が所定電圧範囲に含まれる際に、その入力電圧およびスイッチ群14aの各スイッチの状態に応じた第三物理量を生成し、その第三物理量を可変周波数発振器15に出力する。

[0067] 可変周波数発振器15は、その第一物理量、第二物理量および第三物理量を受け付け、その第一物理量、第二物理量および第三物理量に応じた周波数の信号を出力端子16に出力する。例えば、可変周波数発振器15は、その第一物理量、第二物

理量および第三物理量の和が大きいほど周波数が大きくなるような信号を出力端子16に出力する。

[0068] 次に効果を説明する。

[0069] 本実施形態によれば、変換器12は、入力電圧を、入力電圧に応じた第一物理量に変換する。可変変換器13は、スイッチ群13aの各スイッチの状態に応じた第二物理量を出力する。可変変換器14は、入力電圧が所定電圧範囲に含まれる際に、入力電圧およびスイッチ群14aの各スイッチの状態に応じた第三物理量を出力する。可変周波数発振器15は、その第一物理量、第二物理量および第三物理量に応じた周波数の信号を出力する。

[0070] また、可変変換器14は、スイッチ群14aの代わりに生成回路を含み、その生成回路にて生成された状態値および入力電圧に応じた周波数の信号を出力してもよい。

[0071] この場合、スイッチ群13aの各スイッチの状態が変更されることで、入力電圧および周波数の関係を変更することが可能になり、電圧制御発振器の入出力特性を複数設定することが可能になる。また、各入出力特性は、第三物理量によって、入力電圧および周波数の関係が線形に調節されるので、各入出力特性が線形になる範囲を広くすることが可能になる。したがって、変換ゲインの増加を抑制しながら可変周波数範囲を広くすることが可能になる。

[0072] 次に、可変変換器14の各スイッチを調節する電圧制御発振器について説明する。

[0073] 図3は、可変変換器14の各スイッチを調節する電圧制御発振器の構成の一例を示したブロック図である。以下では、主に図2と異なる構成および動作について説明する。なお、図3において、図2と同じものには同じ符号が付してある。

[0074] 図3において、電圧制御発振器は、図2で示した構成に加え、さらに線形性モニタ17を含む。

[0075] 線形性モニタ17は、入力端子11に印加された入力電圧および可変周波数発振器15が出力した信号に基づいて、電圧制御発振器の入出力特性が線形になるようにスイッチ群14aの各スイッチを制御する。

[0076] 例えば、線形性モニタ17は、その信号の周波数を計数する周波数カウンタ回路を含み、その周波数カウンタ回路の計数結果および入力電圧に基づいて、電圧制御

発振回路の入出力特性が線形になるようにスイッチ群14aを制御する。

[0077] なお、線形性モニタ17は、スイッチ制御回路の一例である。

[0078] 次に動作を説明する。

[0079] 可変周波数発振器15は、第一物理量、第二物理量および第三物理量に応じた周波数の信号をさらに線形性モニタ17に出力する。

[0080] 線形性モニタ17の周波数カウンタ回路は、可変周波数発振器15からその信号を受け付け、その信号の周波数を計数する。

[0081] 線形性モニタ17は、その計数結果および入力端子11に印加された入力電圧に基づいて、電圧制御発振回路の入出力特性が線形になるようにスイッチ群14aの各スイッチを制御する。

[0082] 具体的には、先ず、線形性モニタ17は、周波数カウンタ回路の計数結果および入力電圧に基づいて、電圧制御発振回路の入出力特性の線形からのずれ幅を求める。以下、その入出力特性の線形からのずれ幅を非線形性と称する。続いて、線形性モニタ17は、その非線形性が補正されるような第三物理量を算出し、その第三物理量が生成されるようにスイッチ群14aの各スイッチにスイッチ制御信号を出力する。

[0083] その後、スイッチ群14aの各スイッチは、そのスイッチ制御信号を受け付けると、そのスイッチ制御信号に応じてオンまたはオフになる。

[0084] 次に効果を説明する。

[0085] 入力電圧に応じた周波数は、温度、電源電圧の環境変動および各種デバイスの経年変化などにより変化する。このため、電圧制御発振器の設計者などが、各入出力特性が線形となるような第三物理量を予め知ることが困難な場合がある。

[0086] 本実施形態では、線形性モニタ17は、入力電圧および可変周波数発振器15が出力した信号に基づいて、スイッチ群14aの各スイッチを制御する。

[0087] この場合、スイッチ群14aの各スイッチが、電圧制御発振器の入出力特性が線形になるような第三物理量が出力されるように制御されれば、各入出力特性が線形になるような第三物理量を予め知ることが困難な場合でも、各入出力特性が線形になる範囲を広くすることが可能になる。

[0088] 次に、可変変換器の各スイッチを調節する電圧制御発振器の他の例について説明

する。

[0089] 図4は、可変変換器14の各スイッチを調節する電圧制御発振器の構成の一例を示したブロック図である。なお、以下では、主に図2または図3と異なる構成および動作について説明する。また、図4において、図2と同じものには同じ符号が付してある。

[0090] 図4において、電圧制御発振器は、図2で示した構成に加え、線形性モニタ18を含む。

[0091] 線形性モニタ18は、入力電圧、第一物理量、第二物理量および第三物理量に基づいて、電圧制御発振回路の入出力特性が線形になるようにスイッチ群14aの各スイッチを制御する。なお、線形性モニタ18は、スイッチ制御回路の一例である。

[0092] 線形性モニタ18は、信号の周波数を計数しなくてもよい、図3で示した線形性モニタ17と異なり、周波数カウンタ回路を設けなくても良くなる。

[0093] 次に動作を説明する。

[0094] 変換器12は、第一物理量をさらに線形性モニタ18に出力する。変換器13bは、第二物理量をさらに線形性モニタ18に出力する。変換器14bは、第三物理量をさらに線形性モニタ18に出力する。

[0095] 線形性モニタ18は、変換器12から第一物理量を受け付け、変換器13bから第二物理量を受け付け、変換器14bから第三物理量を受け付ける。

[0096] 線形性モニタ18は、入力端子11に印加された入力電圧、その第一物理量、第二物理量および第三物理量に基づいて、電圧制御発振回路の入出力特性が線形になるようにスイッチ群14aの各スイッチを制御する。

[0097] 例えば、可変周波数発振器15がその第一物理量、第二物理量および第三物理量の和に応じた周波数の信号を出力する場合、線形性モニタ18は、入力電圧に応じた第一物理量の基準値を入力電圧ごとに保持し、かつ、スイッチ群13aの各スイッチの状態に応じた第二物理量の基準値を各スイッチの状態の状態ごとに保持する。

[0098] この場合、まず、線形性モニタ18は、受け付けた第二物理量の値に最も近い第二物理量の基準値と、入力端子11に印加された入力電圧に応じた第一物理量の基準値と和を求める。また、線形性モニタ18は、その受け付けた第一および第二物理量の和を求める。

- [0099] 続いて、線形性モニタ18は、その第一および第二物理量の基準値の和と、その受け付けた第一および第二物理量の和との差分を算出し、その差分だけ第三物理量の値が変るようにスイッチ群14aの各スイッチにスイッチ制御信号を出力する。
- [0100] 次に効果を説明する。
- [0101] 本実施形態では、線形性モニタ18は、入力電圧、第一物理量、第二物理量および第三物理量に基づいて、スイッチ群14aのスイッチを制御する。
- [0102] この場合、スイッチ群14aの各スイッチが、電圧制御発振器の入出力特性が線形になるような第三物理量が出力されるように制御されれば、各入出力特性が線形になるような第三物理量を予め知ることが困難な場合でも、各入出力特性が線形になる範囲を広くすることが可能になる。
- [0103] 次に、物理量として電流が用いられる電圧制御発振器について説明する。
- [0104] 図5は、物理量として電流が用いられる電圧制御発振器の構成の一例を示したブロック図である。この場合、第一物理量は、第一電流であり、第二物理量は、第二電流であり、第三物理量は、第三電流である。
- [0105] 図5において、電圧制御発振器は、入力端子21と、電源端子22と、変換器23と、可変変換器24および25と、電流制御発振器26と、出力端子27と、GND端子28とを含む。
- [0106] 入力端子21には、入力電圧が印加される。
- [0107] 電源端子22には、電源電圧が印加される。
- [0108] 変換器23は、第一物理量が第一電流であるときの変換器12の一例である。
- [0109] 変換器23は、電源端子22と電流制御発振器26との間に接続される。具体的には、変換器23の端子231は、入力端子21と接続される。また、変換器23の端子232は、電源端子22と接続される。また、変換器23の端子233は、電流制御発振器26の入力端子261と接続される。
- [0110] 変換器23は、入力端子21に印加された入力電圧を、その入力電圧に応じた第一電流に変換し、その第一電流を電流制御発振器26に出力する。
- [0111] 可変変換器24は、第二物理量が第二電流であるときの可変変換器13の一例である。

- [0112] 可変変換器24は、電源端子22と電流制御発振器26との間に接続される。具体的には、可変変換器24の端子241は、電源端子22と接続される。可変変換器24の端子242は、電流制御発振器26の入力端子261と接続される。
- [0113] 可変変換器24は、スイッチ制御電流源24aないし24cを含む。なお、スイッチ制御電流源の数は、図5では、3だけだが、実際には、3に限らず適宜変更可能である。また、スイッチ制御電流源24aないし24cのそれぞれは、定電流回路の一例である。
- [0114] スwitch制御電流源24aないし24cのそれぞれは、スイッチを含み、電源端子22と電流制御発振器26の間に並列に接続される。
- [0115] スwitch制御電流源24aないし24cのそれぞれは、自己のスイッチがオンのときに、定電流を流す。その定電流の和が第二電流となる。
- [0116] 可変変換器25は、第三物理量が第三電流であるときの可変変換器14の一例である。
- [0117] 可変変換器25は、電源端子22と電流制御発振器26との間に接続される。具体的に可変変換器25の端子251は、入力端子21と接続される。可変変換器25の端子252は、電源端子22と接続される。可変変換器25の端子253は、電流制御発振器26の入力端子261と接続される。
- [0118] 可変変換器25は、レベルシフト回路25aと、スイッチ制御変換器25bとを含む。
- [0119] レベルシフト回路25aの入力端子は、入力端子21と接続される。また、レベルシフト回路25aの出力端子は、スイッチ制御変換器25bの制御端子と接続される。
- [0120] レベルシフト回路25aは、入力端子21に印加された入力電圧を所定値だけ下げてレベルシフト電圧を生成する。
- [0121] スwitch制御変換器25bの制御端子は、レベルシフト回路25aの出力端子と接続される。また、スイッチ制御変換器25bの入力端子は、端子252を介して電源端子22と接続される。また、スイッチ制御変換器25bの出力端子は、端子253を介して電流制御発振器26の入力端子261と接続される。
- [0122] また、スイッチ制御変換器25bは、複数のスイッチを含み、そのレベルシフト電圧が、所定電圧範囲が所定値だけ下げられた特定電圧範囲に含まれる際に、そのレベルシフト電圧およびスイッチ制御変換器25bが含む各スイッチの状態に応じて、第三電

流を生成する。なお、スイッチ制御変換器25bは、出力回路の一例である。

[0123] スイッチ制御変換器25bの具体的な構成について説明する。

[0124] スイッチ制御変換器25bは、スイッチ制御電圧電流変換器25b1ないし25b3を含む。

[0125] スイッチ制御電圧電流変換器25b1ないし25b3のそれぞれは、電源端子22と電流制御発振器26の間に並列に接続される。また、スイッチ制御電圧電流変換器25b1ないし25b3のそれぞれの制御端子は、レベルシフト回路25aの出力端子と接続される。なお、スイッチ制御電圧電流変換器25b1ないし25b3のそれぞれは、可変電流回路の一例である。

[0126] スイッチ制御電圧電流変換器25b1ないし25b3のそれぞれは、スイッチを含み、自己のスイッチがオンのときに、入力電圧(具体的には、レベルシフト電圧)に応じた特定電流を流す。その特定電流の和が第三電流となる。

[0127] 電流制御発振器26の入力端子261は、変換器23の端子233と、可変変換器24の端子242と、可変変換器25の端子253に接続される。また、電流制御発振器26の電流出力端子262は、GND端子28に接続される。また、電流制御発振器26の信号出力端子263は、出力端子27と接続される。

[0128] 電流制御発振器26は、第一電流、第二電流および第三電流の和(以下、制御電流と称することもある)を受け付け、その制御電流に応じた周波数の信号を出力する。

[0129] 次に、可変変換器24による周波数オフセットについて説明する。

[0130] 図6は、可変変換器24による周波数オフセットの一例を説明するためのグラフである。図6において、横軸は、入力電圧を示し、縦軸は、周波数を示す。

[0131] 図6において、グラフ101ないし103のそれぞれは、スイッチ制御電流源24aないし24cのスイッチの状態が互いに異なる電圧制御発振器の入出力特性を示す。

[0132] 具体的には、グラフ101は、スイッチ制御電流源24aないし24cのスイッチが全てオフの場合の入出力特性を示す。また、グラフ102は、スイッチ制御電流源24aないし24cのスイッチのいずれか一つがオンの場合の入出力特性を示す。また、グラフ103は、スイッチ制御電流源24aないし24cのスイッチのいずれか二つがオンの場合の入

出力特性を示す。

[0133] スイッチ制御電流源24aないし24cがない場合の電圧制御発振器の入出力特性は、グラフ101で示された入出力特性のみである。スイッチ制御電流源24aないし24cが設けられることにより、電圧制御発振器が複数の入出力特性を有することになり、電圧制御発振器の可変周波数範囲が広がる。

[0134] なお、図6において、オフセット幅 Δf は、スイッチ制御電流源24aないし24cによるオフセット量を示す。

[0135] 次に、可変変換器25による非線形性の補正について説明する。

[0136] 図7Aおよび図7Bは、可変変換器25による非線形性の補正の一例を説明するためのグラフである。図7Aおよび図7Bにおいて、横軸は、入力電圧を示し、縦軸は、周波数を示す。

[0137] 図7Aは、スイッチ制御電圧電流変換器の数が1だけの場合の非線形性の補正を説明するためのグラフである。

[0138] 図7Aにおいて、グラフ201ないし203のそれぞれは、スイッチ制御電流源24aないし24cのスイッチの状態が互いに異なる、電圧制御発振器の入出力特性を示す。

[0139] スイッチ制御電圧電流変換器の数が1だけの場合、非線形性を補正することが可能な入出力特性は、一つだけである。グラフ201は、非線形性が補正された入出力特性を示し、グラフ202および203は、非線形性が補正されていない入出力特性を示す。

[0140] また、グラフ202aおよび203aは、グラフ202および203にて示された入出力特性の非線形性が補正されたときの入出力特性を示す。グラフ202およびグラフ202aの差と、グラフ203およびグラフ203aの差とは、それぞれ入出力特性の線形からのずれ幅(非線形性)を示す。

[0141] 図7Bは、スイッチ制御電圧電流変換器の数が複数の場合の非線形性の補正を説明するためのグラフである。

[0142] 図7Bにおいて、グラフ204ないし206のそれぞれは、スイッチ制御電流源24aないし24cのスイッチの状態が互いに異なる、電圧制御発振器の入出力特性を示す。

[0143] スイッチ制御電圧電流変換器の数が複数の場合、スイッチ制御電圧電流変換器2

5b1ないし25b3のそれぞれのスイッチの状態に応じて、可変変換器25が出力する第三電流が変化する。このため、複数の入出力特性の非線形性を補正することが可能になる。グラフ204ないし206で示された入出力特性の全ては、非線形性が補正された入出力特性を示す。

[0144] 図8は、非線形性の補正をさらに説明するためのグラフである。図8において、横軸は、入力電圧を示し、縦軸は、周波数を示す。なお、図8では、制御電流および周波数の関係は線形であるとする。この場合、縦軸の周波数を制御電流と読み換えてもよい。

[0145] 変換器23による電圧電流変換は、MOSTランジスタで行われるものとする。なお、MOSTランジスタで行われる電圧電流変換については当業者にとって自明なため詳細な説明は省略する。

[0146] この場合、変換器23は、図8のグラフ301で示すような変換特性を有する。グラフ301において、変換器23の変換ゲインは、入力電圧が第一電圧ないし第二電圧のとき、0であり、入力電圧が第二電圧ないし第三電圧のとき、第一変換ゲイン(以下、ゲインAと称する)であり、入力電圧が第三電圧ないし第四電圧のとき、第二変換ゲイン(以下、ゲインBと称する)である。

[0147] 変換器23にて変換された第一電流による発振では、電圧制御発振器の入出力特性は、入力電圧が第二電圧ないし第三電圧のとき、線形になるが、入力電圧が第二電圧ないし第四電圧のとき、線形にならない。

[0148] このため、可変変換器25は、入力電圧が第二電圧ないし第三電圧のとき、変換を行わずに、入力電圧が第三電圧ないし第四電圧のとき、ゲインAおよびゲインBの差分の変換ゲインを有する必要がある。

[0149] グラフ302は、この場合の可変変換器25の変換特性を示すグラフである。グラフ302において、可変変換器25の変換ゲインは、入力電圧が第一電圧ないし第三電圧のとき、0であり、入力電圧が第三電圧ないし第四電圧のとき、ゲインAおよびゲインBの差分の変換ゲインである。

[0150] 可変変換器25としてMOSTランジスタが用いられる場合、第三電圧で可変変換器25の変換ゲインが変化するためには、第三電圧がその変換を行うMOSTランジスタ

のしきい値と同じである必要があるが、このようなトランジスタを設けることは困難な場合がある。

- [0151] このため、レベルシフト回路25aは、第二電圧および第三電圧の差分を所定値として設定する。この場合、変換器23として用いた、しきい値が第二電圧であるMOSTランジスタを可変変換器25として用いることができる。この時、スイッチ制御変換器25bは、そのレベルシフト電圧を、ゲインAおよびゲインBの差分の値の変換ゲインで、第三物理量に変換する。
- [0152] グラフ303は、変換器23および可変変換器25を合わせた合成回路の変換特性を示す。グラフ303において、その合成回路の変換ゲインは、入力電圧が第一電圧ないし第二電圧のとき、0であり、入力電圧が第二電圧ないし第四電圧のとき、ゲインAである。
- [0153] したがって、可変変換器25を設けることで、電圧制御変換器の入出力特性が線形になる範囲が、第二電圧ないし第三電圧の範囲から、第二電圧ないし第四電圧の範囲まで広がる。
- [0154] この場合、第三電圧ないし第四電圧の範囲が所定電圧範囲となり、その所定電圧範囲を第二電圧および第三電圧の差分だけ下げた範囲が特定電圧範囲になる。
- [0155] また、図8では、周波数が可変変換器24によってオフセットされていない場合について説明したが、周波数が可変変換器24によってオフセットされていても、電圧制御変換器の入出力特性が線形になる範囲を広くすることは可能である。
- [0156] 例えば、電圧制御変換器の変換ゲインが可変変換器24によるオフセット周波数のオフセットごとに異なっても、そのオフセットごとに、可変変換器25のスイッチの状態を設定することで、オフセットされた周波数ごとに、電圧制御変換器の入出力特性を線形にする範囲を広くすることができる。
- [0157] 次に効果を説明する。
- [0158] 本実施形態では、レベルシフト回路25aは、入力電圧を所定値だけ下げてレベルシフト電圧を生成する。スイッチ制御変換器25bは、複数のスイッチを含み、そのレベルシフト電圧が所定電圧範囲を所定値だけ下げた特定電圧範囲に含まれる際に、そのレベルシフト電圧および各スイッチの状態に応じた第三物理量を出力する。

- [0159] 可変変換器25および変換器23としてMOSTランジスタが用いられる場合、変換器23の変換ゲインが変化する電圧の値と、可変変換器25に用いられるMOSTランジスタのしきい値との差分が所定値として設定されれば、容易に入力電圧が所定電圧範囲に含まれるときに、第三物理量を生成することが可能になる。
- [0160] 次に、入力電圧のシフト量が可変な電圧制御発振器について説明する。
- [0161] 図9は、入力電圧のシフト量が可変な電圧制御発振器の構成の一例を示したブロック図である。以下では、主に図5で示した電圧制御発振器と異なる構成および動作について説明する。なお、図9において、図5と同じものには同じ符号が付してある。
- [0162] 図9において、電圧制御発振器は、図5で示した構成に加え、シフト制御回路29をさらに含む。また、可変変換器25は、レベルシフト回路25aの代わりに、可変レベルシフト回路25a1を含む。
- [0163] 可変レベルシフト回路25a1は、所定値が可変なレベルシフト回路である。可変レベルシフト回路25a1は、所定値を示すシフト制御信号を受け付ける制御端子を有する。
- [0164] 可変レベルシフト回路25a1の入力端子は、入力端子21と接続される。また、可変レベルシフト回路25a1の出力端子は、スイッチ制御変換器25bの制御端子と接続される。また、可変レベルシフト回路25a1の制御端子は、シフト制御回路29の端子293と接続される。
- [0165] シフト制御回路29の端子291は、入力端子21に接続される。シフト制御回路29の端子292は、電流制御発振器26の出力端子262と接続される。また、シフト制御回路29の端子293は、可変変換器25の端子254を介して可変レベルシフト回路25a1の制御端子と接続される。
- [0166] シフト制御回路29は、電流制御発振器26から信号を受け付ける。シフト制御回路29は、入力端子21に印加された入力電圧およびその信号に基づいて、所定値を制御する。
- [0167] 例えば、シフト制御回路29は、周波数カウンタ回路を含み、周波数カウンタ回路は、その信号の周波数を計数する。シフト制御回路29は、その計数結果および入力電圧に基づいて、電圧制御発振回路の入出力特性の線形からのずれ幅を求める。シ

フト制御回路29は、そのずれ幅が補正されるような所定値を算出し、その所定値を示すシフト制御信号を可変シフト変換器25a1に出力する。

[0168] その後、可変シフト変換器25a1は、そのシフト制御信号を受け付けると、そのシフト制御信号が示す所定値だけ入力電圧を下げてシフト電圧を生成する。

[0169] 次に効果を説明する。

[0170] 電圧制御発振器の入出力特性が線形にならないような入力電圧の範囲は、温度、電源電圧の環境変動および各種デバイスの経年変化などにより変化する。このため、予め適切な所定値を知ることが困難な場合がある。

[0171] 本実施形態では、シフト制御回路29は、入力電圧および電流制御発振器26が出力した信号に基づいて、その所定値を制御する。

[0172] この場合、予め適切な所定値を知ることが困難な場合でも、電圧制御発振器の入出力特性が線形になる範囲を広くすることが可能になる。

[0173] 次に、電流制御発振器26の構成の一例について説明する。

[0174] 図10は、電流制御発振器26の構成の一例を示した回路図である。

[0175] 図10において、電流制御発振器26は、入力端子31と、電流出力端子32と、発振器33と、電流制御位相補間回路34と、出力バッファ35とを含む。

[0176] 入力端子31は、電流制御位相補間回路(以下、位相補間回路と称する)34に流れる電流を受け付ける。なお、入力端子31は、図5の電流制御発振器の入力端子261に相当する。

[0177] 電流出力端子32は、その位相補間回路34に流れる電流を出力する。なお、電流出力端子32は、図5の電流制御発振器の端子262に相当する。

[0178] 発振器33は、所定振幅範囲内の振幅で発振する。

[0179] 例えば、発振器33は、ディレイセル33aないし33dを含む。ディレイセル33aないし33dのそれぞれは、リング状に接続される。ディレイセル33aないし33dのそれぞれは、入力された信号を遅延して出力する。

[0180] また、ディレイセル33aないし33dのそれぞれの高電位電源入力端子に電源電圧が印加され、かつ、その低電位電源入力端子に接地電圧が印加される。この場合、電源電圧ないし接地電圧の範囲が、所定振幅範囲になる。

- [0181] なお、図10において、発振器33のディレイセルの数は、4だけだが、実際には4に限らず適宜変更可能である。
- [0182] 電流制御位相補間回路(以下、位相補間回路と称する)34の電流入力端子341は、位相補間回路34に流れる電流を受け付ける。位相補間回路34の電流出力端子342は、位相補間回路34に流れる電流を出力する。
- [0183] 位相補間回路34は、第一電流、第二電流および第三電流に基づいて、発振器33の発振周波数を調節する。
- [0184] 例えば、位相補間回路34は、ディレイセル34aないし34dを含む。ディレイセル34aないし34dのそれぞれは、発振器33の複数のノード間のそれぞれに接続される。
- [0185] ディレイセル34aないし34dのそれぞれの高電位電力入力端子は、位相補間回路34に流れる電流を受け付ける。また、ディレイセル34aないし34dのそれぞれの低電位電力端子は、位相補間回路34に流れる電流を出力する。ディレイセル34aないし34dのそれぞれは、自己に流れる電流に応じて遅延した信号を発振器33のディレイセル33aないし33dに出力する。
- [0186] 発振器33は、自己の高電位電源入力端子および低電位電源入力端子に印加される電圧の変化に応じて出力される信号の振幅が変化する。また、振幅が変化すると、発振器33の発振周波数も変化するため、電圧制御発振器の位相雑音特性は、悪くなる。本実施形態では、発振器33の高電位電源入力端子に電源電圧が印加され、その低電位電源入力端子に接地電圧が印加されるので、発振器33が出力する信号の振幅の変化を軽減することが可能になる。
- [0187] 図11および図12は、発振器33および位相補間回路34のディレイセルの一例を示した回路図である。
- [0188] 図11において、ディレイセルは、高電位電力入力端子ICTRL+と、低電位電力入力端子ICTRL-と、入力端子INP+およびINP-と、出力端子OUT+およびOUT-と、nMOSTランジスタN1ないしN4と、pMOSTランジスタP1ないしP4とを含む。
- [0189] pMOSTランジスタP1およびnMOSTランジスタN1と、pMOSTランジスタP2およびnMOSTランジスタN2とは、それぞれインバータを形成する。

- [0190] また、pMOSトランジスタP3およびnMOSトランジスタN3は、pMOSトランジスタP1およびnMOSトランジスタN1にて形成されるインバータの負荷であり、pMOSトランジスタP4およびnMOSトランジスタN4は、pMOSトランジスタP2およびnMOSトランジスタN2にて形成されるインバータの負荷である。
- [0191] 入力端子INP+に入力された信号が、それらのインバータにより遅延され、その遅延された信号が出力端子OUT+から出力される。また、入力端子INP-に入力された信号が、それらのインバータにより遅延され、その遅延された信号が出力端子OUT-から出力される。
- [0192] 図12において、ディレイセルは、高電位電力入力端子ICTRL+と、低電位電力入力端子ICTRL-と、入力端子INP+およびINP-と、出力端子OUT+およびOUT-と、nMOSトランジスタN5ないしN8と、pMOSトランジスタP5およびP6とを含む。
- [0193] pMOSトランジスタP5およびnMOSトランジスタN5と、pMOSトランジスタP6およびnMOSトランジスタN6とは、それぞれインバータを形成する。また、nMOSトランジスタN7は、pMOSトランジスタP5およびnMOSトランジスタN5にて形成されるインバータの負荷であり、nMOSトランジスタN8は、pMOSトランジスタP6およびnMOSトランジスタN6にて形成されるインバータの負荷である。
- [0194] なお、発振器33および位相補間回路34のディレイセルは、図11および図12で示したディレイセルに限らず適宜変更可能である。
- [0195] 例えば、ディレイセルは、図11で示したディレイセルの高電位電力入力端子ICTRL+と各インバータとの間に、各インバータに流れる電流を制御するための負荷（例えば、トランジスタ）をさらに含んでもよい。この場合、その新たな負荷の抵抗値を電圧または電流にて制御することで、各ディレイセルによる遅延時間を変更することが可能になり、発振器33の出力する発振信号の周波数を変更することが可能になる。
- [0196] 図10に戻る。出力バッファ35は、発振器33から出力された発振信号を増幅し、その増幅した発振信号を出力する。なお、例えば、出力バッファ35の出力先がCMOSロジック回路など、発振信号が、所定電圧範囲外の振幅が必要ない場合、出力バッファ35はなくてもよい。

[0197] 次に効果を説明する。

[0198] 本実施形態では、発振器33は、所定振幅範囲内の振幅で発振する。位相補間回路34は、第一電流、第二電流および第三電流に基づいて、その発振器の発振周波数を調節する。

[0199] この場合、例えば、所定振幅範囲が電源電圧ないし接地電圧の範囲に設定されれば、出力される信号の振幅を大きくすることが可能になる。したがって、電圧制御発振器の位相雑音特性を良くすることが可能になる。

[0200] 次に、電圧制御発振器の構成の他の例について説明する。

[0201] 図13は、電圧制御発振器の構成の一例を示したブロック図である。以下では、主に図5および図10と異なる構成および動作について説明する。なお、図13において、図5または図10と同じものには同じ符号が付してある。

[0202] 変換器23は、位相補間回路34の電流出力端子342およびGND端子28の間に接続される。具体的には、変換器23の端子232は、電流制御発振器26の電流出力端子262と接続される。また、変換器23の端子233は、GND端子28と接続される。変換器23は、入力電圧に応じた電流を流す。

[0203] スイッチ制御電流源24aないし24cのそれぞれは、位相補間回路34の電流入力端子341と電源端子22との間に互いに並列に接続され、自己のスイッチがオンのときに、定電流を流す。

[0204] スイッチ制御電圧電流変換器25b1ないし25b3のそれぞれは、位相補間回路34の電流入力端子341と電源端子22との間に互いに並列に接続され、自己のスイッチがオンのときに、入力電圧に応じた電流を流す。

[0205] 次に、可変変換器24の一例について説明する。

[0206] 図14は、可変変換器24の一例を示した回路図である。図14において、スイッチ制御電流源24aないし24cのそれぞれは、pMOSTランジスタにて形成される。また、これらのpMOSTランジスタは、そのゲートに電源電圧または接地電圧が印加されることで、スイッチとして用いられる。また、pMOSTランジスタは、そのゲートに接地電圧が印加されると、そのときの抵抗値に応じた定電流を流す。

[0207] この場合、MOSTランジスタの縦積み段数の増加を抑制しながら、第二電流を流す

ことが可能になる。

[0208] 次に、可変変換器25の一例について説明する。

[0209] 図15は、可変変換器25の一例を示した回路図である。

[0210] 図15において、レベルシフト回路25aは、ソースフォロワ回路にて構成される。ソースフォロワ回路では、MOSTランジスタおよび抵抗が直列に接続されている。この場合、その抵抗の値に応じて入力電圧がレベルシフトする。

[0211] また、スイッチ制御電圧電流変換器25b1ないし25b3のそれぞれは、カレントミラー回路、パストランジスタおよびMOSTランジスタを含む。また、このMOSTランジスタのゲートに、電源電圧または接地電圧が印加されると、その印加された電圧に応じて状態が変化する。MOSTランジスタは、オンのときにはカレントミラー回路が動作し、オフのときには、カレントミラー回路の動作が停止される。これにより、MOSTランジスタがスイッチとして用いられる。

[0212] 次に、電圧制御発振器の構成の他の例について説明する。

[0213] 図16は、電圧制御発振器の構成の一例を示したブロック図である。以下では、主に図5および図10と異なる構成および動作について説明する。なお、図16において、図5または図10と同じものには同じ符号が付してある。

[0214] 変換器23は、位相補間回路34の電流入力端子341と電源端子22との間に接続される。変換器23は、入力電圧に応じた電流を流す。

[0215] スイッチ制御電流源24aないし24cのそれぞれは、位相補間回路34の電流出力端子342とGND端子28との間に互いに並列に接続される。

[0216] スイッチ制御電圧電流変換器25b1ないし25b3のそれぞれは、位相補間回路34の電流出力端子342とGND端子28との間に互いに並列に接続される。

[0217] 次に効果を説明する。

[0218] 本実施形態では、変換器23は、位相補間回路34の電流入力端子341と電源端子22との間に接続され、入力電圧に応じた電流を流す。スイッチ制御電流源24aないし24cのそれぞれは、位相補間回路34の電流出力端子342とGND端子28との間に互いに並列に接続され、自己のスイッチがオンのときに、定電流を流す。スイッチ制御電圧電流変換器25b1ないし25b3のそれぞれは、位相補間回路34の電流出

力端子342とGND端子28との間に互いに並列に接続され、自己のスイッチがオンのときに、入力電圧に応じた電流を流す。

[0219] この場合、スイッチ制御電流源24aないし24cおよびスイッチ制御電圧電流変換器25b1ないし25b3の各スイッチをnMOSTランジスタにて構成することが可能になり、電圧制御発振器の面積を減少させることが可能になる。これは、nMOSTランジスタがpMOSTランジスタと同じトランスコンダクタンスを小さい面積で実現できるためである。

[0220] 次に、電圧制御発振器を用いた周波数シンセサイザについて説明する。

[0221] 図17Aは、本発明の一実施形態の周波数シンセサイザを示したブロック図である。

[0222] 図17Aにおいて、周波数シンセサイザは、入力端子41と、PLL回路42ないし44と、選択信号入力端子45と、マルチプレクサ回路46と、バッファ回路47とを含む。なお、PLL回路の数は、図17aでは、3だけだが、実際には3に限らず、複数ならばよい。

[0223] 入力端子41は、外部発振器(図示せず)から基準周波数の信号(以下、基準信号と称する)を受け付ける。

[0224] PLL回路42ないし44は、入力端子41から基準信号を受け付ける。

[0225] PLL回路42ないし44は、入力電圧制御回路51と、電圧制御発振部52と、可変分周器53と、分周器54とを含む。

[0226] 入力電圧制御回路51は、入力端子41から基準信号を受け付け、可変分周器53か比較信号を受け付ける。入力電圧制御回路51は、比較信号の周波数および基準信号の基準周波数の位相差を示す位相差信号を生成し、該位相差信号に基づいて入力電圧を制御する。

[0227] 図17bは、入力電圧制御回路51の構成の一例を示したブロック図である。図17bにおいて、入力電圧制御回路51は、位相比較器51aと、チャージポンプ51bと、ローパスフィルタ51cとを含む。

[0228] 位相比較器51aは、比較信号の立ち下がりエッジと基準信号の立ち下がりエッジとを比較してその位相差を検出し、比較信号の位相が基準信号の位相より遅れている場合はプラスの位相差を示す位相差信号を生成し、比較信号の位相が基準信号の位相より進んでいる場合は、マイナスの位相差を示す位相差信号を生成する。位相

比較器51aは、その位相差信号をチャージポンプ51bに出力する。

[0229] チャージポンプ51bは、その位相差信号がプラスの位相差を示す場合、その位相差の絶対値が大きくなるほど入力電圧を増加させ、その位相差信号がマイナスの位相差を示す場合、その位相差の絶対値が大きくなるほど入力電圧を減少させる。

[0230] ローパスフィルタ51cは、その入力電圧を平滑化する。

[0231] 図17aに戻る。電圧制御発振部52は、本実施形態では、図2ないし図16で説明した電圧制御発振器にて構成されとする。

[0232] PLL回路42ないし44のそれぞれの電圧制御発振部52は、自己のPLL回路に応じた周波数範囲内の周波数の信号(以下、出力信号と称する)を出力する。

[0233] 例えば、PLL回路42に応じた周波数範囲は、第一の周波数ないし第二の周波数の範囲であるとする。また、PLL回路43に応じた周波数範囲は、第一の周波数と所定のシフト周波数との和ないし第二の周波数とその所定のシフト周波数との和、の範囲であるとする。さらにPLL回路44に応じた周波数範囲は、第一の周波数とその所定のシフト周波数のn倍との和ないし第二の周波数とその所定のシフト周波数のn倍との和、の範囲であるとする。なお、nは、任意の数でよいが、自然数であることが望ましい。また、本実施形態では、nを2としている。

[0234] 可変分周器53は、電圧制御発振部52から出力信号を受け付け、その出力信号を分周して比較信号を生成する。可変分周器53は、比較信号を入力電圧制御回路51の位相比較器51aに出力する。

[0235] 分周器54は、電圧制御発振部52から出力信号を受け付け、その出力信号を $1/2$ に分周する。分周器54は、その $1/2$ に分周された出力信号を出力する。

[0236] 選択信号入力端子45は、MUX回路(マルチプレクサ回路)46の出力を制御する選択信号を受け付ける。

[0237] MUX回路46は、選択信号入力端子45から選択信号を受け付け、PLL回路42ないし44のそれぞれから出力信号および $1/2$ に分周された出力信号を受け付ける。MUX回路46は、その選択信号に応じて、その受け付けた信号のいずれか一つを出力する。なお、MUX回路は、選択部の一例である。

[0238] バッファ回路47は、MUX回路46が出力した信号を受け付け、その信号を増幅す

る。バッファ回路47は、その増幅した信号を出力する。

[0239] 図18は、PLL回路42ないし44の可変周波数範囲を示した説明図である。図18において、横軸は、周波数を示し、縦軸は、パワースペクトル密度(PSD)を示す。なお、図18では、周波数シンセサイザを、超広帯域無線(UWB:Ultra・Wide・Band)規格の周波数バンドプランに応用した場合について説明する。

[0240] 超広帯域無線とは、スペクトル拡散通信のデータ通信方式の一種であり、データを1GHz程度の極めて広い周波数帯に拡散して、搬送波を使わずにパルスにデータを重畳させて送受信を行うデータ通信方式である。

[0241] 超広帯域無線の周波数バンドプランでは、周波数が複数の周波数バンドに区分されている。図18では、5つの周波数バンドが示されている(Group # 1ないし # 5)。周波数バンド内では、出力される信号の周波数は、高速にホッピングされる必要があるが、周波数バンド間では、その必要はない。

[0242] 周波数シンセサイザが第三および第四グループ(Group # 3および # 4)の周波数範囲内の周波数の信号を出力するためには、従来の周波数シンセサイザのPLL回路の電圧制御発振器は、6600MHzないし9240MHzの可変周波数範囲を有する必要があった。

[0243] 本実施形態の周波数シンセサイザでは、互いに可変周波数範囲が異なる電圧制御発振器を含むPLL回路が3つあるので、各PLL回路の電圧制御発振器は、6600MHzないし9240MHzの可変周波数範囲を有する必要がない。

[0244] 例えば、PLL回路42の電圧制御発振部52は、6600MHzないし8184MHzの可変周波数範囲を有し、PLL回路43の電圧制御発振部52は、7128MHzないし8712MHzの可変周波数範囲を有し、PLL回路44の電圧制御発振部52は、7656MHzないし9240MHzを有すればよい。なお、本実施形態の周波数シンセサイザでは、PLL回路42ないし44は、分周器54にて1/2に分周された信号が用いられることにより、第一グループの周波数範囲をさらに得ている。

[0245] 本実施形態では、PLL回路42ないし44のそれぞれの電圧制御発振部52は、自己のPLL回路に応じた周波数の信号を出力する。MUX回路46は、各PLL回路から出力された信号のいずれか一つを出力する。

- [0246] この場合、周波数シンセサイザが所定の周波数範囲の周波数の信号を生成する場合、個々のPLL回路から出力される信号の周波数の発振周波数範囲は、その所定の周波数範囲より小さくても良くなる。よって、変換ゲインの増加を抑制しながら可変周波数範囲を広くすることが可能になる。
- [0247] 次に、基準周波数を逡倍する周波数シンセサイザについて説明する。
- [0248] 図19は、基準周波数を逡倍する周波数シンセサイザの構成の一例を示したブロック図である。以下、主に図17aと異なる構成および動作について説明する。なお、図19において、図17aと同じものには同じ符号が付してある。
- [0249] 図19において、周波数シンセサイザは、図17aで示した構成に加え、PLL回路61と、MUX制御端子62と、MUX回路63と、電源端子64と、電源管理回路65と、電力スイッチ66とをさらに含む。また、PLL回路42ないし44のそれぞれは、図17aで示した構成に加え、分周器71と、MUX回路72とをさらに含む。
- [0250] PLL回路61は、入力端子41から受付けた基準信号を逡倍し、その逡倍した基準信号(以下、逡倍信号と称する)をMUX回路63に出力する。なお、PLL回路61の逡倍率はM倍とする。また、PLL回路61は、逡倍回路の一例である。
- [0251] MUX制御端子62は、MUX回路63および72の出力を制御する選択制御信号を受け付ける。
- [0252] MUX回路63は、入力端子41から基準信号を受け付け、PLL回路61から逡倍信号を受け付け、MUX制御端子62から選択制御信号を受け付ける。MUX回路63は、その選択制御信号に応じて基準信号および逡倍信号のどちらか一方を、PLL回路42ないし44のいずれか一つに出力する。なお、MUX回路63は、第二の選択部の一例である。
- [0253] 電源端子64は、PLL回路61と接続される。
- [0254] 電源管理回路65は、MUX回路63が逡倍信号を出力するときには、PLL回路61に電力を供給し、MUX回路63が基準信号を出力するときには、PLL回路61への電力の供給を停止する。
- [0255] 例えば、電源管理回路65は、MUX制御端子62から選択制御信号を受け付ける。電源管理回路65は、その選択制御信号がMUX回路63による基準信号の出力を示

すと、電力スイッチ66にオフを示すスイッチ制御信号を出力する。一方、電源管理回路65は、その選択制御信号がMUX回路63による通倍信号の出力を示すと、電力スイッチ66にオンを示すスイッチ制御信号を出力する。

[0256] 分周器71は、可変分周器53から比較信号を受け付け、その比較信号を分周する。分周器71は、その比較信号を分周した信号(以下、分周信号と称する)をMUX回路72に出力する。なお、分周器71の分周比は、M分の1である。

[0257] MUX回路72は、可変分周器53から比較信号を受け付け、分周器71から分周信号を受け付け、MUX制御端子62から選択制御信号を受け付ける。

[0258] MUX回路72は、その選択制御信号に応じて比較信号および分周信号のどちらか一方を、比較信号として入力電圧制御回路51に出力する。具体的には、MUX回路72は、その選択制御信号がMUX回路63による基準信号の出力を示すと、比較信号を入力電圧制御回路51に出力し、その選択制御信号がMUX回路63による通倍信号の出力を示すと、分周信号を入力電圧制御回路51に比較信号として出力する。

[0259] 次に効果を説明する。

[0260] 本実施形態では、PLL回路61は、基準周波数の信号を通倍する。MUX回路63は、その基準信号および通倍信号のどちらか一方をPLL回路42ないし44に出力する。電源管理回路65は、MUX回路63が通倍信号を出力するときには、PLL回路61に電力を供給し、MUX回路63が基準信号を出力するときには、PLL回路61への電力の供給を停止する。

[0261] このため、基準周波数を通倍することが可能な周波数発振器において、その通倍のための電力を軽減することが可能になる。

[0262] 以上説明した実施形態において、図示した構成は単なる一例であって、本発明はその構成に限定されるものではない。本願発明の構成や詳細には、本願発明内で当業者が理解し得る様々な変更をすることができる。

[0263] この出願は、2006年8月11日に提出された日本出願特願2006-219789を基礎とする優先権を主張し、その開示の全てをここに取り込む。

請求の範囲

- [1] 入力電圧に応じた周波数の信号を出力する電圧制御発振器であって、
前記入力電圧を、該入力電圧に応じた第一物理量に変換する変換部と、
前記周波数をオフセットするための複数の第一スイッチを含み、各第一スイッチの状態に応じた第二物理量を生成するオフセット調節部と、
前記入力電圧および前記周波数の関係を線形に調節するための複数の第二スイッチを含み、前記入力電圧が、前記入力電圧および前記周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、前記入力電圧および各第二スイッチの状態に応じた第三物理量を生成する線形調節部と、
前記第一物理量、前記第二物理量および前記第三物理量に応じた周波数の信号を出力する信号出力部と、を含む電圧制御発振器。
- [2] 請求の範囲1に記載の電圧制御発振器において、
前記入力電圧および前記信号に基づいて、各第二スイッチを制御するスイッチ制御回路をさらに含む電圧制御発振器。
- [3] 請求の範囲1に記載の電圧制御発振器において、
前記入力電圧、前記第一物理量、前記第二物理量および前記第三物理量に基づいて、各第二スイッチを制御するスイッチ制御回路をさらに含む電圧制御発振器。
- [4] 請求の範囲1ないし3のいずれか1項に記載の電圧制御発振器において、
前記第一物理量は、第一電流であり、前記第二物理量は、第二電流であり、前記第三物理量は、第三電流である、電圧制御発振器。
- [5] 請求の範囲4に記載の電圧制御発振器において、
前記線形調節部は、
前記入力電圧を所定値だけ下げてレベルシフト電圧を生成するレベルシフト回路と、
前記レベルシフト電圧が、前記所定電圧範囲を前記所定値だけ下げた特定電圧範囲に含まれる際に、前記第三電流を生成する出力回路と、を含む、電圧制御発振器。
- [6] 請求の範囲5に記載の電圧制御発振器において、

前記入力電圧および前記信号に基づいて、前記所定値を制御するシフト制御回路をさらに含む電圧制御発振器。

- [7] 請求の範囲4ないし6のいずれか1項に記載の電圧制御発振器において、
前記信号出力部は、
所定振幅範囲内の振幅で発振する発振器と、
前記第一電流、前記第二電流および前記第三電流に基づいて、前記発振器の発振周波数を調節する位相補間回路と、を含む、電圧制御発振器。
- [8] 請求の範囲7に記載の電圧制御発振器において、
前記位相補間回路は、前記位相補間回路に流れる電流を受け付ける入力端子と、前記位相補間回路を流れた電流を出力する出力端子と、を含み、前記位相補間回路に流れる電流に応じて前記発振器の発振周波数を調節し、
前記変換部は、電源端子と前記入力端子との間に接続され、前記入力電圧に応じた電流を流し、
前記出力端子と接地端子との間に並列に接続され、かつ、前記第一スイッチがオンのときに、定電流を流す複数の定電流回路を含み、
前記線形調節部は、前記出力端子と前記接地端子との間に互いに並列に接続され、かつ、前記第二スイッチがオンのときに、前記入力電圧に応じた電流を流す複数の可変電流回路を含む、電圧制御発振器。
- [9] 入力電圧に応じた周波数の信号を出力する電圧制御発振器であって、
前記入力電圧を、該入力電圧に応じた第一物理量に変換する変換部と、
前記周波数をオフセットするための複数の第一スイッチを含み、各第一スイッチの状態に応じた第二物理量を生成するオフセット調節部と、
前記入力電圧および前記周波数の関係を線形に調節するための状態値を生成する生成回路を含み、前記入力電圧が、前記入力電圧および前記周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、前記入力電圧および前記状態値に応じた第三物理量を生成する線形調節部と、
前記第一物理量、前記第二物理量および前記第三物理量に応じた周波数の信号を出力する信号出力部と、を含む電圧制御発振器。

- [10] 基準周波数の信号に基づいて互いに異なる周波数範囲の周波数の信号を出力する複数のPLL回路を有する周波数シンセサイザであって、
- 各PLL回路は、
- 入力電圧に応じて、該PLL回路に応じた周波数範囲の周波数の信号を出力する電圧制御発振部と、
- 前記電圧制御発振部が出力した信号を分周する可変分周器と、
- 前記可変分周器にて分周された信号の周波数および前記基準周波数の位相差を示す位相差信号を生成し、該位相差信号に基づいて前記入力電圧を制御する入力電圧制御部と、を含み、
- 各PLL回路にて出力された信号のいずれか一つを出力する選択部、を含む周波数シンセサイザ。
- [11] 請求の範囲10に記載の周波数シンセサイザにおいて、
- 前記基準周波数の信号を逡倍する逡倍回路と、
- 前記基準周波数の信号および前記逡倍された基準周波数の信号のどちらか一方を各PLL回路に出力する第二の選択部と、
- 前記第二の選択部が前記逡倍された基準周波数の信号を出力するときには、前記逡倍回路に電力を供給し、前記第二の選択部が前記基準周波数の信号を出力するときには、前記逡倍回路への電力の供給を停止する電源管理部と、をさらに含む周波数シンセサイザ。
- [12] 請求の範囲10または11に記載の周波数シンセサイザにおいて、
- 前記電圧制御発振部は、請求の範囲1ないし9のいずれか1項に記載の電圧制御発振器にて構成される、周波数シンセサイザ。
- [13] 入力電圧に応じた周波数をオフセットするための複数の第一スイッチと、前記入力電圧および前記周波数の関係を線形に調節するための複数の第二スイッチとを含み、前記周波数の信号を出力する電圧制御発振器が行う発振周波数制御方法であって、
- 前記入力電圧を、該入力電圧に応じた第一物理量に変換する変換ステップと、
- 各第一スイッチの状態に応じた第二物理量を生成するオフセット調節ステップと、

前記入力電圧が、前記入力電圧および前記周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、前記入力電圧および各第二スイッチの状態に応じた第三物理量を生成する線形調節ステップと、

前記第一物理量、前記第二物理量および前記第三物理量に応じた周波数の信号を出力する信号出力ステップと、を含む発振周波数制御方法。

[14] 請求の範囲13に記載の発振周波数制御方法において、

前記入力電圧および前記信号に基づいて、各第二スイッチを制御するスイッチ制御ステップをさらに含む発振周波数制御方法。

[15] 請求の範囲13に記載の発振周波数制御方法において、

前記入力電圧、前記第一物理量、前記第二物理量および前記第三物理量に基づいて、各第二スイッチを制御するスイッチ管理ステップをさらに含む発振周波数制御方法。

[16] 請求の範囲13ないし15のいずれか1項に記載の発振周波数制御方法において、

前記第一物理量は、第一電流であり、前記第二物理量は、第二電流であり、前記第三物理量は、第三電流である、発振周波数制御方法。

[17] 請求の範囲16に記載の発振周波数制御方法において、

前記線形調節ステップでは、

前記入力電圧を所定値だけ下げてレベルシフト電圧を生成するレベルシフトステップと、

前記レベルシフト電圧が、前記所定電圧範囲を前記所定値だけ下げた特定電圧範囲に含まれる際に、前記第三電流を生成する生成ステップと、を含む、発振周波数制御方法。

[18] 請求の範囲17に記載の発振周波数制御方法において、

前記入力電圧および前記信号に基づいて、前記所定値を制御するシフト制御ステップをさらに含む発振周波数制御方法。

[19] 入力電圧に応じた周波数をオフセットするための複数の第一スイッチを含み、前記

周波数の信号を出力する電圧制御発振器が行う発振周波数制御方法であって、

前記入力電圧を、該入力電圧に応じた第一物理量に変換する変換ステップと、

各第一スイッチの状態に応じた第二物理量を生成するオフセット調節ステップと、
前記入力電圧および前記周波数の関係を線形に調節するための状態値を作成ステップと、

前記入力電圧が、前記入力電圧および前記周波数の関係を線形に調節するための所定電圧範囲に含まれる際に、前記入力電圧および前記状態値に応じた第三物理量を生成する線形調整ステップと、

前記第一物理量、前記第二物理量および前記第三物理量に応じた周波数の信号を出力する信号出力ステップと、を含む発振周波数制御方法。

- [20] 基準周波数の信号に基づいて互いに異なる周波数範囲の周波数の信号を出力する複数のPLL回路を有する周波数シンセサイザが行う発振周波数制御方法であって、

各PLL回路が、入力電圧に応じて、該PLL回路に応じた周波数範囲の周波数の信号を出力する電圧制御発振ステップと、

各PLL回路が、前記出力された信号を分周する分周ステップと、

各PLL回路が、前記分周された信号の周波数および前記基準周波数の位相差を示す位相差信号を生成する位相差生成ステップと、

各PLL回路が、前記生成された位相差信号に基づいて前記入力電圧を制御する入力電圧制御ステップと、

周波数シンセサイザが、各PLL回路にて出力された信号のいずれか一つを出力する選択ステップと、を含む発振周波数制御方法。

- [21] 請求の範囲20に記載の発振周波数制御方法において、

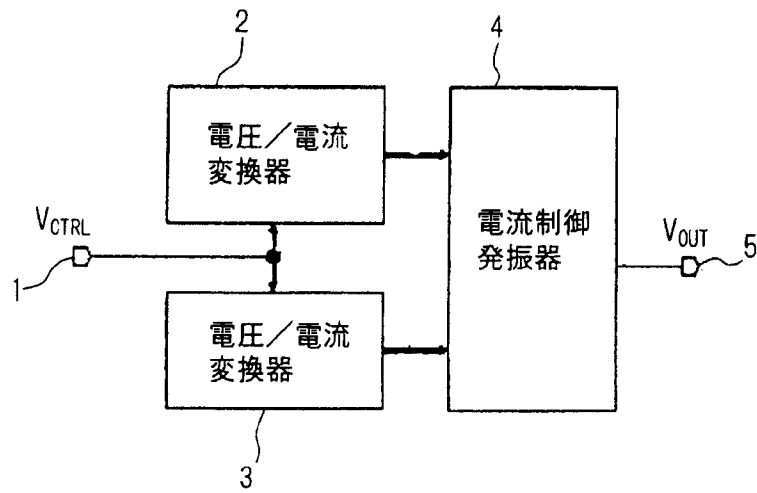
前記周波数シンセサイザは、前記基準周波数の信号を逡倍する逡倍回路と、前記基準周波数の信号および前記逡倍された基準周波数の信号のどちらか一方を各PLL回路に出力する第二の選択部と、を含み、

前記周波数シンセサイザが、前記第二の選択部が前記逡倍された基準周波数の信号を出力するときには、前記逡倍回路に電力を供給する供給ステップと、

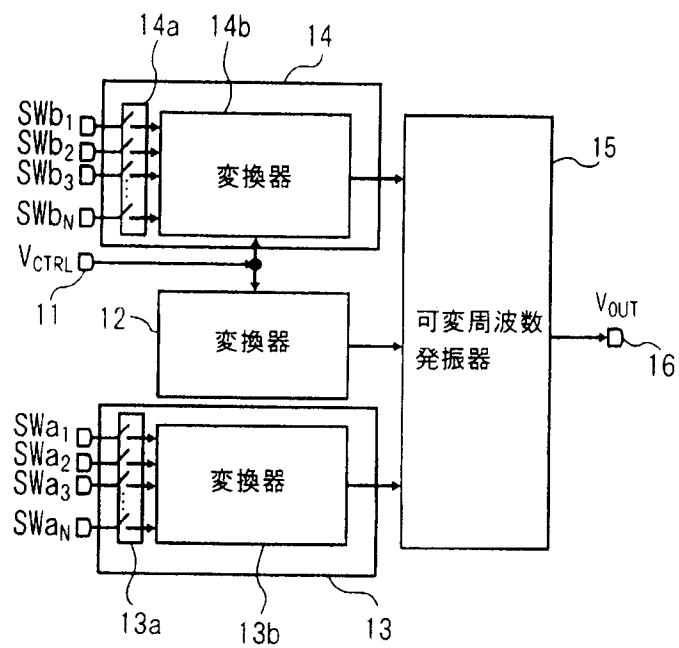
前記周波数シンセサイザが、前記第二の選択部が前記基準周波数の信号を出力するときには、前記逡倍回路への電力の供給を停止する停止ステップと、をさらに含

む発振周波数制御方法。

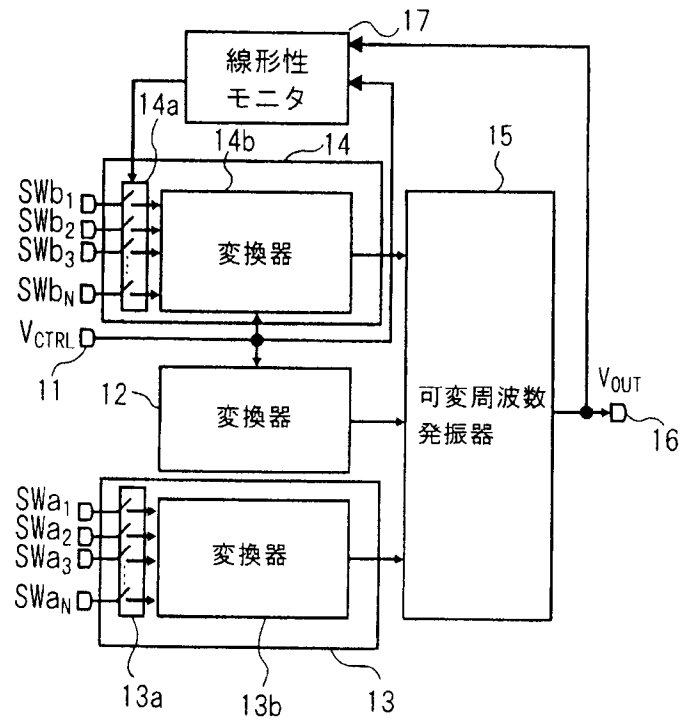
[図1]



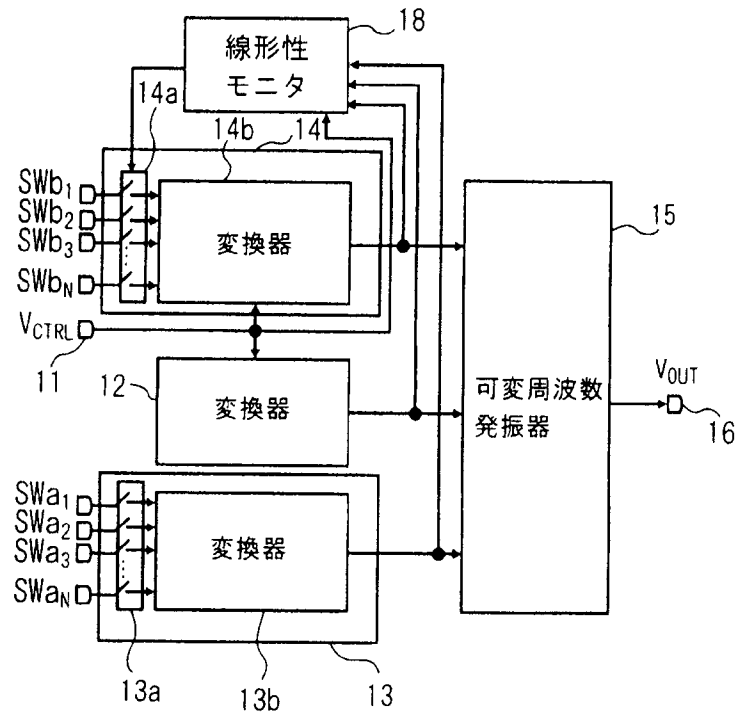
[図2]



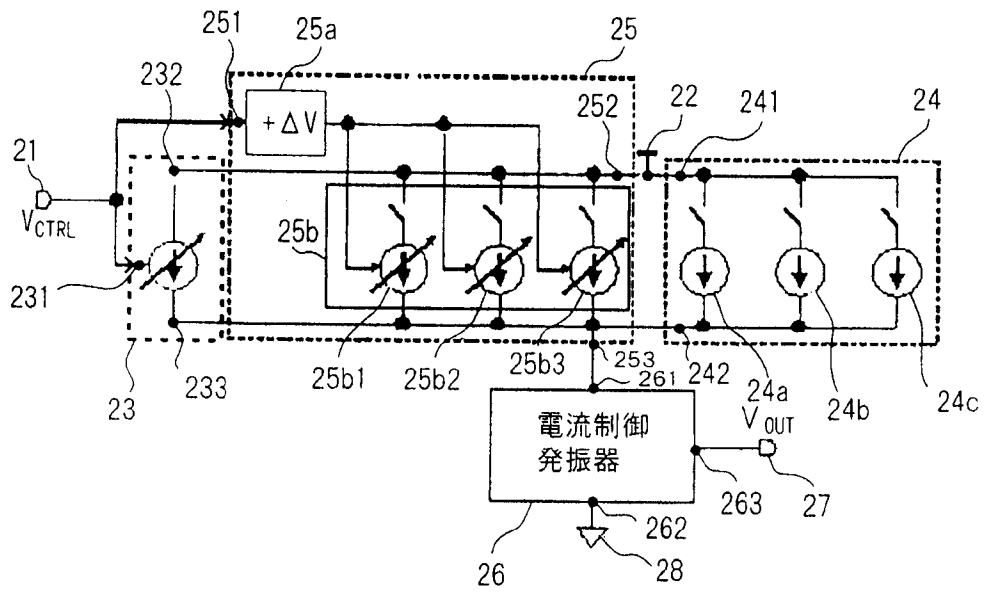
[図3]



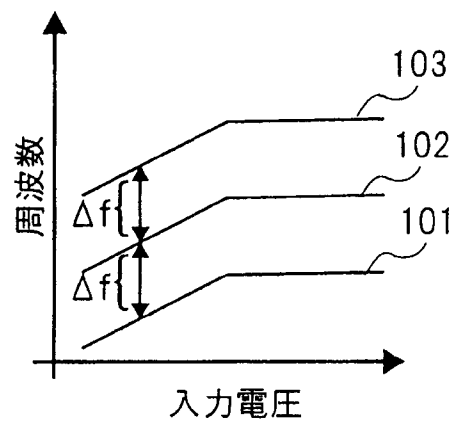
[図4]



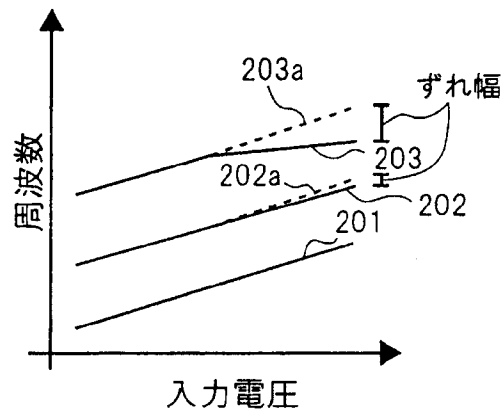
[図5]



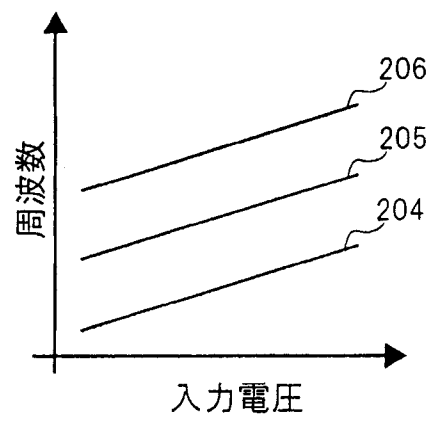
[図6]



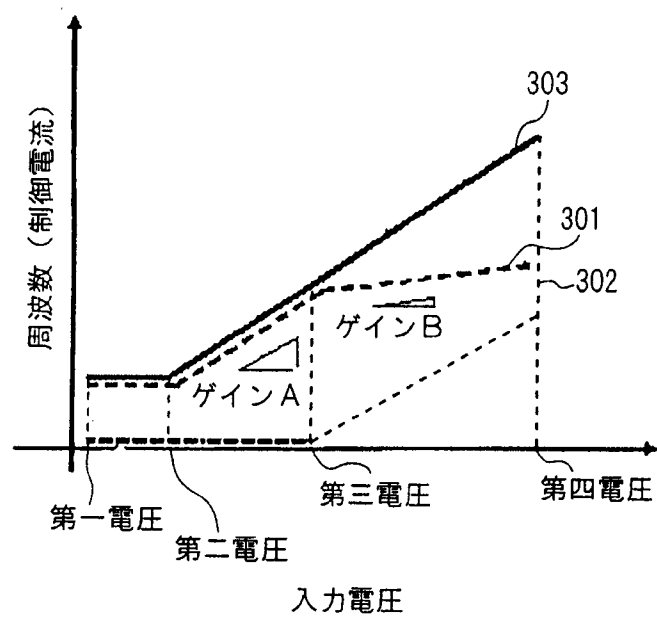
[図7A]



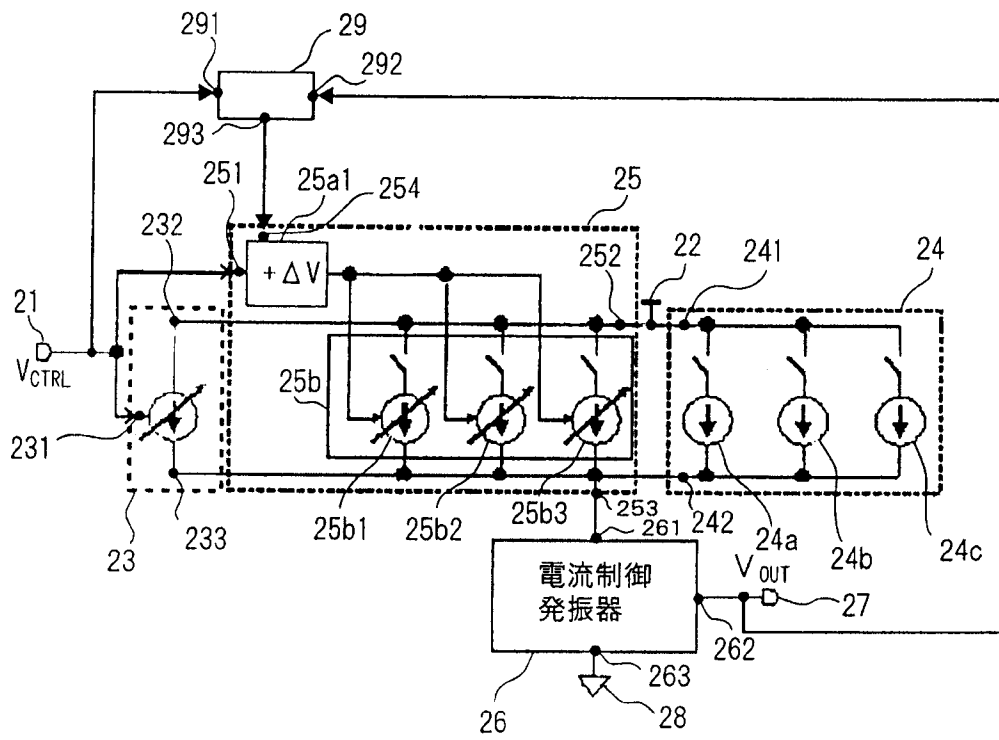
[図7B]



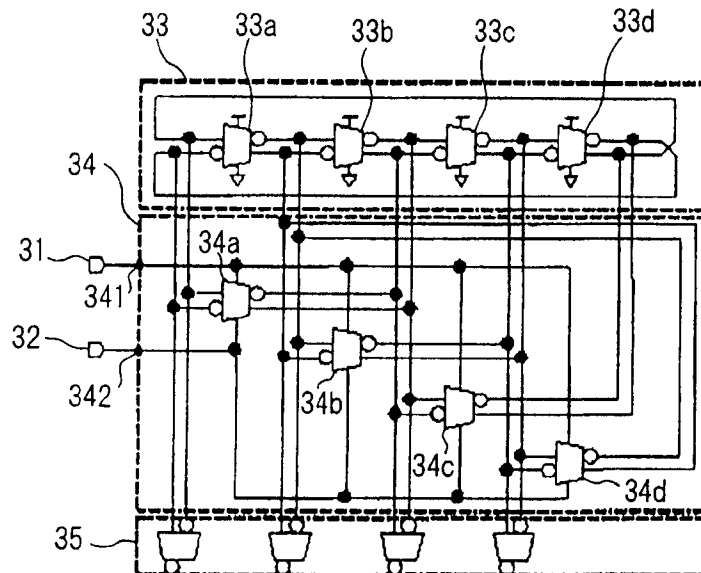
[図8]



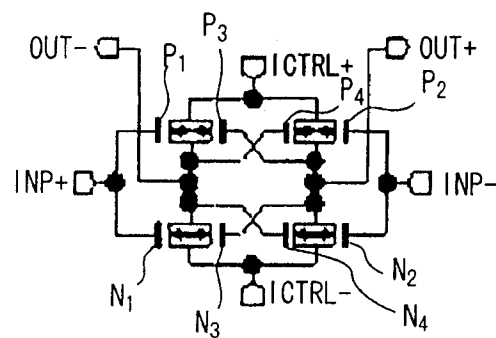
[図9]

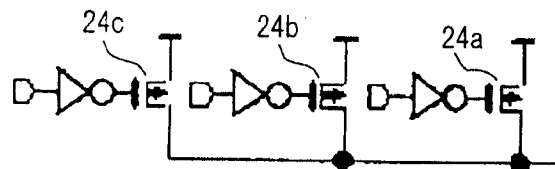
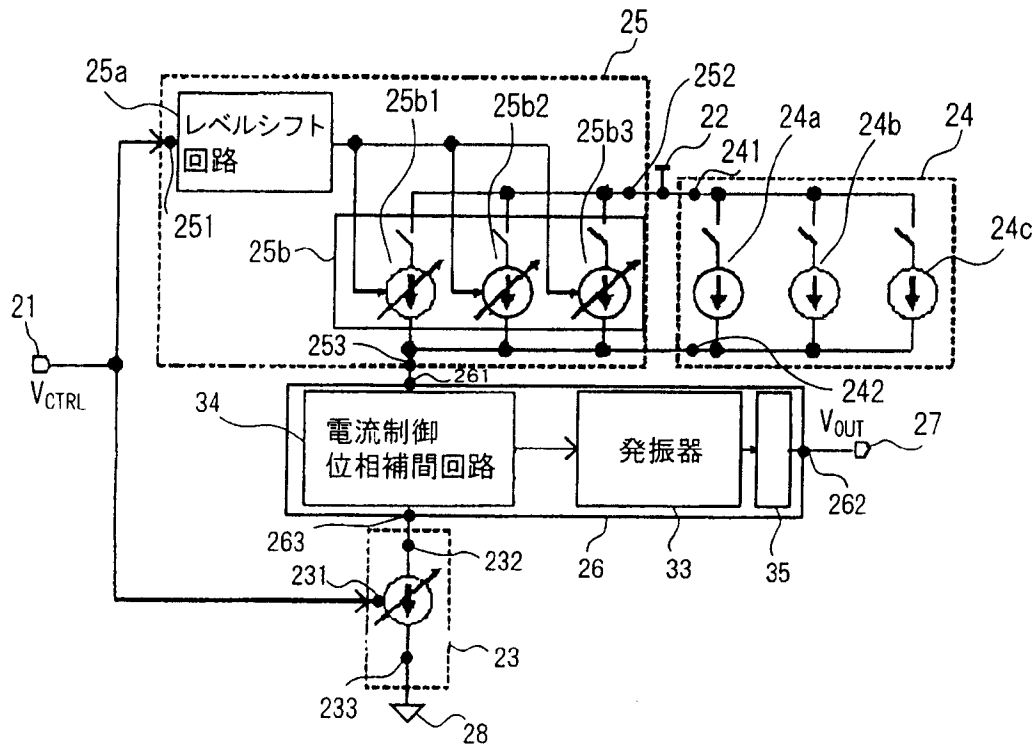
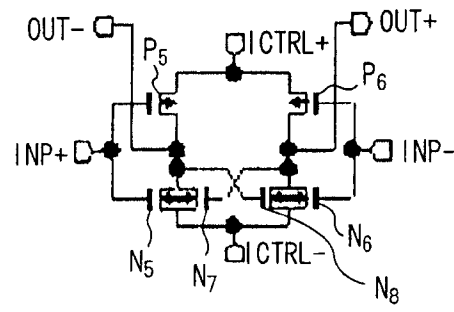


[図10]

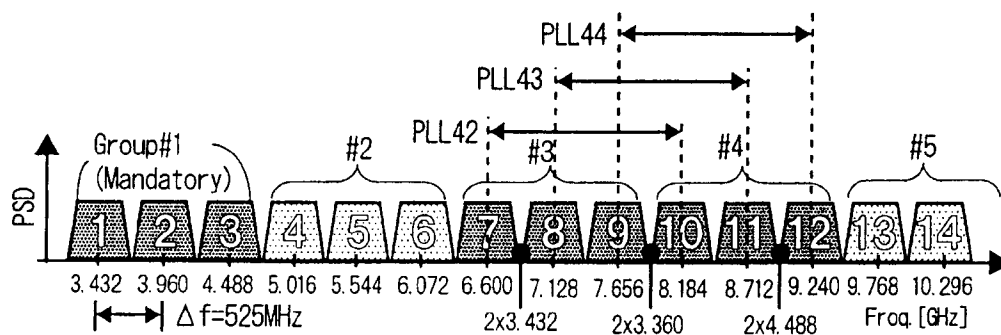
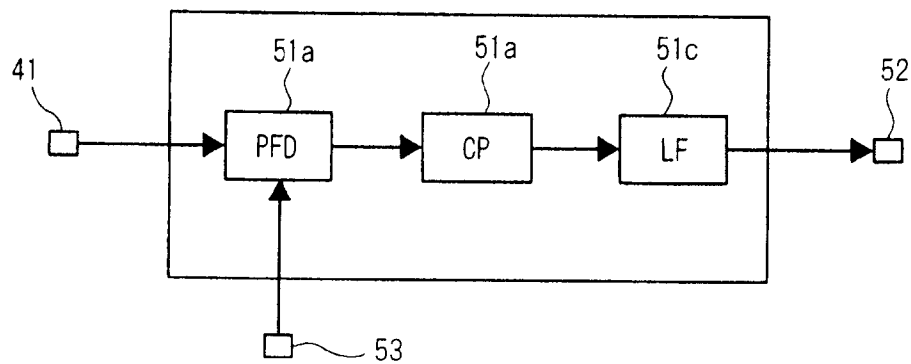
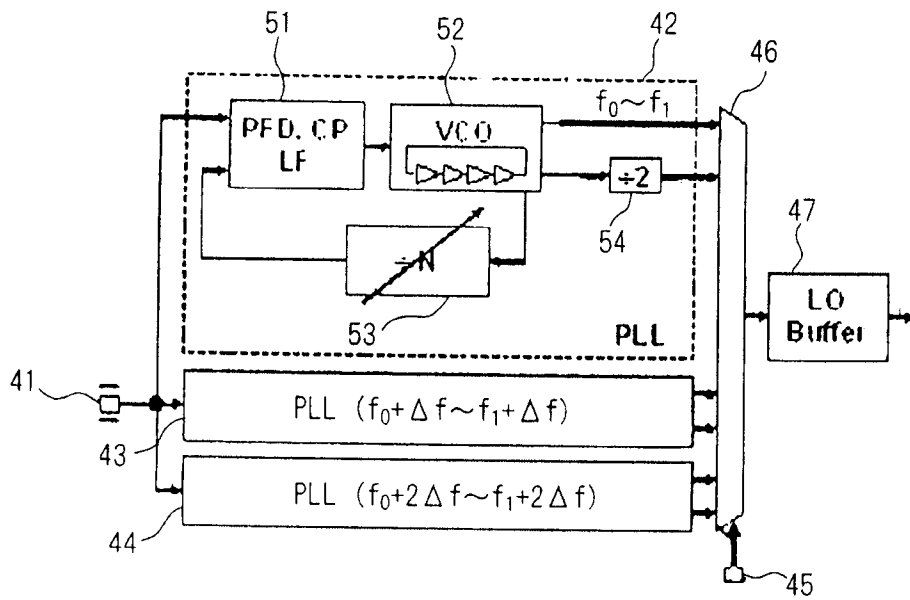


[図11]

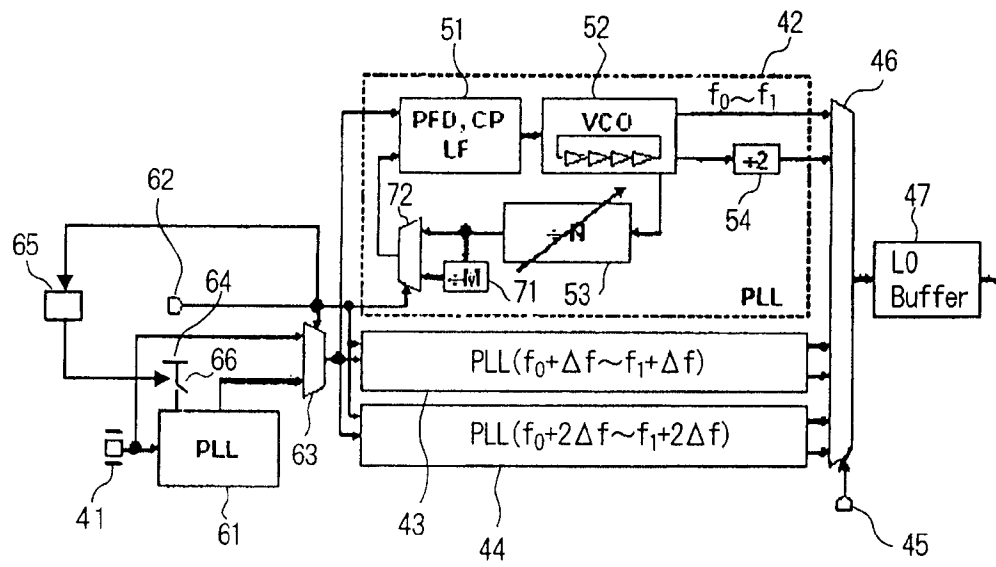




The diagram shows a semiconductor device 25b enclosed in a dashed box. Inside, there are three identical stages labeled 25b1, 25b2, and 25b3. Each stage contains a differential pair of transistors (one PMOS and one NMOS) with a current source load. The sources of the NMOS transistors in all three stages are connected to a common source line. This common source line is connected to a current source 25a, which is controlled by a gate voltage V_{CTR} . The current source 25a is also enclosed in a dashed box.



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/064242

A. CLASSIFICATION OF SUBJECT MATTER

H03K3/354(2006.01)i, H03G5/02(2006.01)i, H03H11/20(2006.01)i, H03L7/099(2006.01)i, H03L7/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/354, H03G5/02, H03H11/20, H03L7/099, H03L7/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 5-37435 A (NEC Corp.), 12 February, 1993 (12.02.93), Par. Nos. [0010] to [0017]; Fig. 1 & US 5270669 A & EP 0526202 A3	10, 20 1-9, 11-19, 21
Y A	JP 3-501912 A (Magellan Corp. (Australia) Pty. Ltd.), 25 April, 1991 (25.04.91), Page 5, lower right column to page 8, upper part; Fig. 6 & US 5107227 A & WO 1989/005063 A1	1-6, 9-10, 12-20 7, 8, 11, 21
Y A	JP 4-304708 A (Hewlett-Packard Co.), 28 October, 1992 (28.10.92), Par. Nos. [0007] to [0018]; Fig. 1 & US 5072197 A	1-6, 9-10, 12-20 7, 8, 11, 21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 August, 2007 (07.08.07)

Date of mailing of the international search report
14 August, 2007 (14.08.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/064242

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 4-259986 A (Fujitsu Ltd.), 16 September, 1992 (16.09.92), Par. Nos. [0007] to [0017]; Figs. 1 to 6 (Family: none)	1-6, 9-10, 12-20 7, 8, 11, 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/064242

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
(see the extra sheet) .

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/064242

Continuation of Box No.III of continuation of first sheet (2)

A matter common to claims 1-21 is "a voltage controlled oscillator". Since it is apparent, however, to those skilled in the art without showing the prior art that the voltage controlled oscillator is not a novel technology, the matter is not a special technical feature in the meaning of PCT Rule 13.2, Second Sentence. Thus, there is no matter common to all the claims.

Since there are no other common matters deemed to be special technical features in the meaning of PCT Rule 13.2, Second Sentence, no technical relationship can be found among the inventions described in the claims in the meaning of PCT Rule 13.2, Second Sentence.

Therefore, claims 1-21 do not comply with the requirement of unity of invention.

Further, in view of the fact that the common matter of claims 1-21 does not clearly make any contribution over the prior art, the inventions described in claims 1-21 are categorized into the following, so that the number of the inventions in the present application is two:

(1) Claims 1-9 and 12-19

The inventions in the claims are related to a technology to linearize a voltage control characteristic of an oscillating frequency in an electric current control type voltage controlled ring oscillator and an oscillating frequency control methods and a voltage controlled oscillator using the same in which output currents from a plurality of electric current switches selectable from the outside are synthesized to generate a driving electric current to the voltage controlled oscillator and makes it possible to linearize the voltage control characteristic.

(2) Claims 11 and 21, and 10 and 20 for convenience

The inventions in the claims are related to a frequency synthesizer that makes it possible to appropriately select one of output signals synchronized in phase with the same reference signal from a plurality of PLL circuits with a selecting means.

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページを参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H03K3/354(2006.01)i, H03G5/02(2006.01)i, H03H11/20(2006.01)i, H03L7/099(2006.01)i, H03L7/10(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H03K3/354, H03G5/02, H03H11/20, H03L7/099, H03L7/10			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X A	J P 5-37435 A （日本電気株式会社） 1993.02.12、段落【0010】～【0017】、図1 & US 5270669 A & EP 0526202 A3	10、20 1-9、11-19及び21	
Y A	J P 3-501912 A （マジェラン・コーポレーション・（オーストラリア）・プロプライエタリィ・リミテッド） 1991.04.25、5頁右下欄～8頁上段、FIGURE 6 & US 5107227 A & WO 1989/005063 A1	1-6、9-10及び12-20 7、8、11及び21	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 07.08.2007		国際調査報告の発送日 14.08.2007	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 石田 勝	5 X 3572
		電話番号 03-3581-1101	内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 4-304708 A (ヒューレット・パッカード・カンパニー) 1992. 10. 28、段落【0007】～【0018】及び図1 & U S 5072197 A	1-6、9-10 及び12-20 7、8、11及び 21
Y A	J P 4-259986 A (富士通株式会社) 1992. 09. 16、段落【0007】～【0017】、図1～図6 (ファミリーなし)	1-6、9-10 及び12-20 7、8、11及び 21

請求の範囲 1 ～ 2 1 に共通な事項は、“電圧制御発振器”である。しかしながら、先行技術を例示するまでもなく、前記の電圧制御発振器が新規な技術でないことは、当業者にとって明らかであるから、PCT規則 13. 2 第 2 文の意味における、特別の技術的特徴には当たらない。それ故、請求の範囲すべてに共通の事項はない。

PCT規則 13. 2 第 2 文の意味において特別の技術的特徴と考えられる他の共通の事項は存在しないため、請求の範囲に記載された各発明相互の間に、同規則第 2 文の意味における技術的な関連を見出すことはできない。

よって、請求の範囲 1 － 2 1 は、発明の単一性を満たしていない。

なお、請求の範囲 1 － 2 1 に共通の事項が先行技術に対する貢献を明示するものでないことに鑑み、請求の範囲に記載された発明を以下のように区分し、本国際出願の発明の数は、2 個とする。

(1) 請求の範囲 1 ～ 9、12 ～ 19

上記請求の範囲に記載された発明は、電流制御型の電圧制御リング発振器における発振周波数の電圧制御特性を線形化する技術に関するものであって、外部から選択可能な複数の電流スイッチからの出力電流を電流合成することにより、前記電圧制御リング発振器への駆動電流を生成し、前記電圧制御リング発振器の電圧制御特性を線形化し得るようにする発振周波数制御方法、及び、これを用いた電圧制御発振器の発明に関するものである。

(2) 請求の範囲 11、21、及び便宜上 10、20

上記請求の範囲に記載された発明は、同一の基準信号に位相同期した複数の PLL 回路の出力信号のうち、いずれか一つの出力信号を、選択手段を用いて適宜選択し得るように構成した、周波数シンセサイザの発明に関するものである。