(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3691113号
(P3691113)
(45)発行日　平成17年8月31日(2005.8.31)　(24)登録日　平成17年6月24日(2005.6.24)

(51)Int.Cl.[7]　F I
G11C 29/00　G11C 29/00　603D

請求項の数 25　(全 76 頁)

(21)出願番号　特願平7-140605
(22)出願日　平成7年6月7日(1995.6.7)
(65)公開番号　特開平8-335399
(43)公開日　平成8年12月17日(1996.12.17)
審査請求日　平成14年5月21日(2002.5.21)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　前野　秀史
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社　システム　エル・エス・アイ開発研究所内

審査官　小松　正

最終頁に続く

(54)【発明の名称】メモリ回路、メモリ回路のデータ制御回路、およびメモリ回路のアドレス指定回路

(57)【特許請求の範囲】

【請求項１】

複数のメモリセルが行列状に配列されてなるメモリセルアレイと、

前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、

前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の少なくとも１個の故障データを補償するよう制御する冗長制御回路と、

を備え、

前記外部接続線の配線数は前記内部接続線の配線数より少なく設定され、

前記冗長制御回路は、

前記外部接続線と同数の制御メモリセルを有し、前記故障データを有する内部接続線を境として一方向側に配された前記外部接続線に関し二値のうちの一方の値を記憶し、前記故障データを有する内部接続線を境として他方向側に配された前記外部接続線に関し二値のうちの他方の値を記憶する制御メモリセル群と、

前記制御メモリセル群の制御メモリセルに夫々対応づけられた複数のセレクタを有し、前記制御メモリセル群に記憶された値に応じて、前記故障データを有する内部接続線と当該内部接続線に対応づけられた前記外部接続線との接続を外すとともに、前記故障データを有する内部接続線を境として一方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に接続し、且つ、前記故障データを有する内部接続線を境として他

方向側に配された外部接続線を、当該各外部接続線に対応づけられた内部接続線に対して前記他方向側に隣接する他の内部接続線に順次切替接続するセレクタ群と、
を備え、
前記制御メモリセル群の前記制御メモリセルのデータ入力端子は、夫々対応づけられた前記外部接続線または前記内部接続線に接続されたことを特徴とするメモリ回路。
【請求項２】
複数のメモリセルが行列状に配列されてなるメモリセルアレイと、
前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、
前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の少なくとも１個の故障データを補償するよう制御する冗長制御回路と、
を備え、
前記外部接続線の配線数は前記内部接続線の配線数より少なく設定され、
前記冗長制御回路は、
前記外部接続線と同数の制御メモリセルを有し、前記故障データを有する内部接続線を境として一方向側に配された前記外部接続線に関し二値のうちの一方の値を記憶し、前記故障データを有する内部接続線を境として他方向側に配された前記外部接続線に関し二値のうちの他方の値を記憶する制御メモリセル群と、
前記制御メモリセル群の制御メモリセルに夫々対応づけられた複数のセレクタを有し、前記制御メモリセル群に記憶された値に応じて、前記故障データを有する内部接続線と当該内部接続線に対応づけられた前記外部接続線との接続を外すとともに、前記故障データを有する内部接続線を境として一方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に接続し、且つ、前記故障データを有する内部接続線を境として他方向側に配された外部接続線を、当該各外部接続線に対応づけられた内部接続線に対して前記他方向側に隣接する他の内部接続線に順次切替接続するセレクタ群と、
を備え、
前記制御メモリセル群の前記各制御メモリセルのデータ入力端子は、制御すべき前記セレクタ群の前記各セレクタが接続された前記外部接続線に対応づけられた前記内部接続線に夫々接続され、
前記制御メモリセル群の前記各制御メモリセルと前記セレクタ群の前記各セレクタとの間に、前記制御メモリセル群による制御の許否を切り替えるスイッチ素子が夫々介装されることを特徴とするメモリ回路。
【請求項３】
複数のメモリセルが行列状に配列されてなるメモリセルアレイと、
前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、
前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の２個の故障データを補償するよう制御する冗長制御回路と、
を備え、
前記外部接続線の配線数は前記内部接続線の配線数より２個だけ少なく設定され、
前記冗長制御回路は、
前記各外部接続線に対応して設けられ、連続して隣合った３個の前記内部接続線を夫々選択的に切り替えるための複数のセレクタからなるセレクタ群と、
前記セレクタ群の前記各セレクタの切替制御を行うよう前記各外部接続線ごとに３値のデータのうちの１値を選択的に記憶する複数の制御メモリセルからなる制御メモリセル群と、
を備え、
前記制御メモリセル群の前記制御メモリセルのデータ入力端子は、夫々対応づけられた

前記外部接続線または前記内部接続線に接続されたことを特徴とするメモリ回路。

【請求項４】

複数のメモリセルが行列状に配列されてなるメモリセルアレイと、

前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、

前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の少なくとも１個の故障データを補償するよう制御する冗長制御回路と、

を備え、

前記外部接続線の配線数は前記内部接続線の配線数より少なく設定され、

前記冗長制御回路は、

前記外部接続線と同数の制御メモリセルを有し、前記故障データを有する内部接続線を境として一方向側に配された前記外部接続線に関し二値のうちの一方の値を記憶し、前記故障データを有する内部接続線を境として他方向側に配された前記外部接続線に関し二値のうちの他方の値を記憶する制御メモリセル群と、

前記制御メモリセル群の制御メモリセルに夫々対応づけられた複数のセレクタを有し、前記制御メモリセル群に記憶された値に応じて、前記故障データを有する内部接続線と当該内部接続線に対応づけられた前記外部接続線との接続を外すとともに、前記故障データを有する内部接続線を境として一方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に接続し、且つ、前記故障データを有する内部接続線を境として他方向側に配された外部接続線を、当該各外部接続線に対応づけられた内部接続線に対して前記他方向側に隣接する他の内部接続線に順次切替接続するセレクタ群と、

を備え、

前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、

前記制御メモリセルの前記セット端子または前記リセット端子は、前記メモリセルアレイの行方向および列方向の他方の内部接続線を制御するデコーダの余剰端子に接続されることを特徴とするメモリ回路。

【請求項５】

請求項２記載のメモリ回路であって、

前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、

前記制御メモリセルの前記セット端子または前記リセット端子は、前記メモリセルアレイの行方向および列方向の他方の内部接続線を制御するデコーダの余剰端子に接続されることを特徴とするメモリ回路。

【請求項６】

複数のメモリセルが行列状に配列されてなるメモリセルアレイと、

前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、

前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の２個の故障データを補償するよう制御する冗長制御回路と、

を備え、

前記外部接続線の配線数は前記内部接続線の配線数より２個だけ少なく設定され、

前記冗長制御回路は、

前記各外部接続線に対応して設けられ、連続して隣合った３個の前記内部接続線を夫々選択的に切り替えるための複数のセレクタからなるセレクタ群と、

前記セレクタ群の前記各セレクタの切替制御を行うよう前記各外部接続線ごとに３値のデータのうちの１値を選択的に記憶する複数の制御メモリセルからなる制御メモリセル群と、

を備え、
前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、
前記制御メモリセルの前記セット端子または前記リセット端子は、前記メモリセルアレイの行方向および列方向の他方の内部接続線を制御するデコーダの余剰端子に接続されることを特徴とするメモリ回路。
【請求項７】
複数のメモリセルが行列状に配列されてなるメモリセルアレイと、
前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、
前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の２個の故障データを補償するよう制御する冗長制御回路と、
を備え、
前記外部接続線の配線数は前記内部接続線の配線数より２個だけ少なく設定され、
前記冗長制御回路は、
前記各外部接続線に対応して設けられ、連続して隣合った３個の前記内部接続線を夫々選択的に切り替えるための複数のセレクタからなるセレクタ群と、
前記セレクタ群の前記各セレクタの切替制御を行うよう前記各外部接続線ごとに３値のデータのうちの１値を選択的に記憶する複数の制御メモリセルからなる制御メモリセル群と、
を備え、
前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、
前記制御メモリセルの前記セット端子または前記リセット端子は、専用デコーダの制御端子に接続されることを特徴とするメモリ回路。
【請求項８】
請求項１記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段を有するメモリ回路のデータ制御回路。
【請求項９】
請求項８記載のメモリ回路のデータ制御回路であって、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データとの少なくとも２種類の情報を選択する第１の選択手段をさらに有するメモリ回路のデータ制御回路。
【請求項１０】
請求項９記載のメモリ回路のデータ制御回路であって、前記第１の選択手段で選択された一方の情報を記憶するレジスタをさらに有するメモリ回路のデータ制御回路。
【請求項１１】
請求項１０記載のメモリ回路のデータ制御回路であって、
前記第１の選択手段は、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルへの外部からの前記書込データと当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも３種類の情報を選択するよう接続されることを特徴とするメモリ回路のデータ制御回路。
【請求項１２】
請求項８記載のメモリ回路のデータ制御回路であって、当該データ制御回路内の前記レジスタからの出力情報と外部からのテストデータとの少なくとも２種類の情報を選択する第２の選択手段をさらに有するメモリ回路のデータ制御回路。

【請求項１３】
請求項１記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、
前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、
前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの前記読出データとの少なくとも２種類の情報を選択する第１の選択手段と、
前記第１の選択手段で選択された情報を記憶するレジスタと、
前記レジスタからの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの前記書込データとの少なくとも２種類の情報を選択するよう接続される第２の選択手段と、
を備えるメモリ回路のデータ制御回路。
【請求項１４】
請求項１３記載のメモリ回路のデータ制御回路であって、前記第１の選択手段は、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの読出データと当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも３種類の情報を選択するよう接続されることを特徴とするメモリ回路のデータ制御回路。
【請求項１５】
請求項１記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、
前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、
前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの前記読出データとの少なくとも２種類の情報を選択する第１の選択手段と、
前記第１の選択手段で選択された情報を記憶する第１のレジスタと、
前記第１のレジスタからの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの前記書込データとの少なくとも２種類の情報を選択するよう接続される第２の選択手段と、
前記第２の選択手段で選択された情報を記憶する第２のレジスタと、
を備えるメモリ回路のデータ制御回路。
【請求項１６】
請求項１５記載のメモリ回路のデータ制御回路であって、前記第２の選択手段は、前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データと前記第１のレジスタからの出力情報と外部からの前記テストデータとの少なくとも３種類の情報を選択するよう構成されたメモリ回路のデータ制御回路。
【請求項１７】
請求項１５記載のメモリ回路のデータ制御回路であって、前記第２の選択手段は、当該データ制御回路内の前記第１のレジスタからの出力情報と当該データ制御回路に隣接する他のデータ制御回路からの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データとの少なくとも３種類の情報を選択するよう構成されたメモリ回路のデータ制御回路。
【請求項１８】
請求項３記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、
前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値

に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、

前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して同一であるとの結果が得られたときに、前記制御メモリセル群の前記制御メモリセルに対して前記３値のデータのうちの第１の値を出力し、前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して不一致であるとの結果が最初に得られたときに、前記制御メモリセル群の前記制御メモリセルに対して前記３値のデータのうちの第２の値を出力し、前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して不一致であるとの結果が２回目に得られたときに、前記制御メモリセル群の前記制御メモリセルに対して前記３値のデータのうちの第３の値を出力する制御データ発生手段と、

を備えるメモリ回路のデータ制御回路。

【請求項１９】

請求項１８記載のメモリ回路のデータ制御回路であって、

前記制御データ発生手段は、

前記期待値比較手段からの出力情報が格納される第１のレジスタと、

前記第１のレジスタに格納された情報および前記期待値比較手段からの出力情報が共に、前記メモリセルアレイの前記メモリセルからの前記読出データが所定の期待値に対して不一致である旨の値を示しているときにのみ当該不一致である旨の値を出力する不一致値出力手段と、

前記不一致値出力手段からの出力情報が格納される第２のレジスタと、

を備えるメモリ回路のデータ制御回路。

【請求項２０】

請求項１８記載のメモリ回路のデータ制御回路であって、外部から与えられまたは内部で発生されたテストデータと前記制御データ発生手段からの出力情報との少なくとも２種類の情報を選択する選択手段をさらに有するメモリ回路のデータ制御回路。

【請求項２１】

請求項１または請求項３記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリ回路が複数の読出データを出力するよう構成されている場合に、前記メモリセルアレイの前記メモリセルからの全ての読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段を有するメモリ回路のデータ制御回路。

【請求項２２】

請求項１または請求項３記載のメモリ回路の前記メモリセルアレイの行方向および列方向の前記外部接続線に接続されるデータ制御回路であって、

前記メモリセルアレイの行方向および列方向のうち一方の外部接続線に接続される第１の制御部と、

前記メモリセルアレイの行方向および列方向のうち他方の外部接続線に接続される第２の制御部と、

を備え、

前記第１の制御部は、

前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、

前記期待値比較手段からの出力情報を格納して前記一方の外部接続線に出力する第１のレジスタと、

を備え、
前記第２の制御部は、前記第１の制御部の前記期待値比較手段からの出力情報を格納して前記他方の外部接続線に出力する第２のレジスタを有するメモリ回路のデータ制御回路。
【請求項２３】
複数のメモリセルが行列状に配列されてなるメモリセルアレイと、前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の少なくとも１個の故障データを補償するよう制御する冗長制御回路とを備えたメモリ回路の前記複数の外部接続線に接続され、前記メモリ回路の一端部から他端部に向かう方向に前記外部接続線を順次指定するアドレス指定回路であって、
前記外部接続線の配線数は前記内部接続線の配線数より少なく設定され、
前記冗長制御回路は、
前記外部接続線と同数の制御メモリセルを有し、前記故障データを有する内部接続線を境として一方向側に配された前記外部接続線に関し二値のうちの一方の値を記憶し、前記故障データを有する内部接続線を境として他方向側に配された前記外部接続線に関し二値のうちの他方の値を記憶する制御メモリセル群と、
前記制御メモリセル群の制御メモリセルに夫々対応づけられた複数のセレクタを有し、前記制御メモリセル群に記憶された値に応じて、前記故障データを有する内部接続線と当該内部接続線に対応づけられた前記外部接続線との接続を外すとともに、前記故障データを有する内部接続線を境として一方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に接続し、且つ、前記故障データを有する内部接続線を境として他方向側に配された外部接続線を、当該各外部接続線に対応づけられた内部接続線に対して前記他方向側に隣接する他の内部接続線に順次切替接続するセレクタ群と、
を備え、
前記アドレス指定回路は、
予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力する全周期系列データ出力回路と、
前記全周期系列データ出力回路からの出力情報に基づいて前記外部接続線を順次指定するデコーダと、
を備え、
前記デコーダは、
前記全周期系列データ出力回路に接続される所定の入力ビット数の入力端子と、
前記外部接続線に接続され、前記全周期系列データ出力回路から出力される全周期系列データの順序に従って一端から他端の方向へ順次配列された所定の出力ビット数の出力端子と、
前記入力端子の前記入力ビット数の値を前記出力端子の前記出力ビット数の値に変換する論理回路部と、
前記論理回路部と前記出力端子の間に介装され、前記論理回路部からの前記所定の出力ビット数の信号を前記出力端子の順序に並び替えるビット順序変換配線と、
を備えることを特徴とするメモリ回路のアドレス指定回路。
【請求項２４】
複数のメモリセルが行列状に配列されてなるメモリセルアレイと、
前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され、外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、
前記メモリセルアレイと前記外部接続線との間に介装され、前記メモリセルアレイに故障が発生した際の２個の故障データを補償するよう制御する冗長制御回路と、
を備えたメモリ回路の前記複数の外部接続線に接続され、前記メモリ回路の一端部から

他端部に向かう方向に前記外部接続線を順次指定するアドレス指定回路であって、
前記外部接続線の配線数は前記内部接続線の配線数より２個だけ少なく設定され、
前記冗長制御回路は、
前記各外部接続線に対応して設けられ、連続して隣合った３個の前記内部接続線を夫々選択的に切り替えるための複数のセレクタからなるセレクタ群と、
前記セレクタ群の前記各セレクタの切替制御を行うよう前記各外部接続線ごとに３値のデータのうちの１値を選択的に記憶する複数の制御メモリセルからなる制御メモリセル群と、
を備え、
前記アドレス指定回路は、
予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力する全周期系列データ出力回路と、
前記全周期系列データ出力回路からの出力情報に基づいて前記外部接続線を順次指定するデコーダと、
を備え、
前記デコーダは、
前記全周期系列データ出力回路に接続される所定の入力ビット数の入力端子と、
前記外部接続線に接続され、前記全周期系列データ出力回路から出力される全周期系列データの順序に従って一端から他端の方向へ順次配列された所定の出力ビット数の出力端子と、
前記入力端子の前記入力ビット数の値を前記出力端子の前記出力ビット数の値に変換する論理回路部と、
前記論理回路部と前記出力端子の間に介装され、前記論理回路部からの前記所定の出力ビット数の信号を前記出力端子の順序に並び替えるビット順序変換配線と、
を備えることを特徴とするメモリ回路のアドレス指定回路。

【請求項２５】

請求項１乃至請求項７のいずれかに記載のメモリ回路の前記複数の外部接続線に接続され、前記メモリ回路の一端部から他端部に向かう方向に前記外部接続線を順次指定するアドレス指定回路であって、
予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力する全周期系列データ出力回路と、
前記全周期系列データ出力回路からの出力情報に基づいて前記外部接続線を順次指定するデコーダと、
を備え、
前記デコーダは、
前記全周期系列データ出力回路に接続される所定の入力ビット数の入力端子と、
前記外部接続線に接続され、前記全周期系列データ出力回路から出力される全周期系列データの順序に従って一端から他端の方向へ順次配列された所定の出力ビット数の出力端子と、
前記入力端子の前記入力ビット数の値を前記出力端子の前記出力ビット数の値に変換する論理回路部と、
前記論理回路部と前記出力端子の間に介装され、前記論理回路部からの前記所定の出力ビット数の信号を前記出力端子の順序に並び替えるビット順序変換配線と、
を備えることを特徴とするメモリ回路のアドレス指定回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、冗長機能付きメモリ回路、当該メモリ回路のデータ制御回路、および当該メモリ回路のアドレス指定回路に関する。

【０００２】

【従来の技術】
{第１の従来例}
図５４は第１の従来例のメモリ回路を示す回路図である。第１の従来例のメモリ回路は、メモリセルアレイ１がカラム冗長制御回路（ＣＯＬ－ＲＥＤ－ＣＴＲＬ）２に接続されており、カラム冗長制御回路２内のフューズＦ１～Ｆ４の切断によってセレクタＳＥＬ１～ＳＥＬ４を制御し、外部ビット線ＯＢＬ１～ＯＢＬ４とメモリセルアレイ１内の内部ビット線ＢＬ１～ＢＬ５との対応関係を切り替えることにより、メモリセルＭ１１～Ｍ１５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…における不良を救済するよう構成されたものである。
【０００３】
すなわち、例えば、内部ビット線ＢＬ２に断線またはショート故障が発生した場合や、内部ビット線ＢＬ２に接続されたメモリセルＭ１２，Ｍ２２，Ｍ３２，…に故障が発生した場合、レーザ光線の照射によって図５４のようにフューズＦ２を切断することで、ノードＮ１＝「０」、Ｎ２＝「１」、Ｎ３＝「１」、Ｎ４＝「１」とし、セレクタＳＥＬ２～ＳＥＬ４を「０」から「１」に接点切替を行う。そして、外部ビット線ＯＢＬ１と内部ビット線ＢＬ１、外部ビット線ＯＢＬ２と内部ビット線ＢＬ３、外部ビット線ＯＢＬ３と内部ビット線ＢＬ４、外部ビット線ＯＢＬ４と内部ビット線ＢＬ５を夫々対応させる。
【０００４】
通常、動作用メモリセルＭ１１～Ｍ１５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…は、外部ビット線ＯＢＬ１～ＯＢＬ４からアクセスされるので、内部ビット線ＢＬ２に関する故障は外部からは観測されず、あたかも故障のないメモリ回路のように動作させることができる。
【０００５】
なお、図５４では、外部ビット線ＯＢＬ１～ＯＢＬ４、フューズＦ１～Ｆ４、およびセレクタＳＥＬ１～ＳＥＬ４の個数を便宜上それぞれ４個として記載しているが、実際にはこれらは数多く存在することになる。
【０００６】
{第２の従来例}
図５５は、第２の従来例のメモリ回路を示す回路図である。なお、図５５では、図５４に示した第１の従来例と同様の機能を有するものについては同一符号を付している。第２の従来例のメモリ回路は、メモリセルアレイ１がロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）３に接続されており、ロウ冗長制御回路３内のフューズＦ１～Ｆ４の切断によってセレクタＳＥＬ１～ＳＥＬ４を制御し、外部ワード線ＯＷＬ１～ＯＷＬ４とメモリセルアレイ１内の内部ワード線ＷＬ１～ＷＬ５との対応関係を切り替えることにより、メモリセルＭ１１～Ｍ１３…，Ｍ２１～Ｍ２３…，Ｍ３１～Ｍ３３…，Ｍ４１～Ｍ４３…，Ｍ５１～Ｍ５３…における不良を救済するよう構成されたものである。
【０００７】
すなわち、例えば、ワード線ＷＬ２に断線またはショート故障が発生した場合や、ワード線ＷＬ２に接続されたメモリセルＭ２１～Ｍ２３…に故障が発生した場合、レーザ光線の照射によって図５５のようにフューズＦ２を切断することで、ノードＮ１＝「０」、Ｎ２＝「１」、Ｎ３＝「１」、Ｎ４＝「１」とし、セレクタＳＥＬ２～ＳＥＬ４を「０」から「１」に接点切替を行う。そして、外部ワード線ＯＷＬ１と内部ワード線ＷＬ１、外部ワード線ＯＷＬ２と内部ワード線ＷＬ３、外部ワード線ＯＷＬ３と内部ワード線ＷＬ４、外部ワード線ＯＷＬ４と内部ワード線ＷＬ５を夫々対応させる。
【０００８】
通常、動作用メモリセルＭ１１～Ｍ１３…，Ｍ２１～Ｍ２３…，Ｍ３１～Ｍ３３…，Ｍ４１～Ｍ４３…，Ｍ５１～Ｍ５３…は、外部ワード線ＯＷＬ１～ＯＷＬ４からアクセスされるので、内部ワード線ＷＬ２に関する故障は外部からは観測されず、あたかも故障のないメモリ回路のように動作させることができる。
【０００９】

なお、図５５では、外部ワード線ＯＷＬ１～ＯＷＬ４、フューズＦ１～Ｆ４、およびセレクタＳＥＬ１～ＳＥＬ４の個数を便宜上それぞれ４個として記載しているが、実際にはこれらは数多く存在することになる。

【００１０】

【発明が解決しようとする課題】

第１の従来例および第２の従来例では、カラム冗長制御回路２またはロウ冗長制御回路３にフューズＦ１～Ｆ４を用い、故障の場合にフューズＦ１～Ｆ４のレーザ光線による切断作業を実施していたが、この方法だと、メモリテスト後の製造工程ラインにレーザ装置を必ず設置する必要がある。しかしながら、故障の場合だけにしか使用しない（すなわち使用頻度が低い）割には、レーザ装置は極めて高価であり、製造コストが非常に高くつくという問題があった。

【００１１】

本発明は、上記課題に鑑み、高価なレーザ装置を用いることなく、半導体装置自身や半導体装置を含むコンピュータ等の装置自身によってテストを行って適切な冗長回路の切り替えを行い得るメモリ回路を提供することを目的とする。

【００１２】

【課題を解決するための手段】

本発明の請求項１、請求項２、請求項４及び請求項２３に係る課題解決手段は、メモリ回路が、複数のメモリセルが行列状に配列されてなるメモリセルアレイと、前記メモリセルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、前記メモリセルアレイと前記外部接続線との間に介装され前記メモリセルアレイに故障が発生した際の少なくとも１個の故障データを補償するよう制御する冗長制御回路と、を備える。

【００１３】

また、前記外部接続線の配線数は前記内部接続線の配線数より少なく設定される。

【００１４】

そして、前記冗長制御回路は、前記外部接続線と同数の制御メモリセルを有し前記故障データを有する内部接続線を境として一方向側に配された前記外部接続線に関し二値のうちの一方の値を記憶し前記故障データを有する内部接続線を境として他方向側に配された前記外部接続線に関し二値のうちの他方の値を記憶する制御メモリセル群と、前記制御メモリセル群の制御メモリセルに夫々対応づけられた複数のセレクタを有し前記制御メモリセル群に記憶された値に応じて前記故障データを有する内部接続線と当該内部接続線に対応づけられた前記外部接続線との接続を外すとともに前記故障データを有する内部接続線を境として一方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に接続し且つ前記故障データを有する内部接続線を境として他方向側に配された外部接続線を当該各外部接続線に対応づけられた内部接続線に対して前記他方向側に隣接する他の内部接続線に順次切替接続するセレクタ群と、を備える。

【００１５】

本発明の請求項１に係る課題解決手段は、前記制御メモリセル群の前記制御メモリセルのデータ入力端子は、夫々対応づけられた前記外部接続線または前記内部接続線に接続される。

【００１６】

本発明の請求項２に係る課題解決手段は、前記制御メモリセル群の前記各制御メモリセルのデータ入力端子は、制御すべき前記セレクタ群の前記各セレクタが接続された前記外部接続線に対応づけられた前記内部接続線に夫々接続され、前記制御メモリセル群の前記各制御メモリセルと前記セレクタ群の前記各セレクタとの間に、前記制御メモリセル群による制御の許否を切り替えるスイッチ素子が夫々介装される。

【００１７】

本発明の請求項３，請求項６、請求項７及び請求項２４に係る課題解決手段は、メモリ回路が、複数のメモリセルが行列状に配列されてなるメモリセルアレイと、前記メモリセ

ルアレイの行方向および列方向の少なくとも一方の複数の内部接続線に接続され外部から前記メモリセルアレイに対してデータの授受を行うための複数の外部接続線と、前記メモリセルアレイと前記外部接続線との間に介装され前記メモリセルアレイに故障が発生した際の２個の故障データを補償するよう制御する冗長制御回路と、を備える。

【００１８】

また、前記外部接続線の配線数は前記内部接続線の配線数より２個だけ少なく設定される。

【００１９】

そして、前記冗長制御回路は、前記各外部接続線に対応して設けられ連続して隣合った３個の前記内部接続線を夫々選択的に切り替えるための複数のセレクタからなるセレクタ群と、前記セレクタ群の前記各セレクタの切替制御を行うよう前記各外部接続線ごとに３値のデータのうちの１値を選択的に記憶する複数の制御メモリセルからなる制御メモリセル群と、を備える。

【００２０】

本発明の請求項３に係る課題解決手段は、前記制御メモリセル群の前記制御メモリセルのデータ入力端子は、夫々対応づけられた前記外部接続線または前記内部接続線に接続される。

【００２１】

本発明の請求項４、請求項５及び請求項６に係る課題解決手段は、前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、前記制御メモリセルの前記セット端子または前記リセット端子は、前記メモリセルアレイの行方向および列方向の他方の内部接続線を制御するデコーダの余剰端子に接続される。

【００２２】

本発明の請求項７に係る課題解決手段は、前記制御メモリセル群の前記制御メモリセルはセット端子を有するセット機能付き、またはリセット端子を有するリセット機能付きのものが使用され、前記制御メモリセルの前記セット端子または前記リセット端子は、専用デコーダの制御端子に接続される。

【００２３】

本発明の請求項８に係る課題解決手段は、請求項１記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段を有する。

【００２４】

本発明の請求項９に係る課題解決手段は、請求項８記載のメモリ回路のデータ制御回路であって、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データとの少なくとも２種類の情報を選択する第１の選択手段をさらに有する。

【００２５】

本発明の請求項１０に係る課題解決手段は、請求項９記載のメモリ回路のデータ制御回路であって、前記第１の選択手段で選択された一方の情報を記憶するレジスタをさらに有する。

【００２６】

本発明の請求項１１に係る課題解決手段は、請求項１０記載のメモリ回路のデータ制御回路であって、前記第１の選択手段は、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルへの外部からの前記書込データと当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも３種類の情報を選択するよう接続される。

【００２７】

本発明の請求項１２に係る課題解決手段は、請求項８記載のメモリ回路のデータ制御回路であって、当該データ制御回路内の前記レジスタからの出力情報と外部からのテストデータとの少なくとも２種類の情報を選択する第２の選択手段をさらに有する。

【００２８】

本発明の請求項１３に係る課題解決手段は、請求項１記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断しその比較結果に基づいて前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの前記読出データとの少なくとも２種類の情報を選択する第１の選択手段と、前記第１の選択手段で選択された情報を記憶するレジスタと、前記レジスタからの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの前記書込データとの少なくとも２種類の情報を選択するよう接続される第２の選択手段と、を備える。

【００２９】

本発明の請求項１４に係る課題解決手段は、請求項１３記載のメモリ回路のデータ制御回路であって、前記第１の選択手段は、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの読出データと当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも３種類の情報を選択するよう接続される。

【００３０】

本発明の請求項１５に係る課題解決手段は、請求項１記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断しその比較結果に基づいて前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段で発生された前記制御用の値と前記メモリセルアレイの前記メモリセルからの前記読出データとの少なくとも２種類の情報を選択する第１の選択手段と、前記第１の選択手段で選択された情報を記憶する第１のレジスタと、前記第１のレジスタからの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの前記書込データとの少なくとも２種類の情報を選択するよう接続される第２の選択手段と、前記第２の選択手段で選択された情報を記憶する第２のレジスタと、を備える。

【００３１】

本発明の請求項１６に係る課題解決手段は、請求項１５記載のメモリ回路のデータ制御回路であって、前記第２の選択手段は、前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データと前記第１のレジスタからの出力情報と外部からの前記テストデータとの少なくとも３種類の情報を選択するよう構成される。

【００３２】

本発明の請求項１７に係る課題解決手段は、請求項１５記載のメモリ回路のデータ制御回路であって、前記第２の選択手段は、当該データ制御回路内の前記第１のレジスタからの出力情報と当該データ制御回路に隣接する他のデータ制御回路からの出力情報と前記メモリセルアレイの前記メモリセルへ書き込むための外部からの書込データとの少なくとも３種類の情報を選択するよう構成されている。

【００３３】

本発明の請求項１８に係る課題解決手段は、請求項３記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断しその比較結果に基づいて前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して

同一であるとの結果が得られたときに前記制御メモリセル群の前記制御メモリセルに対して前記３値のデータのうちの第１の値を出力し前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して不一致であるとの結果が最初に得られたときに前記制御メモリセル群の前記制御メモリセルに対して前記３値のデータのうちの第２の値を出力し前記期待値比較手段において前記メモリセルアレイの前記メモリセルからの前記読出データが前記所定の期待値に対して不一致であるとの結果が２回目に得られたときに前記制御メモリセル群の前記制御メモリセルに対して前記３値のデータのうちの第３の値を出力する制御データ発生手段と、を備える。

【００３４】

本発明の請求項１９に係る課題解決手段は、請求項１８記載のメモリ回路のデータ制御回路であって、前記制御データ発生手段は、前記期待値比較手段からの出力情報が格納される第１のレジスタと、前記第１のレジスタに格納された情報および前記期待値比較手段からの出力情報が共に前記メモリセルアレイの前記メモリセルからの前記読出データが所定の期待値に対して不一致である旨の値を示しているときにのみ当該不一致である旨の値を出力する不一致値出力手段と、前記不一致値出力手段からの出力情報が格納される第２のレジスタと、を備える。

【００３５】

本発明の請求項２０に係る課題解決手段は、請求項１８記載のメモリ回路のデータ制御回路であって、外部から与えられまたは内部で発生されたテストデータと前記制御データ発生手段からの出力情報との少なくとも２種類の情報を選択する選択手段をさらに有する。

【００３６】

本発明の請求項２１に係る課題解決手段は、請求項１または請求項３記載のメモリ回路の前記各外部接続線ごとに設けられるデータ制御回路であって、前記メモリ回路が複数の読出データを出力するよう構成されている場合に、前記メモリセルアレイの前記メモリセルからの全ての読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段を有する。

【００３７】

本発明の請求項２２に係る課題解決手段は、請求項１または請求項３記載のメモリ回路の前記メモリセルアレイの行方向および列方向の前記外部接続線に接続されるデータ制御回路であって、前記メモリセルアレイの行方向および列方向のうち一方の外部接続線に接続される第１の制御部と、前記メモリセルアレイの行方向および列方向のうち他方の外部接続線に接続される第２の制御部と、を備える。

【００３８】

そして、前記第１の制御部は、前記メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断しその比較結果に基づいて前記制御メモリセル群の前記制御メモリセルの前記データ入力端子に与えるべき制御用の値を発生する期待値比較手段と、前記期待値比較手段からの出力情報を格納して前記一方の外部接続線に出力する第１のレジスタと、を備える。

【００３９】

また、前記第２の制御部は、前記期待値比較手段からの出力情報を格納して前記他方の外部接続線に出力する第２のレジスタを有する。

【００４０】

本発明の請求項２３～請求項２５に係る課題解決手段は、メモリ回路の前記複数の外部接続線に接続され前記メモリ回路の一端部から他端部に向かう方向に前記外部接続線を順次指定するアドレス指定回路であって、予め設定された演算式に基づいて一定の周期を有する疑似的な乱数としての全周期系列データを出力する全周期系列データ出力回路と、前記全周期系列データ出力回路からの出力情報に基づいて前記外部接続線を順次指定するデコーダと、を備える。

【００４１】

そして、前記デコーダは、前記全周期系列データ出力回路に接続される所定の入力ビット数の入力端子と、前記外部接続線に接続され前記全周期系列データ出力回路から出力される全周期系列データの順序に従って一端から他端の方向へ順次配列された所定の出力ビット数の出力端子と、前記入力端子の前記入力ビット数の値を前記出力端子の前記出力ビット数の値に変換する論理回路部と、前記論理回路部と前記出力端子の間に介装され前記論理回路部からの前記所定の出力ビット数の信号を前記出力端子の順序に並び替えるビット順序変換配線と、を備える。

【００４２】

【作用】

本発明請求項１、請求項２、請求項４及び請求項２３では、第１の従来例および第２の従来例のようにフューズをレーザ光線によって切断しなくても、図１，図２，図３３，図３４の如く、制御メモリセル群の各制御メモリセル内に格納した値によってセレクタ群の各セレクタを切り替えることで、適切な冗長回路の切り替えを行うことができる。したがって、高価なレーザ装置を使用する必要がなくなり、製造工程ラインの設備コストを低減できるだけでなく、極めて短時間で冗長回路の切り替えを効率よく行うことができる。

【００４３】

本発明請求項１に係るメモリ回路では、図１，図２，図３，図３３，図３４，図３５の如く、制御メモリセル群の制御メモリセルへデータを書き込む際、メモリセルアレイのメモリセルにデータを書き込む際と同様に、外部接続線からデータを与えてやればよい。したがって、専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【００４４】

本発明請求項２に係るメモリ回路では、図３，図３５の如く、制御メモリセル群の各制御メモリセルをメモリセルアレイの内部接続線に夫々接続することで、制御メモリセル群とメモリセルアレイとを隣接させて同一規格で同時に形成することができ、例えばメモリセルアレイの余剰列部分を制御メモリセル群として使用することができる。

【００４５】

この場合において、制御メモリセルの値によっては、セレクタの切り替えによって外部接続線と制御メモリセルとが非接続状態になることがあり、このままの状態では、例えばメモリセルアレイの故障を修理した後であっても、永遠に外部接続線からデータを与えて制御メモリセル群の各制御メモリセルにデータを格納し直すことができなくなってしまい、セレクタの切り替えが不可能になるおそれがある。そこで、請求項２では、スイッチ素子によって制御メモリセル群による制御の許否を切り替え、セレクタを切り替えることで、外部接続線からデータを与えて制御メモリセル群の各制御メモリセルにデータを格納し直すことを可能とする。

【００４６】

本発明請求項３，請求項６、請求項７及び請求項２４では、図４，図５，図６，図８，図９，図２６，図２７，図３６，図３７，図３８，図３９，図４０の如く、制御メモリセル群の制御メモリセルによって、各外部接続線ごとに３値のデータのうちの１値を選択的にセレクタ群の各セレクタへ出力し、これにしたがって、セレクタ群の各セレクタは、連続して隣合った３個の内部接続線を夫々選択的に切り替える。そうすると、内部接続線の故障を最大２本まで救済できる。しかも、請求項１、請求項２、請求項４及び請求項２３と同様、高価なレーザ装置を使用する必要がなくなり、製造工程ラインの設備コストを低減できるだけでなく、極めて短時間で冗長回路の切り替えを効率よく行うことができる。

【００４７】

本発明請求項３に係るメモリ回路では、図４，図３６の如く、２ビット救済の冗長機能を有する場合に、制御メモリセル群の制御メモリセルへデータを書き込む際、メモリセルアレイのメモリセルにデータを書き込む際と同様に、外部接続線からデータを与えてやればよい。したがって、専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【００４８】

本発明請求項４、請求項５及び請求項６に係るメモリ回路では、図１０の如く、制御メモリセルのセット動作またはリセット動作を、アドレス指定用のデコーダの余剰端子を利用して行うことができ、専用の制御回路によってセット動作またはリセット動作を行う場合に比べて、回路効率を高めることができる。

【００４９】

本発明請求項７に係るメモリ回路では、図１７の如く、制御メモリセルのセット動作またはリセット動作を、専用デコーダを用いて行うことができ、当該専用デコーダに与える信号の管理等、制御が容易になる。

【００５０】

本発明請求項８に係るメモリ回路のデータ制御回路では、図１１，図１２，図２８，図２９，図３１，図４１，図４２（ａ），図４２（ｂ），図４２（ｃ），図４３，図４４の如く、メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致である場合、期待値比較手段によってその旨を判断し、その結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値を発生する。このように、故障データを自動的に検出して、メモリ回路の制御を行うことができ、効率的な冗長切替を行うことができる。

【００５１】

本発明請求項９に係るメモリ回路のデータ制御回路では、図１１，図１２，図２８，図２９，図３１の如く、メモリセルアレイのメモリセルへの書込データと、制御メモリセル群の制御メモリセルへの制御用の値とを、第１の選択手段を切り替えることで容易に選択して外部接続線へ与えることができ、制御メモリセル群に対する専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【００５２】

本発明請求項１０に係るメモリ回路のデータ制御回路では、図１２，図２８，図２９，図３１の如く、第１の選択手段で選択された一方の情報を、レジスタによって保持することで、データの取扱いが便利になる。

【００５３】

本発明請求項１１に係るメモリ回路のデータ制御回路では、図１２，図１３，図１６，図２８，図２９，図３０，図３１，図３２（ａ），図３２（ｂ）の如く、複数のデータ制御回路を直列に接続してスキャンパスを形成する場合に、データスキャン時には、第１の選択手段の切り替えによって、当該データ制御回路に隣接する他のデータ制御回路からの出力情報を選択して出力する。これにより、スキャンデータの効率良い供給を行うことができる。

【００５４】

本発明請求項１２に係るメモリ回路のデータ制御回路では、図１２，図３１の如く、第２の選択手段によって、テスト時の書込データと、期待値比較手段からの出力情報とを適宜選択して外部接続線へ出力する。これにより、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【００５５】

本発明請求項１３に係るメモリ回路のデータ制御回路では、図１４の如く、第１の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイからの読出データとの少なくとも２種類の情報を選択し、第２の選択手段によって、第１の選択手段およびレジスタからの出力情報とメモリセルアレイへ書き込むための書込データとを選択する。すなわち、１個のデータ制御回路で、書込データおよび読出データの両方を取り扱うことができ、夫々専用の回路を用いる場合に比べて回路効率を高め得る。この場合、特に、読出データに故障があるときには、第１の選択手段および第２の選択手段の切り替えによって、期待値比較手段で発生された制御用の値をメモリ回路の制御メモリセル群に与えることができるため、容易に冗長制御を行うことができる。

【００５６】

本発明請求項１４に係るメモリ回路のデータ制御回路では、図１４，図１３，図１６，図

３０の如く、第１の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイのメモリセルからの読出データと、当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも３種類の情報を選択して外部接続線へ出力することで、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【００５７】

本発明請求項１５に係るメモリ回路のデータ制御回路では、図１５の如く、第１の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイからの読出データとの少なくとも２種類の情報を選択し、第２の選択手段によって、第１の選択手段および第１のレジスタからの出力情報とメモリセルアレイへ書き込むための書込データとを選択する。すなわち、１個のデータ制御回路で、書込データおよび読出データの両方を取り扱うことができ、夫々専用の回路を用いる場合に比べて回路効率を高め得る。この場合、特に、読出データに故障があるときには、第１の選択手段および第２の選択手段の切り替えによって、期待値比較手段で発生された制御用の値をメモリ回路の制御メモリセル群に与えることができるため、容易に冗長制御を行うことができる。

【００５８】

本発明請求項１６に係るメモリ回路のデータ制御回路では、図１５の如く、第２の選択手段によって、メモリセルアレイのメモリセルへ書き込むための外部からの書込データと、レジスタからの出力情報と、外部からのテストデータとの少なくとも３種類の情報を選択し、外部接続線へ出力することで、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【００５９】

本発明請求項１７に係るメモリ回路のデータ制御回路では、図１５の如く、複数のデータ制御回路を直列に接続してスキャンパスを形成する場合に、データスキャン時には、第２の選択手段の切り替えによって、当該データ制御回路に隣接する他のデータ制御回路からの出力情報を選択して出力する。これにより、スキャンデータの効率良い供給を行うことができる。また、当該スキャンデータと、当該データ制御回路内の第１の選択手段およびレジスタからの出力情報と、メモリセルアレイのメモリセルへ書き込むための外部からの書込データとを適宜選択して外部接続線へ出力できるので、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【００６０】

本発明請求項１８に係るメモリ回路のデータ制御回路では、図１８，図１９，図４６，図４７，図４８の如く、期待値比較手段によって、メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判断し、その比較結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値を発生する。そして、かかる制御用の値に基づいて、制御データ発生手段は、請求項３記載の２ビット冗長機能を有するメモリ回路を適切に制御する。すなわち、メモリセルアレイのメモリセルからの読出データが所定の期待値に対して同一であるとの結果が得られたときに、期待値比較手段は、制御メモリセル群の制御メモリセルに対して３値のデータのうちの第１の値を出力する。また、期待値比較手段においてメモリセルアレイのメモリセルからの読出データが所定の期待値に対して不一致であるとの結果が最初に得られたときに、期待値比較手段は、制御メモリセル群の制御メモリセルに対して３値のデータのうちの第２の値を出力する。そして、期待値比較手段においてメモリセルアレイのメモリセルからの読出データが所定の期待値に対して不一致であるとの結果が２回目に得られたときに、期待値比較手段は、制御メモリセル群の制御メモリセルに対して３値のデータのうちの第３の値を出力する。これによって、２ビットの故障を容易に救済できる。

【００６１】

本発明請求項１９に係るメモリ回路のデータ制御回路では、図１８，図１９，図４６，図

４７，図４８の如く、１回目の故障検出時には、第１のレジスタに制御用の値を格納し、ここからメモリ回路の制御メモリセル群にデータを与えればよい。また、２回目の故障検出時には、第１のレジスタが既に不一致である旨の値を示しており、且つ、期待値比較手段からの出力情報が不一致である旨の値を示していることを不一致値出力手段によって検出し、ここからの出力情報を第２のレジスタに格納した後、メモリ回路の制御メモリセル群に与える。これにより、メモリ回路の２ビットの故障を容易に救済できる。

【００６２】

本発明請求項２０に係るメモリ回路のデータ制御回路では、図２０～図２５の如く、選択手段によって、外部から与えられまたは内部で発生されたテストデータと、制御データ発生手段からの出力情報との少なくとも２種類の情報を選択して外部接続線へ出力できるので、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【００６３】

本発明請求項２１に係るメモリ回路のデータ制御回路では、メモリセルアレイの行方向および列方向のうち他方の内部接続線に故障が発生した場合には、メモリセルアレイの行方向および列方向のうち一方の内部接続線のすべてに故障データが検出されるため、図４１，図４２（ａ），図４３，図４４の如く、期待値比較手段からの出力情報とメモリ回路からの各読出データとを比較し、その結果、全てのデータが異なっていると認められたときに、メモリセルアレイの行方向および列方向のうち他方の内部接続線に故障が発生したものと判断し、以後、他方の内部接続線について適切な切替制御を容易に行うことができる。

【００６４】

本発明請求項２２に係るメモリ回路のデータ制御回路では、図４８，図４９の如く、第１の制御部と第２の制御部とで期待値比較手段を共用しているので、回路規模を縮小できる。

【００６５】

本発明請求項２３～請求項２５に係るメモリ回路のアドレス指定回路では、図５０，図５２，図５３の如く、全周期系列データ出力回路によって、予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力し、デコーダの論理回路部において、入力端子の入力ビット数の値を出力端子に対応する出力ビット数の信号に変換した後、ビット順序変換配線によって出力端子の順序に並び替える。これによって、全周期系列データ出力回路から出力される全周期系列データが乱数であるにもかかわらず、その順序に従って、一端から他端の出力端子の方向へ順番に出力することができる。したがって、テスト時等において容易にデータのインクリメントまたはデクリメントを行うことができる。

【００６６】

【実施例】

{第１の実施例}

＜構成＞

図１は本発明の第１の実施例のメモリ回路を示す図である。本実施例のメモリ回路は、複数の外部ビット線ＯＢＬ１～ＯＢＬ４に夫々接続された制御メモリセルＣ１１～Ｃ１４によってセレクタＳＥＬ１～ＳＥＬ４を制御し、外部ビット線ＯＢＬ１～ＯＢＬ４と内部ビット線ＢＬ１～ＢＬ５の対応関係を切り替えることにより不良を救済するものである。

【００６７】

具体的には、本実施例のメモリ回路は、複数の通常動作用メモリセル（ＲＡＭ）Ｍ１１～Ｍ１５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…が行列状に配列されてなる一般的なシングルポートＲＡＭとしてのメモリセルアレイ１１と、メモリセルアレイ１１の５本の内部ビット線（内部接続線）ＢＬ１～ＢＬ５に対して外部からデータの授受を行うための４本の外部ビット線（外部接続線）ＯＢＬ１～ＯＢＬ４と、メモリセルアレイ１１の１本の内部ビット線ＢＬ２そのものや内部ビット線ＢＬ線２に接続されたにメモリセルＭ１１～Ｍ１

５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…に故障が発生した際にかかる故障データを補償するためのカラム冗長制御回路（ＣＯＬ－ＲＥＤ－ＣＴＲＬ）１２と、を備える。

【００６８】

メモリセルアレイ１１内において、メモリセルＭ１１，Ｍ２１，Ｍ３１，…は第１の内部ビット線ＢＬ１に、メモリセルＭ１２，Ｍ２２，Ｍ３２，…は第２の内部ビット線ＢＬ２に、メモリセルＭ１３，Ｍ２３，Ｍ３３，…は第３の内部ビット線ＢＬ３に、メモリセルＭ１４，Ｍ２４，Ｍ３４，…は第４の内部ビット線ＢＬ４に、メモリセルＭ１５，Ｍ２５，Ｍ３５，…は第５の内部ビット線ＢＬ５に、夫々接続されている。また、メモリセルＭ１１～Ｍ１５は第１の内部ワード線ＷＬ１に、メモリセルＭ２１～Ｍ２５は第２の内部ワード線ＷＬ２に、メモリセルＭ３１～Ｍ３５は第３の内部ワード線ＷＬ３に、夫々接続されている。

【００６９】

ここで、内部ビット線ＢＬ１～ＢＬ５の本数（５本）を外部ビット線ＯＢＬ１～ＯＢＬ４の本数（４本）より多く設定しているのは、故障データに係るいずれかの内部ビット線ＢＬ１～ＢＬ４をキャンセルして順次他の内部ビット線のデータに切り替えるために、予備的な内部ビット線ＢＬ５を予め容易する必要があるからである。したがって、第１の内部ビット線ＢＬ１乃至第４の内部ビット線ＢＬ４のいずれにも故障が発生しない場合は、予備的な内部ビット線ＢＬ５は使用されないものである。

【００７０】

なお、各内部ビット線ＢＬ１～ＢＬ５および各外部ビット線ＯＢＬ１～ＯＢＬ４は、複数の信号線（図示せず）により構成されるものも含まれる。例えば、一般的なスタティックＲＡＭでは反転ビット線および非反転ビット線を持つが、本発明ではこれらをまとめてビット線と呼ぶ。この場合、例えば第１の内部ビット線ＢＬ１や第１の外部ビット線ＯＢＬ１は反転ビット線と非反転ビット線の２本の信号線から成ることになる。同様にマルチポートＲＡＭでは、複数のポートに対するビット線関連の信号線を持つが、これらをまとめて内部ビット線ＢＬ１～ＢＬ５または外部ビット線ＯＢＬ１～ＯＢＬ４と呼ぶ。例えば、１つの書き込み専用ポートと２つの読み出しポートを持つ３ポートＲＡＭでは、内部ビット線ＢＬや外部ビット線ＯＢＬ１～ＯＢＬ４は少なくとも３本の信号線で構成され、さらに各ポートに対して反転ビット線および非反転ビット線を持つ場合は６本の信号線で構成されることになる。ただし、これらは、図１では便宜上１本の信号線で示すことにする。

【００７１】

そして、カラム冗長制御回路１２は、外部ビット線ＯＢＬ１～ＯＢＬ４に対して互いに隣合う内部ビット線ＢＬ１～ＢＬ５を選択して接続する４個のセレクタＳＥＬ１～ＳＥＬ４から構成されたセレクタ群１６と、各セレクタＳＥＬ１～ＳＥＬ４における選択について指示を与えるための４個の制御メモリセルＣ１１～Ｃ１４から構成された制御メモリセル群１７と、から構成されている。

【００７２】

セレクタ群１６の各セレクタＳＥＬ１～ＳＥＬ４は、トランジスタ等の半導体素子が使用されたリレーであって、制御メモリセル群１７の各制御メモリセルＣ１１～Ｃ１４に記憶された値が「０」のときは、各セレクタＳＥＬ１～ＳＥＬ４に対して夫々予め対応づけられた内部ビット線ＢＬ１～ＢＬ４に接続するための下位ビット側の端子に切替接続し、各制御メモリセルＣ１１～Ｃ１４に記憶された値が「１」のときは、各セレクタＳＥＬ１～ＳＥＬ４に対して夫々予め対応づけられたものより上位ビット側に隣接する内部ビット線ＢＬ２～ＢＬ５に接続するための上位ビット側の端子に切替接続するよう構成される。かかる構成により、セレクタ群１６は、後述の各制御メモリセルＣ１１～Ｃ１４に記憶された値に応じて、故障データを有する内部ビット線ＢＬ１～ＢＬ４とこれに対応づけられた外部ビット線ＯＢＬ１～ＯＢＬ４との接続を外すとともに、当該故障データを有する内部ビット線ＢＬ１～ＢＬ４を境として下位ビット側に配された外部ビット線をこれに対応づけられた内部ビット線に接続し、且つ、故障データを有する内部ビット線ＢＬ１～ＢＬ４を境として上位ビット側に配された外部ビット線を、当該各外部ビット線に対応づけられ

た内部ビット線に対してさらに上位ビット側に隣接する他の内部ビット線に順次切替接続する機能を有する。

【００７３】

制御メモリセル群１７の制御メモリセルＣ１１～Ｃ１４は、リセット機能付きの１ビットレジスタであり、そのリセット端子はリセット信号線ＲＥＤ－ＲＥＳＥＴに共通に接続されている。また、各制御メモリセルＣ１１～Ｃ１４は、ワード線ＲＷＬ１がアクティブになったときに夫々のデータ入力端子から与えられるデータを格納するよう構成されている。そして、第１の制御メモリセルＣ１１のデータ入力端子は第１の外部ビット線ＯＢＬ１に、第２の制御メモリセルＣ１２のデータ入力端子は第２の外部ビット線ＯＢＬ２に、第３の制御メモリセルＣ１３のデータ入力端子は第３の外部ビット線ＯＢＬ３に、第４の制御メモリセルＣ１４のデータ入力端子は第４の外部ビット線ＯＢＬ４に、夫々接続されている。さらに、各制御メモリセルＣ１１～Ｃ１４のデータ出力端子は、夫々対応するセレクタＳＥＬ１～ＳＥＬ４の切替信号入力端子に接続されている。そして、各制御メモリセルＣ１１～Ｃ１４は、各外部ビット線ＯＢＬ１～ＯＢＬ４から与えられるデータに基づいて、故障データを有する内部ビット線ＢＬ１～ＢＬ４を境として下位ビット側に配された外部ビット線ＯＢＬ１～ＯＢＬ４に関し値「０」を記憶し、故障データを有する内部ビット線ＢＬ１～ＢＬ４を境として上位ビット側に配された外部ビット線ＯＢＬ１～ＯＢＬ４に関し値「１」を記憶する。なお、各制御メモリセルＣ１１～Ｃ１４に関しては、メモリセルアレイ１１の各メモリセルＭ１１～Ｍ１５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…と同様のメモリセルを用いてもよいし、電気的にプログラム可能なＲＯＭ用のメモリセルを用いてもよい。なお、メモリセルアレイ１１が書き込み専用ポートと読み出しポートを別々に有している場合は、制御メモリセルＣ１１～Ｃ１４は書き込みポートのビット線に接続する必要がある。

【００７４】

＜動作＞

上記構成のメモリ回路の動作を説明する。例えば、第２の内部ビット線ＢＬ２に断線やショート等の故障が発生したり、第２の内部ビット線ＢＬ２に接続されたメモリセルＭ１２，Ｍ２２，Ｍ３２，…に何らかの故障が発生した場合、図１のように第１の外部ビット線ＯＢＬ１と第１の内部ビット線ＢＬ１，第２の外部ビット線ＯＢＬ２と第３の内部ビット線ＢＬ３，第３の外部ビット線ＯＢＬ３と第４の内部ビット線ＢＬ４，第４の外部ビット線ＯＢＬ４と第５の内部ビット線ＢＬ５が対応するようにセレクタＳＥＬ１～ＳＥＬ４を切り替える。この切り替えは制御メモリセルＣ１１～Ｃ１４に対して、「０」，「１」，「１」，「１」を夫々書き込むことにより行われる。

【００７５】

通常動作用メモリセルＭ１１～Ｍ１５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…は外部ビット線ＯＢＬ１～ＯＢＬ４からアクセスされるので、第２の内部ビット線ＢＬ２に関する故障は外部からは観測されず、故障のないメモリ回路のように動作することができる。

【００７６】

制御メモリセル群１７の全制御メモリセルＣ１１～Ｃ１４のリセット後に、通常動作用メモリセルＭ１１～Ｍ１５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…のテストを行い、故障が検出されれば、上記のようにセレクタＳＥＬ１～ＳＥＬ４を切り替えて不良を救済する。

【００７７】

このように、レーザ装置を用いなくても故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。

【００７８】

｛第２の実施例｝

＜構成＞

図２は本発明の第２の実施例のメモリ回路を示す図である。なお、図２では第１の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、外部ビット線ＯＢＬ１～ＯＢＬ４に接続された制御メモリセルＣ１１～Ｃ１４でセレクタ

ＳＥＬ１～ＳＥＬ４を制御し外部ビット線ＯＢＬ１～ＯＢＬ４と内部ビット線ＢＬ１～ＢＬ５の対応関係を切り替えることにより不良を救済する点で第１の実施例と同一であるが、制御メモリセル群１７の接続配置が第１の実施例と異なっている。

【００７９】

すなわち、制御メモリセル群１７はセレクタ群１６よりもメモリセルアレイ１１側に配置されており、制御メモリセル群１７の第１の制御メモリセルＣ１１のデータ入力端子はメモリセルアレイ１１の第１の内部ビット線ＢＬ１に、第２の制御メモリセルＣ１２のデータ入力端子は第２の内部ビット線ＢＬ２に、第３の制御メモリセルＣ１３のデータ入力端子は第３の内部ビット線ＢＬ３に、第４の制御メモリセルＣ１４のデータ入力端子は第４の内部ビット線ＢＬ４に、夫々接続されている。その他の構成は第１の実施例と同様のためその説明は省略する。

【００８０】

＜動作＞

上記構成のメモリ回路の動作を説明する。例えば、第２の内部ビット線ＢＬ２に断線やショート等の故障が発生したり、第２の内部ビット線ＢＬ２に接続されたメモリセルＭ１２，Ｍ２２，Ｍ３２，…に何らかの故障が発生した場合、図２のように第１の外部ビット線ＯＢＬ１と第１の内部ビット線ＢＬ１，第２の外部ビット線ＯＢＬ２と第３の内部ビット線ＢＬ３，第３の外部ビット線ＯＢＬ３と第４の内部ビット線ＢＬ４，第４の外部ビット線ＯＢＬ４と第５の内部ビット線ＢＬ５が夫々対応するように、セレクタＳＥＬ１～ＳＥＬ４を切り替える。この切り替えは制御メモリセルＣ１１～Ｃ１４に対して「０」，「１」，「１」，「１」を夫々書き込むことにより行われる。

【００８１】

なお、望ましくは制御メモリセルＣ１１～Ｃ１４はリセット機能付きのものを用いる。これは、リセット機能なしの制御メモリセルを用いると制御メモリセルに書き込みができない可能性があるためである。もし、リセット機能がなければ、例えば、図２の状態のまま電源をオフにし、電源投入時した際に制御メモリセルＣ１１～Ｃ１４に「０」，「１」，「１」，「１」が夫々設定されてしまうと、第２の制御メモリセルＣ１２はどの外部ビット線ＯＢＬ１～ＯＢＬ４にも接続されず、以後の動作時に常に図２の状態に陥ってしまう。したがって、第２の制御メモリセルＣ１２に「０」を設定する手段はないことになり、適切な冗長回路切替が行えない。

【００８２】

かかる事態を考慮して、図２の状態で第２の制御メモリセルＣ１２に「０」を設定したい場合は、リセット信号線ＲＥＤ－ＲＥＳＥＴからリセット信号を供給すればよい。

【００８３】

リセット後の動作は図１の回路と同じであるため、その説明は省略する。本実施例によっても、レーザ装置を用いずに故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。

【００８４】

｛第３の実施例｝

＜構成＞

図３は本発明の第３の実施例のメモリ回路を示す図である。なお、図３ではと第２の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、外部ビット線ＯＢＬ１～ＯＢＬ４に接続された制御メモリセルＣ１１～Ｃ１４でセレクタＳＥＬ１～ＳＥＬ４を制御し外部ビット線ＯＢＬ１～ＯＢＬ４と内部ビット線ＢＬ１～ＢＬ５の対応関係を切り替えることにより不良を救済する点で第２の実施例と同一であるが、セレクタ群１６のセレクタ切替を行う意思表示として冗長イネーブル信号を送信できる構成としている点で第２の実施例と異なる。

【００８５】

すなわち、制御メモリセル群１７の各制御メモリセルＣ１１～Ｃ１４のデータ出力端子と、各セレクタＳＥＬ１～ＳＥＬ４の切替信号入力端子との間に、二入力論理積（ＡＮＤ）

回路１８ａ～１８ｄが夫々介装されている。具体的には、各論理積回路１８ａ～１８ｄの出力端子は対応づけられたセレクタＳＥＬ１～ＳＥＬ４の切替信号入力端子に接続され、各論理積回路１８ａ～１８ｄの一方の入力端子は対応づけられた制御メモリセルＣ１１～Ｃ１４のデータ出力端子に接続され、各論理積回路１８ａ～１８ｄの他方の入力端子は冗長イネーブル信号が供給される冗長イネーブル信号線ＲＥＤ－ＥＮに接続されている。その他の構成は第１の実施例と同様のためその説明は省略する。

【００８６】

＜動作＞

上記構成のメモリ回路の動作を説明する。まず、セレクタ群１６のセレクタＳＥＬ１～ＳＥＬ４の初期化段階においては、リセット信号線ＲＥＤ－ＲＥＳＥＴからリセット信号を供給するか、あるいは冗長イネーブル信号線ＲＥＤ－ＥＮからデータ「０」を与え、各セレクタＳＥＬ１～ＳＥＬ４を「０」側に切り替える。

【００８７】

そして、例えば、第２の内部ビット線ＢＬ２に断線やショート等の故障が発生したり、第２の内部ビット線ＢＬ２に接続されたメモリセルＭ１２，Ｍ２２，Ｍ３２，…に何らかの故障が発生した場合、冗長イネーブル信号線ＲＥＤ－ＥＮからデータ「１」を供給するとともに、外部ビット線ＯＢＬ１～ＯＢＬ４から各制御メモリセルＣ１１～Ｃ１４に、故障データに対応したデータを供給することで、論理積回路１８ａ～１８ｄは、制御メモリセルＣ１１～Ｃ１４の値と冗長イネーブル信号線ＲＥＤ－ＥＮから与えられるデータ「１」との論理積を演算して、セレクタ群１６の各セレクタＳＥＬ１～ＳＥＬ４を切り替える。具体的には、図３のように第１の外部ビット線ＯＢＬ１と第１の内部ビット線ＢＬ１，第２の外部ビット線ＯＢＬ２と第３の内部ビット線ＢＬ３，第３の外部ビット線ＯＢＬ３と第４の内部ビット線ＢＬ４，第４の外部ビット線ＯＢＬ４と第５の内部ビット線ＢＬ５が夫々対応するように、セレクタＳＥＬ１～ＳＥＬ４を切り替える。この切り替えは制御メモリセルＣ１１～Ｃ１４に対して「０」，「１」，「１」，「１」を夫々書き込むことにより行われる。

【００８８】

本実施例によっても、レーザ装置を用いずに故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。

【００８９】

なお、本実施例では、第１の実施例および第２の実施例と異なり、冗長イネーブル信号線ＲＥＤ－ＥＮに与える冗長イネーブル信号を調整することで、制御メモリセル群１７の各制御メモリセルＣ１１～Ｃ１４の値にかかわらず、独立してセレクタ群１６の各セレクタＳＥＬ１～ＳＥＬ４の切り替えを行うことができる。したがって、メモリセルアレイ１１の各メモリセルＭ１１～Ｍ１５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…のテストだけでなく、各制御メモリセルＣ１１～Ｃ１４自身を容易にテストすることができる。

【００９０】

｛第４の実施例｝

＜構成＞

図４は本発明の第４の実施例のメモリ回路を示す図である。なお、図４では第１の実施例乃至第３の実施例と同様または類似の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、内部ビット線ＢＬ１～ＢＬ５の故障を最大２本まで救済できるようにしたものであり、このため、メモリセルアレイ１１の内部ビット線ＢＬ０～ＢＬ５の本数（６本）は、図４の如く、外部ビット線ＯＢＬ１～ＯＢＬ４の本数（４本）より２本多く設定されている。なお、図５は、メモリセルアレイ１１の内部構成を示す回路図であり、各メモリセルＭ００～Ｍ０５，Ｍ１０～Ｍ１５，Ｍ２０～Ｍ２５，Ｍ３０～Ｍ３５，…を、相補型ビット線方式の一般的なスタティックＲＡＭで構成しているものである。

【００９１】

そして、カラム冗長制御回路１２は、図４の如く、４個の３接点型セレクタＳＥＬ１～Ｓ

ＥＬ４からなるセレクタ群１６と、８個の１ビット制御メモリセルＣ１１～Ｃ１４，Ｃ２１～Ｃ２４からなる制御メモリセル群１７とから構成されている。

【００９２】

セレクタ群１６の各セレクタＳＥＬ１～ＳＥＬ４は、対応づけられた外部ビット線ＯＢＬ１～ＯＢＬ４に接続され、連続して隣合った３個の内部ビット線ＢＬ０～ＢＬ５を夫々選択的に切り替えるよう構成される。具体的には、各セレクタＳＥＬ１～ＳＥＬ４の切替信号入力端子に「００」が入力された場合は、当該外部ビット線ＯＢＬ１～ＯＢＬ４に対応づけられた相対的に中央に位置する内部ビット線ＢＬ１～ＢＬ４に接続され、切替信号入力端子に「０１」が入力された場合は、当該外部ビット線ＯＢＬ１～ＯＢＬ４に対応づけられた内部ビット線ＢＬ１～ＢＬ４より相対的に下位ビット側に位置する内部ビット線ＢＬ０～ＢＬ３に接続され、切替信号入力端子に「１０」が入力された場合は、当該外部ビット線ＯＢＬ１～ＯＢＬ４に対応づけられた内部ビット線ＢＬ１～ＢＬ４より相対的に上位ビット側に位置する内部ビット線ＢＬ２～ＢＬ５に接続されることになる。

【００９３】

制御メモリセル群１７の制御メモリセルＣ１１～Ｃ１４，Ｃ２１～Ｃ２４のうち、制御メモリセルＣ１１，Ｃ２１は、第１の外部ビット線ＯＢＬ１に共に接続されて組をなし、第１のセレクタＳＥＬ１の切替信号入力端子に対して与えるべき２ビットデータを格納する。制御メモリセルＣ１２，Ｃ２２は、第２の外部ビット線ＯＢＬ２に共に接続されて組をなし、第２のセレクタＳＥＬ２の切替信号入力端子に対して与えるべき２ビットデータを格納する。制御メモリセルＣ１３，Ｃ２３は、第３の外部ビット線ＯＢＬ３に共に接続されて組をなし、第３のセレクタＳＥＬ３の切替信号入力端子に対して与えるべき２ビットデータを格納する。制御メモリセルＣ１４，Ｃ２４は、第４の外部ビット線ＯＢＬ４に共に接続されて組をなし、第４のセレクタＳＥＬ４の切替信号入力端子に対して与えるべき２ビットデータを格納する。

【００９４】

また、制御メモリセルＣ１１～Ｃ１４，Ｃ２１～Ｃ２４は、ワード線ＲＷＬ１，ＲＷＬ２がアクティブになったときに夫々対応づけられた外部ビット線ＯＢＬ１～ＯＢＬ４から与えられるデータを格納するよう構成される。さらに、制御メモリセルＣ１１～Ｃ１４，Ｃ２１～Ｃ２４は、リセット信号線ＲＥＤ－ＲＥＳＥＴからのリセット信号によりリセットされる。

【００９５】

なお、各外部ビット線ＯＢＬ１～ＯＢＬ４に夫々組として接続された２ビットの制御メモリセル（Ｃ１１，Ｃ２１），（Ｃ１２，Ｃ２２），（Ｃ１３，Ｃ２３），（Ｃ１４，Ｃ２４）は、（０，０），（０，１），（１，０），（１，１）の４種類のデータを書き込むことができる構成となるが、このうち、（０，０），（０，１），（１，０）の３データのみがセレクタ群１６の各セレクタＳＥＬ１～ＳＥＬ４の切替制御用に用いられ、（１，１）は無視される。

【００９６】

なお、図６は本実施例の冗長制御回路を示す回路図である。図６の如く、外部ビット線ＯＢＬ１～ＯＢＬ４は、非反転外部ビット線ＯＢＩＴ１～ＯＢＩＴ４と反転外部ビット線ＯＢＩＴ１Ｂ～ＯＢＩＴ４Ｂとから成る。例えば、外部ビット線ＯＢＬ１は非反転外部ビット線ＯＢＩＴ１と反転外部ビット線ＯＢＩＴ１Ｂから成る。

【００９７】

同様に、内部ビット線ＢＬ０～ＢＬ５は、非反転内部ビット線ＢＩＴ０～ＢＩＴ５と反転内部ビット線ＢＩＴ０Ｂ～ＢＩＴ５Ｂから成る。例えば、内部ビット線ＢＬ１は非反転内部ビット線ＢＩＴ１と反転内部ビット線ＢＩＴ１Ｂから成る。

【００９８】

セレクタＳＥＬ１～ＳＥＬ４は、６個のトランジスタと１個のＮＯＲ回路で構成されており、各セレクタＳＥＬ１～ＳＥＬ４は２つの制御メモリセルＣ１１～Ｃ１４により制御される。

【００９９】
具体的には、例えば、図６の如く、セレクタＳＥＬ１は２ビット制御メモリセル（Ｃ１１，Ｃ２１）により制御される。当該制御メモリセル（Ｃ１１，Ｃ２１）に（０，０）が設定された場合は、これに対応づけられたセレクタＳＥＬ１のＮＯＲ回路の出力は「１」になり、このＮＯＲ回路によって制御される一部のトランジスタが導通することにより、ＯＢＩＴ１とＢＩＴ１，ＯＢＩＴ１ＢとＢＩＴ１Ｂが夫々接続される。また、制御メモリセル（Ｃ１１，Ｃ２１）に（０，１）が設定された場合は、ＯＢＩＴ１とＢＩＴ０，ＯＢＩＴ１ＢとＢＩＴ０Ｂが接続される。さらに、制御メモリセル（Ｃ１１，Ｃ２１）に（１，０）が設定された場合は、ＯＢＩＴ１とＢＩＴ２，ＯＢＩＴ１ＢとＢＩＴ２Ｂが接続される。

【０１００】
ここで、図７は本実施例のメモリ回路の全体構成を示す回路図である。ここでは、メモリセルアレイ１１およびカラム冗長制御回路１２が夫々２個ずつ設けられている。また、図７中の符号２１は２個の書き込みドライバおよびセンスアンプ（ＷＤ＆ＳＡ）、符号２２は２個のカラムセレクタ（ＣＯＬ－ＳＥＬ）であり、これらは各メモリセルアレイ１１および各カラム冗長制御回路１２に夫々１対１で対応している。そして、各カラム冗長制御回路１２に対する制御データは各ビットの書込データ入力端子ＤＩ＜１＞，ＤＩ＜２＞から入力するよう構成されている。また、符号２３はメモリセルアレイ１１のワード線切替を行うロウデコーダ（ワード線デコーダ：ＲＯＷ－ＤＥＣ）、符号２４はメモリセルアレイ１１のビット線切替を行うためのカラムデコーダ（ビット線デコーダ：ＣＯＬ－ＤＥＣ）、ＲＯＷ－ＥＮはイネーブル信号、ＣＯＬ－ＡＤＤＲおよびＲＯＷ－ＡＤＤＲはアドレス指定信号、ＲＥＤ－ＥＮは例えば図３に示した第３の実施例のようにセレクタ群１６のセレクタ切替を行う意思表示として冗長イネーブル信号を送信できるようにする場合に用いられる冗長イネーブル信号線である。なお、冗長イネーブル信号線ＲＥＤ－ＥＮは図４の構成では特に必要なく、省略しても差し支えない。

【０１０１】
＜動作＞
上記構成のメモリ回路の動作を説明する。例えば、第２の内部ビット線ＢＬ２および第３の内部ビット線ＢＬ３の２本の内部ビット線に、断線やショート等の故障が発生したり、内部ビット線ＢＬ２，ＢＬ３に接続されたメモリセルＭ１２，Ｍ１３，Ｍ２２，Ｍ２３，Ｍ３２，Ｍ３３，…に何らかの故障が発生した場合、図４のように、第１の外部ビット線ＯＢＬ１と第０の内部ビット線ＢＬ０，第２の外部ビット線ＯＢＬ２と第１の内部ビット線ＢＬ１，第３の外部ビット線ＯＢＬ３と第４の内部ビット線ＢＬ４，第４の外部ビット線ＯＢＬ４と第５の内部ビット線ＢＬ５が夫々対応するように、各セレクタＳＥＬ１～ＳＥＬ４を切り替える。この切り替えは、外部ビット線ＯＢＬ１～ＯＢＬ４を通じて、各制御メモリセル（Ｃ１１，Ｃ２１），（Ｃ１２，Ｃ２２），（Ｃ１３，Ｃ２３），（Ｃ１４，Ｃ２４）に対して（０，１），（０，１），（１，０），（１，０）を夫々書き込むことにより行われる。

【０１０２】
このように、本実施例では、レーザ装置を用いなくても、内部ビット線２本分の故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。

【０１０３】
｛第５の実施例｝
＜構成＞
図８は本発明の第５の実施例のメモリ回路を示す図である。なお、図８では第４の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、１個当たりのカラム冗長制御回路１２に対して複数（図８では２個）のカラムセレクタ２２を割り当てたものである。

【０１０４】

すなわち、各カラム冗長制御回路１２に対する制御データは、互いに隣接する２個の書込データ入力端子の組（ＤＩ＜１＞，ＤＩ＜２＞），（ＤＩ＜３＞，ＤＩ＜４＞）から入力され、また、メモリセルアレイ１１からの読出データは互いに隣接する２個のデータ読出端子の組（ＤＯ＜１＞，ＤＯ＜２＞），（ＤＯ＜３＞，ＤＯ＜４＞）から出力される。

【０１０５】

その他の構成は第４の実施例と同様であり、特に、メモリセルアレイ１１およびカラム冗長制御回路１２の構成については図４に示したものと同様であるため、説明を省略する。

【０１０６】

＜動作＞

上記構成のメモリ回路の動作を説明する。例えば、故障データがＤＩ＜１＞およびＤＩ＜２＞に対応するメモリセルアレイ１１に存在し、これを救済する場合、ＤＩ＜１＞から図４中の制御メモリセル（Ｃ１１，Ｃ２１），（Ｃ１２，Ｃ２２）に対して（０，１），（０，１）を書き込むと同時に、ＤＩ＜２＞から図４中の制御メモリセル（Ｃ１３，Ｃ２３），（Ｃ１４，Ｃ２４）に対して（１，０），（１，０）を書き込む。以後の動作は、第４の実施例と同様であるため、説明を省略する。本実施例においても、レーザ装置を用いずに内部ビット線２本分の故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。

【０１０７】

｛第６の実施例｝

図９は本発明の第６の実施例のメモリ回路を示す図である。本実施例のメモリ回路は、一つのカラムセレクタ２２に対して複数（図９では２個）のカラム冗長制御回路１２を割り当てたものである。

【０１０８】

すなわち、互いに隣接する２個のカラム冗長制御回路１２に対する制御データは、１個の書込データ入力端子ＤＩ＜１＞から入力される。いずれのカラム冗長制御回路１２に制御データを書き込むかは、カラムアドレス制御信号ＣＯＬ－ＡＤＤＲにより制御する。また、メモリセルアレイ１１からの読出データは１個のデータ読出端子ＤＯ＜１＞から出力される。

【０１０９】

その他の構成は第５の実施例と同様であり、特に、メモリセルアレイ１１およびカラム冗長制御回路１２の構成については図４に示したものと同様であるため、説明を省略する。

【０１１０】

本実施例においても、レーザ装置を用いずに内部ビット線２本分の故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。

【０１１１】

｛第７の実施例｝

図１０は本発明の第７の実施例のメモリ回路を示す図である。本実施例のメモリ回路は、カラム冗長制御回路１２の制御のためのワード線ＲＷＬ１，ＲＷＬ２の選択回路として、通常動作用のロウデコーダ２３のうちの余剰ビット部分を流用したものである。すなわち、例えばロウデコーダ２３の出力端子が論理上2^7＝１２８ビット分存在していても、メモリセルアレイ１１の内部ワード線が例えば１２０ワードしかない場合、８ビットの余剰ビットが存在することになる。そこで、回路の無駄を軽減すべく、ロウデコーダ２３の出力端子のうち例えば１２７番地および１２６番地（例えばプリデコーダ等）をワード線ＲＷＬ１，ＲＷＬ２に割り当てる。

【０１１２】

その他の構成は第４の実施例と同様であるため、説明を省略する。本実施例においても、レーザ装置を用いずに内部ビット線２本分の故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。

【０１１３】

{第８の実施例}
＜構成＞
図１１は本発明の第８の実施例であって、例えば図１に示したような冗長度１のカラム冗長制御回路を持つメモリ回路に関するデータ制御回路２９（制御メモリセル用データ発生回路）を示す図である。本実施例のデータ制御回路２９は、図１のメモリ回路の各外部ビット線ＯＢＬ１～ＯＢＬ４ごとに設けられるものであって、１個の排他的論理和（Ｅｘ．ＯＲ）回路３１と、１個の論理積（ＡＮＤ）回路３２と、１個のフリップフロップ３３と、１個のセレクタ３４（第１の選択手段）とを備えている。
【０１１４】
排他的論理和回路３１および論理積回路３２は、外部から与えられるコンペアイネーブル信号（比較指示信号）ＣＭＰＥＮに基づいて、各出力ポートＤＯ＜１＞～ＤＯ＜４＞における読出データが外部から与えられる所定の期待値信号ＥＸＰに対して不一致であるか否かを比較判断し、その比較結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値ＰＦを発生する期待値比較手段として機能する。排他的論理和回路３１の一方の端子は期待値信号ＥＸＰが与えられる期待値入力端子に接続され、他方の端子はメモリ回路３０の各出力ポートＤＯ＜１＞に接続される。論理積回路３２の一方の端子はコンペアイネーブル信号ＣＭＰＥＮが与えられるコンペアイネーブル信号入力端子に接続され、他方の端子は排他的論理和回路３１の出力端子に接続される。
【０１１５】
フリップフロップ３３は、リセット機能付きのものが使用され、外部からのリセット信号ＦＦ－ＲＥＳＥＴによってリセットされる。また、フリップフロップ３３のデータ入力端子Ｄは、データ帰還用の論理和（ＯＲ）回路３５を介して論理積回路３２の出力端子に接続される。なお、フリップフロップ３３は、論理積回路３２からの出力が「１」となった後は、論理和回路３５のデータ帰還によって、リセット信号ＦＦ－ＲＥＳＥＴでのリセットが行われない限り、値「１」が維持される。フリップフロップ３３は非同期リセット型のものでもよいし同期リセット型のものでもよい。なお、図１１のＴはクロック信号である。
【０１１６】
セレクタ３４の「０」側入力端子は、外部からの書込データ入力端子ＸＤＩ＜１＞～ＸＤＩ＜４＞が接続され、「１」側入力端子は、フリップフロップ３３のデータ出力端子Ｑが接続される。そして、外部からのセレクト信号ＳＥＬＣＴＲＬに基づいて、外部からの書込データと排他的論理和回路３１および論理積回路３２からの制御用の値ＰＦとを選択する機能を有する。
【０１１７】
＜動作＞
上記構成のデータ制御回路２９の動作を説明する。まず、リセット信号ＦＦ－ＲＥＳＥＴによりフリップフロップ３３を「０」にリセットする。
【０１１８】
次に、図１における内部ビット線を順にＢＬ１からＢＬ５へと切り替えながら、排他的論理和回路３１は期待値信号ＥＸＰとメモリ回路３０の各データ出力ＤＯ＜１＞～ＤＯ＜４＞とを比較し、これらが異なっていれば、制御用の値ＰＦとして「１」を出力する。この状態でコンペアイネーブル信号ＣＭＰＥＮが「１」の時にクロックＴが与えられると、フリップフロップ３３には「１」がセットされる。つまり、故障データが検出されれば、フリップフロップ３３の出力データＱは「０」から「１」に変化する。このとき点で、セレクト信号ＳＥＬＣＴＲＬを「１」とすれば、各ＤＩ＜１＞～ＤＩ＜４＞を通じて、図１に示した制御メモリセル群１７の各制御メモリセルＣ１１～Ｃ１４に値「１」が書き込まれる。逆に、各内部ビット線ＢＬ０～ＢＬ５に故障データがない場合は、各制御メモリセルＣ１１～Ｃ１４は値「０」を維持したままとなる。このような制御メモリセルＣ１１～Ｃ１４の値に応じて、セレクタ群１６の各セレクタＳＥＬ１～ＳＥＬ４は所定の選択切替を行う。

【０１１９】
例えば、図１中の第２の内部ビット線ＢＬ２自身の故障やこれに接続された通常動作用メモリセルＭ１２，Ｍ２２，Ｍ３２，…の故障の場合、図１に示したように、各制御メモリセルＣ１１～Ｃ１４に「０」，「１」，「１」，「１」が書き込まれる。従って適切な冗長回路切替が行われる。
【０１２０】
なお、テスト時のメモリセルアレイ１１への書き込みデータは、セレクト信号ＳＥＬＣＴＲＬ＝「０」の状態で書込データ入力端子ＸＤＩ＜１＞～ＸＤＩ＜４＞から与えればよい。
【０１２１】
本実施例においても、レーザ装置を用いずに１本の内部ビット線に関する故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。
【０１２２】
｛第９の実施例｝
＜構成＞
図１２は本発明の第９の実施例のデータ制御回路２９（制御メモリセル用データ発生回路）を示す図である。なお、図１２では第８の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路２９は、期待値比較手段からの出力情報を格納するためのフリップフロップを、書込データの格納用に兼用可能としたものであり、また、複数のデータ制御回路２９が直列接続されて図１３に示すようなスキャンパスを形成するものである。
【０１２３】
すなわち、各データ制御回路２９は、第８の実施例で説明したのと同様の期待値比較手段としての排他的論理和回路３１および論理積回路３２と、論理積回路３２の出力端子にデータ帰還用の１個の論理和回路３５を介して接続されるリセット信号入力用の１個の論理積回路４１と、論理積回路４１からの信号と後述するシフトイン信号ＳＩと書込データ入力端子ＸＤＩ＜ｉ＞から入力された書込データの３種類の情報を選択して出力する第１の選択手段４２と、第１の選択手段４２からの出力情報を格納する１個のフリップフロップ４３と、フリップフロップ４３からの出力情報と外部からのテストデータ（メモリテスト時の書込データ）ＴＤの２種類の情報を選択する第２の選択手段４４と、を備える。
【０１２４】
論理積回路４１は、フリップフロップ４３としてリセット機能を有していないものを用いる場合に、フリップフロップ４３に「０」リセットを行うようにするためのもので、リセット信号ＦＦ－ＲＥＳＥＴとして「０」を入力すれば、論理和回路３５からの値にかかわらず「０」を出力する機能を有する。
【０１２５】
第１の選択手段４２は、２個のセレクタ４２ａ，４２ｂから構成される。
【０１２６】
一方のセレクタ４２ａの「１」側入力端子は論理積回路４１の出力端子に接続され、「０」側入力端子にはシフトイン信号ＳＩが入力される。ここで、シフトイン信号ＳＩとは、図１３に示したスキャンパスにおいて、最も前段のデータ制御回路２９ａについては外部からの信号をいい、次段（上位ビット側）以降のデータ制御回路２９ｂ～２９ｄについては相対的に前段側（下位ビット側）に隣接したデータ制御回路から与えられるデータをいう。
【０１２７】
他方のセレクタ４２ｂの「１」側入力端子は一方のセレクタ４２ａの出力端子に接続され、「０」側入力端子は書込データ入力端子ＸＤＩ＜ｉ＞に接続される。
【０１２８】
両セレクタ４２ａ，４２ｂは、外部からの所定の信号ＳＩＮＨＤＯ，ＳＭに基づいて夫々

選択切替を行う。
【０１２９】
フリップフロップ３３のデータ入力端子Ｄは他方のセレクタ４２ｂの出力端子に接続される。また、フリップフロップ３３のデータ出力端子Ｑは、第２の選択手段４４に伝送されるとともに、図１３に示したスキャンパスにおける相対的に次段のデータ制御回路２９へ送信するためのシフトアウト信号ＳＯにもなる。
【０１３０】
第２の選択手段４４は、１個のセレクタで構成され、「０」側入力端子には外部からのテストデータが入力され、「１」側入力端子はフリップフロップ４３のデータ出力端子Ｑに接続され、外部からのセレクト信号ＳＥＬＣＴＲＬに基づいて選択切替を行う。
【０１３１】
その他の構成は第８の実施例と同様のためその説明は省略する。
【０１３２】
＜動作＞
上記構成のデータ制御回路２９の動作を説明する。図１２において、信号ＳＩＮＨＤＯ＝「１」，信号ＳＭ＝「１」の状態では、図１１の回路と同様の制御データがＱに出力される。
【０１３３】
ＳＭ＝「０」の状態では書込データ入力端子ＸＤＩ＜ｉ＞から得た書込データがフリップフロップ４３のデータ入力端子Ｄに供給される。したがって、通常動作時はＳＭ＝「０」，ＳＥＬＣＴＲＬ＝「１」に設定しフリップフロップ４６をＲＡＭのデータ入力用ＦＦとして流用することができる。
【０１３４】
本実施例では、図１３のようにスキャン設計を適用しているので、ＳＭ＝「１」，ＳＩＮＨＤＯ＝「０」に設定することによってシリアルシフト動作が行える。例えば、シリアルシフト動作によりテスト結果を読み出すことができ、どのデータビットに故障があったのかを容易に判別できる。
【０１３５】
なお、テスト時のメモリセルアレイ１１への書込データは、ＳＥＬＣＴＲＬ＝「０」の状態でテストデータＴＤとして供給する。
【０１３６】
また、フリップフロップ４３のリセット動作はＳＩＮＨＤＯ＝「１」，ＳＭ＝「１」，ＦＦ－ＲＥＳＥＴ＝「０」の状態でクロック信号Ｔを与えることにより行うことができる。ただし、シリアルシフト動作により「０」をシフトインしてリセット動作を行うことができるので、リセット信号ＦＦ－ＲＥＳＥＴおよびこの信号が入力される論理積回路４１を削除してもよい。
【０１３７】
また、この論理積回路４１を削除して非同期リセット機能付きまたは同期リセット付きのフリップフロップ４３を用いてもよい。
【０１３８】
本実施例においても、レーザ装置を用いずに１本の内部ビット線に関する故障データの救済を容易に行うことができ、第１の従来例および第２の従来例に比較して半導体装置の製造コストを低減できる。
【０１３９】
｛第１０の実施例｝
＜構成＞
図１４は本発明の第１０の実施例のメモリ回路のデータ制御回路２９を示す図である。本実施例のデータ制御回路２９は、期待値比較手段からの出力情報を格納するためのフリップフロップを、メモリ回路からの読出データの格納用に兼用可能としたものである。複数のデータ制御回路２９が直列接続されて図１３に示すようなスキャンパスを形成する点で

は、第９の実施例と同様である。
【０１４０】
すなわち、各データ制御回路２９は、第９の実施例で説明したのと同様の排他的論理和回路３１、論理積回路３２、論理和回路３５、論理積回路４１、およびセレクタ４２ａを備えており、さらに、１個のセレクタ４２ｃと１個のフリップフロップ４６と１個のセレクタ４７とを備えている。
【０１４１】
セレクタ４２ｃは、「１」側の入力端子がセレクタ４２ａに接続される点で第９の実施例のセレクタ４２ｂと同様であるが、「０」側の入力端子がデータ読出端子ＤＯ＜ｉ＞に接続される点でセレクタ４２ｂと異なる。
【０１４２】
フリップフロップ４６は、データ入力端子Ｄが他方のセレクタ４２ｂの出力端子に接続される点で第９の実施例と同様であるが、データ出力端子Ｑが、シフトアウト信号ＳＯを出力するだけでなく、セレクタ４７への出力、および外部への読出データの出力を司る点で第９の実施例と異なる。
【０１４３】
セレクタ４７の「１」側の入力端子はフリップフロップ４６のデータ出力端子Ｑに接続され、「０」側の入力端子は書込データ入力端子ＸＤＩ＜ｉ＞に接続される。
【０１４４】
＜動作＞
上記構成のデータ制御回路２９の動作を説明する。例えば、ＳＩＮＨＤＯ＝「１」，ＳＭ＝「１」の状態では、フリップフロップ４６について図１１の回路と同様の出力データがデータ出力端子Ｑから出力される。
【０１４５】
一方、ＳＭ＝「０」の状態では読出信号ＤＯ＜ｉ＞がフリップフロップ４６のデータ入力端子Ｄに供給される。したがって、通常動作時はＳＭ＝「０」に設定してフリップフロップ４６をＲＡＭのデータ出力用レジスタとして流用することができる。なお、通常動作時はＳＥＬＣＴＲＬ＝「０」に設定することで、メモリセルアレイ１１への書き込みデータを書込データ入力端子ＸＤＩ＜ｉ＞から与える。
【０１４６】
本実施例では、スキャン設計を適用しているので、ＳＭ＝「１」，ＳＩＮＨＤＯ＝「０」に設定することによってシリアルシフト動作が行える。例えば、シリアルシフト動作によりテスト結果を読み出すことができるため、どのデータビットに故障があったのかを容易に判別できる。なお、テスト時のメモリセルアレイ１１へ書き込みデータは、ＳＥＬＣＴＲＬ＝「０」の状態で、書込データ入力端子ＸＤＩ＜ｉ＞から供給する。
【０１４７】
なお、フリップフロップ４６のリセット動作はＳＩＮＨＤＯ＝「１」，ＳＭ＝「１」，ＦＦ－ＲＥＳＥＴ＝「０」の状態でクロックＴを与えることにより行うことができる。
【０１４８】
｛第１１の実施例｝
＜構成＞
図１５は本発明の第１１の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図１５では第９の実施例および第１０の実施例と同様の機能を有する要素については同一符号を付している。
【０１４９】
本実施例のデータ制御回路２９は、期待値比較手段からの出力情報を格納するための２個のフリップフロップ（レジスタ）を設け、夫々、書込データ格納用および読出データ格納用として使用可能としたものであり、また、複数のデータ制御回路２９（２９ａ～２９ｄ）が直列接続されて図１６に示すようなスキャンパスを形成するものである。
【０１５０】

スキャンパスは図１６に示すように図１５の回路を複数個直列接続して構成される。図１６（ａ），（ｂ）どちらの接続を用いてもよいし、その他どのような順序でスキャンパスを構成してもよい。なお、図１６（ａ）では、シフトイン信号ＳＩ１は、最も上位ビット側のデータ制御回路２９ｄについては同じデータ制御回路２９ｄのシフトアウト信号ＳＯ０をいい、これより下位ビット側以降のデータ制御回路２９ａ～２９ｃについては相対的に上位ビット側に隣接したデータ制御回路からのシフトアウト信号ＳＯ１をいう。

【０１５１】

一方、図１６（ｂ）では、シフトイン信号ＳＩ０は、最も下位ビット側のデータ制御回路２９ａについては外部からの信号ＳＩＤをいい、これより上位ビット側以降のデータ制御回路２９ｂ～２９ｄについては相対的に下位ビット側に隣接したデータ制御回路からのシフトアウト信号ＳＯ１をいう。また、図１６（ｂ）中のシフトイン信号ＳＩ１は、同じデータ制御回路２９ａ～２９ｄのシフトアウト信号ＳＯ０をいう。すなわち、図１６（ｂ）では、各データ制御回路２９ａ～２９ｄのスキャンパス動作において、ＳＩ０～ＳＯ０～ＳＩ１～ＳＯ１の順にスキャンパスデータが伝達されることになる。

【０１５２】

ここで、図１５中の排他的論理和回路３１、論理積回路３２、論理和回路３５および論理積回路４１は、第９の実施例および第１０の実施例で示したものと同様である。

【０１５３】

そして、本実施例のデータ制御回路２９は、論理積回路４１から与えられる制御用の値ＰＦと当該データ制御回路２９より下位ビット側に隣接する他のデータ制御回路から与えられるシフトイン信号ＳＩ１とメモリセルアレイ１１からの読出データＤＯ＜ｉ＞との３種類の情報を選択する第１の選択手段５１と、第１の選択手段５１で選択された情報を記憶する第１のフリップフロップ（ＦＦ１）４６ａと、当該データ制御回路２９内の第１のフリップフロップ４６ａからの出力情報と外部から与えられるテストデータＴＤと当該データ制御回路２９より下位ビット側に隣接する他のデータ制御回路から与えられるシフトイン信号ＳＩ０とメモリセルアレイ１１へ書き込むための外部からの書込データ書込データＸＤＩ＜ｉ＞との４種類の情報を選択する第２の選択手段５２と、第２の選択手段５２で選択された情報を記憶する第２のフリップフロップ（ＦＦ０）４６ｂと、をさらに備えている。

【０１５４】

第１の選択手段５１は２個のセレクタ５１ａ，５１ｂから構成されている。このうち、一方のセレクタ５１ａの「０」側入力端子には、当該データ制御回路２９より下位ビット側に隣接する他のデータ制御回路から与えられるシフトイン信号ＳＩ１（シフトアウト信号ＳＯ１）が入力され、「１」側入力端子には、論理積回路４１のから与えられる制御用の値ＰＦが入力される。また、他方のセレクタ５１ｂの「０」側入力端子には、メモリセルアレイ１１からの読出データＤＯ＜ｉ＞が入力され、「１」側入力端子には、一方のセレクタ５１ａで選択された情報が入力される。セレクタ５１ａ，５１ｂは、外部からの所定の信号ＳＩＮＨＤＯ，ＳＭに基づいて夫々選択切替を行う。

【０１５５】

第１のフリップフロップ４６ａのデータ入力端子Ｄ１には他方のセレクタ５１ｂで選択された情報が入力され、また、データ出力情報Ｑ１は読出データ出力端子ＸＤＯ＜ｉ＞および第２の選択手段５２に出力されるとともに、当該データ制御回路２９より上位ビット側に隣接する他のデータ制御回路へのシフトアウト信号ＳＯ１として出力される。なお、図１５中のＴ１はクロック信号およびこれを入力する端子である。

【０１５６】

第２の選択手段５２は３個のセレクタ５２ａ～５２ｃから構成されている。このうち、セレクタ５２ａの「０」側入力端子には、外部から与えられるテストデータＴＤが入力され、「１」側入力端子には、当該データ制御回路２９内の第１のフリップフロップ４６ａからの出力情報が入力される。また、セレクタ５２ｂの「０」側入力端子には、当該データ制御回路２９より下位ビット側に隣接する他のデータ制御回路から与えられるシフトイン

信号ＳＩ０が入力され、「１」側入力端子には、セレクタ５２ａで選択された情報が入力される。さらに、セレクタ５２ｃの「０」側入力端子には、外部から与えられる書込データＸＤＩ＜ｉ＞が入力され、「１」側入力端子には、セレクタ５２ｂで選択された情報が入力される。セレクタ５２ａ～５２ｃは、外部からの所定の信号ＳＥＬＣＴＲＬ，ＳＩＮＨＤＩ，ＳＭに基づいて夫々選択切替を行う。

【０１５７】

第２のフリップフロップ４６ｂのデータ入力端子Ｄ０にはセレクタ５２ｃで選択された情報が入力され、また、データ出力情報Ｑ０はメモリ回路の書込データ入力端子ＤＩ＜ｉ＞に伝達されるとともに、当該データ制御回路２９より上位ビット側に隣接する他のデータ制御回路へのシフトアウト信号ＳＯ０として出力される。なお、図１５中のＴ０はクロック信号およびこれを入力する端子である。そして、テスト時およびシリアルシフト動作時において、両クロックＴ０，Ｔ１は同じタイミングの波形が用いられる。

【０１５８】

＜動作＞

上記構成のデータ制御回路２９の動作を説明する。まず、ＳＩＮＨＤＯ＝「１」，ＳＭ＝「１」の状態では図１１の回路と同様の制御データがＱ１に出力される。ここで、ＳＥＬＣＴＲＬ＝「１」，ＳＩＮＨＤＩ＝「１」に設定されていれば、この制御データは１クロック遅れでＱ０に出力される。Ｑ０に制御データが転送されるのを待ってから制御メモリセルＣ１１～Ｃ１４に書き込んで、メモリ回路のカラム冗長制御回路１２の切り替えを行う。

【０１５９】

通常動作時はＳＭ＝「０」に設定する。ＳＭ＝「０」の状態ではＤＯ＜ｉ＞の信号がセレクタ５１ｂを介して第１のフリップフロップ４６ａへ入力データＤ１として供給される。通常動作時はＳＭ＝「０」に設定し第１のフリップフロップ４６ａをＲＡＭのデータ出力用レジスタとして流用することができる。また、ＳＭ＝「０」の状態ではＸＤＩ＜ｉ＞の信号が第２のフリップフロップ４６ｂへ入力データＤ０として供給されるので第２のフリップフロップ４６ｂはＲＡＭのデータ入力用レジスタとして用いられることになる。

【０１６０】

また、本実施例では、スキャン設計を適用しているので、ＳＭ＝「１」，ＳＩＮＨＤＯ＝「０」，ＳＩＮＨＤＩ＝「０」に設定することによってシリアルシフト動作が行える。例えば、シリアルシフト動作によりテスト結果を読み出せ、どのデータビットに故障があったのかを判別できる。

【０１６１】

なお、図１２や図１４の回路では、データビット数が多くなると、テストデータＴＤや信号ＳＥＬＣＴＲＬの遅延が大きくなるので書込データ入力端子ＤＩ＜ｉ＞への信号の変化タイミングはデータビット数に依存してしまう。したがって、通常動作時とテスト時でライトパルスのタイミングを変える必要が生じるおそれがあった。これに対し、本実施例の場合、テスト時のメモリセルアレイ１１へ書き込みデータは、ＳＥＬＣＴＲＬ＝「０」の状態で、テストデータＴＤとして外部から供給する。テストデータＴＤも第２のフリップフロップ４６ｂを通すので、タイミング設計が容易である。すなわち、メモリセルアレイ１１の書込データ入力端子ＤＩ＜ｉ＞への入力データはクロックＴ０に同期して変化し、データビット数が多くなってもこの変化タイミングは変わらない。従ってライトパルスのタイミングを通常動作時とテスト時で変える必要がない。

【０１６２】

なお、第１のフリップフロップ４６ａのリセット動作はＳＩＮＨＤＯ＝「１」，ＳＭ＝「１」，ＦＦ－ＲＥＳＥＴ＝「０」の状態でクロックＴ１を与えることにより行うことができる。

【０１６３】

｛第１２の実施例｝

図１７は本発明の第１２の実施例のメモリ回路を示す図である。本実施例のメモリ回路は

、図７に示したカラム冗長機能付きメモリ回路の全体の回路に対して制御メモリセル選択専用のロウデコーダ（ＲＯＷ－ＤＥＣ２）５４を付加した回路図である。ただし、カラム冗長制御回路１２は図４のような冗長度が「２」のものを用いる。

【０１６４】

ロウデコーダ５４は外部からのアドレス信号ＲＥＤ－ＲＯＷ－ＡＤＤＲに応じて、２本のワード線ＲＷＬ１，ＲＷＬ２のうちどちらか一方を選択してアクティブにする。ただし、イネーブル信号ＲＥＤ－ＲＯＷ－ＥＮがアクティブでない場合は、両ワード線ＲＷＬ１，ＲＷＬ２のどちらもアクティブにはならない。

【０１６５】

本実施例では、ロウデコーダ５４の付加により、アドレス信号ＲＥＤ－ＲＯＷ－ＡＤＤＲによる制御メモリセルの選択が容易になり、後述の第１３の実施例（図１８）等のカラム冗長度「２」に対応したデータ制御回路２９の適用が容易になる。

【０１６６】

｛第１３の実施例｝

＜構成＞

図１８は本発明の第１３の実施例のメモリ回路のデータ制御回路２９を示す図である。本実施例のデータ制御回路２９は、図１７に示した第１２の実施例のような冗長度２のカラム冗長制御回路１２を持つメモリ回路に対する制御メモリセル用データ発生回路である。

【０１６７】

メモリ回路３０のロウ冗長アドレス端子ＲＥＤ－ＲＯＷ－ＡＤＤＲには、外部からの信号ＣＨＤＩＲが供給されている。これにより、ＣＨＤＩＲ＝「１」の場合は図１７中の一方のワード線ＲＷＬ１が選択される。一方、ＣＨＤＩＲ＝「０」の場合は他方のワード線ＲＷＬ２が選択されるよう構成される。

【０１６８】

本実施例のデータ制御回路２９は、前述した各実施例と同様に期待値比較手段を構成する排他的論理和回路３１および論理積回路３２と、論理和回路３５の他に、排他的論理和回路３１で発生された制御用の値ＰＦに基づいてメモリ回路３０に対する制御データを発生する制御データ発生手段５６と、制御データ発生手段５６で出力された制御データと外部から与えられる書込データＸＤＩ＜ｉ＞とを選択して出力する第１のセレクタ５７とをさらに備える。

【０１６９】

制御データ発生手段５６は、期待値比較手段（３１，３２）によってメモリセルアレイ１１からの読出データＤＯ＜１＞～ＤＯ＜４＞が所定の期待値信号ＥＸＰに対して同一であるとの結果が得られたときに、図４に示したカラム冗長制御回路１２の制御メモリセル群１７に対して第１の値（０，０）を出力し、期待値比較手段（３１，３２）においてメモリセルアレイ１１からの読出データＤＯ＜１＞～ＤＯ＜４＞が所定の期待値信号ＥＸＰに対して不一致であるとの結果が１回目（最初）に得られたときに、制御メモリセル群１７に対して第２の値（０，１）を出力し、期待値比較手段（３１，３２）においてメモリセルアレイ１１からの読出データＤＯ＜１＞～ＤＯ＜４＞が所定の期待値信号ＥＸＰに対して不一致であるとの結果が２回目に得られたときに、制御メモリセル群１７に対して第３の値（１，０）を出力するものである。

【０１７０】

具体的には、制御データ発生手段５６は、論理和回路３５を介して期待値比較手段（３１，３２）からの出力情報が格納される第１のフリップフロップ（ＦＦ１：第１のレジスタ）６１と、第１のフリップフロップ６１からの出力情報を１個の論理積（ＡＮＤ）回路（不一致値出力手段）６２および１個の論理和（ＯＲ）回路６３を介して格納する第２のフリップフロップ（ＦＦ０：第２のレジスタ）６４と、第１のフリップフロップ６１すらの出力情報と第２のフリップフロップ６４からの出力情報とを選択して出力する第２のセレクタ６５とを備える。

【０１７１】

第１のフリップフロップ６１は、初期値として「０」が予め格納されるリセット機能付きのものであって、メモリセルアレイ１１からの読出データＤＯ＜１＞～ＤＯ＜４＞が所定の期待値信号ＥＸＰに対して不一致であるとの結果が期待値比較手段（３１，３２）において１回目（最初）に得られたときに、第１のフリップフロップ６１に格納された値が「０」から「１」に変化するものである。

【０１７２】

論理積回路６２は、第１のフリップフロップ６１に格納された値と、次回（２回目）に期待値比較手段（３１，３２）においてメモリセルアレイ１１からの読出データＤＯ＜１＞～ＤＯ＜４＞との両方が共に所定の期待値信号ＥＸＰに対して不一致であるとの結果が得られたときにのみ「１」を出力する。なお、論理積回路６２は３入力方式のものであり、残りの１入力端子にはコンペアイネーブル信号ＣＭＰＥＮが入力される。

【０１７３】

論理和回路６３は、第１のフリップフロップ６１に対する論理和回路３５と同様に、第２のフリップフロップ６４に関するデータ帰還用に用いられる。

【０１７４】

第２のフリップフロップ６４は、初期値として「０」が予め格納されるリセット機能付きのものであって、メモリセルアレイ１１からの読出データＤＯ＜１＞～ＤＯ＜４＞が所定の期待値信号ＥＸＰに対して不一致であるとの結果が期待値比較手段（３１，３２）において２回目に得られたときに、論理積回路６２からの出力が「０」から「１」に変化するのに応じて、第１のフリップフロップ６１に格納された値が「０」から「１」に変化する。なお、第１のフリップフロップ６１および第２のフリップフロップ６４は、外部からのクロック信号Ｔによって駆動され、また、外部からのリセット信号ＦＦ－ＲＥＳＥＴによってリセットされる。

【０１７５】

第２のセレクタ６５は、外部からの信号ＣＨＤＩＲによって選択切替を行うもので、その「０」側入力端子は第２のフリップフロップ６４の出力端子Ｑ０に接続され、「１」側入力端子は第１のフリップフロップ６１の出力端子Ｑ１に接続される。

【０１７６】

第１のセレクタ５７は、外部からの信号ＳＥＬＣＴＲＬによって選択切替を行うもので、その「０」側入力端子は外部の書込データ入力端子ＸＤＩ＜１＞～ＸＤＩ＜４＞に接続され、「１」側入力端子は第２のセレクタ６５の出力端子に接続される。

【０１７７】

＜動作＞

上記構成のデータ制御回路２９の動作を図４および図１７を参照しながら説明する。なお、ここでは、図４において内部ビット線ＢＬ２と内部ビット線ＢＬ３の故障を仮定して説明を行う。

【０１７８】

ＣＨＤＩＲ＝「１」に固定して使用する場合は、図１１の回路と同様の動作が行え、１つのビット線に関する故障を救済できる。しかしながら、ＣＨＤＩＲ＝「１」に固定した動作で救済が行えない場合、つまり、２本のワード線ＲＷＬ１，ＲＷＬ２に関する故障の場合は、以下に示す動作で救済する。

【０１７９】

ここではビット線のショートや断線の故障を仮定しているので、図４のセレクタＳＥＬ１～ＳＥＬ４から最も遠いメモリセルアレイ１１のみをテストする。例えば図４のＢＬ１に対してはＭ１３のみテストする。したがって、ロウアドレス信号ＲＯＷ－ＡＤＤＲの値は固定してテストを行う。

【０１８０】

まず、図４において、リセット信号ＲＥＤ－ＲＥＳＥＴにより制御メモリセルＣ１１～Ｃ１４，Ｃ２１～Ｃ２４をリセットする。また、図１８において、リセット信号ＦＦ－ＲＥＳＥＴにより第１のフリップフロップ６１および第２のフリップフロップ６４を共に「０

」にリセットする。
【０１８１】
次に、ＣＨＤＩＲ＝「０」の状態で、図４中の期待値信号ＥＸＰ、コンペアイネーブル信号ＣＭＰＥＮ、その他の所定の信号ＷＥ，ＳＥＬＣＴＲＬ等各信号を適切に制御して、内部ビット線ＢＬ４に接続されているうちの最も遠いメモリセルＭ３４をテストする。なお、テスト時のメモリセルアレイ１１への書き込みデータは、ＳＥＬＣＴＲＬ＝「０」状態で、書込データ入力端子ＸＤＩ＜ｉ＞から与える。
【０１８２】
そして、図１８において、排他的論理和回路３１は期待値信号ＥＸＰとメモリ回路３０の読出データＤＯ＜ｉ＞を比較し、最初にこれらが異なっている旨を検知したら、制御用の値ＰＦとして「１」を出力する。この状態で、コンペアイネーブル信号ＣＭＰＥＮが「１」の時にクロックＴが与えられると、第１のフリップフロップ６１には「１」がセットされ、その出力データＱ１が「１」になる。つまり、最初の故障が検出されれば第１のフリップフロップ６１の出力Ｑ１は「０」から「１」に変化する。
【０１８３】
第１のフリップフロップ６１の出力Ｑ１が「１」、制御用の値ＰＦが「１」、コンペアイネーブル信号ＣＭＰＥＮが「１」のときに、クロック信号Ｔが与えられると、第２のフリップフロップ６４には「１」がセットされ、その出力Ｑ０が「１」になる。つまり、２番目の故障が検出されれば第２のフリップフロップ６４の出力Ｑ０は「０」から「１」に変化する。
【０１８４】
そして、第２のセレクタ６５は、信号ＣＨＤＩＲが「０」のときは第２のフリップフロップ６４の出力を、信号ＣＨＤＩＲが「１」のときは第１のフリップフロップ６１の出力を選択し、ＳＥＬＣＴＲＬ＝「１」の状態で、第１のセレクタ５７によって、図４中の対応する制御メモリセルＣ２４に制御データを書き込む。
【０１８５】
このようにして、ビット線の対象を順にＢＬ３，ＢＬ２，ＢＬ１と切り替えながら、すなわち、制御メモリセル群１７の制御メモリセルをＣ２３，Ｃ２２，Ｃ２１と切り替えながら、同様の動作を行う。
【０１８６】
上記の動作を行えば、２個のメモリセルＭ３３、Ｍ３２が不良と判定されたら、制御メモリセル群１７の制御メモリセルＣ２１～Ｃ２４には「１」，「１」，「０」，「０」が書き込まれる。この段階で、第１の外部ビット線ＯＢＬ１は第０の内部ビット線ＢＬ０に、第２の外部ビット線ＯＢＬ２は第１の内部ビット線ＢＬ１に、第３の外部ビット線ＯＢＬ３は第３の内部ビット線ＢＬ３に、第４の外部ビット線ＯＢＬ４は第４の内部ビット線ＢＬ４に夫々接続され、故に２本の内部ビット線のうちの第２の内部ビット線ＢＬ２の不良のみが救済される。
【０１８７】
次に、図１８中の第１のフリップフロップ６１をリセットする。ＣＨＤＩＲ＝「１」の状態で、期待値信号ＥＸＰ、コンペアイネーブル信号ＣＭＰＥＮ、その他の所定の信号ＷＥ，ＳＥＬＣＴＲＬ等各信号を適切に制御し、外部ビット線ＯＢＬ１に接続されているメモリセルＭ３０をテストする。そして、ＳＥＬＣＴＲＬ＝「１」状態で、対応する制御メモリセルＣ１１に制御データを書き込む。このようにして、対象となる外部ビット線を順にＯＢＬ２，ＯＢＬ３，ＯＢＬ４と切り替えながら、すなわち制御メモリセルをＣ１２，Ｃ１３，Ｃ１４と切り替えながら同様の動作を行う。
【０１８８】
この動作を行えば、メモリセルＭ３３が不良と判定された後で制御データが「１」に変化する。この結果、Ｃ１１～Ｃ１４には「０」，「０」，「１」，「１」が書き込まれる。
【０１８９】
この段階で、第１の外部ビット線ＯＢＬ１は第０の内部ビット線ＢＬ０に、第２の外部ビ

ット線ＢＬ２は第１の内部ビット線ＢＬ１に、第３の外部ビット線ＯＢＬ３は第４の内部ビット線ＢＬ４に、第４の外部ビット線ＯＢＬ４は第５の内部ビット線ＢＬ５に夫々接続され、ＢＬ２とＢＬ３の両方の不良が救済される。

【０１９０】

｛第１４の実施例｝

図１９は本発明の第１４の実施例のメモリ回路のデータ制御回路２９を示す図である。本実施例のデータ制御回路２９は、図１８の第１３の実施例で説明したものと同じ機能を有するものであるが、図１８中において外部信号ＣＨＤＩＲで制御されるセレクタに代えて、１個の論理和（ＯＲ）回路６７が用いられており、ＣＨＤＩＲ＝「１」とすることによって、第１のフリップフロップ（ＦＦ１）６１および第２のフリップフロップ（ＦＦ０）６４の両方が最初の故障を検出するものである。本実施例では、図１８に比べて回路規模が小さくなる。

【０１９１】

｛第１５の実施例｝

＜構成＞

図２０は本発明の第１５の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図２０では第１５の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路２９は、図１８に示したデータ制御回路を図１６（ａ），（ｂ）に示したデータ制御回路のようにスキャンレジスタ化したものである。図１６（ａ），（ｂ）どちらの接続を用いてもよいし、その他どのような順序でスキャンパスを構成してもよい。

【０１９２】

ここで、図２０中の排他的論理和回路３１、論理積回路３２、論理和回路３５、論理積回路６２、論理和回路６３およびセレクタ６５は、図１８の第１３の実施例で示したものと同様である。

【０１９３】

また、第１３の実施例では、メモリ回路の制御メモリセル群１７に与える制御データと外部から与えられる書込データＸＤＩ＜ｉ＞とを選択して出力する第１のセレクタ５７を、第２のセレクタ６５と書込データ入力端子ＤＩ＜ｉ＞との間に配置していたが、本実施例では、第１３の実施例中の第１のセレクタ５７に代えて、論理和回路６３と第２のフリップフロップ６４との間に配置された選択手段６９が設けられている。ここで、選択手段６９は、２個のセレクタ６９ａ，６９ｂで構成されており、一方のセレクタ６９ａは外部からの信号ＳＩＮＨＤＩによって切替制御され、その「１」側入力端子は論理和回路６３の出力端子に接続され、「０」側入力端子には隣接されたデータ制御回路２９から与えられるシフトイン信号ＳＩ０が入力される。他方のセレクタ６９ｂは外部からの信号ＳＭによって切替制御され、その「０」側入力端子は外部の書込データ入力端子ＸＤＩ＜ｉ＞に接続され、「１」側入力端子はセレクタ６９ａの出力端子に接続される。

【０１９４】

また、論理和回路３５と第１のフリップフロップ６１との間には、隣接されたデータ制御回路２９からのシフトイン信号ＳＩ１と、メモリ回路の読出データＤＯ＜ｉ＞と、論理和回路３５から与えられる制御用の値ＰＦとを選択する選択手段７１が設けられている。選択手段７１は、２個のセレクタ７１ａ，７１ｂで構成されており、一方のセレクタ７１ａは外部からの信号ＳＩＮＨＤＯによって切替制御され、その「１」側入力端子は論理和回路３５の出力端子に接続され、「０」側入力端子には隣接されたデータ制御回路２９から与えられるシフトイン信号ＳＩ１が入力される。他方のセレクタ７１ｂは外部からの信号ＳＭによって切替制御され、その「０」側入力端子にはメモリ回路からの読出データＤＯ＜ｉ＞が入力され、「１」側入力端子はセレクタ７１ａの出力端子に接続される。

【０１９５】

そして、本実施例のデータ制御回路２９には、セレクタ６５からの出力情報と外部からのテストデータＴＤとを外部からの信号ＳＥＬＣＴＲＬによって選択切替制御するセレクタ

７２が設けられている。
【０１９６】
また、本実施例の第１のフリップフロップ６１および第２のフリップフロップ６４は、第１３の実施例中のものとほぼ同様の機能を有するものであるが、リセット機能付きのものが使用されており、すなわち、リセット端子Ｒにリセット信号ＦＦ－ＲＥＳＥＴが入力される。リセット動作を行うには、ＳＭ＝「１」，ＳＩＮＨＤＩ＝「１」，ＳＩＮＨＤＯ＝「１」，ＦＦ－ＲＥＳＥＴ＝「０」に設定しクロックＴ０，Ｔ１を与える。
【０１９７】
なお、第１のフリップフロップ６１および第２のフリップフロップ６４として、リセット機能なしのものを使用する場合は、本実施例の変形例として、図２１に示すものを用いてもよい。ここでは、第１のフリップフロップ６１～論理和回路３５～選択手段７１、および第２のフリップフロップ６４～論理和回路６３～選択手段６９によって構成される記憶ループ内に、論理積（ＡＮＤ）回路７３，７４を夫々挿入し、同期リセットを行えばよい。
【０１９８】
＜動作＞
図２０および図２１に示したデータ制御回路２９の動作を説明する。まず、ＳＭ＝「１」，ＳＩＮＨＤＩ＝「１」，ＳＩＮＨＤＯ＝「１」に設定した状態では、図１８に示した第１３の実施例のデータ制御回路２９と同様の動作をする。
【０１９９】
一方、通常動作時には、ＳＭ＝「０」，ＣＨＤＩＲ＝「０」，ＳＥＬＣＴＲＬ＝「１」に設定することにより、第１のフリップフロップ６１を読出データ出力端子ＸＤＯ＜ｉ＞へのデータ出力用に、第２のフリップフロップ６４を書込データ入力端子ＸＤＩ＜ｉ＞からのデータ入力用に使用することができる。これにより、データに対して同期型のＲＡＭが構成できる。
【０２００】
また、ＳＭ＝「１」，ＳＩＮＨＤＯ＝「０」，ＳＩＮＨＤＩ＝「０」に設定し、同じタイミングの波形のクロック信号Ｔ０，Ｔ１を与えることによってシフト動作を行う。
【０２０１】
｛第１６の実施例｝
＜構成＞
図２２は本発明の第１６の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図２２では第１３の実施例（特に図２１）と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路２９は、図２２は図２１の回路を変形したものであって、第２のフリップフロップ６４と第１のフリップフロップ６１の従属関係を図２１の回路に対して逆に設定したものである。したがって、第２のフリップフロップ６４のデータ出力Ｑ０はセレクタ６５の「１」側入力端子に与えられると同時に期待値比較手段を構成する論理積回路３２にも与えられ、また、第１のフリップフロップ６１の出力Ｑ１は、論理積回路６２に与えられることなく、第２のセレクタ６５の「０」側入力端子に与えられる。
【０２０２】
＜動作＞
上記構成のデータ制御回路２９の動作を説明する。まず、第２のフリップフロップ６４が最初の故障を検出し、第１のフリップフロップ６１が２番目の故障を検出する。
【０２０３】
なお、ＳＭ＝「１」，ＳＩＮＨＤＩ＝「１」，ＳＩＮＨＤＯ＝「１」に設定した状態では、図１８の冗長制御用データ発生回路と同じ動作をする。
【０２０４】
さらに、通常動作時はＳＭ＝「０」，ＣＨＤＩＲ＝「１」，ＳＥＬＣＴＲＬ＝「１」に設定することにより、第１のフリップフロップ６１を読出データ出力端子ＸＤＯ＜ｉ＞への

データ出力用に、第２のフリップフロップ６４を書込データ入力端子ＸＤＩ＜ｉ＞からのデータ入力用に使用することができる。これにより、データに対して同期型のＲＡＭが構成できる。

【０２０５】

また、ＳＭ＝「１」，ＳＩＮＨＤＯ＝「０」，ＳＩＮＨＤＩ＝「０」に設定し同タイミング波形のクロック信号Ｔ０，Ｔ１を与えることによってシフト動作を行えばよい。

【０２０６】

{第１７の実施例}

＜構成＞

図２３は本発明の第１７の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図２３では第１４の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路２９は、図１９に示した第１４の実施例のデータ制御回路２９をスキャンレジスタ化したものである。

【０２０７】

具体的には、第１４の実施例で説明したものと同様の排他的論理和回路３１、論理積回路３２、論理和回路３５、第１のフリップフロップ６１、論理積回路６２、論理和回路６３および第２のフリップフロップ６４が設けられ、さらに、図２１および図２２中のものと同様の選択手段６９（６９ａ，６９ｂ），７１（７１ａ，７１ｂ）、セレクタ７２および論理積回路７３，７４が設けられている。

【０２０８】

本実施例でのスキャンパスは図１６に示すように図２３の回路を複数個直列接続して構成する。図１６（ａ），（ｂ）どちらの接続を用いてもよいし、その他どのような順序でスキャンパスを構成してもよい。なお、各データ制御回路２９（２９ａ～２９ｄ）についてＣＨＤＩＲ信号も共通に接続する。

【０２０９】

＜動作＞

上記構成のデータ制御回路２９の動作を説明する。まず、ＳＭ＝「１」，ＳＩＮＨＤＩ＝「１」，ＳＩＮＨＤＯ＝「１」に設定した状態では、図１８の冗長制御用データ発生回路と同じ動作をする。

【０２１０】

さらに、通常動作時はＳＭ＝「０」，ＳＥＬＣＴＲＬ＝「１」に設定することにより、第１のフリップフロップ６１を読出データ出力端子ＸＤＯ＜ｉ＞へのデータ出力用に、第２のフリップフロップ６４を書込データ入力端子ＸＤＩ＜ｉ＞からのデータ入力用に使用することができる。これにより、データに対して同期型のＲＡＭが構成できる。

【０２１１】

また、ＳＭ＝「１」，ＳＩＮＨＤＯ＝「０」，ＳＩＮＨＤＩ＝「０」に設定し、同タイミング波形のクロック信号Ｔ０，Ｔ１を与えることによってシフト動作を行う。

【０２１２】

なお、テスト時の書き込みデータは、ＳＥＬＣＴＲＬ＝「０」の状態でテストデータＴＤとして外部から与える。

【０２１３】

本実施例では、図２１および図２２等で用いたセレクタ６５に代えて簡単な構成の論理和回路６７を使用することで、回路規模を小さくできる。

【０２１４】

{第１８の実施例}

図２４は本発明の第１８の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図２４では図２３に示した第１７の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路２９は、テスト時（ＳＥＬＣＴＲＬ＝「０」）の書き込みデータ（テストデータＴＤ）を外部から与えるための端子（ＴＤ端子）を省略し、期待値信号ＥＸＰの入力端子（ＥＸＰ端子）とセレクタ７２の「０」側入力端子

との間にインバータ７６を設けることで、テストデータＴＤとして期待値信号ＥＸＰの反転信号を用いるよう構成したものである。なお、必ずしも期待値信号ＥＸＰの反転信号を用いる必要はなく、非反転信号であってもよいことはいうまでもない。この場合、図２４のインバータ７６を省略してＥＸＰ端子とセレクタ７２の「０」側入力端子とを直接に接続すればよい。なお、このようなテストデータＴＤ用端子の省略は、図２０、図２１、図２２の回路にも適用可能である。

【０２１５】

{第１９の実施例}

図２５は本発明の第１９の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図２５では第１５の実施例乃至第１８の実施例と同様の機能を有する要素については同一符号を付している。第１５の実施例乃至第１８の実施例では、テスト時のメモリセルアレイ１１に対する書き込みデータはＴＤ端子またはＥＸＰ端子から与えていたのに対し、本実施例では、第２のフリップフロップ６４のデータ出力端子Ｑ０から書き込みデータ「０」を、第１のフリップフロップ６１のデータ出力端子Ｑ１から書き込みデータ「１」を作成するものである。したがって、第１のフリップフロップ６１のデータ出力端子Ｑ１からデータ「１」を作成するために、第１のフリップフロップ６１のデータ出力端子Ｑ１とセレクタ６５との間に、１個のインバータ７７が挿入されている。

【０２１６】

また、ＴＤ信号を用いないので、これに対応するセレクタ（図２０～図２４中のセレクタ７４）は削除されている。

【０２１７】

上記構成において、第２のフリップフロップ６４および第１のフリップフロップ６１のリセット動作後、故障が検出されるまでは、信号ＣＨＤＩＲの制御により書き込みデータを変更できる。ＣＨＤＩＲ＝「０」の状態では第２のフリップフロップ６４のデータ出力端子Ｑ０のデータである「０」が書込データ入力端子ＤＩ＜ｉ＞に供給され、ＣＨＤＩＲ＝「１」の状態では第１のフリップフロップ６１のデータ出力端子Ｑ１の反転データである「１」が書込データ入力端子ＤＩ＜ｉ＞に供給され、メモリセルアレイ１１に対する書き込みデータとして用いられる。

【０２１８】

書き込みデータは信号ＣＨＤＩＲの制御に応じて固定されるが、図１８と同様の動作が行える。

【０２１９】

ただし、ＣＨＤＩＲ＝「１」のときは、制御メモリセルＣ１１～Ｃ１４用の制御データも反転されるため、カラム冗長制御回路１２の制御メモリセルＣ１１～Ｃ１４のデータ入出力用端子を第２０の実施例（図２６）のように反転させる必要がある。

【０２２０】

{第２０の実施例}

図２６は本発明の第２０の実施例のメモリ回路を示す図である。なお、図２６では図４と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、図２５に示した第１９の実施例のデータ制御回路２９に対応するメモリ回路であって、カラム冗長制御回路１２の制御メモリセル群１７の制御メモリセルＣ１１～Ｃ１４が外部ビット線ＯＢＬ１～ＯＢＬ４に対して反転入出力のメモリセルになっている。

【０２２１】

すなわち、図２５においてＣＨＤＩＲ＝「１」のときにＲＷＬ１が選択されると仮定した場合、ＣＨＤＩＲ＝「１」のときには、制御データも反転しているので、制御メモリセルＣ１１～Ｃ１４のデータの論理を各ワード線ＲＷＬ１，ＲＷＬ２で選択されるものとで反転させる。

【０２２２】

図２７は一般的なスタティックＲＡＭに対する図２６の具体例である。図６と比較すると、リセット用のトランジスタの位置と、セレクタの制御信号の取り出し位置が異なってい

る。論理的には図２６と等価である。

【０２２３】

{第２１の実施例}

図２８は本発明の第２１の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図２８では図２３に示した第１７の実施例と同様の機能を有する要素については同一符号を付している。第１７の実施例では、テスト時のメモリセルアレイ１１に対する書き込みデータをテストデータＴＤとして外部から与えていたのに対し、本実施例では、第２のフリップフロップ６４のデータ出力端子Ｑ０からの出力データを反転または非反転で書込データ入力端子ＤＩ＜ｉ＞に伝搬させてメモリセルアレイ１１に対する書き込みデータを作成する。反転または非反転の制御は期待値信号ＥＸＰで行う。このように、期待値信号ＥＸＰで反転／非反転の制御を行うための要素として、一方の入力端子がＥＸＰ端子に接続され、他方の入力端子が第２のフリップフロップ６４のデータ出力端子Ｑ０に接続される１個の排他的論理和（Ｅｘ．ＯＲ）回路７８が設けられている。ただし、当該排他的論理和回路７８に代えて、反転排他的論理和（Ｅｘ．ＮＯＲ）回路を用いてもよい。なお、本実施例では、テストデータＴＤを用いないので、これに対応するセレクタは削除されている。

【０２２４】

上記構成では、第２のフリップフロップ６４のリセット動作後、第２のフリップフロップ６４で故障が検出されるまでは、期待値信号ＥＸＰの制御により書き込みデータを変更できる。ＥＸＰ＝「０」の状態では第２のフリップフロップ６４のデータ出力端子Ｑ０の反転データである「０」が書込データ入力端子ＤＩ＜ｉ＞に供給され、ＥＸＰ＝「１」の状態では第２のフリップフロップ６４のデータ出力端子Ｑ０の反転データである「１」が書込データ入力端子ＤＩ＜ｉ＞に供給され、メモリセルアレイ１１に対応する書き込みデータとして用いられる。かかる動作により、図１８と同様の動作が行える。

【０２２５】

ただし、制御メモリセルＣ１１～Ｃ１４に制御データを書き込む場合は、ＥＸＰ＝「０」に設定すればよい。

【０２２６】

{第２２の実施例}

＜構成＞

図２９は本発明の第２２の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図２９では図２３に示した第１７の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路２９は、図２３の回路を、３ポートＲＡＭに適用可能なように改良したものである。すなわち、本実施例のデータ制御回路２９は、１個の書き込み専用ポートに対応する書込データ用端子ＤＩ０＜ｉ＞と、２個の読み出し専用ポートに対応する読出データ用端子ＤＯ１＜ｉ＞，ＤＯ２＜ｉ＞を持つ３ポートＲＡＭ対応のものである。

【０２２７】

具体的には、第１７の実施例では、読出データＤＯ＜ｉ＞に対応するよう、排他的論理和回路３１、論理積回路３２、論理和回路３５、論理積回路７３、選択手段７１および第１のフリップフロップ６１で構成される回路（以下、読出データ対応回路と称する）が１個だけ設けられていたのに対し、本実施例では、２個の読出データＤＯ１＜ｉ＞，ＤＯ２＜ｉ＞に対応するよう、２個の読出データ対応回路７９Ａ，７９Ｂが設けられている。各読出データ対応回路７９Ａ，７９Ｂ中の排他的論理和回路３１Ａ，３１Ｂ、論理積回路３２Ａ，３２Ｂ、論理和回路３５Ａ，３５Ｂ、論理積回路７３Ａ，７３Ｂ、選択手段７１Ａ，７１Ｂ、セレクタ７１ｃ，７１ｅ、セレクタ７１ｄ，７１ｆ、第１のフリップフロップ６１Ａ（ＦＦ１），６１Ｂ（ＦＦ２）および制御用の値ＰＦ１，ＰＦ２は、図２３中の排他的論理和回路３１、論理積回路３２、論理和回路３５、論理積回路７３、選択手段７１、セレクタ７１ａ、セレクタ７１ｂ、第１のフリップフロップ６１（ＦＦ１）および制御用の値ＰＦに夫々相当するものである。

【０２２８】
また、２個の排他的論理和回路３１Ａ，３１Ｂのうち、少なくとも一方が故障データを検出したときに、論理積回路６２に対して制御用の値ＰＦを伝達し得るよう、両排他的論理和回路３１Ａ，３１Ｂと論理積回路６２の間にさらに１個の論理和（ＯＲ）回路８０が設けられている。
【０２２９】
なお、本実施例においては、いつかの上述した実施例と同様、図３０に示すように、図２９の回路を複数個直列接続してスキャンパスが構成される。ここでは、図３０（ａ），（ｂ）どちらの接続を用いてもよいし、その他どのような順序でスキャンパスを構成してもよい。
【０２３０】
＜動作＞
上記構成のデータ制御回路２９の動作を説明する。まず、テスト時は各ポートのアドレス信号に同一のアドレスを与えながら、シングルポートＲＡＭのようにテストを行う。
【０２３１】
一対の読み出し専用ポートの不良検出結果は各読出データ対応回路７９Ａ，７９Ｂの各フリップフロップ６１Ａ，６１Ｂに格納される。
【０２３２】
一方の読出データ用端子ＤＯ１＜ｉ＞において最初の故障を検出すると、ＰＦ１＝「１」となり、第１のフリップフロップ６１の出力Ｑ１が「０」から「１」に変化する。
【０２３３】
同様に、他方の読み出し専用ポートの読出データ用端子ＤＯ２＜ｉ＞において最初の故障を検出すると、ＰＦ２＝「１」となり、第１のフリップフロップ６１Ｂの出力Ｑ２が「０」から「１」に変化する。
【０２３４】
ＣＨＤＩＲ＝「０」の場合、Ｑ１またはＱ２が「０」から「１」に変化した後の最初の故障（つまり２番目の故障）が検出されると、第２のフリップフロップ６４のデータ出力端子Ｑ０が「０」から「１」に変化する。
【０２３５】
ＣＨＤＩＲ＝「１」の場合、読出データ用端子ＤＯ１＜ｉ＞，ＤＯ２＜ｉ＞のいずれかにおいて最初の故障を検出すると、ＰＦ＝「１」となり、第２のフリップフロップ６４のデータ出力端子Ｑ０が「０」から「１」に変化する。
【０２３６】
つまり、ＣＨＤＩＲ＝「１」の場合は最初の故障を検出した時点で、制御データを「０」から「１」に変化させ、ＣＨＤＩＲ＝「０」の場合は２番目の故障を検出した時点で、制御データを「０」から「１」に変化させる。したがって、図１８の回路と同様の動作によって適切な冗長回路切替が行える。
【０２３７】
｛第２３の実施例｝
＜構成＞
図３１は本発明の第２３の実施例のメモリ回路のデータ制御回路２９を示す図である。なお、図３１では図１２に示した第９の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路２９は、３ポートＲＡＭに適用可能なように図１２の制御メモリセル用データ発生回路を改良したものである。したがって、図１，図２，図３のようにカラム冗長度が「１」のカラム冗長制御回路１２に対応して設けられるものである。本実施例では、１個の書き込み専用ポートと２個の読み出し専用ポートを持つ３ポートＲＡＭを対象としている。
【０２３８】
書込データ入力端子ＤＩ０＜ｉ＞はメモリ回路の書き込み専用ポートに接続され、一対の読出データ用端子ＤＯ１＜ｉ＞，ＤＯ２＜ｉ＞はメモリ回路の一対の読み出し専用ポート

に夫々接続する。
【０２３９】
そして、本実施例では、第９の実施例中の排他的論理和回路３１に代えて、一対の排他的論理和回路３１Ａ，３１Ｂと、これらの論理和を演算して制御用の値ＰＦを発生させる１個の論理和回路８１が設けられている。
【０２４０】
＜動作＞
上記構成のデータ制御回路２９の動作を説明する。まず、テスト時は各ポートのアドレス信号に同一のアドレスを与えながらシングルポートＲＡＭのようにテストを行う。そして、少なくともいずれか１個の読み出し専用ポートで期待値信号ＥＸＰと異なる値が検出されれば、排他的論理和回路３１Ａ，３１Ｂの出力ＰＦ１，ＰＦ２のうちいずれかは「１」になり、故に論理和回路８１の出力（制御用の値）ＰＦは「１」になる。
【０２４１】
この状態で、ＣＭＰＥＮ＝「１」，ＳＭ＝「１」，ＳＩＮＨＤＯ＝「１」，ＦＦ－ＲＥＳＥＴ＝「１」の時にクロック信号Ｔが与えられると、フリップフロップ４３には「１」がセットされる。つまり、故障が検出されればＦＦの出力Ｑは０から１に変化する。その他の動作は図１２の回路と同じである。このように、３ポートＲＡＭに対して適切な冗長切替を行い得る。
【０２４２】
｛第２４の実施例｝
図３２（ａ）は本発明の第２４の実施例として、図３１に示した第２３の実施例のデータ制御回路２９で構成されたスキャンパスを示す図である。本実施例のデータ制御回路２９は、メモリセルアレイ１１の各メモリセルをアクセスする場合は、スキャンパスのシリアルシフト動作を行わないので、スキャンパスのシリアル入力端子ＳＩＤ（以下、ＳＩＤと称する）は使用されない。したがって、ＳＩＤ端子からテストデータＴＤを入力することができる。
【０２４３】
この場合は、通常動作用メモリセルに対する書き込みデータをＳＩＤ端子から与える。なお、ＳＩＤ端子の反転データをテストデータＴＤとして供給してもよい。この場合は、メモリセルアレイ１１に対する書き込みデータをＳＩＤ端子から与える。
【０２４４】
｛第２５の実施例｝
図３２（ｂ）は本発明の第２５の実施例として、図３１に示した第２３の実施例のデータ制御回路２９で構成されたスキャンパスを示す図である。本実施例のデータ制御回路２９は、メモリセルアレイ１１の各メモリセルをアクセスする場合は、スキャンパスのシリアルシフト動作を行わないので、スキャンパスのシリアル入力端子ＳＩＤ（以下、ＳＩＤと称する）は使用されない。したがって、ＳＩＤ端子から期待値信号ＥＸＰを入力することができる。なお、本実施例では、ＳＩＤ端子のデータをインバータ８７により反転させた形で期待値信号ＥＸＰとして入力しているが、本実施例の変形例として、ＳＩＤ端子の非反転データを期待値信号ＥＸＰとして供給してもよい。
【０２４５】
さらに、本実施例の構成と、図３２（ａ）（第２４の実施例）の構成を同時に適用してもよい。
【０２４６】
｛第２６の実施例｝
図３３は本発明の第２６の実施例のメモリ回路を示す図である。図１に示した第１の実施例のメモリ回路が内部ビット線ＢＬ１～ＢＬ５のいずれかの不良を救済するものであったのに対し、本実施例のメモリ回路は、内部ワード線ＷＬ１～ＷＬ５のいずれかの不良を救済するよう構成されたものである。すなわち、本実施例のデータ制御回路２９は、外部ワード線ＯＷＬ１～ＯＷＬ４に接続された制御メモリセルＲ１１～Ｒ４１でセレクタＳＥＬ

１～ＳＥＬ４を制御し、外部ワード線ＯＷＬ１～ＯＷＬ４と内部ワード線ＷＬ１～ＷＬ５との対応関係を切り替えることにより不良を救済する。なお、図３３中の符号９１はロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）、符号９２はセレクタ群、符号９３は制御メモリセル群である。

【０２４７】

例えば、第２の内部ワード線ＷＬ２そのものの故障（断線やショート故障）や第２の内部ワード線ＷＬ２に接続された各メモリセルＭ２１，Ｍ２２，Ｍ２３，…に故障がある場合、図３３のように第１の外部ワード線ＯＷＬ１と第１の内部ワード線ＷＬ１，第２の外部ワード線ＯＷＬ２と第３の内部ワード線ＷＬ３，第３の外部ワード線ＯＷＬ３と第４の内部ワード線ＷＬ４，第４の外部ワード線ＯＷＬ４と第５の内部ワード線ＷＬ５が夫々対応するように、セレクタＳＥＬ１～ＳＥＬ４を切り替える。この切り替えは制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１に対して「０」，「１」，「１」，「１」を書き込むことにより行われる。

【０２４８】

メモリセルアレイ１１は外部ワード線ＯＷＬ１～ＯＷＬ４からアクセスされるので、第２の内部ワード線ＷＬ２に関係する故障は外部からは観測されず、故障のないメモリ回路のように動作することができる。

【０２４９】

なお、制御メモリセルＲ１１～Ｒ４１は、リセット機能付きでもよいし、リセット機能なしでもよい。リセット機能なしの場合はビット線ＲＢＬ１をアクティブにした時に外部ワード線ＯＷＬ１～ＯＷＬ４から各制御メモリセルＲ１１～Ｒ４１に「０」を書き込むことによってリセット動作を行う。リセット後は、全てのセレクタが入力「０」側に切り替わるので、第１の外部ワード線ＯＷＬ１と第１の内部ワード線ＷＬ１，第２の外部ワード線ＯＷＬ２と第２の内部ワード線ＷＬ２，第３の外部ワード線ＯＷＬ３と第３の内部ワード線ＷＬ３，第４の外部ワード線ＯＷＬ４と第４の内部ワード線ＷＬ４が夫々対応する。

【０２５０】

リセット後に、メモリセルアレイ１１のテストを行い、故障が検出されれば上記のようにセレクタを切り替えて不良を救済する。

【０２５１】

なお、制御メモリセルＲ１１～Ｒ４１に関しては、シングルポートＲＡＭと同様のメモリセルを用いてもよいし、電気的にプログラム可能なＲＯＭ用のメモリセルを用いてもよい。

【０２５２】

なお、各ワード線および各外部ワード線は複数の信号線により構成されるものも含まれる。例えば、マルチポートＲＡＭでは複数のポートに対するワード線関連の信号線を持つが、これらをまとめてワード線ＷＬまたは外部ワード線ＯＷＬと呼ぶ。例えば、１個の書き込み専用ポートと２個の読み出しポートを持つ３ポートＲＡＭでは、ワード線ＷＬや外部ワード線ＯＷＬは少なくとも３本の信号線で構成される。このような場合であっても、基本的な機能は変わるものではない。

【０２５３】

｛第２７の実施例｝

図３４は本発明の第２７の実施例のメモリ回路を示す図である。図２に示した第２の実施例のメモリ回路が内部ビット線ＢＬ１～ＢＬ５のいずれかの不良を救済するものであったのに対し、本実施例のメモリ回路は、内部ワード線ＷＬ１～ＷＬ５のいずれかの不良を救済するよう構成されたものである。すなわち、ワード線ＢＬ１～ＢＬ４に接続された制御メモリセルＲ１１～Ｒ４１でセレクタＳＥＬ１～ＳＥＬ４を制御し外部ワード線ＯＷＬ１～ＯＷＬ４と内部ワード線ＷＬ１～ＷＬ５の対応関係を切り替えることにより不良を救済するものである。

【０２５４】

例えば、第２の内部ワード線ＷＬ２そのものの故障（断線やショート故障）や第２の内部

ワード線ＷＬ２に接続されたメモリセルＭ２１，Ｍ２２，Ｍ２３，…に故障がある場合、図３４のように第１の外部ワード線ＯＷＬ１と第１の内部ワード線ＷＬ１，第２の外部ワード線ＯＷＬ２と第３の内部ワード線ＷＬ３，第３の外部ワード線ＯＷＬ３と第４の内部ワード線ＷＬ４，第４の外部ワード線ＯＷＬ４と第５の内部ワード線ＷＬ５が夫々対応するようにセレクタＳＥＬ１～ＳＥＬ４を切り替える。この切り替えは制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１に対して「０」，「１」，「１」，「１」を書き込むことにより行われる。

【０２５５】

なお、本実施例では、不運にも電源投入時に制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１に「０」，「１」，「１」，「１」が設定されたとすると、制御メモリセルＲ２１は、図３４のようにどの外部ワード線ＯＷＬ１～ＯＷＬ４にも接続されない。そして、もし、各制御メモリセルＲ１１～Ｒ４１にリセット機能がなければ、制御メモリセルＲ２１に「０」を設定する手段はない。したがって、適切な冗長回路切替が行えない。そこで、本実施例では、望ましくは制御メモリセルＲ１１～Ｒ４１はリセット機能付きのものを用いる。ただし、明確なリセット機能は必須ではない。例えば、電源投入時に制御メモリセルが全て「０」にリセットされるようにメモリセル自身を設計しておいてもよい。例えば、トランジスタのサイズを変える等、メモリセルの回路をデータの「０」、「１」に対して非対称になるように設計すれば、電源投入時に制御メモリセルが全て「０」にリセットできる。

【０２５６】

また、制御メモリセルが光（紫外線）照射消去可能なプログラマブルＲＯＭ（ＵＶＥＰＲＯＭ）用のメモリセルの場合は、光照射によりリセット動作が可能である。

【０２５７】

リセット後の動作は図３３の回路と同じであるため、説明を省略する。

【０２５８】

{第２８の実施例}

図３５は本発明の第２８の実施例のメモリ回路のデータ制御回路２９を示す図である。本実施例のデータ制御回路２９は、図３に示した第３の実施例のメモリ回路が内部ビット線ＢＬ１～ＢＬ５のいずれかの不良を救済するものであったのに対し、本実施例のメモリ回路は、内部ワード線ＷＬ１～ＷＬ５のいずれかの不良を救済するよう構成されたものである。すなわち、内部ワード線ＷＬ１～ＷＬ５に接続された制御メモリセルＲ１１～Ｒ４１でセレクタＳＥＬ１～ＳＥＬ４を制御し、外部ワード線ＯＷＬ１～ＯＷＬ４と内部ワード線ＷＬ１～ＷＬ５の対応関係を切り替えることにより不良を救済するものである。図３５中の符号９４は論理積回路群である。

【０２５９】

例えば、第２の内部ワード線ＷＬ２そのものの故障（断線など）や第２の内部ワード線ＷＬ２に接続されたメモリセルＭ２１，Ｍ２２，Ｍ２３，…に故障がある場合、図３５のように第１の外部ワード線ＯＷＬ１と第１の内部ワード線ＷＬ１，第２の外部ワード線ＯＷＬ２と第３の内部ワード線ＷＬ３，第３の外部ワード線ＯＷＬ３と第４の内部ワード線ＷＬ４，第４の外部ワード線ＯＷＬ４と第５の内部ワード線ＷＬ５が対応するようにセレクタＳＥＬ１～ＳＥＬ４を切り替える。この切り替えは制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１に対して「０」，「１」，「１」，「１」を書き込むことにより行われる。

【０２６０】

なお、制御メモリセルＲ１１～Ｒ４１はリセット機能付きでもよいし、リセット機能なしでもよい。リセット機能なしの場合は冗長イネーブル信号線ＲＥＤ－ＥＮを「０」に設定し、外部ワード線ＯＷＬ１，ＯＷＬ２，ＯＷＬ３，ＯＷＬ４を順にアクティブにしながらビット線ＲＢＬ１から制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１に「０」を書き込むことによってリセット動作を行うことができる。

【０２６１】

冗長イネーブル信号線ＲＥＤ－ＥＮを「０」に設定することにより外部ワード線ＯＷＬ１

～ＯＷＬ４と制御メモリセルＲ１１～Ｒ４１の対応関係を確定できる。すなわち、第１の外部ワード線ＯＷＬ１と第１の制御メモリセルＲ１１，第２の外部ワード線ＯＷＬ２と第２の制御メモリセルＲ２１，第３の外部ワード線ＯＷＬ３と第３の制御メモリセルＲ３１，第４の外部ワード線ＯＷＬ４と第４の制御メモリセルＲ４１が対応するので、図３４の回路に比べれば制御メモリセル自身をテストすることが容易である。

【０２６２】

｛第２９の実施例｝

図３６は本発明の第２９の実施例のメモリ回路のデータ制御回路２９を示す図である。本実施例のデータ制御回路２９は、図４に示した第４の実施例のメモリ回路が内部ビット線ＢＬ１～ＢＬ５のいずれか２本分の不良を救済するものであったのに対し、本実施例のメモリ回路は、内部ワード線ＷＬ１～ＷＬ５のいずれか２本分の不良を救済するよう構成されたものである。すなわち、本実施例のデータ制御回路２９は、外部ワード線ＯＷＬ１～ＯＷＬ４のビット数（４ビット）よりも２ビット多い（６ビット）本数のワード線ＷＬ０～ＷＬ５を供え、３接点型セレクタＳＥＬ１～ＳＥＬ４により、１ビットの外部ワード線（例えばＯＷＬ１）に接続される信号を隣接する３個のワード線（例えばＷＬ０，ＷＬ１，ＷＬ２）の中から選択する。各３接点セレクタは２個の制御メモリセルにより制御される（例えばＳＥＬ１はＲ１１とＲ１２により制御される）。

【０２６３】

かかる構成により、ワード線２本分の不良を救済できる。

【０２６４】

例えば、第２の内部ワード線ＷＬ２と第３の内部ワード線ＷＬ３そのものの故障（断線やショート故障）や、第２の内部ワード線ＷＬ２および第３の内部ワード線ＷＬ３に接続されたメモリセルＭ２１，Ｍ２２，Ｍ２３，…，Ｍ３１，Ｍ３２，Ｍ３３，…に故障がある場合、図３６のように第１の外部ワード線ＯＷＬ１と第０の内部ワード線ＷＬ０，第２の外部ワード線ＯＷＬ２と第１の内部ワード線ＷＬ１，第３の外部ワード線ＯＷＬ３と第４の内部ワード線ＷＬ４，第４の外部ワード線ＯＷＬ４と第５の内部ワード線ＷＬ５が夫々対応するようにセレクタＳＥＬ１～ＳＥＬ４を切り替える。この切り替えは制御メモリセル（Ｒ１１，Ｒ１２），（Ｒ２１，Ｒ２２），（Ｒ３１，Ｒ３２），（Ｒ４１，Ｒ４２）に対して（０，１），（０，１），（１，０），（１，０）を書き込むことにより行われる。

【０２６５】

なお、図３６では制御メモリセルＲ１１～Ｒ４１はリセット機能付きでもよいし、リセット機能なしでもよい。リセット機能なしの場合は外部ワード線ＯＷＬ１，ＯＷＬ２，ＯＷＬ３，ＯＷＬ４を順にアクティブにしながらビット線ＲＢＬ１，ＲＢＬ２から制御メモリセルＲ１１～Ｒ４１に「０」を書き込むことによってリセット動作を行う。

【０２６６】

｛第３０の実施例｝

図３７は第３０の実施例として、図３６に示した第２９の実施例のロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）９１をＣＭＯＳ回路で構成した場合の具体的な回路図である。例えば、図３６のようにセレクタＳＥＬ１～ＳＥＬ４の切り替えが行われて、制御メモリセル（Ｒ１１，Ｒ１２），（Ｒ２１，Ｒ２２）（Ｒ３１，Ｒ３２），（Ｒ４１，Ｒ４２）に対して値（０，１），（０，１），（１，０）（１，０）が書き込まれた場合、図３６ではワード線ＷＬ２，ＷＬ３は未接続状態となり不安定レベルになるなおそれがある。不安定レベルになれば、ＲＡＭが誤動作する。

【０２６７】

このような事態を回避するために図３７では、ロウ冗長制御回路９１に対し、ワード線レベル固定回路９５を付加している。

【０２６８】

ワード線レベル固定回路９５については、例えば、制御メモリセルＲ１１で制御されるＰチャネルトランジスタ、制御メモリセルＲ３２で制御されるＰチャネルトランジスタ、制

御メモリセルＲ２１と制御メモリセルＲ２２の出力のＮＯＲ論理で制御されるＰチャネルトランジスタの３個のトランジスタで構成される。

【０２６９】

内部ワード線ＷＬ０～ＷＬ５のドライバーであるインバータ回路９６の入力がどの外部ワード線ＯＷＬ１～ＯＷＬ４に対しても未接続状態になるときに、この３個のトランジスタが全てＯＮ状態になり、そのインバータ回路９６の入力を「１」に固定する。この結果ワード線はインアクティブな値「０」に固定される。これによりＲＡＭの誤動作を回避できる。

【０２７０】

図３８は上述したロウ冗長制御回路９１を用いて構成したロウ冗長機能付きメモリ回路の全体の回路例である。図３８中、符号９７は書き込みドライバおよびセンスアンプ（以下、ＷＤ＆ＳＡと略す）、符号９８はカラムセレクタ（ＣＯＬ－ＳＥＬ）である。メモリセルアレイ１１に関しては、ＷＤ＆ＳＡ９７とカラムセレクタ９８は１対１で対応している。

【０２７１】

図３８では、制御メモリセルＲ１１～Ｒ４１に関しては、カラムセレクタを設けず、一対のビット線ＲＢＬ１，ＲＢＬ２に対して夫々独立にＷＤ＆ＳＡ９７を設けている。

【０２７２】

したがって、一方のビット線ＲＢＬ１に関連する制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１に対する制御データはＲＥＤ－ＤＩ１から、他方のビット線ＲＢＬ２に関連する制御メモリセルＲ１２，Ｒ２２，Ｒ３２，Ｒ４２に対する制御データはＲＥＤ－ＤＩ２から書き込む。

【０２７３】

なお、図３８では、他方のビット線ＲＢＬ２を示しているが、冗長度が「１」のロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）９１（例えば図３３、図３４、図３５）を用いる場合はこの信号は存在しない。

【０２７４】

また、図３８では、冗長イネーブル信号線ＲＥＤ－ＥＮから与えられる信号を示しているが、例えば図３３、図３４、図３６のように、ロウ冗長制御回路９１の種類によってはこの信号は存在しない。

【０２７５】

また、図３８ではリセット信号ＲＥＤ－ＲＥＳＥＴを示しているが、例えば、図３３や図３５、図３６の回路でリセット機能なしの制御メモリセルを用いる場合のように、カラム冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）９１の種類によってはこの信号は存在しない。

【０２７６】

なお、制御メモリセルＲ１１～Ｒ４１をテストするためには、図３８のように、これに対するセンスアンプを設けることが望ましいが、不要な場合は削除してもよい。この場合は、出力信号ＲＥＤ－ＤＯ１，ＲＥＤ－ＤＯ２も不要である。

【０２７７】

｛第３１の実施例｝

図３９は本発明の第３１の実施例のメモリ回路を示す全体構成図である。なお、図３９では図３８に示した第３０の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリ回路は、図３８のロウ冗長機能付きＲＡＭを改良したものであり、冗長度が「２」以上の例えば図３６に示したようなロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）９１に対して使用されるものである。

【０２７８】

一対のビット線ＲＢＬ１，ＲＢＬ２の選択のためにカラムセレクタ（ＣＯＬ－ＳＥＬ２）１０１とカラムデコーダ（ＣＯＬ－ＤＥＣ２）１０２が設けられている。また、かかる構成に伴って、書き込みドライバおよびセンスアンプ（ＷＤ＆ＳＡ）９７は図３８のものよ

りも１個削減されている。
【０２７９】
図３９の如く、本実施例では、ビット線ＲＢＬ１，ＲＢＬ２の選択信号ＲＥＤ－ＣＯＬ－ＡＤＤＲは１本で済む。したがって、総合的には図３８の回路に比べて２本の信号線が削減される。
【０２８０】
{第３２の実施例}
図４０は本発明の第３２の実施例のメモリ回路を示す図である。なお、図４０では図３９に示した第３１の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路２９は、ワード線関連の不良が３個以上の場合にも対応できるようにロウ冗長機能付きＲＡＭの全体の回路図である。
【０２８１】
図３９に示した第３１の実施例では１個のロウデコーダ（ＲＯＷ－ＤＥＣ）２３に対して１個のロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）９１が備えられていたが、図４０では１個のロウデコーダ（ＲＯＷ－ＤＥＣ）２３に対して複数（２個）のロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）９１が備えられている。
【０２８２】
これまでに説明したように１個のロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）９１でこれに接続されるメモリセルアレイ１１内の最大２個のワード線不良が救済できるので、複数のロウ冗長制御回路（ＲＯＷ－ＲＥＤ－ＣＴＲＬ）を設けることで３個以上のワード線不良も救済することができる。具体的には、各ロウ冗長制御回路９１に対するロウデコーダ２３からの外部ワード線ＯＷＬが６４本ずつ（合計１２８本）として、各ロウ冗長制御回路９１において２本分の内部ワード線ＷＬに対する不良救済を行うため、１個のロウ冗長制御回路９１につき６４＋２＝６６本（合計１３２本）の内部ワード線ＷＬを接続できる。すなわち、本実施例では、１３２－１２８＝４本分のワード線不良の救済が可能となる。
【０２８３】
なお、本実施例では、第３１の実施例（図３９）の回路を元に改良を加えているが、第３０の実施例（図３８）の回路を元に改良を加えてもよい。
【０２８４】
{第３３の実施例}
＜構成＞
図４１は本発明の第３３の実施例のメモリ回路のロウ冗長制御用データ制御回路１００を示す図である。なお、図４１では図１１に示した第８の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路１００は、例えば第３０の実施例（図３８）においてＲＢＬ２が省略された場合のように、冗長度が「１」とされた例えば第２６の実施例（図３３）のメモリ回路３０と、これに対するデータ制御回路１００（制御メモリセル用データ発生回路）との接続関係を示す回路図である。
【０２８５】
本実施例のデータ制御回路１００は、例えば４本の読出データ用端子ＤＯ＜ｉ＞の各値と期待値信号ＥＸＰとを比較して制御用の値ＰＦを出力する期待値比較手段１０５と、第８の実施例で説明したものと同様の論理和回路３５およびフリップフロップ３３とを備える。
【０２８６】
期待値比較手段１０５は、後述する第３４の実施例、第３５の実施例または第３６の実施例のような比較手段１０６と、第８の実施例で説明したものと同様の論理積回路３２とから構成されている。
【０２８７】
なお、フリップフロップ３３は非同期リセット型でもよいし同期リセット型でもよい。
【０２８８】

＜動作＞
上記構成のデータ制御回路１００の動作を説明する。まず、リセット信号ＦＦ－ＲＥＳＥＴによりＦＦを「０」にリセットする。
【０２８９】
次に、比較手段１０６は、期待値信号ＥＸＰとメモリ回路３０の読出データ用端子ＤＯ＜ｉ＞からの出力を比較し、異なっていれば制御用の値ＰＦとして「１」を出力する。この状態でコンペアイネーブル信号ＣＭＰＥＮが「１」の時にクロック信号Ｔが与えられると、フリップフロップ３３には「１」がセットされる。つまり、故障が検出されればフリップフロップ３３の出力Ｑは「０」から「１」に変化する。
【０２９０】
次に、図３３および図３８を参照しながら図４１の回路全体の動作例を説明する。
【０２９１】
（１）　まず、図３３において、リセット信号ＲＥＤ－ＲＥＳＥＴ等の手段によって制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１をリセットする。
【０２９２】
（２）　次に、図４１において、リセット信号ＦＦ－ＲＥＳＥＴ等の手段によってデータ制御回路１００のフリップフロップ３３をリセットする。
【０２９３】
（３）　そして、図４１中の期待値信号ＥＸＰ、コンペアイネーブル信号ＣＭＰＥＮ、その他の所定の信号ＷＥ，ＳＥＬ等を適切に制御し、図３３中の第１の内部ワード線ＷＬ１に接続されているメモリセルＭ１１，Ｍ１２，Ｍ１３，…をテストし、各メモリセルＭ１１，Ｍ１２，Ｍ１３，…をテストする毎に、図４１中のフリップフロップ３３のデータ出力端子Ｑからのデータ（制御用の値ＰＦ）を、対応する図３３中の制御メモリセルＲ１１に書き込む。
【０２９４】
（４）　こうして、ワード線を順にＷＬ２，ＷＬ３，ＷＬ４と切り替えながら、上記（３）と同様の動作を行う。
【０２９５】
このように、本実施例では、例えば第２の内部ワード線ＷＬ２自身の故障や第２の内部ワード線ＷＬ２に接続されたメモリセルＭ２１，Ｍ２２，Ｍ２３，…の故障の場合は、図３３に示したように、制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１に「０」，「１」，「１」，「１」が書き込まれる。したがって、適切な冗長回路切替が行われる。
【０２９６】
｛第３４の実施例｝
図４２（ａ）は、図４１に示した第３３の実施例のデータ制御回路１００内で使用される比較手段１０６の一例（第３４の実施例）を示すものである。本実施例の比較手段１０６は、すべてのビット線について故障した場合についてのみ故障検出を行うものであって、全読出データ用端子ＤＯ＜１＞～ＤＯ＜４＞に対応する４個の排他的論理和（Ｅｘ．ＯＲ）回路３１ａ～３１ｄと、全排他的論理和回路３１ａ～３１ｄを入力する論理積（ＡＮＤ）回路１０７とを備える。
【０２９７】
上記構成において、例えば図３３において内部ワード線ＷＬ０～ＷＬ５がグランドにショートするような故障の場合、この内部ワード線ＷＬ０～ＷＬ５に関連する全データ出力がフェイルする。
【０２９８】
本実施例では、期待値信号ＥＸＰと各データ出力ＤＯ＜１＞，ＤＯ＜２＞，ＤＯ＜３＞，ＤＯ＜４＞を比較し、これが全て異なったときに制御用の値Ｐ１が「１」になる。したがって、内部ワード線ＷＬ０～ＷＬ５のショート故障を検出することができる。
【０２９９】
なお、全データ出力を比較対象とする必要はない。例えば、ＤＯ＜４＞とＤＯ＜１＞が同

時にフェイルした場合はワード線ＷＬ０～ＷＬ５のショート故障である可能性が高いことを考慮し、ＤＯ＜３＞とＤＯ＜２＞に関する排他的論理和回路を削除してもよい。このようにすれば、回路規模を削減できる。

【０３００】

｛第３５の実施例｝

図４２（ｂ）は、図４１に示した第３３の実施例のデータ制御回路１００内で使用される比較手段１０６の一例（第３５の実施例）を示す図である。なお、図４２（ｂ）では図４２（ａ）に示した第３４の実施例と同様の機能を有する要素については同一符号を付している。本実施例の比較手段１０６は、例えば図３３中のいずれかの内部ワード線ＷＬ０～ＷＬ５に接続されるメモリセルの故障を対象とするものであって、図４２（ａ）に示した第３４の実施例の論理積回路１０７に代えて、４入力論理和（ＯＲ）回路１０８が設けられている。

【０３０１】

上記構成においては、メモリセルアレイ１１中のいずれか１個のメモリセルに故障が発生した場合に、対応するデータ出力のみがフェイルする。

【０３０２】

本実施例では、各排他的論理和回路３１ａ～３１ｄによって期待値信号ＥＸＰと各読出データ用端子ＤＯ＜１＞，ＤＯ＜２＞，ＤＯ＜３＞，ＤＯ＜４＞の値とを比較し、１個以上異なったときに制御用の値ＰＦが「１」になる。したがって、メモリセルＭの故障を容易に検出することができる。

【０３０３】

｛第３６の実施例｝

図４２（ｃ）は、図４１に示した第３３の実施例のデータ制御回路１００内で使用される比較手段１０６の一例（第３６の実施例）を示すものである。本実施例の比較手段１０６は、ロウ冗長制御回路９１とメモリセルアレイ１１との接続配線を考えた場合に、ロウ冗長制御回路９１から最も遠く接続されたメモリセルに関する読出データ用端子ＤＯ＜４＞のみの故障検出を行う１個の排他的論理和（Ｅｘ．ＯＲ）回路３１を設けたものである。

【０３０４】

上記構成において、内部ワード線ＷＬ０～ＷＬ５の断線故障の場合、故障個所から先のメモリセルはすべてフェイルする。したがって、ロウ冗長制御回路９１およびロウデコーダ２３から最も遠いメモリセルのみをテストすれば、断線故障を検出できる。すなわち、ロウ冗長制御回路９１から最も遠いメモリセルの故障は、ロウ冗長制御回路９１から最も遠い読出データ用端子ＤＯ＜４＞を観測することにより検出されるので、図４２（ｃ）のようにこのデータ出力（ＤＯ＜４＞）のみを比較対象とすればよい。

【０３０５】

なお、図４２（ｃ）の回路では、内部ワード線ＷＬ０～ＷＬ５がグランドにショートするような故障も検出できる。この目的で使用する場合は、ロウ冗長制御回路９１から最も遠いデータ出力を比較対象とする必要はなく、ＤＯ＜１＞等、どのデータ出力を比較対象としてもよい。

【０３０６】

なお、図４２（ｄ）のように図４２（ａ），（ｂ），（ｃ）の機能を選択できるようにセレクタを付加してもよい。

【０３０７】

｛第３７の実施例｝

図４３は本発明の第３７の実施例のメモリ回路のデータ制御回路１００を示す図である。なお、図４３では図１８に示した第１３の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路１００は、図１８に示した第１３の実施例のものと類似の回路であるが、図１８中の書込データ入力端子ＸＤＩ＜１＞～ＸＤＩ＜４＞およびセレクタ５７が省略されており、さらに、排他的論理和回路３１に代えて第３４の実施例乃至第３６の実施例のいずれかの比較手段１０６が設けられている。

【０３０８】
本実施例において、メモリ回路３０のＲＥＤ－ＣＯＬ－ＡＤＤＲ端子には外部からのＣＨＤＩＲ信号が供給される。ＣＨＤＩＲ＝「１」の場合は、図３９および図３６の一方のビット線ＲＢＬ１，ＣＨＤＩＲ＝「０」の場合は他方のビット線ＲＢＬ２が選択される。
【０３０９】
次に、データ制御回路１００の動作を説明する。まず、リセット信号ＦＦ－ＲＥＳＥＴにより第２のフリップフロップ６４，第１のフリップフロップ６１を０にリセットする。ここで、比較手段１０６は、期待値信号ＥＸＰとメモリ回路３０の読出データ用端子ＤＯ＜１＞～ＤＯ＜４＞を比較し、異なっていれば制御用の値ＰＦとして「１」を出力する。この状態でコンペアイネーブル信号ＣＭＰＥＮが「１」の時にクロック信号Ｔが与えられると、第１のフリップフロップ６１には「１」がセットされ、その出力データＱ１が「１」になる。つまり、最初の故障が検出されれば第１のフリップフロップ６１の出力データＱ１は「０」から「１」に変化する。
【０３１０】
第１のフリップフロップ６１の出力データＱ１が「１」、制御用の値ＰＦが「１」、コンペアイネーブル信号ＣＭＰＥＮが「１」の時にクロック信号Ｔが与えられると、第２のフリップフロップ６４には「１」がセットされ、その出力データＱ０が「１」になる。つまり、２番目の故障が検出されれば第２のフリップフロップ６４の出力データＱ０は「０」から「１」に変化する。
【０３１１】
第２のセレクタ６５は、信号ＣＨＤＩＲが「０」の時は第２のフリップフロップ６４、信号ＣＨＤＩＲが「１」の時は第１のフリップフロップ６１の出力を、制御メモリセルＲ１１～Ｒ４１（図３６）に対する制御データとして選択する。
【０３１２】
ＣＨＤＩＲ＝「１」に固定して使用する場合は、図４１の回路と同様の動作が行え、１個のワード線に関する故障を救済できる。しかしながら、ＣＨＤＩＲ＝「１」に固定した動作で救済が行えない場合、つまり２個のワード線に関する故障の場合は、以下に示す動作で救済する。ここではワード線のショートや断線の故障を仮定しているので、カラムアドレスＣＯＬ－ＡＤＤＲは例えば「０」に固定してテストを行う。
【０３１３】
図３６および図３９を参照しながら図４３の回路全体の動作例を説明する。なお、ここではワード線ＷＬ２とワード線ＷＬ３の故障を仮定して説明を行う。
【０３１４】
（１）　図３６において、リセット信号ＲＥＤ－ＲＥＳＥＴ等の手段により、制御メモリセルＲ１１，Ｒ２１，Ｒ３１，Ｒ４１，Ｒ１２，Ｒ２２，Ｒ３２，Ｒ４２をリセットする。
【０３１５】
（２）　図４３において、データ制御回路１００の第２のフリップフロップ６４および第１のフリップフロップ６１をリセットする。
【０３１６】
（３）　期待値信号ＥＸＰ、コンペアイネーブル信号ＣＭＰＥＮ、その他の所定の信号ＷＥ等を適切に制御し、図３６において、ＣＨＤＩＲ＝「０」の状態で第４の内部ワードＷＬ４に接続されている通常動作用メモリセル（Ｍ４１）をテストする。そして、図４３において、第２のフリップフロップ６４のデータ出力端子Ｑ０のデータ（制御用の値ＰＦ）を、対応する図３６中の制御メモリセルＲ４２に書き込む。
【０３１７】
（４）　ワード線の対象を順にＷＬ３，ＷＬ２，ＷＬ１と切り替えながら、すなわち制御メモリセルを順にＲ３２，Ｒ２２，Ｒ１２と切り替えながら、上述の（３）と同様の動作を行う。
【０３１８】

上記の動作を行えば、内部ワード線ＷＬ３，ＷＬ２関連のメモリセルＭ３１，Ｍ２１が不良と判定された後で制御データが「１」に変化する。この結果、Ｒ１２，Ｒ２２，Ｒ３２，Ｒ４２には「１」，「１」，「０」，「０」が書き込まれる。この段階で、第１の外部ワード線ＯＷＬ１は第０の内部ワード線ＷＬ０に、第２の外部ワード線ＯＷＬ２は第１の内部ワード線ＷＬ１に、第３の外部ワード線ＯＷＬ３は第３の内部ワード線ＷＬ３に、第４の外部ワード線ＯＷＬ４は第４の内部ワード線ＷＬ４に夫々接続され、第２の内部ワード線ＷＬ２の不良は救済されている。

【０３１９】

（５）　次に、データ制御回路１００の第１のフリップフロップ６１をリセットする。

【０３２０】

（６）　期待値信号ＥＸＰ、コンペアイネーブル信号ＣＭＰＥＮ、その他の所定の信号ＷＥ等各信号を適切に制御し、ＣＨＤＩＲ＝「１」の状態で、第１の外部ワード線ＯＷＬ１に接続されているメモリセルＭ０１をテスト（図３６）し、第１のフリップフロップ６１の出力データＱ１（制御用の値ＰＦ）を対応する制御メモリセルＲ１１に書き込む。

【０３２１】

（７）　外部ワード線を順にＯＷＬ２，ＯＷＬ３，ＯＷＬ４と切り替えながら、すなわち、制御メモリセルを順にＲ２１，Ｒ３１，Ｒ４１と切り替えながら、上述した（６）と同様の動作を行う。

【０３２２】

この動作を行えば、メモリセルＭ３１が不良と判定された後で制御データが「１」に変化する。この結果、Ｒ１１，Ｒ２１，Ｒ３１，Ｒ４１には「０」，「０」，「１」，「１」が書き込まれる。この段階で、第１の外部ワード線ＯＷＬ１は第０の内部ワード線ＷＬ０に、第２の外部ワード線ＯＷＬ２は第１の内部ワード線ＷＬ１に、第３の外部ワード線ＯＷＬ３は第４の内部ワード線ＷＬ４に、第４の外部ワード線ＯＷＬ４は第５の内部ワード線ＷＬ５に夫々接続され、第２の内部ワード線ＷＬ２および第３の内部ワード線ＷＬ３の不良は救済される。

【０３２３】

｛第３８の実施例｝

図４４は本発明の第３８の実施例のメモリ回路のデータ制御回路１００を示す図である。なお、図４４では図１９に示した第１４の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路１００は、図１９に示した第１４の実施例のものと類似の回路であるが、図１９中の書込データ入力端子ＸＤＩ＜１＞～ＸＤＩ＜４＞およびセレクタ５７が省略されており、さらに、排他的論理和回路３１に代えて第３４の実施例乃至第３６の実施例のいずれかの比較手段１０６が設けられている。すなわち、第３７の実施例中のセレクタ６５に代えて１個の論理和（ＯＲ）回路６７が用いられた構成とされている。そして、ＣＨＤＩＲ＝「１」とすることによって、第２のフリップフロップ６４および第１のフリップフロップ６１の両方が最初の故障を検出する。図４４に比べて回路規模が小さい。

【０３２４】

図４５は、本実施例において、カラム冗長制御回路１２とロウ冗長制御回路ＲＯＷ－ＲＥＤ－ＣＴＲＬを同時に適用した場合の冗長機能付きメモリ回路の全体図である。図４５では図１７の回路と図３９の回路を融合している。

【０３２５】

図４５に示すように、冗長イネーブル信号線ＲＥＤ－ＥＮから与えられる信号がカラム冗長制御回路１２とロウ冗長制御回路９１の両方に存在する場合は、この冗長イネーブル信号線ＲＥＤ－ＥＮは両冗長制御回路１２，９１に共通に接続することができる。

【０３２６】

カラム冗長制御回路１２の切替とロウ冗長制御回路９１の切替を順に行う場合は、図４５に示すように、リセット信号ＲＥＤ－ＲＥＳＥＴ（ＲＥＤ－ＲＥＳＥＴ－Ｒ，ＲＥＤ－ＲＥＳＥＴ－Ｃ）を各冗長制御回路１２，９１について独立して供給させる。

【０３２７】
どちらか一方のみで救済を行うのであれば、リセット信号ＲＥＤ－ＲＥＳＥＴ－ＲとＲＥＤ－ＲＥＳＥＴ－Ｃは共通の接続線から供給してもよい。
【０３２８】
｛第３９の実施例｝
図４６は本発明の第３９の実施例のメモリ回路のデータ制御回路１００を示す図である。なお、図４６では図１８に示した第１３の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路１００は、図４５のようなカラム冗長制御回路ＣＯＬ－ＲＥＤ－ＣＴＲＬとロウ冗長制御回路ＲＯＷ－ＲＥＤ－ＣＴＲＬを同時に適用したものである。本実施例のデータ制御回路１００は、図１８に示した第１３の実施例のものと類似の回路であるが、セレクタ６５からの出力がメモリ回路３０のＲＥＤ－ＤＩ端子に供給され、また、コンペアイネーブル信号ＣＭＰＥＮがロウ冗長アドレス端子ＲＥＤ－ＲＯＷ－ＡＤＤＲだけでなくカラム冗長アドレス端子ＲＥＤ－ＣＯＬ－ＡＤＤＲにも供給される点で、第１３の実施例のものと異なる。
【０３２９】
そして、本実施例では、図４２（ｃ）に示した第３６の実施例の比較手段１０６を第３７の実施例（図４３）のロウ冗長制御回路に適用したものである。
【０３３０】
本実施例によると、４ビット目の書込データ入力端子ＤＩ＜４＞および読出データ用端子ＤＯ＜４＞に対応するデータ制御回路１００は、カラム冗長制御回路１２とロウ冗長制御回路９１の両方のために兼用されている。これにより、回路規模が削減できる。
【０３３１】
図４７は図４６に示した回路と同じ機能であるが、信号ＣＨＤＩＲで制御されるセレクタ６５の代わりに論理和（ＯＲ）回路６７が用いられており、ＣＨＤＩＲ＝「１」とすることによって第２のフリップフロップ６４および第１のフリップフロップ６１の両方が最初の故障を検出する。本実施例では、図４７に比べて回路規模が小さくなる。
【０３３２】
｛第４０の実施例｝
図４８は本発明の第４０の実施例のメモリ回路のデータ制御回路２９，１００を示す図である。なお、図４８では図４６に示した第３９の実施例と同様の機能を有する要素については同一符号を付している。本実施例のデータ制御回路１００は、カラム冗長制御用データ制御回路２９とロウ冗長制御用データ制御回路１００の各々について、図４６に示した第３９の実施例と類似の回路を適用するものであるが、カラム冗長制御用データ制御回路２９の排他的論理和回路３１をロウ冗長制御用データ制御回路１００の期待値比較手段の一部として流用し回路規模を削減したものである。
【０３３３】
なお、図４８中の符号１１０は、メモリ回路３０の書込データ入力端子ＤＩ＜１＞～ＤＩ＜４＞の夫々に関する排他的論理和回路３１に接続される素子であって、かかる素子として論理積（ＡＮＤ）回路を用いる場合は、第３４の実施例（図４２（ａ））の比較手段１０６が構成される。一方、素子１１０として論理和（ＯＲ）回路が使用される場合は、第３５の実施例（図４２（ｂ））の比較手段１０６が構成される。
【０３３４】
また、ロウ冗長制御用データ制御回路１００において、カラム冗長制御用データ制御回路２９のセレクタ５７に対応するセレクタは省略されている。
【０３３５】
｛第４１の実施例｝
図４９は本発明の第４１の実施例のメモリ回路のデータ制御回路２９，１００を示す図である。なお、図４９では図４８に示した第４０の実施例と同様の機能を有する要素については同一符号を付している。本実施例の回路は、図４８に示した第４０の実施例と類似の回路であるが、カラム冗長制御用データ制御回路２９の排他的論理和回路３１をロウ冗長

制御用データ制御回路１００の期待値比較手段の一部に流用するとともに、カラム冗長制御用データ制御回路２９の一個（２９Ｘ）をモード切替によってロウ冗長制御用データ制御回路１００に流用するよう構成されている。このときのモード切替は、外部からの制御信号ＣＯＬ－ＲＯＷによりセレクタ１１１を切り替えて行えばよい。

【０３３６】

かかる構成により、図４８の回路に比べて回路規模を削減することができる。

【０３３７】

{第４２の実施例}

＜構成＞

図５０（ａ）は本発明の第４２の実施例のアドレス指定回路を示す図である。本実施例のアドレス指定回路は、第３０の実施例（図３８）または第３１の実施例（図３９）で説明したロウ冗長機能付きメモリ回路のロウデコーダ（ＲＯＷ－ＤＥＣ）２３に対してアドレス指定信号ＲＯＷ－ＡＤＤＲを与えるものである。すなわち、本実施例のアドレス指定回路は、メモリ回路３０の複数（４本）の外部ワード線ＯＷＬ１～ＯＷＬ４に接続され、当該外部ワード線をＯＷＬ１からＯＷＬ４に向けて順次指定するものであって、予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力する全周期系列データ出力回路１１５と、全周期系列データ出力回路１１５からの出力情報に基づいて外部ワード線ＯＷＬ１～ＯＷＬ４を順次指定するデコーダ１１６と、を備える。

【０３３８】

全周期系列データ出力回路１１５は、２ビットの直列シフトレジスタ（ＳＲ）であって、左シフトでシフトインするＳＩＬ端子と、右シフトでシフトインするＳＩＲ端子とを備えており、所定の乱数発生用論理回路群（図示せず）からのデータ「０１１００」が周期的にシフトインされる。これにより、全周期系列データ出力回路１１５は、左シフト時（ＳＩＲ）には「００」～「１０」～「１１」～「０１」の順に２ビットデータをデコーダ１１６に与え、右シフト時（ＳＩＬ）には「０１」～「１１」～「１０」～「００」の順に２ビットデータをデコーダ１１６に与える。

【０３３９】

デコーダ１１６は、２ビット入力４ビット出力デコーダであって、全周期系列データ出力回路１１５からの２ビットデータを受けて、４本の外部ワード線ＯＷＬ１～ＯＷＬ４を順に指定するもので、図５１の如く、全周期系列データ出力回路に接続される２ビット分の入力端子ＡＸ０，ＡＸ１と、外部ワード線ＯＷＬ１～ＯＷＬ４に接続される４ビット分の出力端子Ｘ０，Ｘ２，Ｘ３，Ｘ１と、入力端子ＡＸ０，ＡＸ１から与えられる２ビット値を出力端子Ｘ０，Ｘ２，Ｘ３，Ｘ１にかかる４ビット値に変換する論理回路部１２１と、論理回路部１２１からの４ビットの信号を出力端子Ｘ０，Ｘ２，Ｘ３，Ｘ１の順序に並び替えるビット順序変換配線１２２と、を備える。

【０３４０】

論理回路部１２１は、４個のインバータ１２４ａ～１２４ｄおよび４個の論理積（ＡＮＤ）回路１２５ａ～１２５ｄから構成された一般的なものである。ここで、論理回路部１２１は、入力端子ＡＸ０，ＡＸ１に与えられる値について「００」～「０１」～「１０」～「１１」の順にデータが入力されると、最も右側の第１の論理積回路１２５ａから最も左側の第４の論理積回路１２５ｄに向けて順次値「１」を出力する。

【０３４１】

ビット順序変換配線１２２は、論理回路部１２１の最も右側の第１の論理積回路１２５ａから値「１」を受けたとき（すなわち入力端子ＡＸ０，ＡＸ１に値「００」が与えられたとき）には最も左側の出力端子Ｘ０にデータを出力し、論理回路部１２１の右から２番目の第２の論理積回路１２５ｂから値「１」を受けたとき（すなわち入力端子ＡＸ０，ＡＸ１に値「０１」が与えられたとき）には最も右側の出力端子Ｘ１にデータを出力し、論理回路部１２１の右から３番目の第３の論理積回路１２５ｃから値「１」を受けたとき（すなわち入力端子ＡＸ０，ＡＸ１に値「１０」が与えられたとき）には右から３番目の出力

端子Ｘ２にデータを出力し、論理回路部１２１の最も左の第４の論理積回路１２５ｄから値「１」を受けたとき（すなわち入力端子ＡＸ０，ＡＸ１に値「１１」が与えられたとき）には右から２番目の出力端子Ｘ３にデータを出力する。

【０３４２】

＜動作＞

上記構成のアドレス指定回路の動作を説明する。外部ワード線ＯＷＬ１～ＯＷＬ４に対してインクリメントを行う、すなわち、ＯＷＬ１～ＯＷＬ２～ＯＷＬ３～ＯＷＬ４の順にアドレッシングを行う場合は、全周期系列データ出力回路１１５に対して「００１１０」をＳＩＲ端子から右シフトでシフトインする。このとき、全周期系列データ出力回路１１５からのアドレス（ＡＸ１，ＡＸ０）は「００」，「１０」，「１１」，「０１」の順に変化する。これを十進数で表すと０番地、２番地、３番地、１番地の順に変化したことになる。０番地指定時は第０の出力端子Ｘ０、２番地指定時は第２の出力端子Ｘ２、３番地指定時は第３の出力端子Ｘ３、１番地指定時は第１の出力端子Ｘ１がアクティブになる。

【０３４３】

ここで、本実施例では、第１の外部ワード線ＯＷＬ１を第０の出力端子Ｘ０に、第２の外部ワード線ＯＷＬ２を第２の出力端子Ｘ２に、第３の外部ワード線ＯＷＬ３を第３の出力端子Ｘ３に、第４の外部ワード線ＯＷＬ４を第１の出力端子Ｘ１に夫々接続しているので、Ｘ０～Ｘ２～Ｘ３～Ｘ１の順番でアドレス指定を行っても、ＯＷＬ１～ＯＷＬ２～ＯＷＬ３～ＯＷＬ４の順に容易にインクリメントを行うことができる。したがって、冗長回路切替のためのＲＡＭテスト時に全周期系列をアドレッシングに用いた効率の良いテストを適用できる。具体的には、テスト用信号の削減やテストパターンの削減の効果がある。

【０３４４】

なお、外部ワード線に対してデクリメントを行う、すなわち、ＯＷＬ４～ＯＷＬ３～ＯＷＬ２～ＯＷＬ１の順にアドレッシングを行う場合は、全周期系列データ出力回路１１５に対するデータ「０１１００」をＳＩＬ端子から左シフトでシフトインする。このとき、全周期系列データ出力回路１１５から指定されるアドレス（ＡＸ１，ＡＸ０）は「０１」，「１１」，「１０」，「００」の順に変化する。これを十進数で表すと１番地、３番地、２番地、０番地の順に変化したことになる。これによりデクリメントアドレッシングが実現される。なお、デクリメントアドレッシングが不要な場合は双方向の直列シフトレジスタや双方向のスキャンパス回路を用いる必要はない。

【０３４５】

｛第４３の実施例｝

図５２は本発明の第４３の実施例のアドレス指定回路を示す図である。本実施例のアドレス指定回路は、例えば第３２の実施例（図４０）で説明したようなロウ冗長機能付きメモリ回路に対応するものであって、デコーダ１１６として４入力１６出力のものを用いるものである。

【０３４６】

ここで、ロウアドレスＲＯＷ－ＡＤＤＲは、上位アドレス（ＡＸ３，ＡＸ２）用と下位アドレス（ＡＸ１，ＡＸ０）用の２個の直列シフトレジスタ（全周期系列データ出力回路）１１５ａ（ＳＲ１），１１５ｂ（ＳＲ２）から供給される。この２個の直列シフトレジスタは独立にシフト動作を制御できるように構成する。なお、２個の直列シフトレジスタはスキャンパス回路であってもよい。

【０３４７】

上位アドレス（ＡＸ３，ＡＸ２）は複数（４個）のロウ冗長制御回路ＲＯＷ－ＲＥＤ－ＣＴＲＬ－０～３のうちの１個を選択するために用いる。例えば、（ＡＸ３，ＡＸ２）が（０，０）の時にＲＯＷ－ＲＥＤ－ＣＴＲＬ－０が、（ＡＸ３，ＡＸ２）が（０，１）の時にＲＯＷ－ＲＥＤ－ＣＴＲＬ－１が、（ＡＸ３，ＡＸ２）が（１，０）の時にＲＯＷ－ＲＥＤ－ＣＴＲＬ－２が、（ＡＸ３，ＡＸ２）が（１，１）の時にＲＯＷ－ＲＥＤ－ＣＴＲＬ－３が夫々選択される。すなわち、本実施例では、上位アドレスによりロウ冗長制御回路ＲＯＷ－ＲＥＤ－ＣＴＲＬ選択し、各ロウ冗長制御回路ＲＯＷ－ＲＥＤ－ＣＴＲＬを制

御し冗長回路切替を行うことで、４個のワード線を持つＲＡＭが４個集まったものと考えて、それぞれのＲＡＭに対して冗長回路切替を行うような制御を行う。

【０３４８】

下位アドレス（ＡＸ１，ＡＸ０）は各ロウ冗長制御回路内の複数ある外部ワード線ＯＷＬ１～ＯＷＬ１６の内の１個を選択するために用いる。

【０３４９】

全周期系列「００１１０」を第１のシフトレジスタ１１５ａ（ＳＲ１）のＳＩＲ端子から右シフトでシフトインする。このとき、アドレス（ＡＸ１，ＡＸ０）は「００」～「１０」～「１１」～「０１」の順に変化する。

【０３５０】

同様に全周期系列「００１１０」を第２のシフトレジスタ１１５（ＳＲ２）のＳＩＲ端子から右シフトでシフトインする。このとき、アドレス（ＡＸ３，ＡＸ２）は「００」～「１０」～「１１」～「０１」の順に変化する。

【０３５１】

第１のシフトレジスタ１１５ａ（ＳＲ１）によるアドレスが一巡した後で、第２のシフトレジスタ１１５ｂ（ＳＲ２）によるアドレスを更新するという動作を繰り返せば、アドレス（ＡＸ３，ＡＸ２，ＡＸ１，ＡＸ０）は次のように変化する。

【０３５２】

(0, 0, 0, 0) ～ (0, 0, 1, 0) ～ (0, 0, 1, 1)
～ (0, 0, 0, 1) ～ (1, 0, 0, 0) ～ (1, 0, 1, 0)
～ (1, 0, 1, 1) ～ (1, 0, 0, 1) ～ (1, 1, 0, 0)
～ (1, 1, 1, 0) ～ (1, 1, 1, 1) ～ (1, 1, 0, 1)
～ (0, 1, 0, 0) ～ (0, 1, 1, 0) ～ (0, 1, 1, 1)
～ (0, 1, 0, 1)

これを十進数で表すと０～２～３～１～８～１０～１１～９～１２～１４～１５～１３～４～６～７～５の順に変化することになる。この順番でデコーダの出力Ｘ０、Ｘ２、Ｘ３、Ｘ１、Ｘ８、Ｘ１０、Ｘ１１、Ｘ９、Ｘ１２、Ｘ１４、Ｘ１５、Ｘ１３、Ｘ４、Ｘ６、Ｘ７、Ｘ５を配置する。

【０３５３】

このように構成すれば、ロウ冗長回路切替のためのＲＡＭテスト時に全周期系列をアドレッシングに用いた効率の良いテストを適用できる。具体的には、テスト用信号の削減やテストパターンの削減の効果がある。

【０３５４】

なお、逆順序でのアドレッシングを行う場合は全周期系列「００１１０」を逆の順序でＳＩＬ端子から左シフトインすればよい。

【０３５５】

なお、複数のロウ冗長制御回路ＲＯＷ－ＲＥＤ－ＣＴＲＬはどのような順序で配置してもよい。図５２のように全周期系列によって発生される順に並べてもよいし、上位アドレスの昇順（ＲＯＷ－ＲＥＤ－ＣＴＲＬ０～１～２～３）に並べてもよい。

【０３５６】

｛第４４の実施例｝

図５３は本発明の第４４の実施例のアドレス指定回路を示す図である。なお、図５３では図５０（ａ）に示した第４２の実施例と同様の機能を有する要素については同一符号を付している。本実施例のアドレス指定回路は、図７、図８、図９または図１０に示したカラム冗長機能付メモリ回路に対応して使用されるものであって、第４２の実施例（図５０（ａ））で説明したものと同様、２入力４出力のデコーダ１１６（カラムデコーダ）が使用されている。そして、デコーダ１１６と外部ビット線ＯＢＬ１～ＯＢＬ４との間には、カ

ラムセレクタ１１７が接続されている。
【０３５７】
本実施例において、外部ビット線ＯＢＬ１～ＯＢＬ４に対してインクリメント、すなわちＯＢＬ１～ＯＢＬ２～ＯＢＬ３～ＯＢＬ４の順にアドレッシングを行う場合は、全周期系列「００１１０」をＳＩＲ端子から右シフトでシフトインする。このとき、アドレス（ＡＹ１，ＡＹ０）は「００」～「１０」～「１１」～「０１」の順に変化する。これを十進数で表すと０番地、２番地、３番地、１番地の順に変化したことになる。そして、カラムセレクタ１１７によって、０番地指定時はＹ０，２番地指定時はＹ２，３番地指定時はＹ３，１番地指定時はＹ１がアクティブになる。Ｙ０によりＯＢＬ１，Ｙ２によりＯＢＬ２，Ｙ３によりＯＢＬ３，Ｙ１によりＯＢＬ１～ＢＬ４が選択される。
【０３５８】
このように構成すれば、冗長回路切替のためのＲＡＭテスト時に全周期系列をアドレッシングに用いた効率の良いテストを適用できる。
【０３５９】
具体的には、テスト用信号の削減やテストパターンの削減の効果がある。
【０３６０】
なお、外部ビット線ＯＢＬ１～ＯＢＬ４に対してデクリメント、すなわち、ＯＢＬ４～ＯＢＬ３～ＯＢＬ２～ＯＢＬ１の順にアドレッシングを行う場合は、全周期系列「０１１００」をＳＩＬ端子から左シフトでシフトインする。このとき、アドレス（ＡＹ１，ＡＹ０）は「０１」，「１１」，「１０」，「００」の順に変化する。これを十進数で表すと１番地、３番地、２番地、０番地の順に変化したことになる。これによりデクリメントアドレッシングが実現される。なお、デクリメントアドレッシングが不要な場合は双方向の直列シフトレジスタや双方向のスキャンパス回路を用いる必要はない。
【０３６１】
｛変形例｝
（１）　第１の実施例、第２の実施例、第３の実施例、第４の実施例、第２０の実施例、第２６の実施例、第２７の実施例、第２８の実施例および第２９の実施例において、制御メモリセルＣ１１～Ｃ１４としてリセット機能付きのものを使用していたが、これに代えて、リセット機能なしのものを使用してもよい。この場合、ワード線ＲＷＬ１をアクティブにした時に外部ビット線ＯＢＬ１～ＯＢＬ４から全制御メモリセルＣ１１～Ｃ１４に「０」を書き込むことによってリセット動作を行う。リセット後は、全てのセレクタが入力「０」側に切り替わるので、第１の外部ビット線ＯＢＬ１と第１の内部ビット線ＢＬ１，第２の外部ビット線ＯＢＬ２と第２の内部ビット線ＢＬ２，第３の外部ビット線ＯＢＬ３と第３の内部ビット線ＢＬ３，第４の外部ビット線ＯＢＬ４と第４の内部ビット線ＢＬ４が夫々対応する。
【０３６２】
また、第２の実施例および第３の実施例等において、必ずしも明確なリセット機能を持たない制御メモリセルを用いても良い。例えば、電源投入時に制御メモリセルＣ１１～Ｃ１４が全て「０」にリセットされるようにメモリセル自身を設計しておいてもよい。例えば、制御メモリセル群１７の各制御メモリセルＣ１１～Ｃ１４を、例えばトランジスタのサイズを変えることによってデータの「０」、「１」に対して非対称になるように設計すれば、電源投入時に制御メモリセルＣ１１～Ｃ１４を全て「０」にリセットできる。
【０３６３】
また、制御メモリセルＣ１１～Ｃ１４を光（紫外線）照射消去可能なプログラマブルＲＯＭ（ＵＶＥＰＲＯＭ）用のメモリセルで構成してもよい。この場合は、光照射によりリセット動作が可能である。
【０３６４】
さらに、第３の実施例において、制御メモリセルＣ１１～Ｃ１４としてリセット機能のないものを使用する場合、各制御メモリセルＣ１１～Ｃ１４のリセットを行いたいときには、冗長イネーブル信号線ＲＥＤ－ＥＮを「０」に設定し、セレクタ群１６のセレクタＳＥ

Ｌ１～ＳＥＬ４を「０」側に切り替えるとともに、ワード線ＲＷＬ１をアクティブにし、外部ビット線ＯＢＬ１～ＯＢＬ４から制御メモリセルＣ１１～Ｃ１４に「０」を書き込むことによってリセット動作を行うことができる。

【０３６５】

また、第４の実施例において、リセット機能のないものを使用する場合、ワード線ＲＷＬ１，ＲＷＬ２をアクティブにした時に外部ビット線ＯＢＬ１～ＯＢＬ４から制御メモリセルＣ１１～Ｃ１４，Ｃ２１～Ｃ２４に「０」を書き込むことによってリセット動作を行えばよい。

【０３６６】

（２）　各実施例で説明したような制御データ発生回路を設けない場合でも、制御データの書き込み手段さえあればカラム冗長制御回路やロウ冗長制御回路を用いて冗長回路切替を行うことができる。

【０３６７】

例えば、スキャンパス方式のテスト回路を図４５のＲＡＭに適用すれば、メモリセルアレイ１１のテストを行うことができる。このテスト結果をもとにスキャンパスを用いて冗長回路切替用の制御データをカラム冗長制御回路やロウ冗長制御回路に書き込むことができる。この場合、ＲＡＭのテストや制御データの書き込みのためのスキャンパスの動作が複雑になる。したがって、マイクロコントローラやマイクロコンピュータなどによって、このテストや冗長回路切替を制御すればよい。マイクロコントローラやマイクロコンピュータにより制御すればより高度なテストアルゴリズムをＲＡＭテストに適用でき故障の検出率を高めることができ、より適切な冗長回路切替が行える。

【０３６８】

なお、本発明による制御データ発生機能付きスキャンレジスタ（図１２、１５、２０、２１、２２、２３、２４、２５、２８、２９、３１）を用いたスキャンパス方式のテスト回路をマイクロコントローラやマイクロコンピュータで制御してもよい。

【０３６９】

また、スキャンパスにより制御メモリセルＣ１１～Ｃ１４、Ｒ内の制御データを読み出しこの情報を圧縮して、マイクロコントローラやマイクロコンピュータ内のプログラマブルＲＯＭ内に格納することもできる。電源投入時にこのＲＯＭのデータに応じてスキャンパスを制御して再び制御メモリセルＣ１１～Ｃ１４、Ｒに書き込めば、電源投入時に再テストすることなく冗長回路切替が行える。

【０３７０】

（３）　図７に示した第４の実施例では、２本のワード線ＲＷＬ１，ＲＷＬ２を示しているが、例えば図１、図２および図３のように冗長度が１のカラム冗長制御回路１２を用いる場合は、１本のワード線ＲＷＬ１のみ設ければよい。

【０３７１】

（４）　図７に示した第４の実施例では、冗長イネーブル信号線ＲＥＤ－ＥＮを示しているが、例えば図１、図２、図４の回路のように、カラム冗長制御回路１２の種類によってはこの信号は存在しない。

【０３７２】

（５）　図７に示した第４の実施例では、リセット信号線ＲＥＤ－ＲＥＳＥＴを示しているが、例えば、図１や図３、図４の回路でリセット機能なしの制御メモリセルを用いる場合のように、カラム冗長制御回路１２の種類によってはこの信号は存在しない。

【０３７３】

（６）　図１１に示した第８の実施例において、内部ビット線ＢＬ１～ＢＬ４の断線故障を検出して冗長回路切替を行うのであれば、内部ビット線ＢＬ１～ＢＬ４関連の全てのメモリセルＭ１１～Ｍ１５，Ｍ２１～Ｍ２５，Ｍ３１～Ｍ３５，…をテストする必要はない。例えば、図１中の第１の内部ビット線ＢＬ１に対してはＭ３１のみのテストでよく、一般に、各セレクタＳＥＬ１～ＳＥＬ４から最も遠いメモリセルＭ３１～Ｍ３５のみをテストすればよい。

【０３７４】
（７）　図１４に示した第１０の実施例および図１５に示した第１１の実施例では、シリアルシフト動作により「０」をシフトインしてリセット動作を行うことができるので、リセット信号ＦＦ－ＲＥＳＥＴおよびこの信号が入力される論理積回路４１を削除してもよい。このように論理積回路４１を削除する場合、非同期リセット機能付きまたは同期リセット付きのいずれのフリップフロップ４６，６１を用いてもよい。
【０３７５】
また、第１１の実施例において、読出データ出力端子ＸＤＯ＜ｉ＞からのデータ出力用第１のフリップフロップ６１が不要な場合は、前段の２個のセレクタ５１ａ，５１ｂを削除することができる。
【０３７６】
（８）　第３４の実施例乃至第３６の実施例の改良案として、図４２（ｄ）のように、図４２（ａ），（ｂ），（ｃ）の機能を全て備え付け、さらにこれらの機能を選択するセレクタ１０９を付加してもよい。
【０３７７】
（９）　第４０の実施例では、図４８中の素子１１０として第３４の実施例（図４２（ａ））または第３５の実施例（図４２（ｂ））の比較手段１０６を用いるものとして説明したが、図４２（ｄ）の比較手段１０６を使用するものであってもよい。
【０３７８】
（１０）　図５０（ａ）に示した第４２の実施例では、４本の外部ワード線ＯＷＬ１～ＯＷＬ４を有するメモリ回路に対応して、２ビット入力４ビット出力のデコーダ１１６を用いた例を説明したが、これに限るものではなく、例えば、図５０（ｂ）のように、１６本の外部ワード線ＯＷＬ１～ＯＷＬ１６を有するメモリ回路に対応して、４入力１６出力のデコーダ１１６を用いてもよい。例えば、全周期系列として「０００１００１１０１０１１１１００００」を用いる。
【０３７９】
この全周期系列を４ビットのシフトレジスタにシフトインすることによって発生するアドレスは、「００００」～「１０００」～「１１００」～「１１１０」～「１１１１」～「０１１１」～「１０１１」～「０１０１」～「１０１０」～「１１０１」～「０１１０」～「００１１」～「１００１」～「０１００」～「００１０」～「０００１」の順に変化するが、この順番に対応してデコーダ１１６の出力端子を左からＸ０，Ｘ８，Ｘ１２，Ｘ１４，Ｘ１５，Ｘ７，Ｘ１１，Ｘ５，Ｘ１０，Ｘ１３，Ｘ６，Ｘ３，Ｘ９，Ｘ４，Ｘ２，Ｘ１の順に配置し、外部ワード線ＯＷＬ１～ＯＷＬ１６に順番に接続しているので、インクリメント動作およびデクリメント動作を容易に行うことができる。
【０３８０】
【発明の効果】
本発明請求項１、請求項２、請求項４及び請求項２３によると、第１の従来例および第２の従来例のようにフューズをレーザ光線によって切断しなくても、制御メモリセル群の各制御メモリセル内に格納した値によってセレクタ群の各セレクタを切り替えることで、適切な冗長回路の切り替えを行うことができる。したがって、高価なレーザ装置を使用する必要がなくなり、製造工程ラインの設備コストを低減できるだけでなく、極めて短時間で冗長回路の切り替えを効率よく行うことができる。
【０３８１】
本発明請求項１によると、制御メモリセル群の制御メモリセルへデータを書き込む際、メモリセルアレイのメモリセルにデータを書き込む際と同様に、外部接続線からデータを与えることができる。したがって、専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。
【０３８２】
本発明請求項２によると、制御メモリセル群の各制御メモリセルをメモリセルアレイの内部接続線に夫々接続することで、制御メモリセル群とメモリセルアレイとを隣接させて

同一規格で同時に形成することができ、例えばメモリセルアレイの余剰列部分を制御メモリセル群として使用することができる。

【０３８３】

この場合において、制御メモリセルの値によっては、セレクタの切り替えによって外部接続線と制御メモリセルとが非接続状態になることがあり、このままの状態では、例えばメモリセルアレイの故障を修理した後であっても、永遠に外部接続線からデータを与えて制御メモリセル群の各制御メモリセルにデータを格納し直すことができなくなってしまい、セレクタの切り替えが不可能になるおそれがある。しかしながら、請求項２によると、スイッチ素子によって制御メモリセル群による制御の許否を切り替え、セレクタを切り替えることで、外部接続線からデータを与えて制御メモリセル群の各制御メモリセルにデータを格納し直すことができる。

【０３８４】

本発明請求項３，請求項６、請求項７及び請求項２４によると、制御メモリセル群の制御メモリセルによって、各外部接続線ごとに３値のデータのうちの１値を選択的にセレクタ群の各セレクタへ出力し、これにしたがって、セレクタ群の各セレクタは、連続して隣合った３個の内部接続線を夫々選択的に切り替えることができる。そうすると、内部接続線の故障を最大２本まで救済できる。しかも、請求項１、請求項２、請求項４及び請求項２３と同様、高価なレーザ装置を使用する必要がなくなり、製造工程ラインの設備コストを低減できるだけでなく、極めて短時間で冗長回路の切り替えを効率よく行うことができる。

【０３８５】

本発明請求項３によると、２ビット救済の冗長機能を有する場合に、制御メモリセル群の制御メモリセルへデータを書き込む際、メモリセルアレイのメモリセルにデータを書き込む際と同様に、外部接続線からデータを与えることができる。したがって、専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【０３８６】

本発明請求項４、請求項５及び請求項６によると、制御メモリセルのセット動作またはリセット動作を、アドレス指定用のデコーダの余剰端子を利用して行うことができ、専用の制御回路によってセット動作またはリセット動作を行う場合に比べて、回路効率を高めることができる。

【０３８７】

本発明請求項７によると、制御メモリセルのセット動作またはリセット動作を、専用デコーダを用いて行うことができ、当該専用デコーダに与える信号の管理等、制御が容易になる。

【０３８８】

本発明請求項８によると、メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致である場合、期待値比較手段によってその旨を判断し、その結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値を発生させることができる。このように、故障データを自動的に検出して、メモリ回路の制御を行うことができ、効率的な冗長切替を行うことができる。

【０３８９】

本発明請求項９によると、メモリセルアレイのメモリセルへの書込データと、制御メモリセル群の制御メモリセルへの制御用の値とを、第１の選択手段を切り替えることで容易に選択して外部接続線へ与えることができ、制御メモリセル群に対する専用のデータ書き込み端子を設ける必要がなく、端子数の増大を防止できる。

【０３９０】

本発明請求項１０によると、第１の選択手段で選択された一方の情報を、レジスタによって保持することで、データの取扱いが便利になる。

【０３９１】

本発明請求項１１によると、複数のデータ制御回路を直列に接続してスキャンパスを形成

する場合に、データスキャン時には、第１の選択手段の切り替えによって、当該データ制御回路に隣接する他のデータ制御回路からの出力情報を選択して出力させることができる。これにより、スキャンデータの効率良い供給を行うことができる。

【０３９２】

本発明請求項１２によると、第２の選択手段によって、テスト時の書込データと、期待値比較手段からの出力情報とを適宜選択して外部接続線へ出力させることができる。これにより、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【０３９３】

本発明請求項１３によると、期待値比較手段で発生された制御用の値と、メモリセルアレイのメモリセルからの読出データとの少なくとも２種類の情報を、第１の選択手段によって選択してレジスタに格納し、第２の選択手段によって、レジスタからの出力情報と、メモリセルアレイのメモリセルへ書き込むための外部からの書込データとの少なくとも２種類の情報を選択し、外部接続線へ出力させることができる。これにより、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【０３９４】

本発明請求項１４によると、第１の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイのメモリセルからの読出データと、当該データ制御回路に隣接する他のデータ制御回路からの出力情報との少なくとも３種類の情報を選択して外部接続線へ出力することで、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【０３９５】

本発明請求項１５によると、第１の選択手段によって、期待値比較手段で発生された制御用の値と、メモリセルアレイからの読出データとの少なくとも２種類の情報を選択し、第２の選択手段によって、第１の選択手段およびレジスタからの出力情報とメモリセルアレイへ書き込むための書込データとを選択させることができる。すなわち、１個のデータ制御回路で、書込データおよび読出データの両方を取り扱うことができ、夫々専用の回路を用いる場合に比べて回路効率を高め得る。この場合、特に、読出データに故障があるときには、第１の選択手段および第２の選択手段の切り替えによって、期待値比較手段で発生された制御用の値をメモリ回路の制御メモリセル群に与えることができるため、容易に冗長制御を行うことができる。

【０３９６】

本発明請求項１６によると、第２の選択手段によって、メモリセルアレイのメモリセルへ書き込むための外部からの書込データと、レジスタからの出力情報と、外部からのテストデータとの少なくとも３種類の情報を選択し、外部接続線へ出力することで、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【０３９７】

本発明請求項１７によると、複数のデータ制御回路を直列に接続してスキャンパスを形成する場合に、データスキャン時には、第２の選択手段の切り替えによって、当該データ制御回路に隣接する他のデータ制御回路からの出力情報を選択して出力させることができる。これにより、スキャンデータの効率良い供給を行うことができる。また、当該スキャンデータと、当該データ制御回路内の第１の選択手段およびレジスタからの出力情報と、メモリセルアレイのメモリセルへ書き込むための外部からの書込データとを適宜選択して外部接続線へ出力できるので、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【０３９８】

本発明請求項１８によると、期待値比較手段によって、メモリセルアレイの少なくとも１の出力ポートにおける読出データが所定の期待値に対して不一致であるか否かを比較判

断し、その比較結果に基づいて、制御メモリセル群の制御メモリセルのデータ入力端子に与えるべき制御用の値を発生させることができる。そして、かかる制御用の値に基づいて、制御データ発生手段は、請求項３記載の２ビット冗長機能を有するメモリ回路を適切に制御することができる。すなわち、メモリセルアレイのメモリセルからの読出データが所定の期待値に対して同一であるとの結果が得られたときに、期待値比較手段によって、制御メモリセル群の制御メモリセルに対して３値のデータのうちの第１の値を出力させることができる。また、期待値比較手段においてメモリセルアレイのメモリセルからの読出データが所定の期待値に対して不一致であるとの結果が最初に得られたときに、期待値比較手段によって、制御メモリセル群の制御メモリセルに対して３値のデータのうちの第２の値を出力させることができる。そして、期待値比較手段においてメモリセルアレイのメモリセルからの読出データが所定の期待値に対して不一致であるとの結果が２回目に得られたときに、期待値比較手段によって、制御メモリセル群の制御メモリセルに対して３値のデータのうちの第３の値を出力させることができる。これによって、２ビットの故障を容易に救済できる。

【０３９９】

本発明請求項１９によると、１回目の故障検出時には、第１のレジスタに制御用の値を格納し、ここからメモリ回路の制御メモリセル群にデータを与えることができる。また、２回目の故障検出時には、第１のレジスタが既に不一致である旨の値を示しており、且つ、期待値比較手段からの出力情報が不一致である旨の値を示していることを不一致値出力手段によって検出し、ここからの出力情報を第２のレジスタに格納した後、メモリ回路の制御メモリセル群に与えることができる。これにより、メモリ回路の２ビットの故障を容易に救済できる。

【０４００】

本発明請求項２０によると、選択手段によって、外部から与えられまたは内部で発生されたテストデータと、制御データ発生手段からの出力情報との少なくとも２種類の情報を選択して外部接続線へ出力できるので、メモリ回路に上述した多種類の情報を入力するための夫々別個の専用入力端子を設ける必要がなく、端子数の増大を防止できる。

【０４０１】

本発明請求項２１によると、メモリセルアレイの行方向および列方向のうち他方の内部接続線に故障が発生した場合には、メモリセルアレイの行方向および列方向のうち一方の内部接続線のすべてに故障データが検出されるため、期待値比較手段からの出力情報とメモリ回路からの各読出データとを比較し、その結果、全てのデータが異なっていると認められたときに、メモリセルアレイの行方向および列方向のうち他方の内部接続線に故障が発生したものと判断し、以後、他方の内部接続線について適切な切替制御を容易に行うことができる。

【０４０２】

本発明請求項２２によると、第１の制御部と第２の制御部とで期待値比較手段を共用しているので、回路規模を縮小できる。

【０４０３】

本発明請求項２３～請求項２５によると、全周期系列データ出力回路によって、予め設定された演算式に基づいて、一定の周期を有する疑似的な乱数としての全周期系列データを出力し、デコーダの論理回路部において、入力端子の入力ビット数の値を出力端子に対応する出力ビット数の信号に変換した後、ビット順序変換配線によって出力端子の順序に並び替えることができる。これによって、全周期系列データ出力回路から出力される全周期系列データが乱数であるにもかかわらず、その順序に従って、一端から他端の出力端子の方向へ順番に出力することができる。したがって、テスト時等において容易にデータのインクリメントまたはデクリメントを行うことができる。

【図面の簡単な説明】

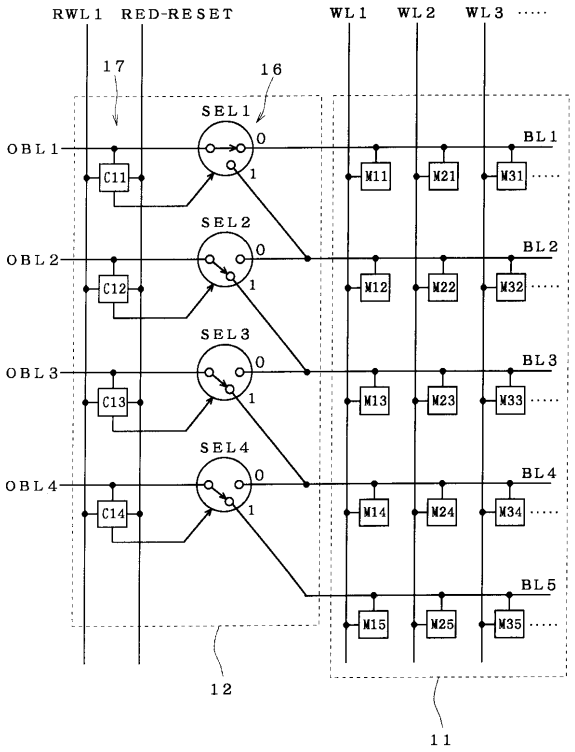
【図１】　本発明の第１の実施例のメモリ回路を示す回路図である。

【図２】　本発明の第２の実施例のメモリ回路を示す回路図である。

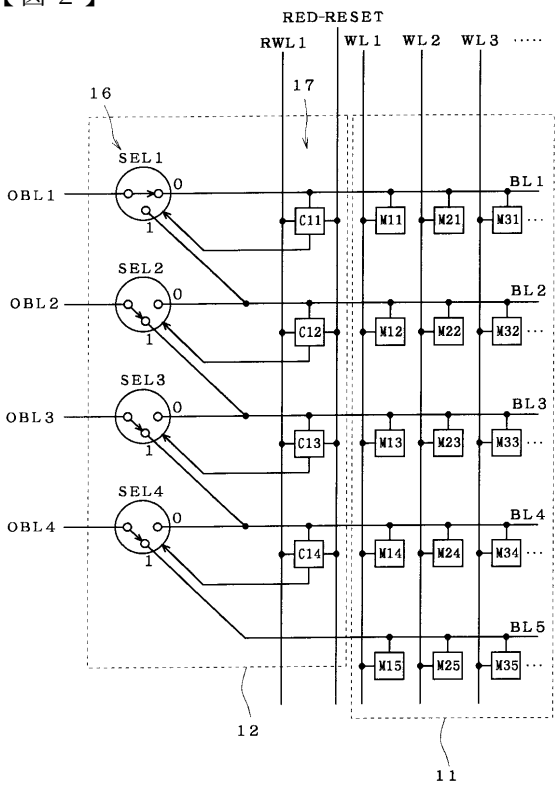
【図３】　本発明の第３の実施例のメモリ回路を示す回路図である。
【図４】　本発明の第４の実施例のメモリ回路を示す回路図である。
【図５】　本発明の第４の実施例のメモリ回路におけるメモリセルアレイの内部構成を示す回路図である。
【図６】　本発明の第４の実施例のメモリ回路における冗長制御回路を示す回路図である。
【図７】　本発明の第４の実施例のメモリ回路の全体構成を示す回路図である。
【図８】　本発明の第５の実施例のメモリ回路の全体構成を示す回路図である。
【図９】　本発明の第６の実施例のメモリ回路の全体構成を示す回路図である。
【図１０】　本発明の第７の実施例のメモリ回路の全体構成を示す回路図である。
【図１１】　本発明の第８の実施例のデータ制御回路を示す回路図である。
【図１２】　本発明の第９の実施例のデータ制御回路を示す回路図である。
【図１３】　本発明の第９の実施例のデータ制御回路がスキャンパスを形成している状態を示す回路図である。
【図１４】　本発明の第１０の実施例のデータ制御回路を示す回路図である。
【図１５】　本発明の第１１の実施例のデータ制御回路を示す回路図である。
【図１６】　本発明の第１１の実施例のデータ制御回路がスキャンパスを形成している状態を示す回路図である。
【図１７】　本発明の第１２の実施例のメモリ回路の全体構成を示す回路図である。
【図１８】　本発明の第１３の実施例のデータ制御回路を示す回路図である。
【図１９】　本発明の第１４の実施例のデータ制御回路を示す回路図である。
【図２０】　本発明の第１５の実施例のデータ制御回路を示す回路図である。
【図２１】　本発明の第１５の実施例のデータ制御回路を示す回路図である。
【図２２】　本発明の第１６の実施例のデータ制御回路を示す回路図である。
【図２３】　本発明の第１７の実施例のデータ制御回路を示す回路図である。
【図２４】　本発明の第１８の実施例のデータ制御回路を示す回路図である。
【図２５】　本発明の第１９の実施例のデータ制御回路を示す回路図である。
【図２６】　本発明の第２０の実施例のメモリ回路を示す回路図である。
【図２７】　本発明の第２０の実施例のメモリ回路における冗長制御回路を示す回路図である。
【図２８】　本発明の第２１の実施例のデータ制御回路を示す回路図である。
【図２９】　本発明の第２２の実施例のデータ制御回路を示す回路図である。
【図３０】　本発明の第２２の実施例のデータ制御回路がスキャンパスを形成している状態を示す回路図である。
【図３１】　本発明の第２３の実施例のデータ制御回路を示す回路図である。
【図３２】　本発明の第２４の実施例および第２５の実施例のメモリ回路のスキャンパスとしてのデータ制御回路を示す回路図である。
【図３３】　本発明の第２６の実施例のメモリ回路を示す回路図である。
【図３４】　本発明の第２７の実施例のメモリ回路を示す回路図である。
【図３５】　本発明の第２８の実施例のメモリ回路を示す回路図である。
【図３６】　本発明の第２９の実施例のメモリ回路を示す回路図である。
【図３７】　本発明の第３０の実施例のメモリ回路における冗長制御回路を示す回路図である。
【図３８】　本発明の第３０の実施例のメモリ回路の全体構成を示す回路図である。
【図３９】　本発明の第３１の実施例のメモリ回路の全体構成を示す回路図である。
【図４０】　本発明の第３２の実施例のメモリ回路の全体構成を示す回路図である。
【図４１】　本発明の第３３の実施例のデータ制御回路を示す回路図である。
【図４２】　本発明の第３４の実施例、第３５の実施例および第３６の実施例のデータ制御回路における期待値比較手段を示す回路図である。
【図４３】　本発明の第３７の実施例のデータ制御回路を示す回路図である。

【図４４】　本発明の第３８の実施例のデータ制御回路を示す回路図である。
【図４５】　本発明の第３８の実施例のメモリ回路の全体構成を示す回路図である。
【図４６】　本発明の第３９の実施例のデータ制御回路を示す回路図である。
【図４７】　本発明の第３９の実施例のデータ制御回路を示す回路図である。
【図４８】　本発明の第４０の実施例のデータ制御回路を示す回路図である。
【図４９】　本発明の第４１の実施例のデータ制御回路を示す回路図である。
【図５０】　本発明の第４２の実施例のアドレス指定回路を示す回路図である。
【図５１】　本発明の第４３の実施例のアドレス指定回路のデコーダの内部構成を示す回路図である。
【図５２】　本発明の第４３の実施例のアドレス指定回路を示す回路図である。
【図５３】　本発明の第４４の実施例のアドレス指定回路を示す回路図である。
【図５４】　第１の従来例のメモリ回路を示す回路図である。
【図５５】　第２の従来例のメモリ回路を示す回路図である。
【符号の説明】
１１　メモリセルアレイ、１２　カラム冗長制御回路、１６　セレクタ群、１７　制御メモリセル群、１８ａ～１８ｄ　論理積回路、２２　カラムセレクタ、２３　ロウデコーダ、２９，１００　データ制御回路、３０　メモリ回路、３３フリップフロップ、３４　セレクタ、４２　第１の選択手段、４２ａ，４２ｂ，４２ｃ　セレクタ、４３　フリップフロップ、４４　第２の選択手段、４６，６１　フリップフロップ、４６ａ　第１のフリップフロップ、４６ｂ　第２のフリップフロップ、４７　セレクタ、５１　第１の選択手段、５１ａ，５１ｂ　セレクタ、５２　第２の選択手段、５２ａ～５２ｃ　セレクタ、５４　ロウデコーダ、５６　制御データ発生手段、５７　セレクタ、６１　第１のフリップフロップ、６１Ａ，６１Ｂ　フリップフロップ、６４　第２のフリップフロップ、６５セレクタ、６９　選択手段、６９ａ，６９ｂ　セレクタ、７１　選択手段、７１Ａ，７１Ｂ　選択手段、７１ａ～７１ｆ　セレクタ、７２　セレクタ、７４　セレクタ、７８　排他的論理和回路、７９Ａ，７９Ｂ　読出データ対応回路、８７　インバータ、９１　ロウ冗長制御回路、９５　ワード線レベル固定回路、９６　インバータ回路、９８　カラムセレクタ、１００　データ制御回路、１０５，１０６　比較手段、１０９　セレクタ、１１０　素子、１１１　セレクタ、１１５　全周期系列データ出力回路、１１５ａ，１１５ｂ　シフトレジスタ、１１６　デコーダ、１１７　カラムセレクタ、１２１　論理回路部、１２２　ビット順序変換配線、ＯＢＬ１～ＯＢＬ４　外部ビット線、ＢＬ１～ＢＬ４　内部ビット線、ＯＷＬ１～ＯＷＬ４　外部ワード線、ＷＬ１～ＷＬ４　内部ワード線、ＳＥＬ１～ＳＥＬ４　セレクタ、Ｃ１１～Ｃ１４　制御メモリセル。

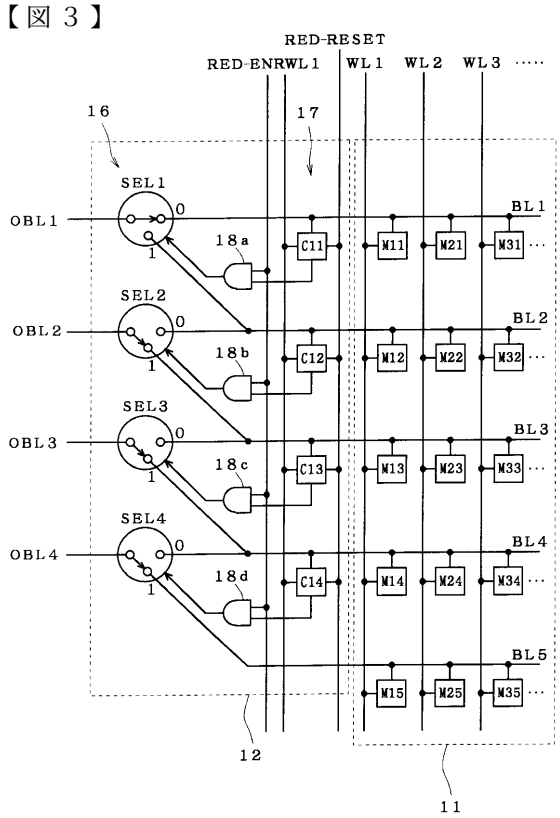
【図１】


RWL1
RED-RESET
WL1
WL2
WL3
17
16
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
BL1
BL2
BL3
BL4
BL5
C11
C12
C13
C14
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
12
11

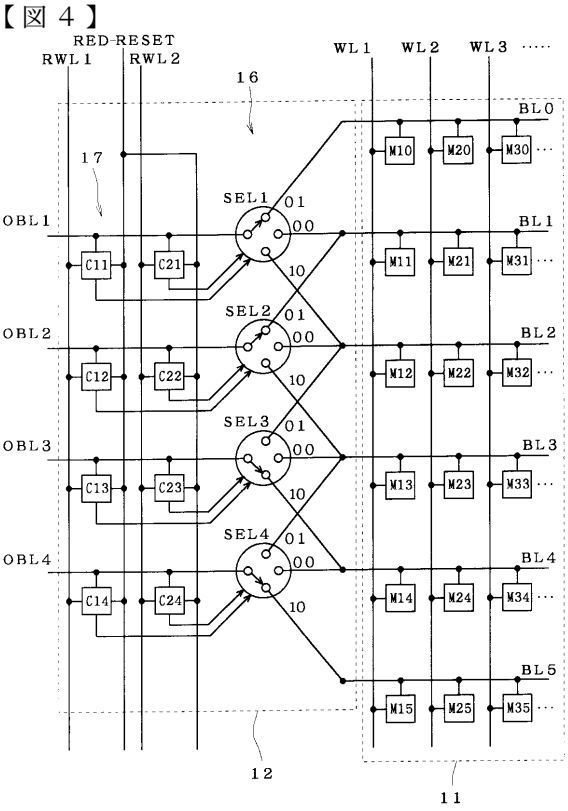
【図２】


RED-RESET
RWL1
WL1
WL2
WL3
16
17
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
BL1
BL2
BL3
BL4
BL5
C11
C12
C13
C14
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
12
11

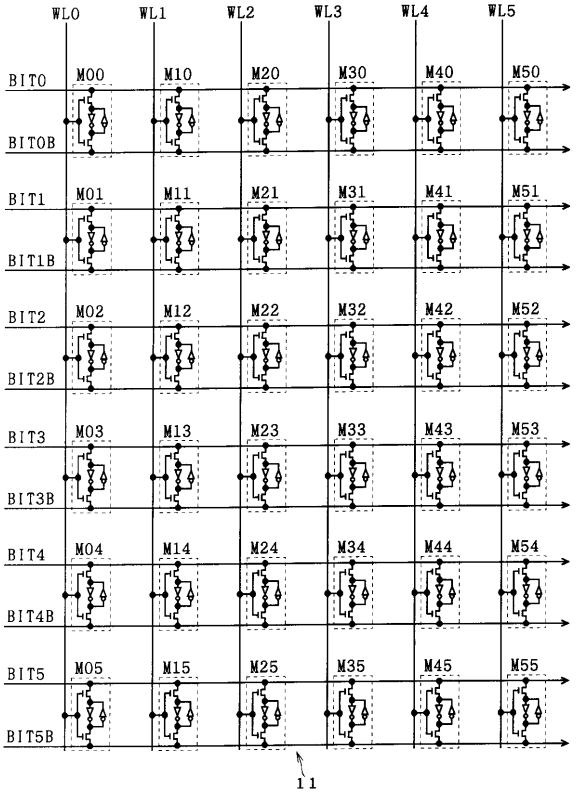
【図３】


RED-RESET
RED-ENRWL1
WL1
WL2
WL3
16
17
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
18a
18b
18c
18d
BL1
BL2
BL3
BL4
BL5
C11
C12
C13
C14
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
12
11

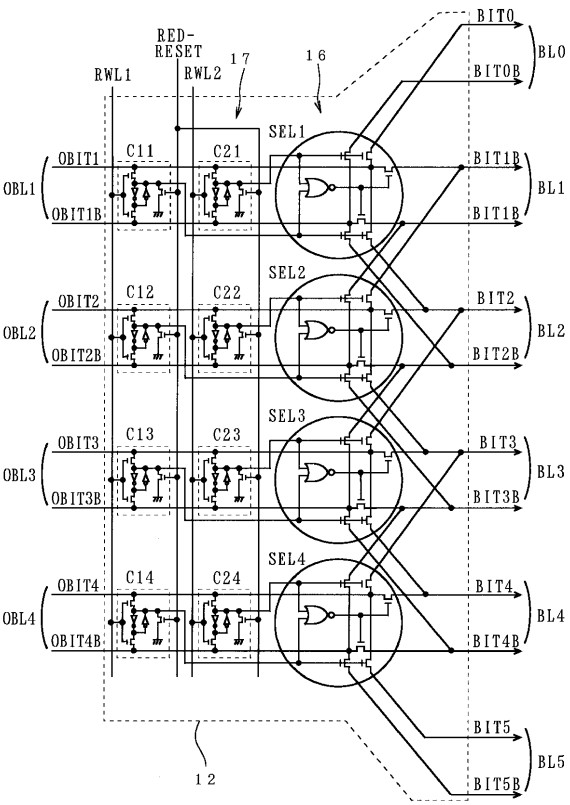
【図４】


RED-RESET
RWL1
RWL2
WL1
WL2
WL3
16
17
SEL1
SEL2
SEL3
SEL4
01
00
10
OBL1
OBL2
OBL3
OBL4
BL0
BL1
BL2
BL3
BL4
BL5
C11
C21
C12
C22
C13
C23
C14
C24
M10
M20
M30
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
12
11

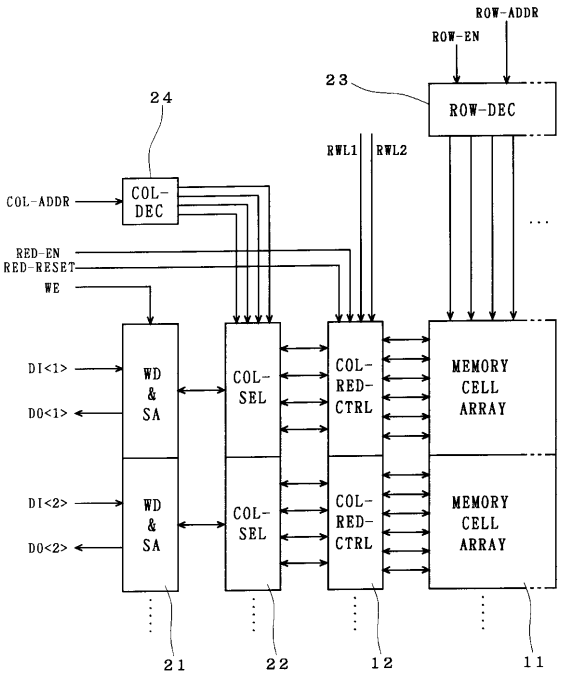
【図５】


WL0
WL1
WL2
WL3
WL4
WL5
BIT0
BIT0B
BIT1
BIT1B
BIT2
BIT2B
BIT3
BIT3B
BIT4
BIT4B
BIT5
BIT5B
M00
M10
M20
M30
M40
M50
M01
M11
M21
M31
M41
M51
M02
M12
M22
M32
M42
M52
M03
M13
M23
M33
M43
M53
M04
M14
M24
M34
M44
M54
M05
M15
M25
M35
M45
M55
11

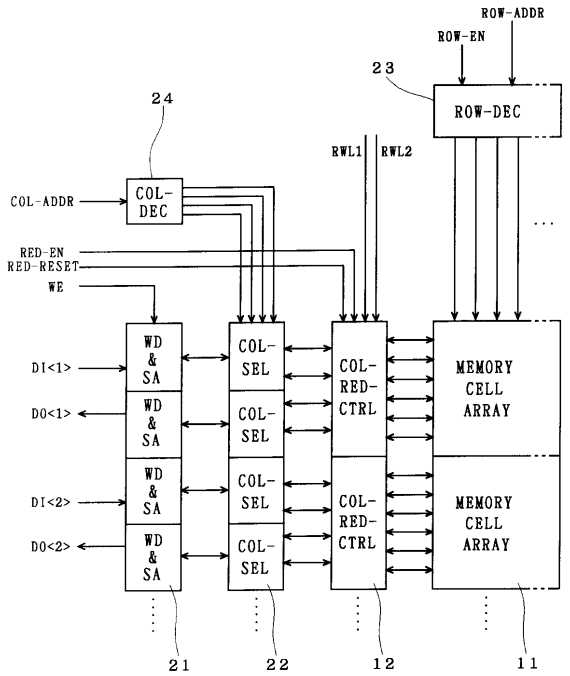
【図６】


RED-
RESET
RWL1
RWL2
17
16
BIT0
BIT0B
BL0
SEL1
OBIT1
C11
C21
OBL1
OBIT1B
BIT1B
BIT1B
BL1
SEL2
OBIT2
C12
C22
BIT2
OBL2
OBIT2B
BIT2B
BL2
SEL3
OBIT3
C13
C23
BIT3
OBL3
OBIT3B
BIT3B
BL3
SEL4
OBIT4
C14
C24
BIT4
OBL4
OBIT4B
BIT4B
BL4
BIT5
BIT5B
BL5
12

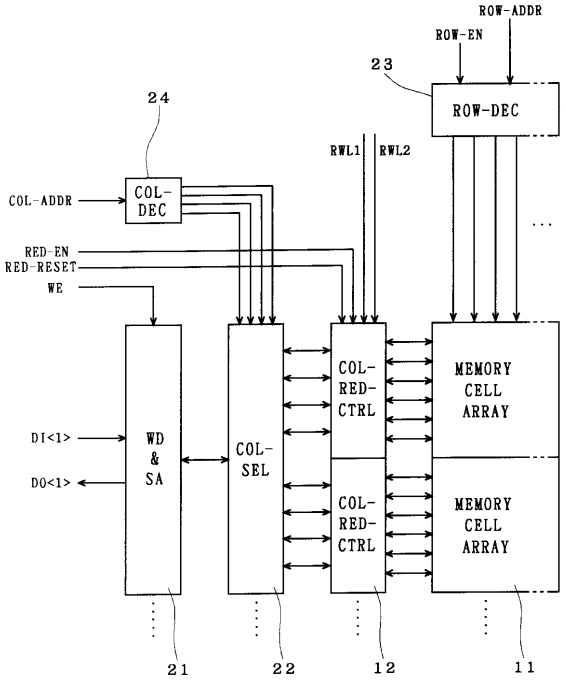
【図７】


ROW-ADDR
ROW-EN
23
ROW-DEC
24
RWL1
RWL2
COL-ADDR
COL-
DEC
RED-EN
RED-RESET
WE
DI<1>
DO<1>
DI<2>
DO<2>
WD
&
SA
COL-
SEL
COL-
RED-
CTRL
MEMORY
CELL
ARRAY
21
22
12
11

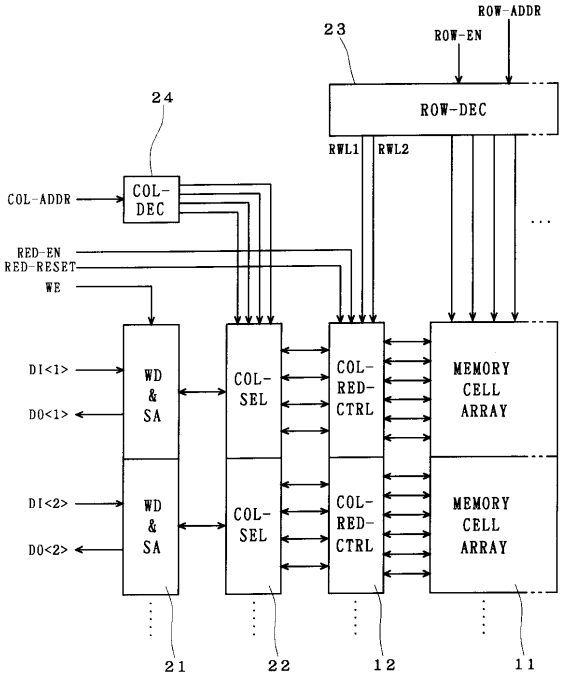
【図８】


ROW-ADDR
ROW-EN
23
ROW-DEC
24
RWL1
RWL2
COL-ADDR
COL-
DEC
RED-EN
RED-RESET
WE
DI<1>
DO<1>
DI<2>
DO<2>
WD
&
SA
COL-
SEL
COL-
RED-
CTRL
MEMORY
CELL
ARRAY
21
22
12
11

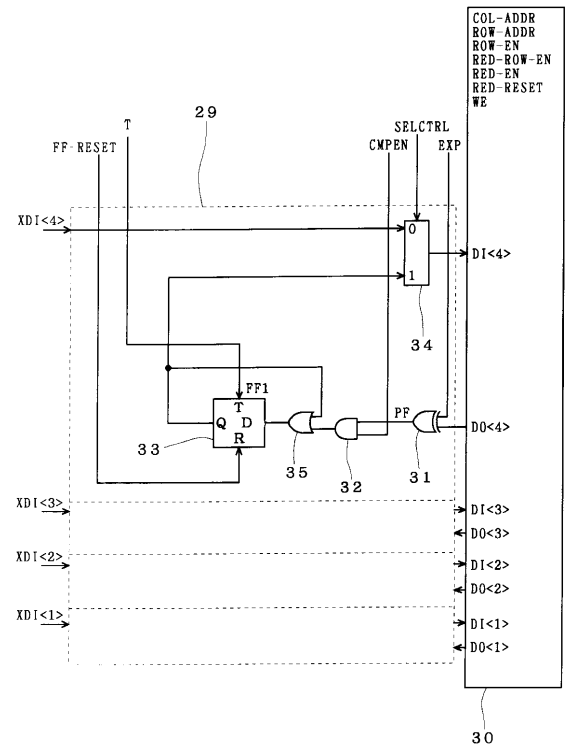
【図９】



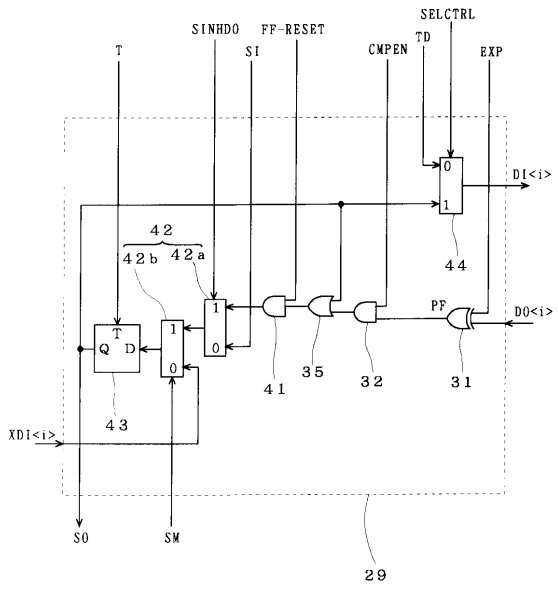
【図１０】



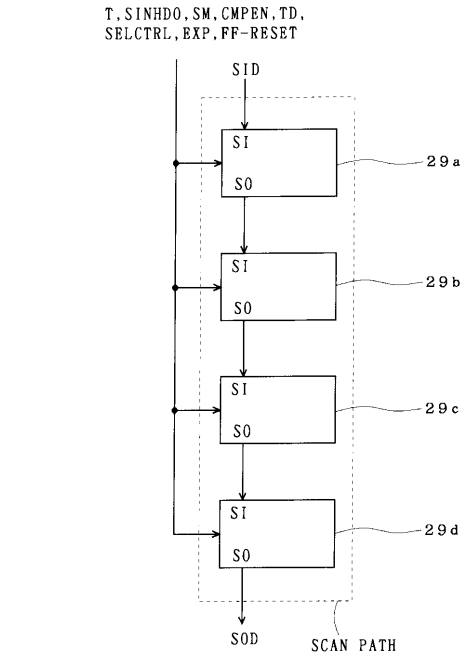
【図１１】



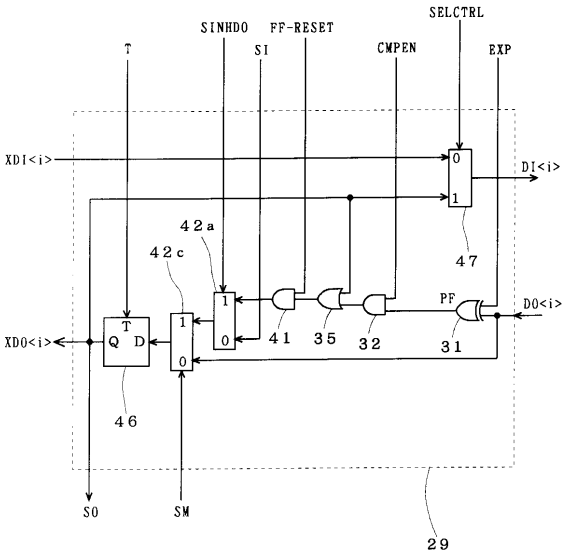
【図１２】



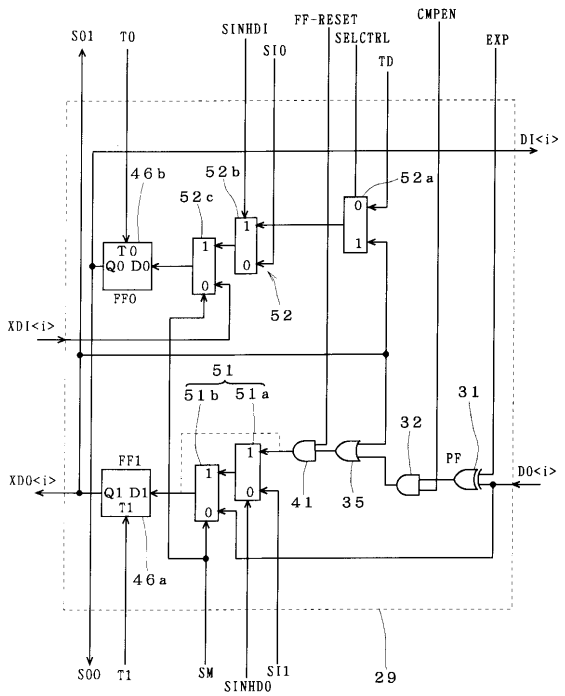
【図１３】



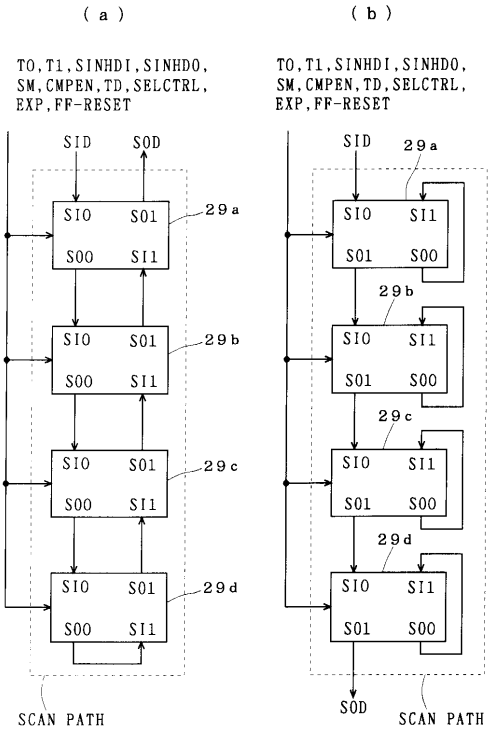
【図１４】



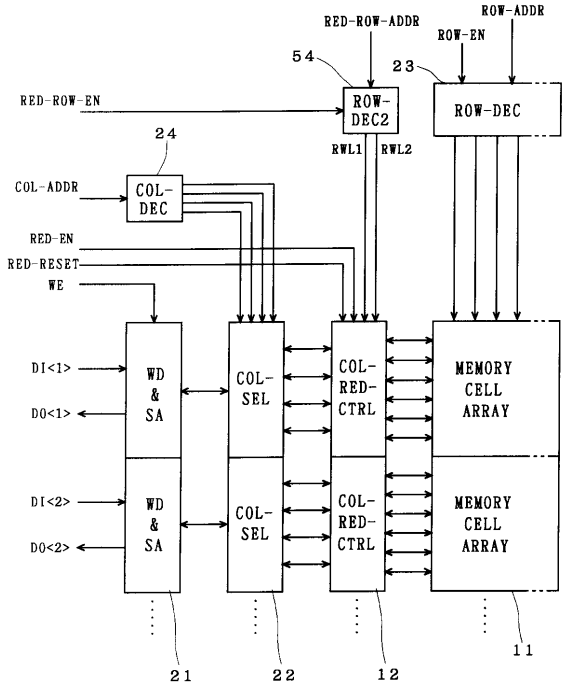
【図１５】



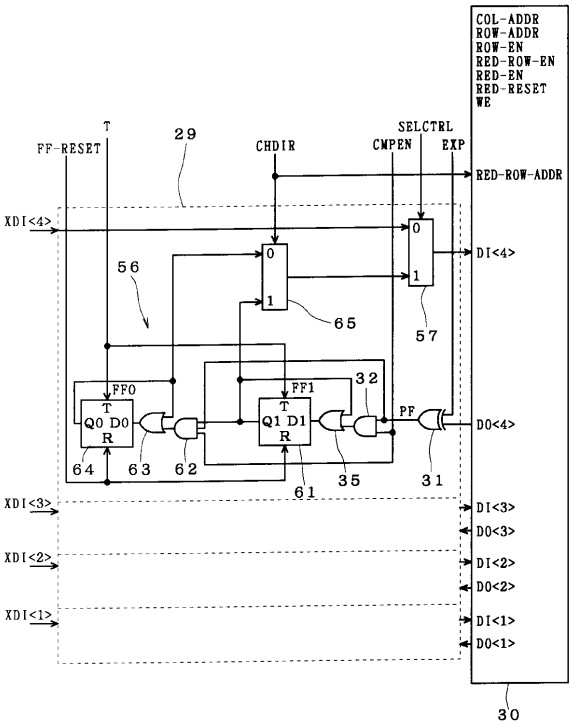
【図１６】



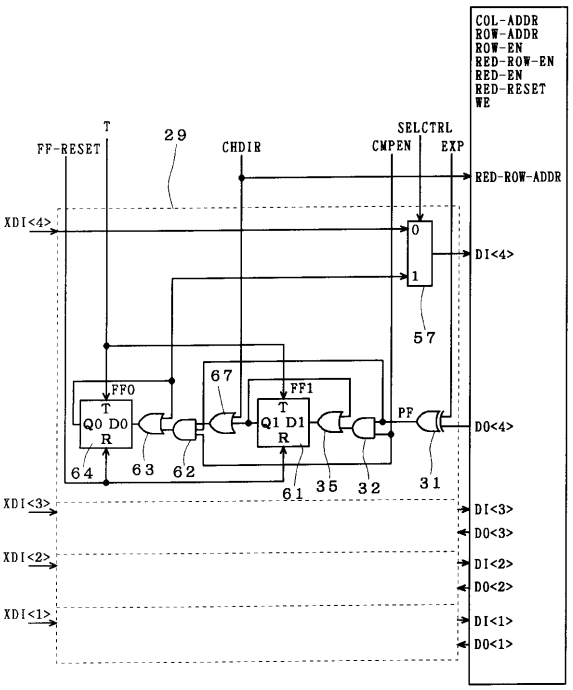
【図１７】



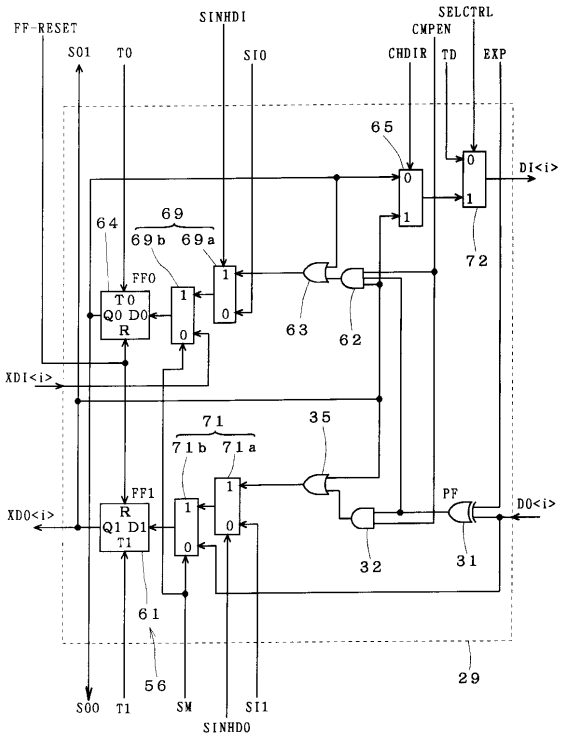
【図１８】



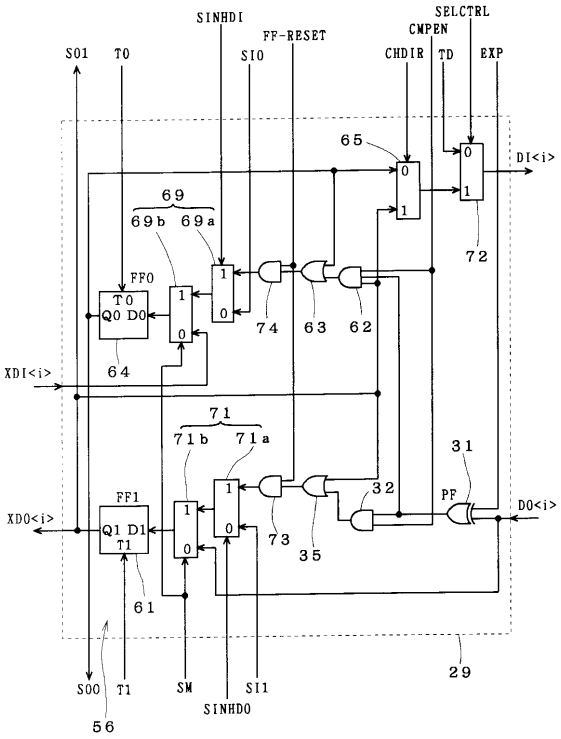
【図１９】



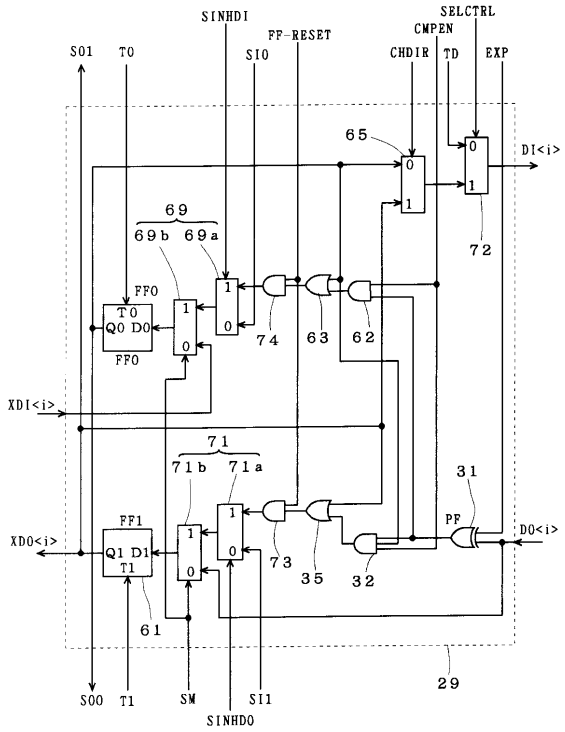
【図２０】



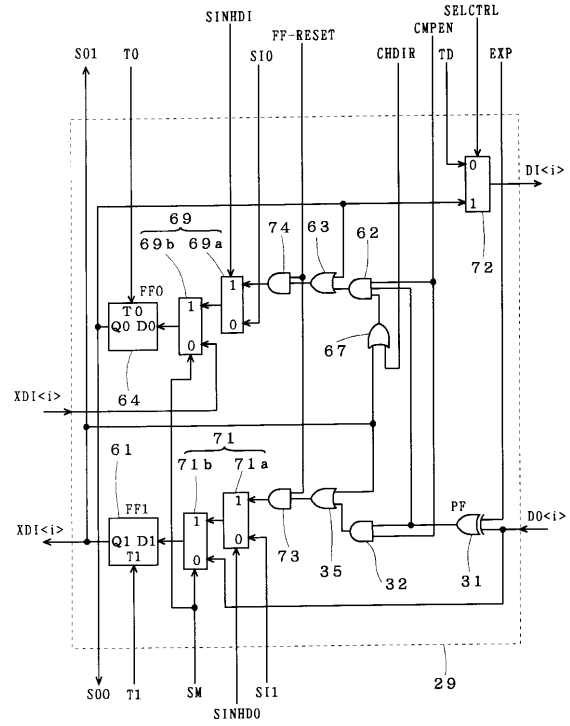
【図２１】



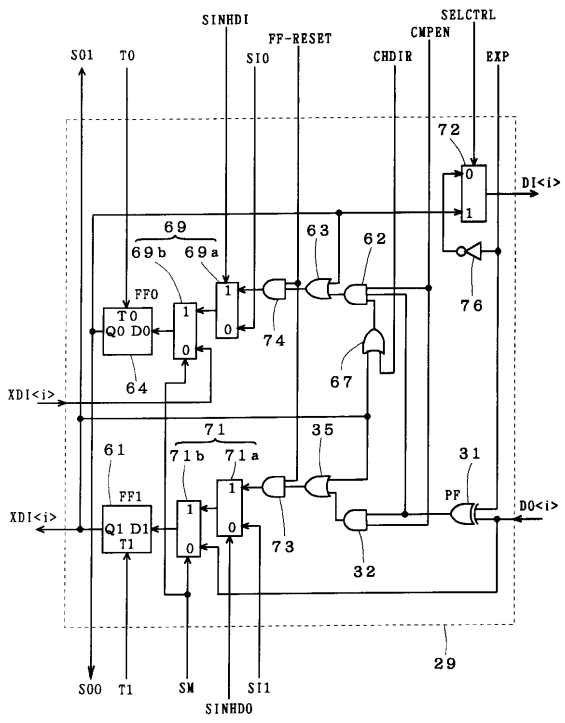
【図２２】



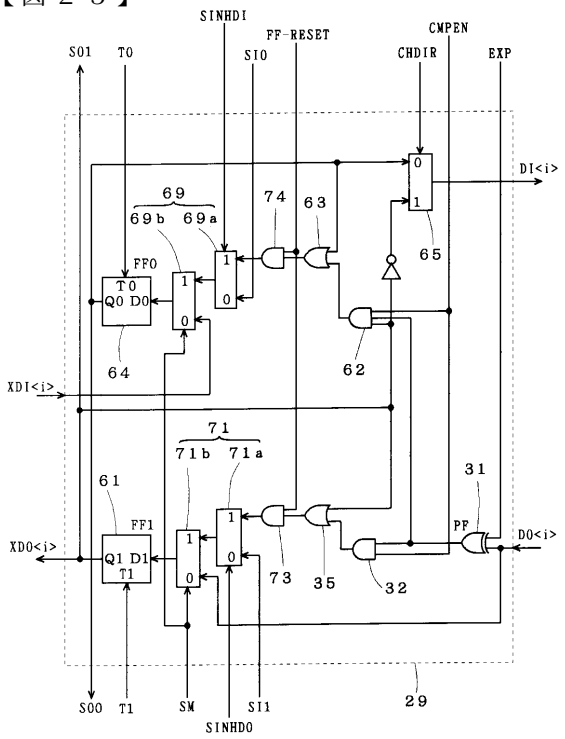
【図２３】



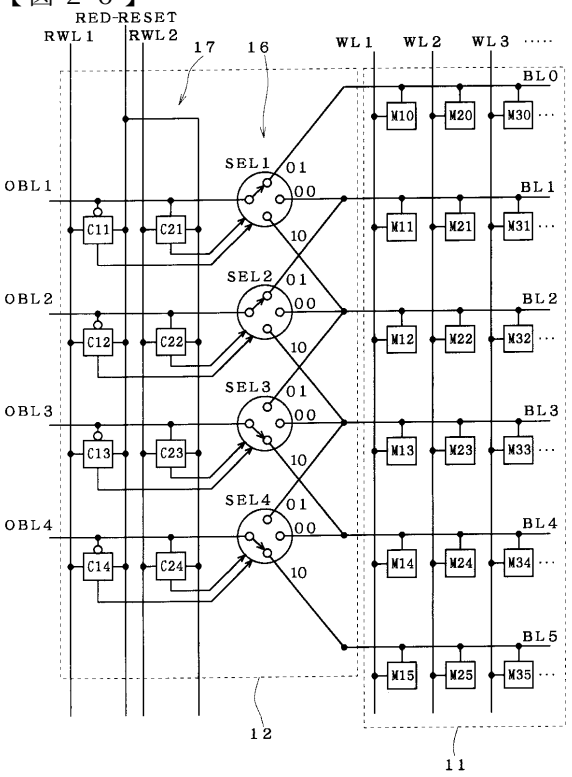
【図２４】



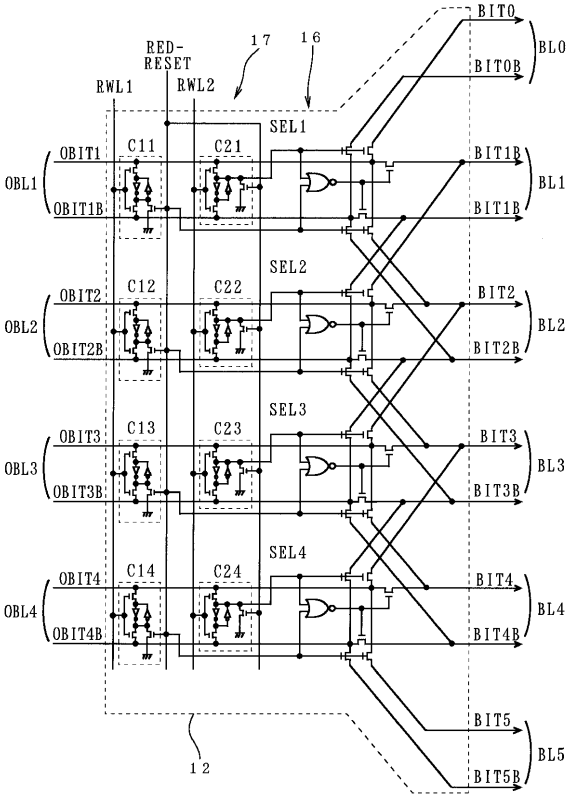
【図２５】



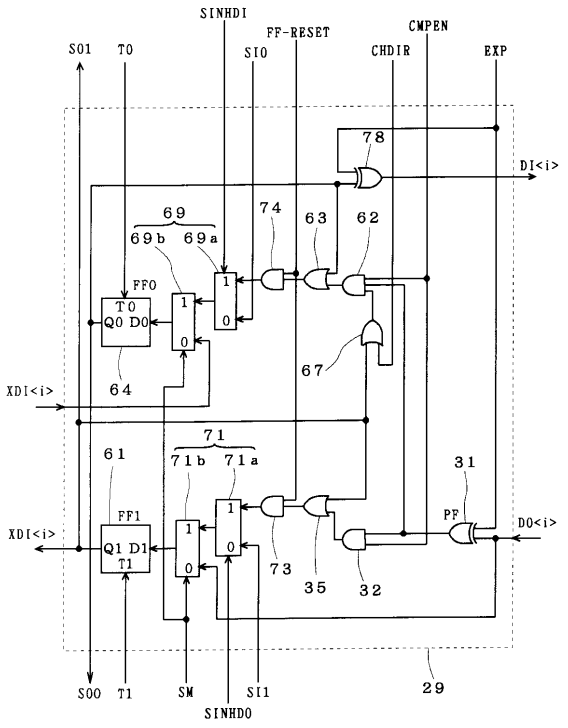
【図２６】



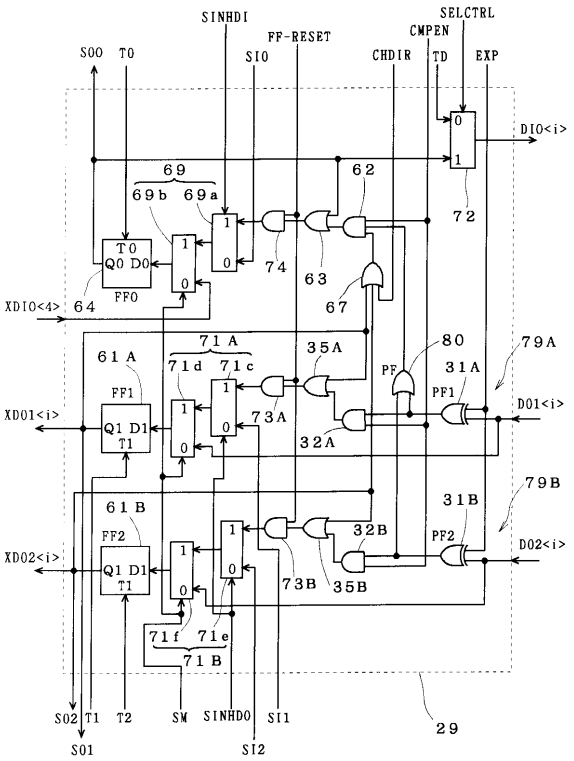
【図２７】



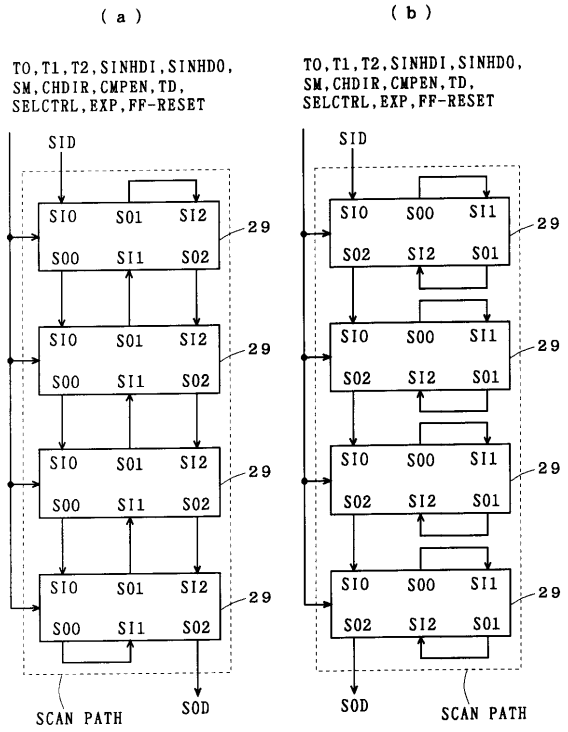
【図２８】



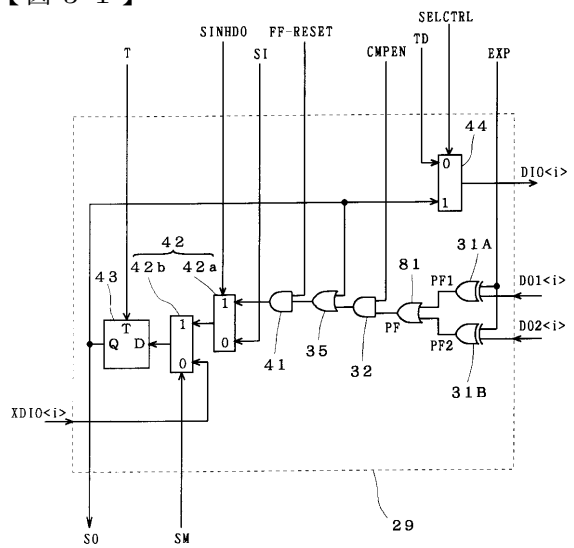
【図２９】



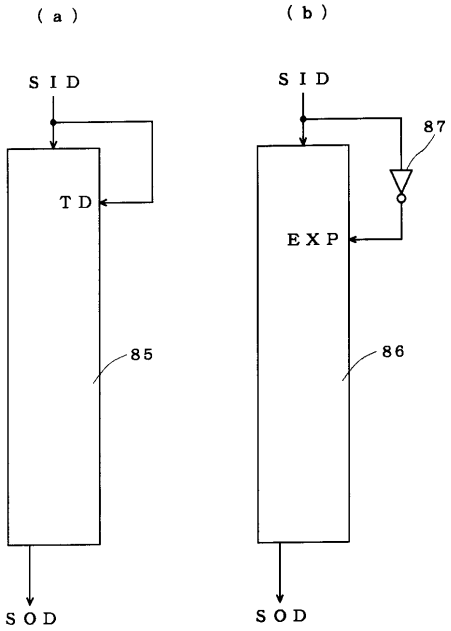
【図３０】



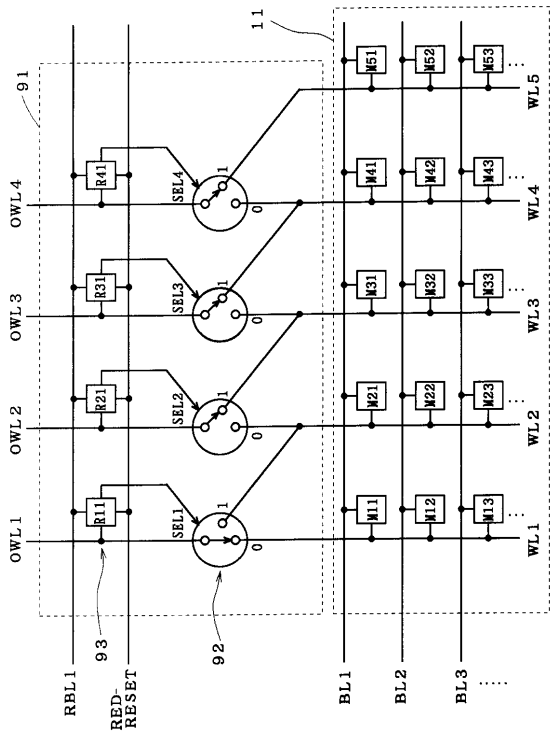
【図３１】



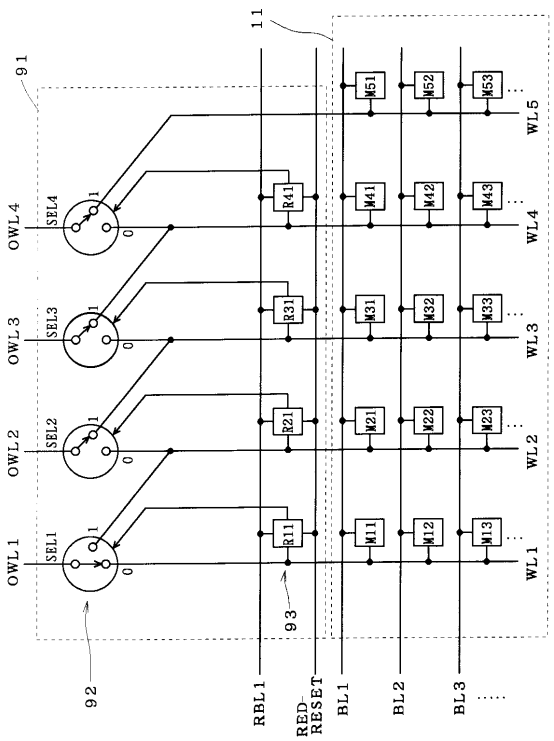
【図３２】



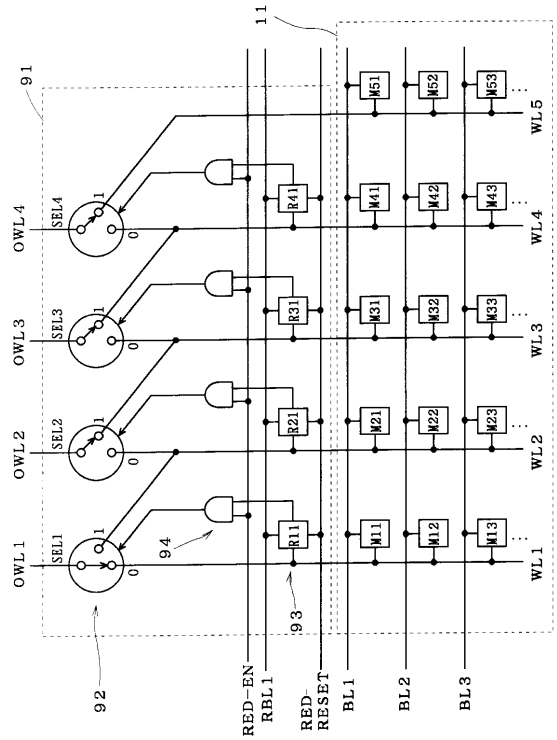
【図３３】



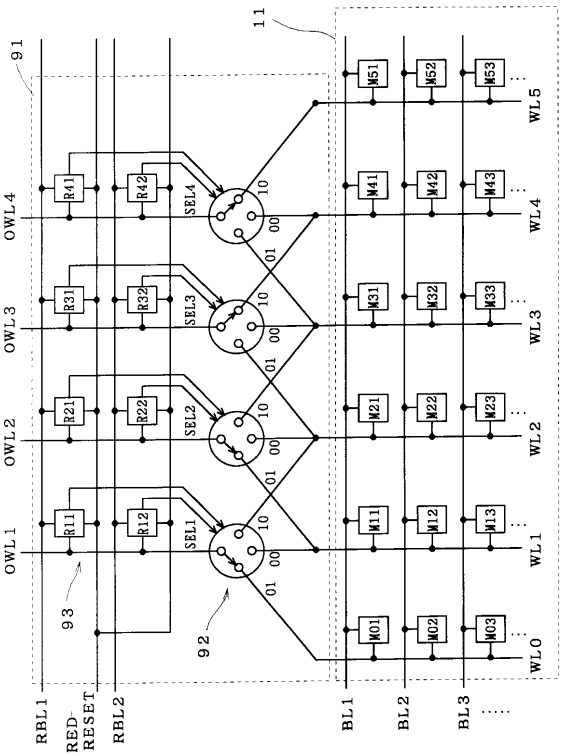
【図３４】



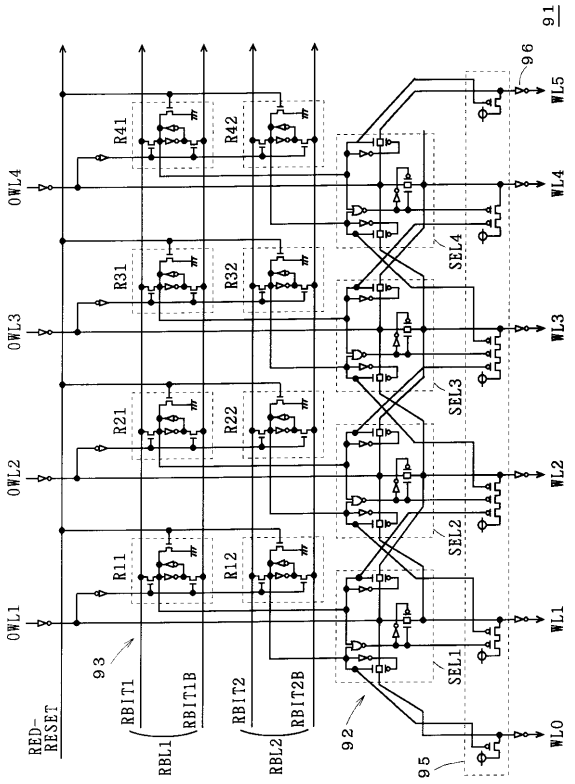
【図３５】



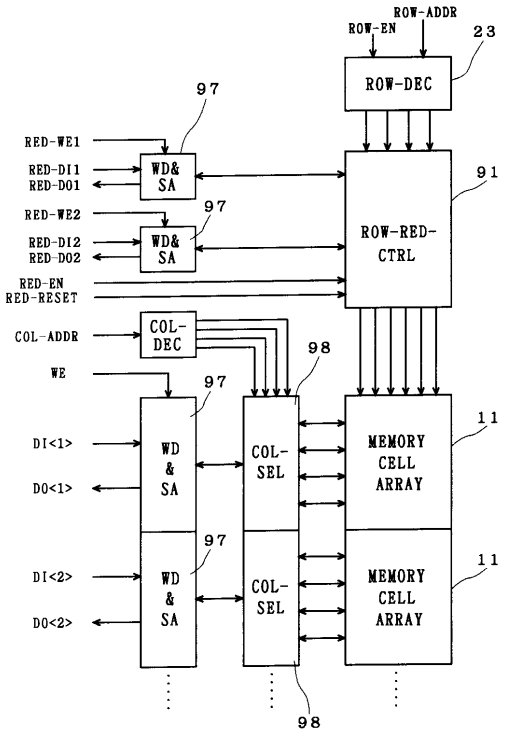
【図３６】



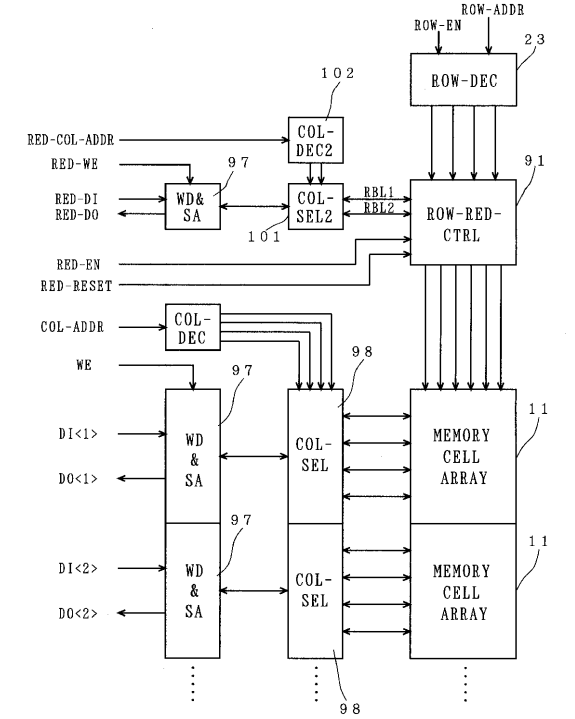
【図３７】



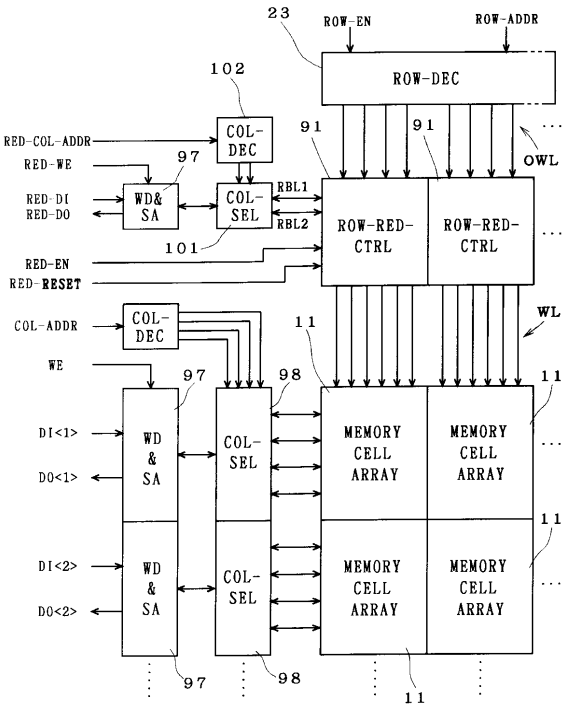
【図３８】



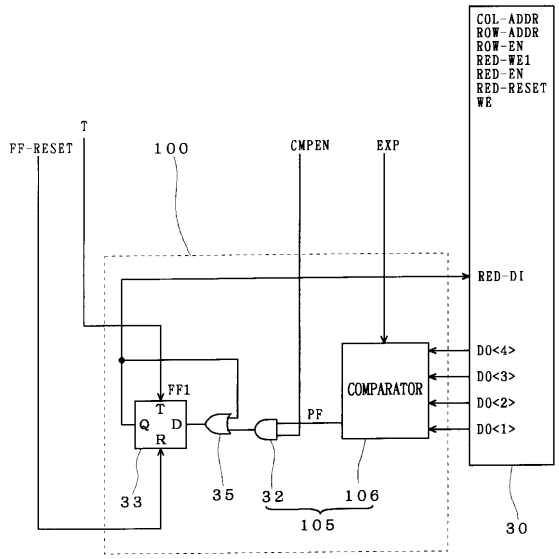
【図３９】



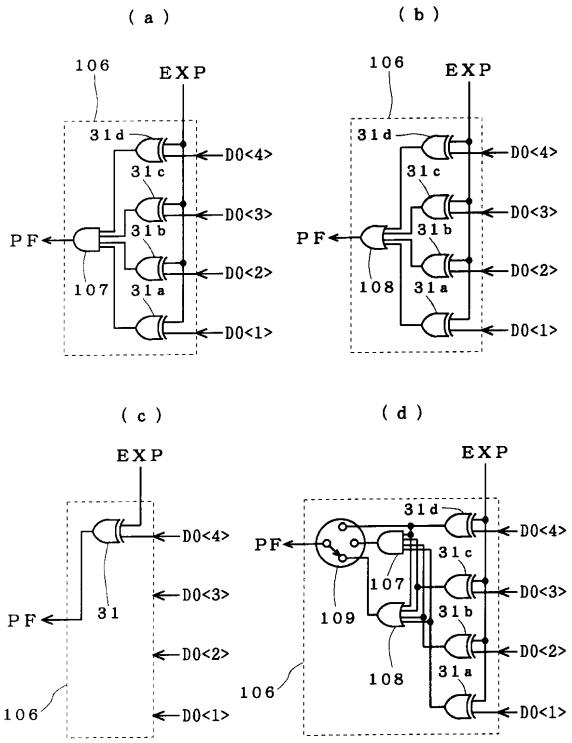
【図４０】



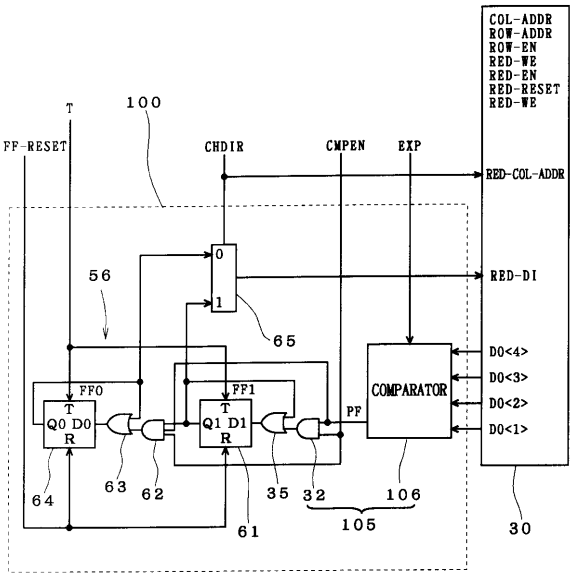
【図４１】



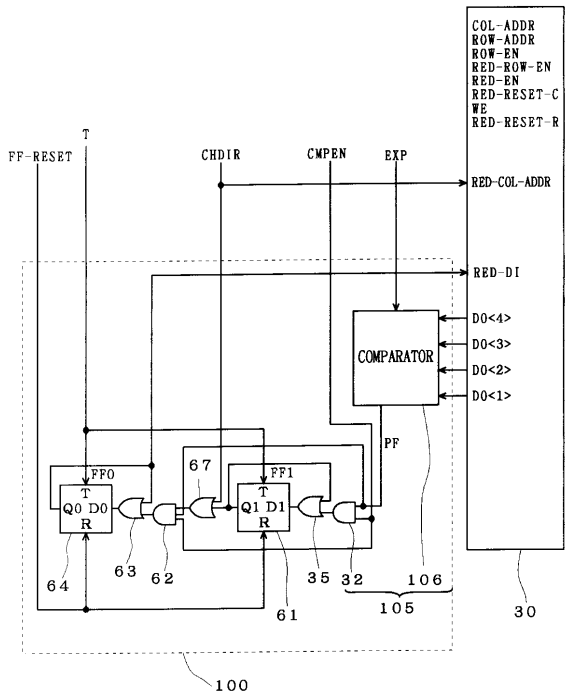
【図４２】



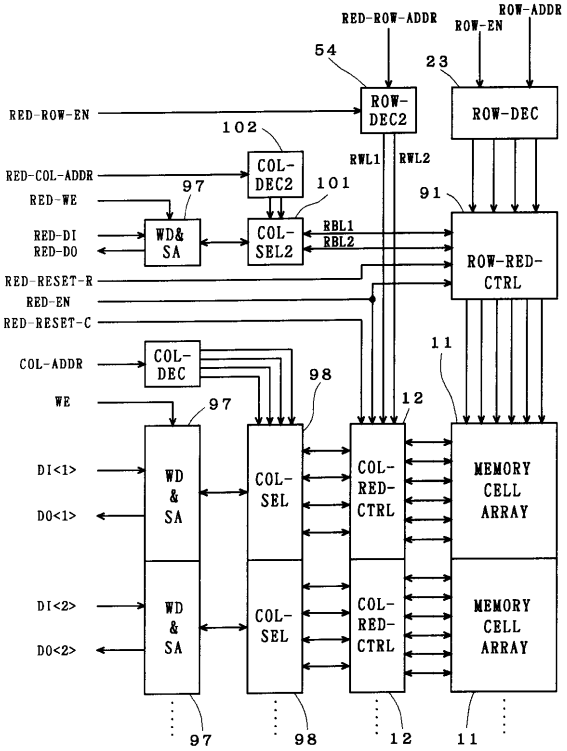
【図４３】



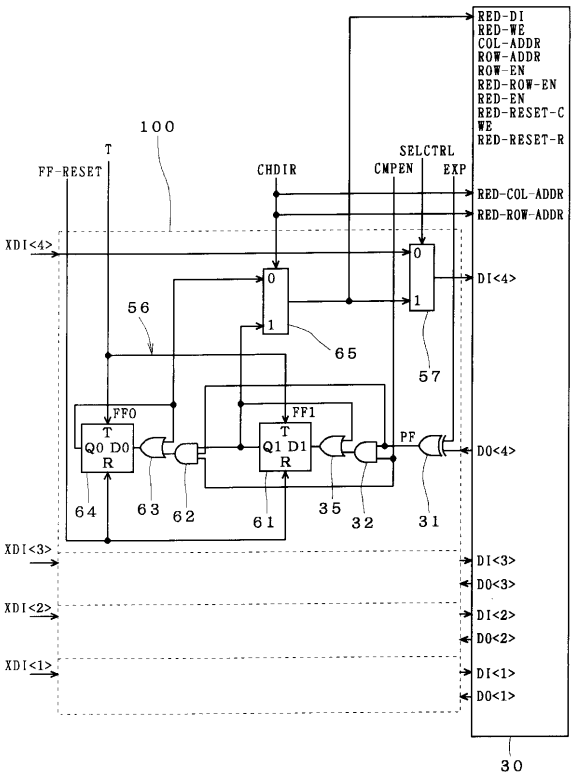
【図４４】



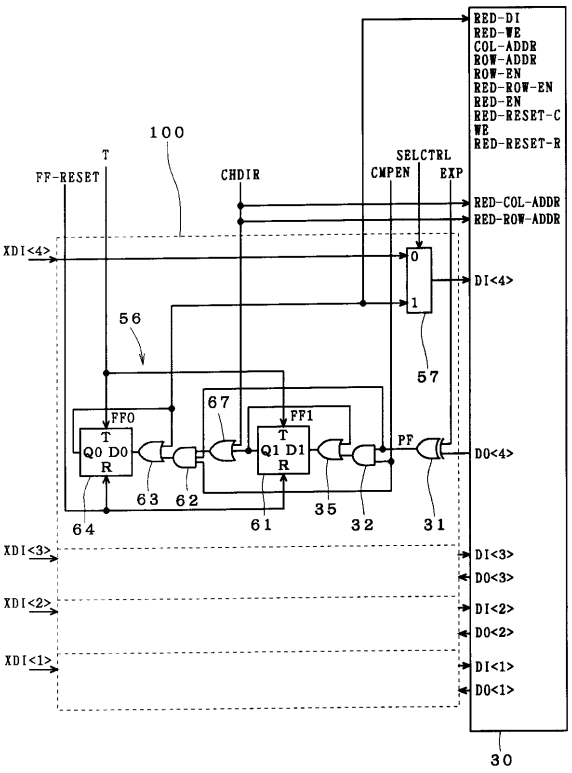
【図４５】



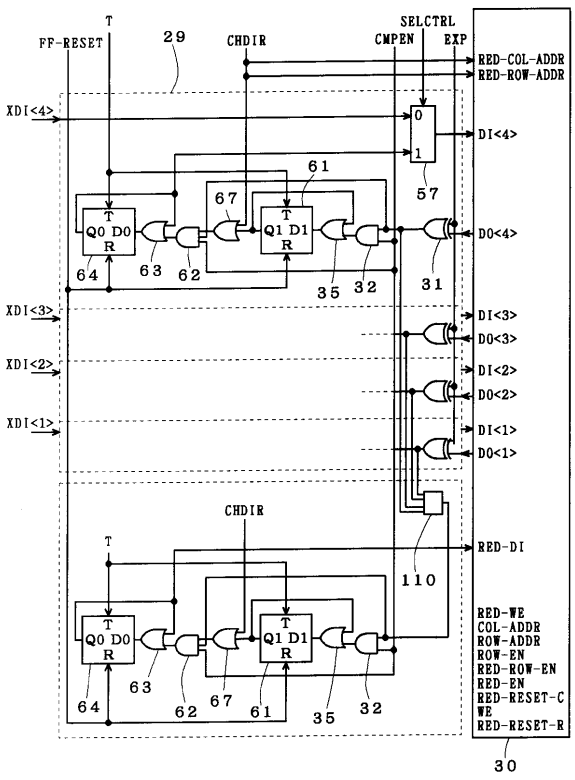
【図４６】



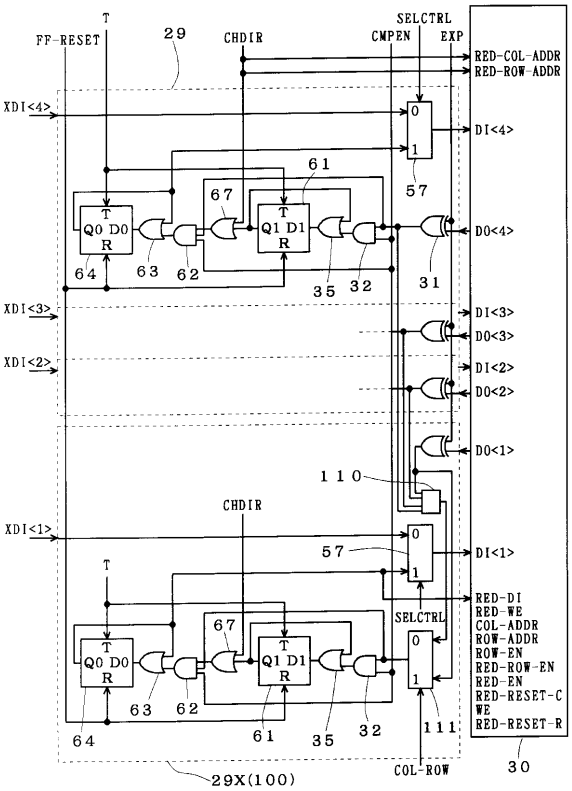
【図４７】



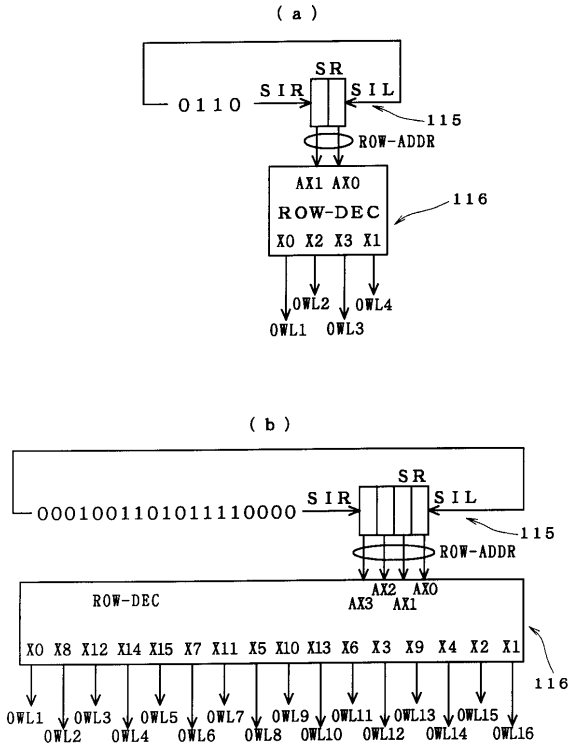
【図４８】



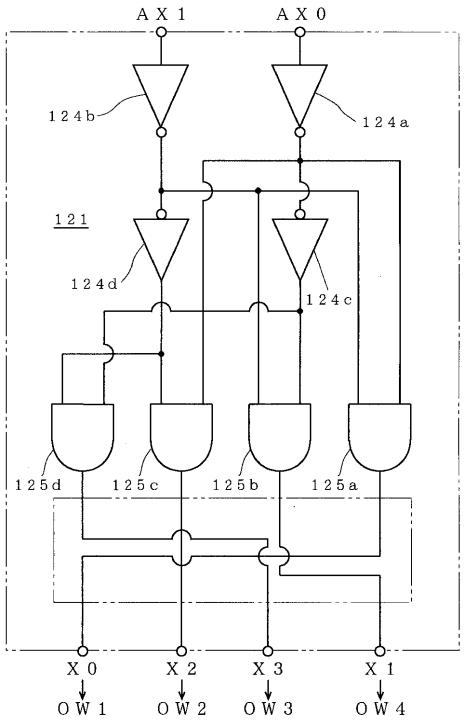
【図４９】



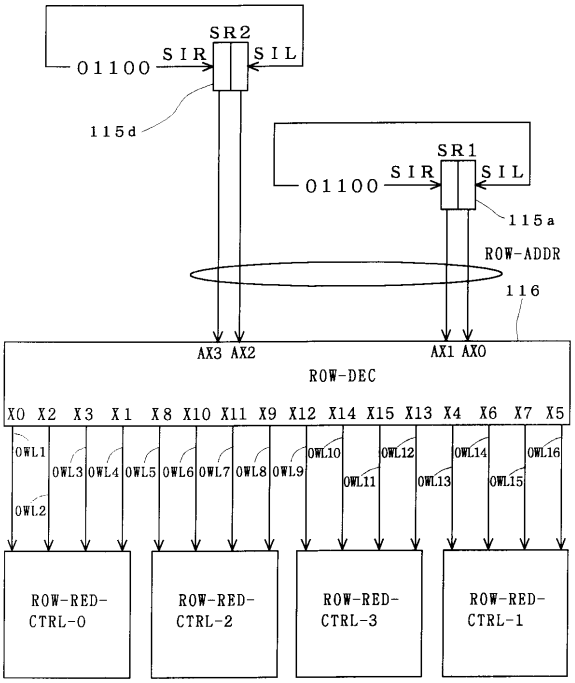
【図５０】



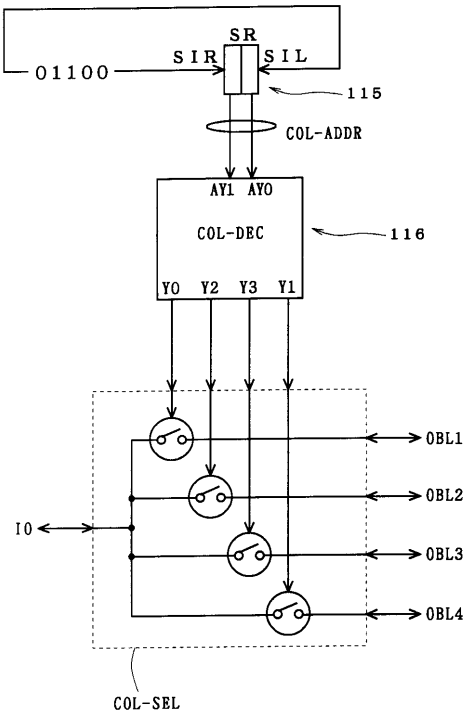
【図５１】



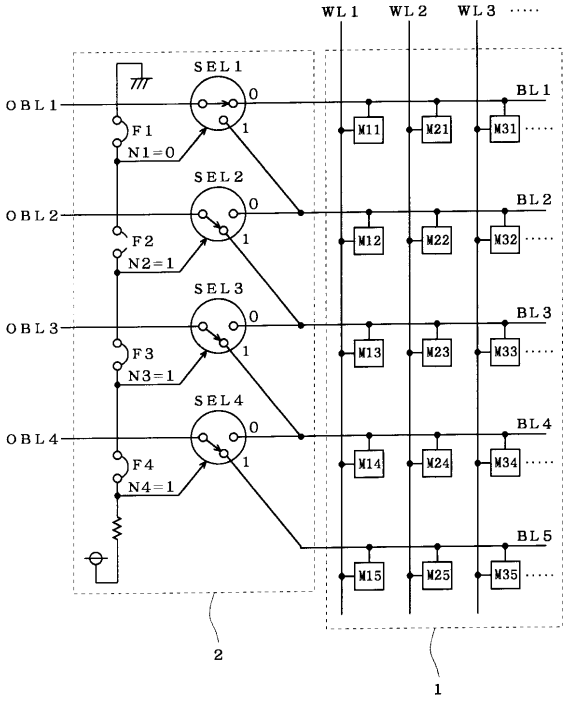
【図５２】



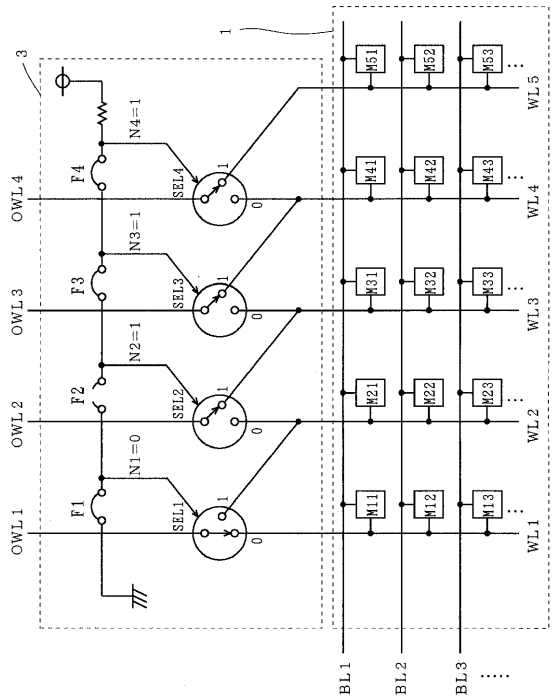
【図５３】


SR
SIR
SIL
01100
115
COL-ADDR
AY1 AY0
COL-DEC
116
Y0 Y2 Y3 Y1
OBL1
OBL2
OBL3
OBL4
I0
COL-SEL

【図５４】


WL1 WL2 WL3
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
F1 N1=0
F2 N2=1
F3 N3=1
F4 N4=1
BL1
BL2
BL3
BL4
BL5
M11 M21 M31
M12 M22 M32
M13 M23 M33
M14 M24 M34
M15 M25 M35
2
1

【図５５】


1
3
N4=1
N3=1
N2=1
N1=0
F4
F3
F2
F1
SEL4
SEL3
SEL2
SEL1
OWL4
OWL3
OWL2
OWL1
M51 M52 M53
M41 M42 M43
M31 M32 M33
M21 M22 M23
M11 M12 M13
WL5
WL4
WL3
WL2
WL1
BL1
BL2
BL3

フロントページの続き

(56)参考文献 特開平０３－００８２００（ＪＰ，Ａ）
特開平０４－２２８１９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 29/00