

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6975541号
(P6975541)

(45) 発行日 令和3年12月1日(2021.12.1)

(24) 登録日 令和3年11月10日(2021.11.10)

(51) Int.Cl.

H01L 29/786 (2006.01)

F 1

H01L 29/78 618B
H01L 29/78 620

請求項の数 11 (全 106 頁)

(21) 出願番号 特願2017-44532 (P2017-44532)
 (22) 出願日 平成29年3月9日 (2017.3.9)
 (65) 公開番号 特開2017-168836 (P2017-168836A)
 (43) 公開日 平成29年9月21日 (2017.9.21)
 審査請求日 令和2年3月9日 (2020.3.9)
 (31) 優先権主張番号 特願2016-48802 (P2016-48802)
 (32) 優先日 平成28年3月11日 (2016.3.11)
 (33) 優先権主張国・地域又は機関
日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
審査官 綿引 隆

(56) 参考文献 特開2016-028423 (JP, A)
)
米国特許出願公開第2015/0243
738 (US, A1)
特開2016-027619 (JP, A)
)

最終頁に続く

(54) 【発明の名称】複合体、およびトランジスタ

(57) 【特許請求の範囲】

【請求項 1】

第1の領域と、前記第1の領域中に点在する複数の第2の領域と、が混在した複合酸化物半導体において、

前記第1の領域は、少なくともインジウムと元素M(元素Mは、Al、Ga、Y、またはSnのいずれか一つ、または複数)と亜鉛と、を含み、

前記第2の領域は、インジウムと亜鉛を含み、

前記第2の領域は、インジウムが、前記第1の領域よりも、高濃度に存在し、

前記複数の第2の領域の一つの第2の領域の端部と、前記複数の第2の領域の他の一つの第2の領域の端部は、連結した領域を有し、

前記第1の領域は、前記複数の第2の領域を、立体的に挟んでいる複合酸化物半導体。

【請求項 2】

第1の領域と、前記第1の領域中に点在する複数の第2の領域と、が混在した複合酸化物半導体において、

前記第1の領域は、少なくともインジウムと元素M(元素Mは、Al、Ga、Y、またはSnのいずれか一つ、または複数)と亜鉛と、を含み、

前記第2の領域は、インジウムと亜鉛を含み、

前記第2の領域は、インジウムが、前記第1の領域よりも、高濃度に存在し、

前記第1の領域は、前記複数の第2の領域を、立体的に挟んでいる複合酸化物半導体。

【請求項 3】

10

20

請求項 1 または請求項 2 において、

前記第 1 の領域におけるインジウム、元素 M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 4 : 2 : 3 \sim 4 : 1$ の組成である複合酸化物半導体。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記第 2 の領域におけるインジウム、元素 M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 2 : 0 : 3$ の組成である複合酸化物半導体。

【請求項 5】

請求項 1 または請求項 2 において、

前記第 1 の領域におけるインジウム、元素 M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 1 : 1 : 1$ の組成である複合酸化物半導体。 10

【請求項 6】

請求項 1、請求項 2、および請求項 5 のいずれか一において、

前記第 2 の領域におけるインジウム、元素 M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 2 : 0 : 1$ の組成である複合酸化物半導体。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、

前記第 2 の領域の c 軸方向の厚みは、0.1 nm 以上 1 nm 未満である複合酸化物半導体。

【請求項 8】

20

請求項 1 乃至請求項 7 のいずれか一において、

前記第 1 の領域は非単結晶である複合酸化物半導体。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一において、

前記第 1 の領域は結晶部を含み、

前記結晶部の c 軸が、前記複合酸化物半導体膜の被形成面の法線ベクトルに平行である部分を有する複合酸化物半導体。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一において、

前記第 2 の領域は非単結晶である複合酸化物半導体。 30

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一に記載の前記複合酸化物半導体を有するトランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、酸化物半導体、または当該酸化物半導体の製造方法に関する。または、本発明の一態様は、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。 40

【0002】

なお、本明細書等において、半導体装置とは、半導体特性を利用して機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

【背景技術】

【0003】

非特許文献 1において、 $I_{n_1-x} Ga_{1+x} O_3 (ZnO)_m$ (x は -1 \times 1 を満

50

たす数、 m は自然数)で表されるホモロガス相が存在することが述べられている。また、非特許文献1では、ホモロガス相の固溶域(solid solution range)について述べられている。例えば、 $m=1$ の場合のホモロガス相の固溶域は、 x が-0.33から0.08の範囲であることが述べられており、 $m=2$ の場合のホモロガス相の固溶域は、 x が-0.68から0.32の範囲であることが述べられている。

【0004】

また、In-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている(例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

10

【0005】

【特許文献1】特開2007-96055号公報

【非特許文献】

【0006】

【非特許文献1】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the In₂O₃-Ga₂ZnO₄-ZnO System at 1350」、J. Solid State Chem.、1991、Vol. 93, pp. 298-315

【発明の概要】

【発明が解決しようとする課題】

20

【0007】

非特許文献1では、In_xZn_yGa_zO_wの例が示されており、 x , y 及び z がZnGa₂O₄近傍の組成、つまり x , y 及び z が(x , y , z)=(0, 1, 2)に近い値を有する場合には、スピネル型の結晶構造が形成、あるいは混在しやすいことが記載されている。スピネル型の結晶構造を有する化合物として、AB₂O₄(A及びBは金属)で表される化合物が知られている。

【0008】

しかしながら、スピネル型の結晶構造がIn-Ga-Zn系酸化物半導体中に形成、あるいは混在すると、当該In-Ga-Zn系酸化物半導体を有する半導体装置(例えばトランジスタ)の電気特性または信頼性に悪影響を与える場合がある。

30

【0009】

上述の問題に鑑み、本発明の一態様は、新規な酸化物半導体を提供することを課題の一とする。または、本発明の一態様は、半導体装置に良好な電気特性を付与することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。または、新規な構成の表示装置を提供することを課題の一とする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【0011】

本発明の一態様は、第1の領域と、複数の第2の領域と、が混合した複合酸化物半導体において、第1の領域は、少なくともインジウムと元素M(元素Mは、Al、Ga、Y、またはSnのいずれか一つ、または複数)と亜鉛と、を含み、第2の領域は、インジウムと亜鉛を含み、第2の領域は、インジウムが、第1の領域よりも、高濃度に存在し、第2の領域は、第1の領域よりも、高い導電性を有し、複数の第2の領域の一つの端部と、複数の第2の領域の他の一つの端部は、重なっており、第1の領域は、複数の第2の領域を、立体的にはさんでいる。

50

【0012】

上記構成の複合酸化物半導体は、インジウム、元素M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 5 : 1 : 6$ の組成、またはその近傍値である。

【0013】

上記構成の第1の領域におけるインジウム、元素M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 4 : 2 : 3$ の組成、またはその近傍値である。

【0014】

上記構成の第2の領域におけるインジウム、元素M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 2 : 0 : 3$ の組成、またはその近傍値である。

【0015】

上記構成の複合酸化物半導体は、インジウム、元素M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 4 : 2 : 3$ の組成、またはその近傍値である。 10

【0016】

上記構成の第1の領域におけるインジウム、元素M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 1 : 1 : 1$ の組成、またはその近傍値である。

【0017】

上記構成の第2の領域におけるインジウム、元素M、及び亜鉛の原子数比が、 $I_n : M : Z_n = 2 : 0 : 1$ の組成、またはその近傍値である。

【0018】

上記構成の第2の領域のc軸方向の厚みは、0.1nm以上1nm未満である。 20

【0019】

上記構成の第1の領域は非単結晶である。

【0020】

上記構成の第1の領域は結晶部を含み、結晶部のc軸が、複合酸化物半導体膜の被形成面の法線ベクトルに平行である部分を有する。

【0021】

上記構成の第2の領域は非単結晶である。

【0022】

また、本発明の他の一態様は、上記構成の複合酸化物半導体を有することを特徴とするトランジスタである。 30

【0023】

また、本発明の他の一態様は、上記のいずれかの酸化物半導体と、表示素子と、を有する表示装置である。また、本発明の他の一態様は、当該表示装置と、タッチセンサと、を有する、表示モジュールである。また、本発明の他の一態様は、上記のいずれかの酸化物半導体、上記の半導体装置、上記の表示装置、または上記の表示モジュールと、操作キーまたはバッテリと、を有する電子機器である。

【発明の効果】**【0024】**

本発明の一態様により、新規な酸化物半導体を提供することができる。または、本発明の一態様により、半導体装置に良好な電気特性を付与することができる。または、信頼性の高い半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。または、新規な構成の表示装置を提供することができる。 40

【0025】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】**【0026】**

【図1】酸化物半導体の構造の概念図。 50

- 【図 2】酸化物半導体の構造の概念図。
- 【図 3】酸化物半導体の構造の概念図。
- 【図 4】酸化物半導体の構造の概念図。
- 【図 5】酸化物半導体の原子数比を説明する図。
- 【図 6】スパッタリング装置を説明する図。
- 【図 7】スパッタリング装置を説明する図。
- 【図 8】スパッタリング装置を説明する図。
- 【図 9】スパッタリング装置を説明する図。
- 【図 10】成膜装置の一例を示す上面図。
- 【図 11】成膜装置の一例を示す断面図。 10
- 【図 12】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 13】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 14】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 15】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 16】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 17】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 18】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 19】実施の形態に係る、トランジスタの作製方法例を説明する図。
- 【図 20】実施の形態に係る、トランジスタの作製方法例を説明する図。 20
- 【図 21】実施の形態に係る、トランジスタの作製方法例を説明する図。
- 【図 22】実施の形態に係る、トランジスタの作製方法例を説明する図。
- 【図 23】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 24】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 25】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 26】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 27】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 28】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 29】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 30】実施の形態に係る、半導体装置の回路図。 30
- 【図 31】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 32】実施の形態に係る、半導体装置の回路図および断面構造を説明する図。
- 【図 33】実施の形態に係る、半導体装置の断面構造を説明する図。
- 【図 34】本発明の一態様に係る記憶装置を示す回路図。
- 【図 35】本発明の一態様に係る記憶装置を示す回路図。
- 【図 36】本発明の一態様を説明するための回路図およびタイミングチャート。 40
- 【図 37】本発明の一態様を説明するためのグラフおよび回路図。
- 【図 38】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図 39】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図 40】本発明の一態様を説明するためのブロック図、回路図および波形図。
- 【図 41】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図 42】本発明の一態様を説明するための回路図。
- 【図 43】本発明の一態様を説明するための回路図。
- 【図 44】本発明の一態様を説明するための回路図。
- 【図 45】本発明の一態様を説明するための回路図。
- 【図 46】本発明の一態様を説明するための回路図。
- 【図 47】本発明の一態様に係る半導体装置を示すブロック図。
- 【図 48】本発明の一態様に係る半導体装置を示す回路図。
- 【図 49】本発明の一態様に係る半導体装置を示す上面図。
- 【図 50】本発明の一態様に係る半導体装置を示すブロック図。 50
- 【図 51】本発明の一態様に係る半導体装置を示す断面図。

【図52】本発明の一態様に係る半導体装置を示す断面図。

【図53】本発明の一態様に係る半導体装置を示す上面図。

【図54】本発明の一態様を説明するためのフローチャート、および半導体装置を示す斜視図。

【図55】本発明の一態様に係る電子機器を示す斜視図。

【図56】本実施例に係る試料の断面のEDXマッピング。

【図57】本実施例に係る試料の断面のBF-STEM像。

【図58】本実施例に係る試料のXRD測定結果とXRD分析位置を示す図。

【発明を実施するための形態】

【0027】

10

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0028】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。

【0029】

20

また、本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0030】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0031】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネル領域を有しており、チャネル領域を介して、ソース・ドレイン間に電流を流すことができるものである。なお、本明細書等において、チャネル領域とは、電流が主として流れる領域をいう。

30

【0032】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【0033】

40

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0034】

また、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多い膜を指し、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多い膜を指す。

【0035】

50

また、本明細書等において、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる場合がある。

【0036】

また、本明細書等において、「平行」とは、二つの直線が - 10°以上 10°以下の角度で配置されている状態をいう。したがって、- 5°以上 5°以下の場合も含まれる。また、「略平行」とは、二つの直線が - 30°以上 30°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80°以上 100°以下の角度で配置されている状態をいう。したがって、85°以上 95°以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60°以上 120°以下の角度で配置されている状態をいう。

【0037】

また、本明細書等において、「膜」という用語と、「層」という用語とは、場合によっては、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0038】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【0039】

(実施の形態 1)

本実施の形態では、本発明の一態様である酸化物半導体について説明する。

【0040】

酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニア、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0041】

ここで、酸化物半導体が、インジウム、元素M及び亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニア、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。なお、酸化物半導体が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を [In]、[M]、および [Zn] とする。

【0042】

<酸化物半導体の構造>

本発明における酸化物半導体の概念図を図1乃至図4に示す。

【0043】

本発明の酸化物半導体の概念図を図1乃至図4に示す。なお、図1(A)、図2(A)、図3(A)、及び図4(A)は、酸化物半導体の上面(ここでは、a-b面方向と呼ぶ)の概念図であり、図1(B)、図2(B)、図3(B)、及び図4(B)は、基板Sub.上に酸化物半導体が形成された断面(ここでは、c軸方向と呼ぶ)の概念図である。

【0044】

なお、図1乃至図4においては、基板上に酸化物半導体が形成される場合について例示したが、これに限定されず、基板と酸化物半導体との間に下地膜または層間膜などの絶縁膜、あるいは酸化物半導体などの他の半導体膜が形成されていてもよい。

10

20

30

40

50

【 0 0 4 5 】

本発明の酸化物半導体は、図1(A)、および図1(B)に示すように、領域A1と、領域B1とが、混合している構造を有する複合酸化物半導体である。領域A1は、 $[In] : [M] : [Zn] = x : y : z$ ($x > 0, y > 0, z > 0$) となるInが多い領域である。一方、領域B1は、 $[In] : [M] : [Zn] = a : b : c$ ($a > 0, b > 0, c > 0$) となるInが少ない領域である。

【 0 0 4 6 】

なお、本明細書において、領域A1の元素Mに対するInの原子数比が、領域B1の元素Mに対するInの原子数比よりも大きいことを、領域A1は、領域B1と比較して、Inの濃度が高いとする。従って、本明細書において、領域A1をIn-richな領域、また、領域B1をIn-poorな領域、ともいう。10

【 0 0 4 7 】

例えば、領域A1は、領域B1よりも、Inの濃度が1.1倍以上、好ましくは2倍以上10倍以下であるとよい。また、領域A1は、少なくともInを有する酸化物であればよく、元素M、およびZnは、必ずしも含まれなくともよい。

【 0 0 4 8 】

<原子数比>

ここで、本発明の一態様の複合酸化物半導体が有する元素の原子数比について説明する。

【 0 0 4 9 】

本発明の酸化物半導体において、例えば、領域A1が、In、元素M、およびZnを有する場合に、各元素の原子数比は図5に示す相図を用いて示すことができる。In、元素M、およびZnの原子数比を、x、y、およびzを用いて、 $x : y : z$ と表す。ここで原子数比は座標($x : y : z$)として図中に表すことができる。なお、図5には、酸素の原子数比については記載しない。20

【 0 0 5 0 】

図5において、破線は、 $[In] : [M] : [Zn] = (1+) : (1-) : 1$ の原子数比(-1 1)となるライン、 $[In] : [M] : [Zn] = (1+) : (1-) : 2$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1+) : (1-) : 3$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1+) : (1-) : 4$ の原子数比となるライン、および $[In] : [M] : [Zn] = (1+) : (1-) : 5$ の原子数比となるラインを表す。30

【 0 0 5 1 】

また、一点鎖線は、 $[In] : [M] : [Zn] = 1 : 1 :$ の原子数比(0)となるライン、 $[In] : [M] : [Zn] = 1 : 2 :$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 3 :$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 4 :$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 7 :$ の原子数比となるライン、 $[In] : [M] : [Zn] = 2 : 1 :$ の原子数比となるライン、及び $[In] : [M] : [Zn] = 5 : 1 :$ の原子数比となるラインを表す。

【 0 0 5 2 】

また、図5に示す、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比またはその近傍値の酸化物半導体は、スピネル型の結晶構造となる傾向がある。40

【 0 0 5 3 】

図5で示す領域A2は、領域A1が有するインジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。なお、領域A2は、 $[In] : [M] : [Zn] = (1+) : 0 : (1-)$ の原子数比(-1 1)となるライン上も含むものとする。

【 0 0 5 4 】

図5で示す領域B2は、領域B1が有するインジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。なお、領域B2は、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から4.1、およびその近傍値を含む。近傍値には、例えば、原子数比が[50

I_n : M : Zn = 5 : 3 : 4 が含まれる。また、領域 B 2 は、 I_n : M : Zn = 5 : 1 : 6、およびその近傍値を含む。

【0055】

領域 A 2 は、 I_n の濃度が高いため、領域 B 2 よりも、導電性が高くなり、キャリア移動度（電界効果移動度）を高める機能を有する。したがって、領域 A 1 を有する酸化物半導体を用いたトランジスタのオン電流及びキャリア移動度を高めることができる。

【0056】

一方、領域 B 2 は、 I_n の濃度が低いため、領域 A 2 よりも、導電性が低く、リーク電流を低減する機能を有する。したがって、領域 B 1 を有する酸化物半導体を用いたトランジスタのオフ電流を低くすることができる。

10

【0057】

本発明の酸化物半導体において、領域 A 1 と、領域 B 1 とが、複合体を形成している。つまり、領域 A 1 では、キャリア移動が生じやすく、領域 B 1 では、キャリア移動が生じにくい。そのため、本発明の酸化物半導体は、キャリア移動度が高く、かつ、スイッチング特性が高い、半導体特性が良好な材料として用いることができる。

【0058】

一例として、図 1 (A) に示すように、領域 A 1 は、a - b 面方向において、基本的には、円に近い形状で形成される。また、図 1 (B) に示すように、領域 A 1 は、c 軸方向において、基本的には、橢円に近い形状で形成される。従って、領域 A 1 は、アイランド状であり、領域 B 1 に立体的にはさまれている状態で存在しうる。つまり、領域 A 1 は、領域 B 1 に内包されている構造である。

20

【0059】

また、図 1 (A)、および図 1 (B) に示すように、領域 A 1 は、領域 B 1 中に、不規則に偏在している。そのため、複数の領域 A 1 がつながって存在していてもよい。つまり、複数の領域 A 1 が、a - b 面方向において、円が重畠した形状、または c 軸方向において、橢円が端部で連結した形状となる場合がある。ただし、全ての領域 A 1 が、a - b 面方向に連結した場合、トランジスタのスイッチング特性、例えばトランジスタのオフ電流が上昇するため、図 1 (A)、図 1 (B) に示すように、領域 A 1 は、領域 B 1 内に、点在していた方が好ましい。

【0060】

30

なお、領域 A 1 が点在する割合は、複合酸化物半導体の作成条件、または組成により、調節することができる。例えば、図 2 に示すように、領域 A 1 の割合が少ない複合酸化物半導体、または、図 3 に示すように、領域 A 1 の割合が多い複合酸化物半導体を形成することができる。また、本発明の複合酸化物半導体は、領域 B 1 に対し、領域 A 1 の割合が小さいとは限らない。領域 A 1 の割合が非常に大きい複合酸化物半導体では、観察する範囲により、領域 A 1 内に領域 B 1 が形成されている場合もある。

【0061】

また、例えば、領域 A 1 が形成するアイランド状のサイズは、複合酸化物半導体の作成条件、または組成により、適宜調節することができる。図 1 乃至図 3 では、さまざまなサイズのアイランド状の領域が形成されている概念図を示したが、図 4 に示すように、同程度の大きさの領域 A 1 が点在する場合がある。

40

【0062】

また、領域 A 1 と、領域 B 1 とは、明確な境界が観察できない場合がある。なお、領域 A 1 及び領域 B 1 のサイズは、EDX マッピングで評価することができる。例えば、領域 A 1 は、断面写真の EDX マッピングにおいて、領域 A 1 の厚み（径ともいう）が、0.1 nm 以上 5 nm 以下、または 0.3 nm 以上 3 nm 以下で観察される場合がある。なお、好ましくは領域 A 1 の厚みは、0.1 nm 以上 1 nm 以下とする。

【0063】

このように、本発明の一態様の酸化物半導体は、領域 A 1 と領域 B 1 とが混合している複合酸化物半導体であり、かつ領域 A 1 の機能と、領域 B 1 の機能と、がそれぞれ異なり、

50

領域 A 1 と領域 B 1 とが、相補的に機能している。例えば、元素 M を Ga とした In - Ga - Zn 酸化物（以下、IGZO とする）の場合、本発明の一態様の酸化物半導体を、Complementary IGZO（略称：C / IGZO）と呼称することができる。

【0064】

一方で、例えば、領域 A 1 と領域 B 1 とが層状で積層された構成の場合、領域 A 1 と領域 B 1 との間には相互作用がない、または相互作用が起きにくいため、領域 A 1 の機能と領域 B 1 の機能とが、それぞれ独立に機能する場合がある。この場合、領域 A 1 によって、キャリア移動度を高くすることが出来たとしても、トランジスタのオフ電流が高くなる場合がある。したがって、上述した複合酸化物半導体、または C / IGZO とすることで、キャリア移動度が高い機能と、スイッチング特性が良好である機能と、を同時に兼ね備えることが出来る。これは、本発明の複合体酸化物半導体で得られる優れた効果である。10

【0065】

なお、酸化物半導体をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、[Zn]において、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。

【0066】

また、本発明の一態様である複合酸化物半導体の特性は、原子数比によって一義的に定まらない。従って、図示する領域は、複合酸化物半導体が有する領域 A 1、および領域 B 1 が有する好ましい原子数比を示す領域であり、境界は厳密ではない。20

【0067】

ここで、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS : amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。20

【0068】

CAAC-OS は、c 軸配向性を有し、かつ a - b 面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。30

【0069】

nc-OS は、微小な領域（例えば、1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、nc-OS は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS は、分析方法によっては、a-like OS や非晶質酸化物半導体と区別が付かない場合がある。

【0070】

a-like OS は、nc-OS と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OS は、鬆または低密度領域を有する。即ち、a-like OS は、nc-OS および CAAC-OS と比べて、不安定な構造である。40

【0071】

酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。本発明の酸化物半導体は、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OS のうち、二種以上を有する複合酸化物半導体であってもよい。

【0072】

例えば、領域 A 1 は、非単結晶であることが好ましい。一方、領域 B 1 は、CAAC-OS、多結晶酸化物半導体、および nc-OS 等の領域のうち少なくとも一を有することが好ましい。また、領域 A 1 と、領域 B 1 とが異なる結晶を有していてもよい。

【0073】

<酸化物半導体を有するトランジスタ>

10

20

30

40

50

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0074】

なお、上記複合酸化物半導体をトランジスタに用いることで、キャリア移動度が高く、かつ、スイッチング特性が高いトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0075】

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

10

【0076】

なお、高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができます。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0077】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

20

【0078】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0079】

ここで、酸化物半導体中における各不純物の影響について説明する。

【0080】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（S I M S : Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

30

【0081】

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、S I M S により得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下とする。

40

【0082】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、S I M S において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

50

【0083】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損（V_o）を形成する場合がある。該酸素欠損（V_o）に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体において、S I M Sにより得られる水素濃度を、 1×10^{20} atoms / cm³未満、好ましくは 1×10^{19} atoms / cm³未満、より好ましくは 5×10^{18} atoms / cm³未満とする。

10

【0084】

なお、酸化物半導体中の酸素欠損（V_o）は、酸素を酸化物半導体に導入することで、低減することができる。つまり、酸化物半導体中の酸素欠損（V_o）に、酸素が補填されることで、酸素欠損（V_o）は消失する。従って、酸化物半導体中に、酸素を拡散させることで、トランジスタの酸素欠損（V_o）を低減し、信頼性を向上させることができる。

【0085】

なお、酸素を酸化物半導体に導入する方法として、例えば、酸化物半導体に接して、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を設けることができる。つまり、酸化物には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。特に、トランジスタに酸化物半導体を用いる場合、トランジスタ近傍の下地膜や、層間膜などに、過剰酸素領域を有する酸化物を設けることで、トランジスタの酸素欠損を低減し、信頼性を向上させることができる。

20

【0086】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0087】

<酸化物半導体の成膜方法>

以下では、スパッタリング法による酸化物半導体の成膜方法の一例について説明する。

【0088】

酸化物半導体を成膜する際の温度としては、室温以上140℃未満とすることが好ましい。なお、室温とは、温度調節を行わない場合だけでなく、温度調節を行う場合も含むものとする。

30

【0089】

また、スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。混合ガスの場合、希ガスに対して酸素のガス比が、5%以上30%以下、好ましくは7%以上20%以下とする。

【0090】

なお、スパッタリングガスとして酸素を含むと、酸化物半導体の成膜と同時に、下層の膜に、酸素を添加し、酸素過剰領域を設けることができる。また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が-40℃以下、好ましくは-80℃以下、より好ましくは-100℃以下、より好ましくは-120℃以下にまで高純度化したガスを用いることで酸化物半導体に水分等が取り込まれることを可能な限り防ぐことができる。

40

【0091】

また、スパッタリング法で酸化物半導体を成膜する場合、スパッタリング装置におけるチャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空（ 5×10^{-7} Paから 1×10^{-4} Pa程度まで）排気することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

50

【 0 0 9 2 】

また、ターゲットとして、In - Ga - Zn 金属酸化物ターゲットを用いることができる。例えば、[In] : [Ga] : [Zn] = 4 : 2 : 4 . 1 [原子数比]、または[In] : [Ga] : [Zn] = 5 : 1 : 6 [原子数比]、またはその近傍値の原子数比である金属酸化物ターゲットを用いることが好ましい。

【 0 0 9 3 】

また、スパッタリング装置において、ターゲットを回転または移動させても構わない。例えば、成膜中にマグネットユニットを上下または / 及び左右に揺動させることによって、本発明の複合酸化物半導体を形成することができる。例えば、ターゲットを、0 . 1 Hz 以上 1 kHz 以下のビート(リズム、拍子、パルス、周波、周期またはサイクルなどとい換えてよい。)で回転または移動させればよい。または、マグネットユニットを、0 . 1 Hz 以上 1 kHz 以下のビートで揺動させればよい。なお、スパッタリング装置の詳細については、後の実施の形態で述べる。10

【 0 0 9 4 】

例えば、スパッタリングガスとして、酸素のガス比が 10 % 程度の希ガス、および酸素の混合ガスを用い、基板温度を 130 °C とし、[In] : [Ga] : [Zn] = 4 : 2 : 4 . 1 [原子数比] の In - Ga - Zn 金属酸化物ターゲットを揺動させながら成膜を行うことで、本発明の酸化物半導体を形成することができる。

【 0 0 9 5 】

まず、希ガスまたは酸素ガスが成膜室中で電離し、陽イオンと電子とに分かれてプラズマを形成する。プラズマ中の陽イオンは、ターゲットホルダに印加された電位によって、ターゲットに向けて加速される。陽イオンが In - Ga - Zn 金属酸化物ターゲットに衝突することで、スパッタ粒子が生成され、基板上にスパッタ粒子が堆積する。20

【 0 0 9 6 】

まず、陽イオンが In - Ga - Zn 金属酸化物ターゲットに衝突することで、相対原子質量が、In よりも軽い Ga、および Zn が、ターゲットから優先的に弾き出される。弾き出された In、Ga、および Zn が、酸素と結合し、基板上に堆積することで、領域 B1 が成膜される。この時、ターゲットの表面には、In が偏析した状態となる。

【 0 0 9 7 】

続いて、ターゲットの表面に偏析した In が、複数の粒子のような構造となり、ターゲットから弾き出される。複数の粒子のような構造となった偏析した In が、酸素と結合し、先に成膜された領域 B1 上に衝突し、円に近い形状に広がることで、アイランド状の領域 A1 が堆積する。なお、偏析した In が弾き出されたため、ターゲットの表面には、In、Ga、Zn が、元の原子数比に近い状態で存在する。30

【 0 0 9 8 】

ここで、さらに、陽イオンがターゲットに衝突することで、相対原子質量が、In よりも軽い Ga、および Zn が、ターゲットから優先的に弾き出される。なお、この時、ターゲットの表面には、In が偏析した状態となる。再び、領域 B1 が、先に成膜された領域 B1、および領域 A1 上に堆積することで、領域 A1 を挟み込むように、領域 B1 が成膜される。40

【 0 0 9 9 】

なお、ターゲット表面の一領域では、In が偏析し、他のターゲット表面の一領域では、偏析した In が弾き出される。つまり、In が偏析する機構、および偏析した In が弾き出される機構が、同時に生じることで、領域 A1 は、領域 B1 に挟まれ、不規則に偏在する構造となる。

【 0 1 0 0 】

上記の成膜モデルを経ることによって、図 1 乃至 図 4 に示すような、領域 A1 と領域 B1 とが混合している複合酸化物半導体が形成されると考える。

【 0 1 0 1 】

本発明の酸化物半導体は、領域 A2 で示される原子数比で構成される In が多い領域 A150

と、領域B2で示される原子数比で構成されるInが少ない領域B1とが、混在し、複合酸化物半導体を形成している。つまり、領域A1ではキャリア移動が生じやすく、領域B1では、キャリア移動が生じにくい。そのため、本発明の酸化物半導体は、キャリア移動度が高く、かつ、スイッチング特性が高い、半導体特性が良好な材料として用いることができる。

【0102】

以上、本実施の形態に示す構成は、他の実施の形態または他の実施例に示す構成と適宜、組み合わせて用いることができる。

【0103】

(実施の形態2)

10

本実施の形態においては、本発明の一態様の酸化物を成膜することができるスパッタリング装置及び成膜装置について、図6乃至図11を用いて説明する。なお、以下に示すスパッタリング装置では、理解を容易にするため、または成膜時における動作を説明するため、基板およびターゲットなどを配置した状態で示す。ただし、基板およびターゲットなどは、使用者が設置する物であるため、本発明の一態様に係るスパッタリング装置が基板およびターゲットを有さない場合もある。

【0104】

<スパッタリング装置>

スパッタリング装置としては、例えば平行平板型スパッタリング装置、及び対向ターゲット式スパッタリング装置を用いることができる。なお、平行平板型スパッタリング装置を用いた成膜法を、PESP (parallel electrode SP) と呼ぶこともできる。また、対向ターゲット式スパッタリング装置を用いた成膜法を、VDS (vapor deposition SP) と呼ぶこともできる。

20

【0105】

[平行平板型スパッタリング装置(PESP)]

まず、平行平板型スパッタリング装置について、説明する。図6(A)は、平行平板型のスパッタリング装置である成膜室601の断面図である。図6(A)に示す成膜室601は、ターゲットホルダ620と、バッキングプレート610と、ターゲット600と、マグネットユニット630と、基板ホルダ670と、を有する。なお、ターゲット600は、バッキングプレート610上に配置される。また、バッキングプレート610は、ターゲットホルダ620上に配置される。また、マグネットユニット630は、バッキングプレート610を介してターゲット600下に配置される。また、基板ホルダ670は、ターゲット600と向かい合って配置される。なお、本明細書では、複数のマグネット(磁石)を組み合わせたものをマグネットユニットと呼ぶ。マグネットユニットは、カソード、カソードマグネット、磁気部材、磁気部品などと呼びかえることができる。マグネットユニット630は、マグネット630Nと、マグネット630Sと、マグネットホルダ632と、を有する。なお、マグネットユニット630において、マグネット630Nおよびマグネット630Sは、マグネットホルダ632上に配置される。また、マグネット630Nは、マグネット630Sと間隔を空けて配置される。なお、成膜室601に基板660を搬入する場合、基板660は基板ホルダ670上に配置される。

30

【0106】

ターゲットホルダ620とバッキングプレート610とは、ネジ(ボルトなど)を用いて固定されており、等電位となる。また、ターゲットホルダ620は、バッキングプレート610を介してターゲット600を支持する機能を有する。

【0107】

また、バッキングプレート610には、ターゲット600が固定される。例えば、インジウムなどの低融点金属を含むボンディング材によってバッキングプレート610とターゲット600とを固定することができる。

【0108】

図6(A)に、マグネットユニット630によって形成される磁力線680aおよび磁力

40

50

線 6 8 0 b を示す。

【 0 1 0 9 】

磁力線 6 8 0 a は、ターゲット 6 0 0 の上面近傍における水平磁場を形成する磁力線の一つである。ターゲット 6 0 0 の上面近傍は、例えば、ターゲット 6 0 0 から垂直距離が 0 mm 以上 10 mm 以下、特に 0 mm 以上 5 mm 以下の領域である。

【 0 1 1 0 】

磁力線 6 8 0 b は、マグネットユニット 6 3 0 の上面から、垂直距離 d における水平磁場を形成する磁力線の一つである。垂直距離 d は、例えば、0 mm 以上 20 mm 以下または 5 mm 以上 15 mm 以下である。

【 0 1 1 1 】

このとき、強力なマグネット 6 3 0 N および強力なマグネット 6 3 0 S を用いることで、基板 6 6 0 の上面近傍においても強い磁場を発生させることができる。具体的には、基板 6 6 0 の上面における水平磁場の磁束密度を 10 G 以上 100 G 以下、好ましくは 15 G 以上 60 G 以下、さらに好ましくは 20 G 以上 40 G 以下とすることができます。

10

【 0 1 1 2 】

なお、水平磁場の磁束密度の測定は、垂直磁場の磁束密度が 0 G のときの値を測定すればよい。

【 0 1 1 3 】

成膜室 6 0 1 における磁場の磁束密度を上述の範囲とすることで、密度が高く、結晶性の高い酸化物を成膜することができる。また、得られる酸化物は、複数種の結晶相を含むことが少なく、ほとんど単一の結晶相を含む酸化物となる。

20

【 0 1 1 4 】

図 6 (B) に、マグネットユニット 6 3 0 の上面図を示す。マグネットユニット 6 3 0 は、円形または略円形のマグネット 6 3 0 N と、円形または略円形のマグネット 6 3 0 S と、がマグネットホルダ 6 3 2 に固定されている。そして、マグネットユニット 6 3 0 を、マグネットユニット 6 3 0 の上面における中央または略中央の法線ベクトルを回転軸として回転させることができる。例えば、マグネットユニット 6 3 0 を、0.1 Hz 以上 1 kHz 以下のビート (リズム、拍子、パルス、周波、周期またはサイクルなどと言い換えてよい。) で回転させればよい。

【 0 1 1 5 】

30

したがって、ターゲット 6 0 0 上の磁場の強い領域は、マグネットユニット 6 3 0 の回転とともに変化する。磁場の強い領域は高密度プラズマ領域となるため、その近傍においてターゲット 6 0 0 のスペッタリング現象が起こりやすい。例えば、磁場の強い領域が特定の箇所となる場合、ターゲット 6 0 0 の特定の領域のみが使用されることになる。一方、図 6 (B) に示すようにマグネットユニット 6 3 0 を回転させることで、ターゲット 6 0 0 と基板 6 6 0 との間に、プラズマ 6 4 0 が生じるため、ターゲット 6 0 0 を均一に使用することができる。また、マグネットユニット 6 3 0 を回転させることによって、均一な厚さおよび均一な質を有する膜を成膜することができる。

【 0 1 1 6 】

また、マグネットユニット 6 3 0 を回転させることにより、基板 6 6 0 の上面における磁力線の向きも変化させることができる。

40

【 0 1 1 7 】

なお、ここではマグネットユニット 6 3 0 を回転させる例を示したが、本発明の一態様はこれに限定されるものではない。例えば、マグネットユニット 6 3 0 を上下または / および左右に揺動させても構わない。例えば、マグネットユニット 6 3 0 を、0.1 Hz 以上 1 kHz 以下のビートで揺動させればよい。または、ターゲット 6 0 0 を回転または移動させても構わない。例えば、ターゲット 6 0 0 を、0.1 Hz 以上 1 kHz 以下のビートで回転または移動させればよい。または、基板 6 6 0 を回転させることで、相対的に基板 6 6 0 の上面における磁力線の向きを変化させても構わない。または、これらを組み合わせても構わない。

50

【0118】

成膜室601は、バッキングプレート610の内部または下部などに水路を有してもよい。そして、水路に流体（空気、窒素、希ガス、水、オイルなど）を流すことで、スパッタ時にターゲット600の温度の上昇による放電異常や、部材の変形による成膜室601の損傷などを抑制することができる。このとき、バッキングプレート610とターゲット600とをボンディング材を介して密着させると、冷却性能が高まるため好ましい。

【0119】

なお、ターゲットホルダ620とバッキングプレート610との間にガスケットを有すると、成膜室601内に外部や水路などから不純物が混入しにくくなるため好ましい。

【0120】

マグネットユニット630において、マグネット630Nとマグネット630Sとは、それぞれターゲット600側に異なる極を向けて配置されている。ここでは、マグネット630Nをターゲット600側がN極となるように配置し、マグネット630Sをターゲット600側がS極となるように配置する場合について説明する。ただし、マグネットユニット630におけるマグネットおよび極の配置は、この配置に限定されるものではない。また、図6(A)の配置に限定されるものでもない。

【0121】

成膜時、ターゲットホルダ620に接続する端子V1に印加される電位V1は、例えば、基板ホルダ670に接続する端子V2に印加される電位V2よりも低い電位である。また、基板ホルダ670に接続する端子V2に印加される電位V2は、例えば、接地電位である。また、マグネットホルダ632に接続する端子V3に印加される電位V3は、例えば、接地電位である。なお、端子V1、端子V2および端子V3に印加される電位は上記の電位に限定されない。また、ターゲットホルダ620、基板ホルダ670、マグネットホルダ632の全てに電位が印加されなくても構わない。例えば、基板ホルダ670が電気的に浮いていても構わない。なお、図6(A)では、ターゲットホルダ620に接続する端子V1に電位V1を印加する、いわゆるDCスパッタリング法の例を示したが、本発明の一態様は、これに限定されない。例えば、ターゲットホルダ620に、周波数が13.56MHzまたは27.12MHzなどの高周波電源を接続する、いわゆるRFスパッタリング法を用いても構わない。

【0122】

また、図6(A)では、バッキングプレート610およびターゲットホルダ620と、マグネットユニット630およびマグネットホルダ632と、が電気的に接続されない例を示したが、これに限定されない。例えば、バッキングプレート610およびターゲットホルダ620と、マグネットユニット630およびマグネットホルダ632と、が電気的に接続されており、等電位となっていても構わない。

【0123】

また、得られる酸化物の結晶性をさらに高めるために、基板660の温度を高くしても構わない。基板660の温度を高くすることで、基板660の上面におけるスパッタ粒子のマイグレーションを助長させることができる。したがって、より密度が高く、より結晶性の高い酸化物を成膜することができる。なお、基板660の温度は、例えば、100以上450以下、好ましくは150以上400以下、さらに好ましくは170以上350以下とすればよい。

【0124】

また、成膜ガス中の酸素分圧が高すぎると、複数種の結晶相を含む酸化物が成膜されやすいため、成膜ガスはアルゴンなどの希ガス（ほかにヘリウム、ネオン、クリプトン、キセノンなど）と酸素との混合ガスを用いると好ましい。例えば、全体に占める酸素の割合を50体積%未満、好ましくは33体積%以下、さらに好ましくは20体積%以下、より好ましくは15体積%以下とすればよい。

【0125】

また、ターゲット600と基板660との垂直距離を、10mm以上600mm以下、好

10

20

30

40

50

ましくは20mm以上400mm以下、さらに好ましくは30mm以上200mm以下、より好ましくは40mm以上100mm以下とする。ターゲット600と基板660との垂直距離を上述の範囲まで近くすることで、スパッタ粒子が、基板660に到達するまでの間におけるエネルギーの低下を抑制できる場合がある。また、ターゲット600と基板660との垂直距離を上述の範囲まで遠くすることで、スパッタ粒子の基板660への入射方向を垂直に近づけることができるため、スパッタ粒子の衝突による基板660へのダメージを小さくすることができる場合がある。

【0126】

図7(A)に、図6(A)とは異なる成膜室の例を示す。

【0127】

図7(A)に示す成膜室601は、ターゲットホルダ620aと、ターゲットホルダ620bと、バッキングプレート610aと、バッキングプレート610bと、ターゲット600aと、ターゲット600bと、マグネットユニット630aと、マグネットユニット630bと、部材642と、基板ホルダ670と、を有する。なお、ターゲット600aは、バッキングプレート610a上に配置される。また、バッキングプレート610aは、ターゲットホルダ620a上に配置される。また、マグネットユニット630aは、バッキングプレート610aを介してターゲット600a下に配置される。また、ターゲット600bは、バッキングプレート610b上に配置される。また、バッキングプレート610bは、ターゲットホルダ620b上に配置される。また、マグネットユニット630bは、バッキングプレート610bを介してターゲット600b下に配置される。

10

【0128】

マグネットユニット630aは、マグネット630N1と、マグネット630N2と、マグネット630Sと、マグネットホルダ632と、を有する。なお、マグネットユニット630aにおいて、マグネット630N1、マグネット630N2およびマグネット630Sは、マグネットホルダ632上に配置される。また、マグネット630N1およびマグネット630N2は、マグネット630Sと間隔を空けて配置される。なお、マグネットユニット630bは、マグネットユニット630aと同様の構造を有する。なお、成膜室601に基板660を搬入する場合、基板660は基板ホルダ670上に配置される。

【0129】

ターゲット600a、バッキングプレート610aおよびターゲットホルダ620aと、ターゲット600b、バッキングプレート610bおよびターゲットホルダ620bとは、部材642によって離間されている。なお、部材642は絶縁体であることが好ましい。ただし、部材642が導電体または半導体であっても構わない。また、部材642が、導電体または半導体の表面を絶縁体で覆ったものであっても構わない。

30

【0130】

ターゲットホルダ620aとバッキングプレート610aとは、ネジ(ボルトなど)を用いて固定されており、等電位となる。また、ターゲットホルダ620aは、バッキングプレート610aを介してターゲット600aを支持する機能を有する。また、ターゲットホルダ620bとバッキングプレート610bとは、ネジ(ボルトなど)を用いて固定されており、等電位となる。また、ターゲットホルダ620bは、バッキングプレート610bを介してターゲット600bを支持する機能を有する。

40

【0131】

バッキングプレート610aは、ターゲット600aを固定する機能を有する。また、バッキングプレート610bは、ターゲット600bを固定する機能を有する。

【0132】

図7(A)に、マグネットユニット630aによって形成される磁力線680aおよび磁力線680bを示す。

【0133】

磁力線680aは、ターゲット600aの上面近傍における水平磁場を形成する磁力線の一つである。ターゲット600aの上面近傍は、例えば、ターゲット600aから垂直距

50

離が 0 mm 以上 10 mm 以下、特に 0 mm 以上 5 mm 以下の領域である。

【 0 1 3 4 】

磁力線 630b は、マグネットユニット 630a の上面から、垂直距離 d における水平磁場を形成する磁力線の一つである。垂直距離 d は、例えば、0 mm 以上 20 mm 以下または 5 mm 以上 15 mm 以下である。

【 0 1 3 5 】

このとき、強力なマグネット 630N1、強力なマグネット 630N2 および強力なマグネット 630S を用いることで、基板 660 の上面近傍においても強い磁場を発生させることができる。具体的には、基板 660 の上面における水平磁場の磁束密度を 10 G 以上 100 G 以下、好ましくは 15 G 以上 60 G 以下、さらに好ましくは 20 G 以上 40 G 以下とすることができます。10

【 0 1 3 6 】

成膜室 601 における磁場の磁束密度を上述の範囲とすることで、密度が高く、結晶性の高い酸化物を成膜することができる。また、得られる酸化物は、複数種の結晶相を含むことが少なく、ほとんど単一の結晶相を含む酸化物となる。

【 0 1 3 7 】

なお、マグネットユニット 630b もマグネットユニット 630a と同様の磁力線が形成される。

【 0 1 3 8 】

図 7 (B) に、マグネットユニット 630a およびマグネットユニット 630b の上面図を示す。マグネットユニット 630a は、長方形または略長方形のマグネット 630N1 と、長方形または略長方形のマグネット 630N2 と、長方形または略長方形のマグネット 630S と、がマグネットホルダ 632 に固定されていることわかる。そして、マグネットユニット 630a を、図 7 (B) に示すように左右に揺動させることができる。例えば、マグネットユニット 630a を、0.1 Hz 以上 1 kHz 以下のビートで揺動させればよい。20

【 0 1 3 9 】

したがって、ターゲット 600a 上の磁場の強い領域は、マグネットユニット 630a の揺動とともに変化する。磁場の強い領域は高密度プラズマ領域となるため、その近傍においてターゲット 600a のスパッタリング現象が起こりやすい。例えば、磁場の強い領域が特定の箇所となる場合、ターゲット 600a の特定の領域のみが使用されることになる。一方、図 7 (B) に示すようにマグネットユニット 630a を揺動させることで、ターゲット 600a と基板 660 との間に、プラズマ 640 が生じるため、ターゲット 600a を均一に使用することができる。また、マグネットユニット 630a を揺動させることによって、均一な厚さ、質を有する膜を成膜することができる。30

【 0 1 4 0 】

また、マグネットユニット 630a を揺動させることにより、基板 660 の上面における磁力線の状態も変化させることができる。これは、マグネットユニット 630b においても同様である。

【 0 1 4 1 】

なお、ここではマグネットユニット 630a およびマグネットユニット 630b を揺動させる例を示したが、本発明の一態様はこれに限定されるものではない。例えば、マグネットユニット 630a およびマグネットユニット 630b を回転させても構わない。例えば、マグネットユニット 630a およびマグネットユニット 630b を、0.1 Hz 以上 1 kHz 以下のビートで回転させればよい。または、ターゲット 600 を回転または移動させても構わない。例えば、ターゲット 600 を、0.1 Hz 以上 1 kHz 以下のビートで回転または移動させればよい。または、基板 660 を回転させることで、相対的に基板 660 の上面における磁力線の状態を変化させることができる。または、これらを組み合わせても構わない。40

【 0 1 4 2 】

成膜室 601 は、バッキングプレート 610a およびバッキングプレート 610b の内部または下部などに水路を有してもよい。そして、水路に流体（空気、窒素、希ガス、水、オイルなど）を流すことで、スパッタ時にターゲット 600a およびターゲット 600b の温度の上昇による放電異常や、部材の変形による成膜室 601 の損傷などを抑制することができる。このとき、バッキングプレート 610a とターゲット 600a とをボンディング材を介して密着させると、冷却性能が高まるため好ましい。また、バッキングプレート 610b とターゲット 600b とをボンディング材を介して密着させると、冷却性能が高まるため好ましい。

【0143】

なお、ターゲットホルダ 620a とバッキングプレート 610aとの間にガスケットを有すると、成膜室 601 内に外部や水路などから不純物が混入しにくくなるため好ましい。
10 また、ターゲットホルダ 620b とバッキングプレート 610b との間にガスケットを有すると、成膜室 601 内に外部や水路などから不純物が混入しにくくなるため好ましい。

【0144】

マグネットユニット 630aにおいて、マグネット 630N1 およびマグネット 630N2 とマグネット 630S とはそれぞれターゲット 600a 側に異なる極を向けて配置されている。ここでは、マグネット 630N1 およびマグネット 630N2 をターゲット 600a 側が N 極となるように配置し、マグネット 630S をターゲット 600a 側が S 極となるように配置する場合について説明する。ただし、マグネットユニット 630a におけるマグネットおよび極の配置は、この配置に限定されるものではない。また、図 7 (A) の配置に限定されるものでもない。これは、マグネットユニット 630b についても同様である。
20

【0145】

成膜時、ターゲットホルダ 620a に接続する端子 V1 に印加される電位と、ターゲットホルダ 620b に接続する端子 V4 に印加される電位は、交互に高低が入れ替わってもよい。また、基板ホルダ 670 に接続する端子 V2 に印加される電位は、例えば、接地電位である。また、マグネットホルダ 632 に接続する端子 V3 に印加される電位は、例えば、接地電位である。なお、端子 V1、端子 V2、端子 V3 および端子 V4 に印加される電位は上記の電位に限定されない。また、ターゲットホルダ 620a、ターゲットホルダ 620b、基板ホルダ 670、マグネットホルダ 632 の全てに電位が印加されなくても構わない。例えば、基板ホルダ 670 が電気的に浮いていても構わない。なお、図 7 (A) では、ターゲットホルダ 620a に接続する端子 V1 に印加される電位と、ターゲットホルダ 620b に接続する端子 V4 に印加される電位は、交互に高低が入れ替わる、いわゆる A C スパッタリング法の例を示したが、本発明の一態様は、これに限定されない。
30

【0146】

また、図 7 (A) では、バッキングプレート 610a およびターゲットホルダ 620a と、マグネットユニット 630a およびマグネットホルダ 632 と、は電気的に接続されない例を示したが、これに限定されない。例えば、バッキングプレート 610a およびターゲットホルダ 620a と、マグネットユニット 630a およびマグネットホルダ 632 と、が電気的に接続されており、等電位となっていても構わない。また、バッキングプレート 610b およびターゲットホルダ 620b と、マグネットユニット 630b およびマグネットホルダ 632 と、は電気的に接続されない例を示したが、これに限定されない。例えば、バッキングプレート 610b およびターゲットホルダ 620b と、マグネットユニット 630b およびマグネットホルダ 632 と、が電気的に接続されており、等電位となっていても構わない。
40

【0147】

また、得られる酸化物の結晶性をさらに高めるために、基板 660 の温度を高くしても構わない。基板 660 の温度を高くすることで、基板 660 の上面におけるスパッタ粒子のマイグレーションを助長させることができる。したがって、より密度が高く、より結晶性の高い酸化物を成膜することができる。なお、基板 660 の温度は、例えば、100 以
50

上 450 以下、好ましくは 150 以上 400 以下、さらに好ましくは 170 以上
350 以下とすればよい。

【0148】

また、成膜ガス中の酸素分圧が高すぎると、複数種の結晶相を含む酸化物が成膜されやすいため、成膜ガスはアルゴンなどの希ガス（ほかにヘリウム、ネオン、クリプトン、キセノンなど）と酸素との混合ガスを用いると好ましい。例えば、全体に占める酸素の割合を 50 体積%未満、好ましくは 33 体積%以下、さらに好ましくは 20 体積%以下、より好ましくは 15 体積%以下とすればよい。

【0149】

また、ターゲット 600a と基板 660 との垂直距離を、10 mm 以上 600 mm 以下、
好ましくは 20 mm 以上 400 mm 以下、さらに好ましくは 30 mm 以上 200 mm 以下
、より好ましくは 40 mm 以上 100 mm 以下とする。ターゲット 600a と基板 660
との垂直距離を上述の範囲まで近くすることで、スパッタ粒子が、基板 660 に到達する
までの間におけるエネルギーの低下を抑制できる場合がある。また、ターゲット 600a
と基板 660 との垂直距離を上述の範囲まで遠くすることで、スパッタ粒子の基板 660
への入射方向を垂直に近づけることができるため、スパッタ粒子の衝突による基板 660
へのダメージを小さくすることができる場合がある。

10

【0150】

また、ターゲット 600b と基板 660 との垂直距離を、10 mm 以上 600 mm 以下、
好ましくは 20 mm 以上 400 mm 以下、さらに好ましくは 30 mm 以上 200 mm 以下
、より好ましくは 40 mm 以上 100 mm 以下とする。ターゲット 600b と基板 660
との垂直距離を上述の範囲まで近くすることで、スパッタ粒子が、基板 660 に到達する
までの間におけるエネルギーの低下を抑制できる場合がある。また、ターゲット 600b
と基板 660 との垂直距離を上述の範囲まで遠くすることで、スパッタ粒子の基板 660
への入射方向を垂直に近づけることができるため、スパッタ粒子の衝突による基板 660
へのダメージを小さくすることができる場合がある。

20

【0151】

[対向ターゲット式スパッタリング装置（V D S P）]

次に、対向ターゲット式スパッタリング装置について、説明する。図 8 (A) は、対向ターゲット式スパッタリング装置における成膜室の断面図である。図 8 (A) に示す成膜室は、ターゲット 600a およびターゲット 600b と、ターゲット 600a およびターゲット 600b をそれぞれ保持するバッキングプレート 610a およびバッキングプレート 610b と、バッキングプレート 610a およびバッキングプレート 610b を介してターゲット 600a およびターゲット 600b の背面にそれぞれ配置されるマグネットユニット 630a およびマグネットユニット 630b と、を有する。また、基板ホルダ 670 は、ターゲット 600a およびターゲット 600b の間に配置される。基板ホルダ 670 は、ターゲット 600a とターゲット 600b とが向かい合っている間の領域（ターゲット間領域ともいう。）の上側に配置される。なお、成膜室に基板 660 を搬入したのち、基板 660 は基板ホルダ 670 に固定される。

30

【0152】

また、図 8 (A) に示すように、基板ホルダ 670 は、ターゲット間領域の上側に配置されるが、下側に配置されても構わない。また、下側および上側に配置されても構わない。下側および上側に基板ホルダ 670 を配置することにより、二以上の基板を同時に成膜することができるため、生産性を高めることができる。

40

【0153】

また、図 8 (A) に示すように、バッキングプレート 610a およびバッキングプレート 610b には、電位を印加するための電源 690 および電源 691 が接続されている。バッキングプレート 610a に印加する電位と、バッキングプレート 610b に印加する電位の高低が交互に入れ替わる、いわゆる A C 電源を用いると好ましい。また、図 8 (A) に示す電源 690 および電源 691 は A C 電源を用いた例を示しているが、これに限られ

50

ない。例えば、電源 690 および電源 691 として R F 電源、D C 電源などを用いてもよい。または、電源 690 と電源 691 とで、異なる種類の電源を用いてもよい。

【0154】

また、基板ホルダ 670 は GND に接続されていることが好ましい。また、基板ホルダ 670 はフローティングの状態であってもよい。

【0155】

図 8 (B) および図 8 (C) は、図 8 (A) の一点鎖線 A - B 間におけるプラズマ 640 の電位分布を示している。図 8 (B) に示す電位分布は、バッキングプレート 610a に高電位を印加し、バッキングプレート 610b に低電位を印加した状態を示す。即ち、ターゲット 600b に向けて陽イオンが加速される。図 8 (C) に示す電位分布は、バッキングプレート 610a に低電位を印加し、バッキングプレート 610b に高電位を印加した状態を示す。即ち、ターゲット 600a に向けて陽イオンが加速される。図 8 (B) と、図 8 (C) との状態を交互に入れ替わるようにして成膜することができる。
10

【0156】

図 8 (A) に示す構成は、ターゲット 600a とターゲット 600b とが平行に向かい合って配置されている。また、マグネットユニット 630a とマグネットユニット 630b とが、マグネットの異なる極を向かい合わせるように配置されている。このとき、磁力線は、マグネットユニット 630b からマグネットユニット 630a に向かう。そのため、成膜時には、マグネットユニット 630a とマグネットユニット 630b とで形成される磁場にプラズマ 640 が閉じ込められる。よって、基板ホルダ 670 および基板 660 は、プラズマ 640 の外側に位置する。基板 660 がプラズマ 640 の高電界領域に曝されないため、プラズマ 640 による損傷を低減させることができる。
20

【0157】

対向ターゲット式スパッタリング装置は、高真空であってもプラズマを安定に生成することができる。例えば、0.005Pa 以上 0.09Pa 以下でも成膜が可能である。そのため、成膜時に混入する不純物の濃度を低減することができる。

【0158】

対向ターゲット式スパッタリング装置を用いることによって、高真空での成膜が可能となるため、またプラズマによる損傷の少ない成膜が可能となるため、基板 660 の温度が低い場合でも結晶性の高い膜を成膜することができる。例えば、基板 660 の温度が、10 以上 100 未満であっても結晶性の高い膜を成膜することができる。
30

【0159】

図 9 (A) に示す構成は、ターゲット 600a とターゲット 600b とが平行ではなく、傾いた状態で向かい合って (V 字状に) 配置されている点が図 8 (A) に示した構成と異なる。よって、ターゲットの配置以外については、図 8 (A) の説明を参照する。また、マグネットユニット 630a とマグネットユニット 630b とが異なる極が向かい合うように配置されている。基板ホルダ 670 および基板 660 は、ターゲット間領域の上に配置される。ターゲット 600a およびターゲット 600b を、図 9 (A) に示すような配置とすることで、基板 660 に到達するスパッタ粒子の割合が高くなるため、堆積速度を高くすることができる。
40

【0160】

図 9 (B) に、対向ターゲット式スパッタリング装置の別の例を示す。

【0161】

図 9 (B) は、対向ターゲット式スパッタリング装置における成膜室の断面模式図である。図 8 (A) に示す成膜室とは異なり、ターゲットシールド 622 およびターゲットシールド 623 が設けられている。また、バッキングプレート 610a およびバッキングプレート 610b と接続する電源 691 を有する。基板ホルダ 670 は、ターゲット間領域の上側に配置される。これにより、基板 660 がプラズマ 640 の高電界領域に曝されないため、プラズマ 640 による損傷を低減させることができる。

【0162】

また、図9(B)に示すように、基板ホルダ670は、ターゲット間領域の上側に配置されるが、下側に配置されても構わない。また、下側および上側に配置されても構わない。下側および上側に基板ホルダ670を配置することにより、二以上の基板を同時に成膜することができるため、生産性を高めることができる。

【0163】

また、図9(B)に示すように、ターゲットシールド622およびターゲットシールド623は、GNDに接続されている。つまり、電源691の電位が与えられたバッキングプレート610aおよびバッキングプレート610bと、GNDが与えられたターゲットシールド622およびターゲットシールド623と、の間に印加される電位差によって、プラズマ640が形成される。

10

【0164】

以上に示した対向ターゲット式スパッタリング装置は、プラズマがターゲット間の磁場に閉じこめられるため、基板へのプラズマダメージを低減することができる。また、ターゲットの傾きによって、基板へのスパッタ粒子の入射角度を浅くすることができるため、堆積される膜の段差被覆性を高めることができる。また、高真空における成膜が可能であるため、膜に混入する不純物の濃度を低減することができる。

【0165】

なお、成膜室に、平行平板型スパッタリング装置、イオンビームスパッタリング装置を適用しても構わない。

【0166】

20

<成膜装置>

以下では、本発明の一態様に係るスパッタリング用ターゲットを設置することが可能な成膜室を有する成膜装置について説明する。

【0167】

まずは、成膜時などに膜中に不純物の混入が少ない成膜装置の構成について図10および図11を用いて説明する。

【0168】

図10は、枚葉式マルチチャンバーの成膜装置2700の上面図を模式的に示している。成膜装置2700は、基板を収容するカセットポート2761と、基板のアライメントを行うアライメントポート2762と、を備える大気側基板供給室2701と、大気側基板供給室2701から、基板を搬送する大気側基板搬送室2702と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室2703aと、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室2703bと、真空中の基板の搬送を行う搬送室2704と、基板の加熱を行う基板加熱室2705と、ターゲットが配置され成膜を行う成膜室2706a、成膜室2706bおよび成膜室2706cと、を有する。なお、成膜室2706a、成膜室2706bおよび成膜室2706cは、上述した成膜室の構成を参照することができる。

30

【0169】

また、大気側基板搬送室2702は、ロードロック室2703aおよびアンロードロック室2703bと接続され、ロードロック室2703aおよびアンロードロック室2703bは、搬送室2704と接続され、搬送室2704は、基板加熱室2705、成膜室2706a、成膜室2706bおよび成膜室2706cと接続する。

40

【0170】

なお、各室の接続部にはゲートバルブ2764が設けられており、大気側基板供給室2701と、大気側基板搬送室2702を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室2702および搬送室2704は、搬送口ポート2763を有し、基板を搬送することができる。

【0171】

また、基板加熱室2705は、プラズマ処理室を兼ねると好ましい。成膜装置2700は

50

、処理と処理の間で基板を大気暴露することなく搬送することができるため、基板に不純物が吸着することを抑制できる。また、成膜や熱処理などの順番を自由に構築することができる。なお、搬送室、成膜室、ロードロック室、アンロードロック室および基板加熱室は、上述の数に限定されず、設置スペースやプロセス条件に合わせて、適宜最適な数を設けることができる。

【0172】

次に、図10に示す成膜装置2700の一点鎖線X1-X2、一点鎖線Y1-Y2、および一点鎖線Y2-Y3に相当する断面を図11に示す。

【0173】

図11(A)は、基板加熱室2705と、搬送室2704の断面を示しており、基板加熱室2705は、基板を収容することができる複数の加熱ステージ2765を有している。
10 なお、基板加熱室2705は、バルブを介して真空ポンプ2770と接続されている。真空ポンプ2770としては、例えば、ドライポンプ、およびメカニカルブースターポンプ等を用いることができる。

【0174】

また、基板加熱室2705に用いることのできる加熱機構としては、例えば、抵抗発熱体などを用いて加熱する加熱機構としてもよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)、LRTA(Lamp Rapid Thermal Anneal)などのRTA(Rapid Thermal Anneal)を用いることができる。LRTAは、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する。GRTAは、高温のガスを用いて熱処理を行う。ガスとしては、不活性ガスが用いられる。

【0175】

また、基板加熱室2705は、マスフローコントローラ2780を介して、精製機2781と接続される。なお、マスフローコントローラ2780および精製機2781は、ガス種の数だけ設けられるが、理解を容易にするため一つのみを示す。基板加熱室2705に導入されるガスは、露点が-80以下、好ましくは-100以下であるガスを用いることができ、例えば、酸素ガス、窒素ガス、および希ガス(アルゴンガスなど)を用いる。
20

【0176】

搬送室2704は、搬送口ボット2763を有している。搬送口ボット2763は、各室へ基板を搬送することができる。また、搬送室2704は、バルブを介して真空ポンプ2770と、クライオポンプ2771と、接続されている。このような構成とすることで、搬送室2704は、大気圧から低真空または中真空(0.1から数百Pa程度)まで真空ポンプ2770を用いて排気され、バルブを切り替えて中真空から高真空または超高真空(0.1Paから 1×10^{-7} Pa)まではクライオポンプ2771を用いて排気される。

【0177】

また、例えば、クライオポンプ2771は、搬送室2704に対して2台以上並列に接続してもよい。このような構成とすることで、1台のクライオポンプがリジェネ中であっても、残りのクライオポンプを使って排気することが可能となる。なお、上述したリジェネとは、クライオポンプ内にため込まれた分子(または原子)を放出する処理をいう。クライオポンプは、分子(または原子)をため込みすぎると排気能力が低下してくるため、定期的にリジェネが行われる。

【0178】

図11(B)は、成膜室2706bと、搬送室2704と、ロードロック室2703aの断面を示している。

【0179】

10

20

30

40

50

ここで、図11(B)を用いて、成膜室(スパッタリング室)の詳細について説明する。図11(B)に示す成膜室2706bは、ターゲット2766aと、ターゲット2766bと、ターゲットシールド2767aと、ターゲットシールド2767bと、マグネットユニット2790aと、マグネットユニット2790bと、基板ホルダ2768と、電源2791と、を有する。図示しないが、ターゲット2766aおよびターゲット2766bは、それぞれバッキングプレートを介してターゲットホルダに固定される。また、ターゲット2766aおよびターゲット2766bには、電源2791が電気的に接続されている。マグネットユニット2790aおよびマグネットユニット2790bは、それぞれターゲット2766aおよびターゲット2766bの背面に配置される。ターゲットシールド2767aおよびターゲットシールド2767bは、それぞれターゲット2766aおよびターゲット2766bの端部を囲うように配置される。なお、ここでは基板ホルダ2768には、基板2769が支持されている。基板ホルダ2768は、可変部材2784を介して成膜室2706bに固定される。可変部材2784によって、基板ホルダ2768を移動させることができる。基板ホルダ2768は、ターゲット2766aとターゲット2766bとの間の領域(ターゲット間領域ともいう。)の上側に配置される。例えば、基板2769を支持した基板ホルダ2768をターゲット間領域の上側に配置することによって、プラズマによる損傷を低減させることができる。また、基板ホルダ2768は、図示しないが、基板2769を保持する基板保持機構や、基板2769を背面から加熱するヒーター等を備えていてもよい。

【0180】

10

また、図11(B)に示すように、基板ホルダ2768は、ターゲット間領域の上側に配置されるが、下側に配置されても構わない。また、下側および上側に配置されても構わない。下側および上側に基板ホルダ2768を配置することにより、二以上の基板を同時に成膜することができるため、生産性を高めることができる。

【0181】

20

また、ターゲットシールド2767によって、ターゲット2766からスパッタリングされる粒子が不要な領域に堆積することを抑制できる。ターゲットシールド2767は、累積されたスパッタ粒子が剥離しないように、加工することが望ましい。例えば、表面粗さを増加させるブラスト処理、またはターゲットシールド2767の表面に凹凸を設けてよい。

30

【0182】

また、成膜室2706bは、ガス加熱機構2782を介してマスフローコントローラ2780と接続され、ガス加熱機構2782はマスフローコントローラ2780を介して精製機2781と接続される。ガス加熱機構2782により、成膜室2706bに導入されるガスを40以上400以下に加熱することができる。なお、ガス加熱機構2782、マスフローコントローラ2780、および精製機2781は、ガス種の数だけ設けられるが、理解を容易にするため一つのみを示す。成膜室2706bに導入されるガスは、露点が-80以下、好ましくは-100以下であるガスを用いることができ、例えば、酸素ガス、窒素ガス、および希ガス(アルゴンガスなど)を用いる。

【0183】

40

なお、ガスの導入口の直前に精製機を設ける場合、精製機から成膜室2706bまでの配管の長さを10m以下、好ましくは5m以下、さらに好ましくは1m以下とする。配管の長さを10m以下、5m以下または1m以下とすることで、配管からの放出ガスの影響を長さに応じて低減できる。さらに、ガスの配管には、フッ化鉄、酸化アルミニウム、酸化クロムなどで内部が被覆された金属配管を用いるとよい。前述の配管は、例えばSUS316L-EP配管と比べ、不純物を含むガスの放出量が少なく、ガスへの不純物の入り込みを低減できる。また、配管の継手には、高性能超小型メタルガスケット継手(UPG継手)を用いるとよい。また、配管を全て金属で構成することで、樹脂等を用いた場合と比べ、生じる放出ガスおよび外部リークの影響を低減できて好ましい。

【0184】

50

また、成膜室 2706b は、バルブを介してターボ分子ポンプ 2772 および真空ポンプ 2770 と接続される。

【0185】

また、成膜室 2706b は、クライオトラップ 2751 が設けられる。

【0186】

クライオトラップ 2751 は、水などの比較的融点の高い分子（または原子）を吸着することができる機構である。ターボ分子ポンプ 2772 は大きいサイズの分子（または原子）を安定して排気し、かつメンテナンスの頻度が低いため、生産性に優れる一方、水素や水の排気能力が低い。そこで、水などに対する排気能力を高めるため、クライオトラップ 2751 が成膜室 2706b に接続された構成としている。クライオトラップ 2751 の冷凍機の温度は 100K 以下、好ましくは 80K 以下とする。また、クライオトラップ 2751 が複数の冷凍機を有する場合、冷凍機ごとに温度を変えると、効率的に排気することが可能となるため好ましい。例えば、1 段目の冷凍機の温度を 100K 以下とし、2 段目の冷凍機の温度を 20K 以下とすればよい。なお、クライオトラップに替えて、チタンサブリメーションポンプを用いることで、さらに高真空とすることができる場合がある。また、クライオポンプやターboro 分子ポンプに替えてイオンポンプを用いることでもさらに高真空とすることができる場合がある。10

【0187】

なお、成膜室 2706b の排気方法は、これに限定されず、先の搬送室 2704 に示す排気方法（クライオポンプと真空ポンプとの排気方法）と同様の構成としてもよい。もちろん、搬送室 2704 の排気方法を成膜室 2706b と同様の構成（ターboro 分子ポンプと真空ポンプとの排気方法）としてもよい。20

【0188】

なお、上述した搬送室 2704、基板加熱室 2705、および成膜室 2706b の背圧（全圧）、ならびに各気体分子（原子）の分圧は、以下の通りとすると好ましい。とくに、形成される膜中に不純物が混入され得る可能性があるので、成膜室 2706b の背圧、ならびに各気体分子（原子）の分圧には注意する必要がある。

【0189】

上述した各室の背圧（全圧）は、 1×10^{-4} Pa 以下、好ましくは 3×10^{-5} Pa 以下、さらに好ましくは 1×10^{-5} Pa 以下である。上述した各室の質量電荷比 (m/z) が 18 である気体分子（原子）の分圧は、 3×10^{-5} Pa 以下、好ましくは 1×10^{-5} Pa 以下、さらに好ましくは 3×10^{-6} Pa 以下である。また、上述した各室の m/z が 28 である気体分子（原子）の分圧は、 3×10^{-5} Pa 以下、好ましくは 1×10^{-5} Pa 以下、さらに好ましくは 3×10^{-6} Pa 以下である。また、上述した各室の m/z が 44 である気体分子（原子）の分圧は、 3×10^{-5} Pa 以下、好ましくは 1×10^{-5} Pa 以下、さらに好ましくは 3×10^{-6} Pa 以下である。30

【0190】

なお、真空チャンバー内の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製四重極形質量分析計 (Q-massともいう。) Qulee CGM-051 を用いればよい。40

【0191】

また、上述した搬送室 2704、基板加熱室 2705、および成膜室 2706b は、外部リーケまたは内部リーケが少ない構成とすることが望ましい。

【0192】

例えば、上述した搬送室 2704、基板加熱室 2705、および成膜室 2706b のリーケートは、 3×10^{-6} Pa · m³ / s 以下、好ましくは 1×10^{-6} Pa · m³ / s 以下である。また、m/z が 18 である気体分子（原子）のリーケートが 1×10^{-7} Pa · m³ / s 以下、好ましくは 3×10^{-8} Pa · m³ / s 以下である。また、m/z が 28 である気体分子（原子）のリーケートが 1×10^{-5} Pa · m³ / s 以下、好ましくは 1×10^{-6} Pa · m³ / s 以下である。また、m/z が 44 である気体分子（原50

子) のリークレートが 3×10^{-6} Pa · m³ / s 以下、好ましくは 1×10^{-6} Pa · m³ / s 以下である。

【0193】

なお、リークレートに関しては、前述の質量分析計を用いて測定した全圧および分圧から導出すればよい。

【0194】

リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴やシール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面から対策をとる必要がある。
10

【0195】

例えば、成膜室 2706b の開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属を用いると好ましい。メタルガスケットは O リングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

【0196】

また、成膜装置 2700 を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の部材を鉄、クロムおよびニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくと、放出ガスを低減できる。
20

【0197】

または、前述の成膜装置 2700 の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

【0198】

成膜装置 2700 の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。
30

【0199】

成膜室に存在する吸着物は、内壁などに吸着しているために成膜室の圧力に影響しないが、成膜室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相關はないものの、排気能力の高いポンプを用いて、成膜室に存在する吸着物をできる限り脱離し、あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、成膜室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を 10 倍程度大きくすることができる。ベーキングは 100 以上 450 以下で行えばよい。このとき、不活性ガスを成膜室に導入しながら吸着物の除去を行うと、排気するだけでは脱離しつらい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして希ガスを用いると好ましい。また、成膜する膜種によっては不活性ガスの代わりに酸素などを用いても構わない。例えば、酸化物を成膜する場合は、主成分である酸素を用いた方が好ましい場合もある。なお、ベーキングは、ランプを用いて行うと好ましい。
40

【0200】

または、加熱した希ガスなどの不活性ガスまたは酸素などを導入することで成膜室内の圧力を高め、一定時間経過後に再び成膜室を排気する処理を行うと好ましい。加熱したガスの導入により成膜室内の吸着物を脱離させることができ、成膜室内に存在する不純物を低
50

減することができる。なお、この処理は2回以上30回以下、好ましくは5回以上15回以下の範囲で繰り返し行うと効果的である。具体的には、温度が40以上400以下、好ましくは50以上200以下である不活性ガスまたは酸素などを導入することで成膜室内の圧力を0.1Pa以上10kPa以下、好ましくは1Pa以上1kPa以下、さらに好ましくは5Pa以上100Pa以下とし、圧力を保つ期間を1分以上300分以下、好ましくは5分以上120分以下とすればよい。その後、成膜室を5分以上300分以下、好ましくは10分以上120分以下の期間排気する。

【0201】

また、ダミー成膜を行うことでも吸着物の脱離速度をさらに高めることができる。ダミー成膜とは、ダミー基板に対してスパッタリング法などによる成膜を行うことで、ダミー基板および成膜室内壁に膜を堆積させ、成膜室内の不純物および成膜室内壁の吸着物を膜中に閉じこめることをいう。ダミー基板は、放出ガスの少ない基板が好ましい。ダミー成膜を行うことで、後に成膜される膜中の不純物濃度を低減することができる。なお、ダミー成膜はベーキングと同時にあってもよい。

【0202】

次に、図11(B)に示す搬送室2704、およびロードロック室2703aと、図11(C)に示す大気側基板搬送室2702、および大気側基板供給室2701の詳細について以下説明を行う。なお、図11(C)は、大気側基板搬送室2702、および大気側基板供給室2701の断面を示している。

【0203】

図11(B)に示す搬送室2704については、図11(A)に示す搬送室2704の記載を参照する。

【0204】

ロードロック室2703aは、基板受け渡しステージ2752を有する。ロードロック室2703aは、減圧状態から大気まで圧力を上昇させ、ロードロック室2703aの圧力が大気圧になった時に、大気側基板搬送室2702に設けられている搬送口ボット2763から基板受け渡しステージ2752に基板を受け取る。その後、ロードロック室2703aを真空引きし、減圧状態としたのち、搬送室2704に設けられている搬送口ボット2763が基板受け渡しステージ2752から基板を受け取る。

【0205】

また、ロードロック室2703aは、バルブを介して真空ポンプ2770、およびクライオポンプ2771と接続されている。真空ポンプ2770、およびクライオポンプ2771の排気系の接続方法は、搬送室2704の接続方法を参考とすることで接続できるため、ここでの説明は省略する。なお、図10に示すアンロードロック室2703bは、ロードロック室2703aと同様の構成とすることができます。

【0206】

大気側基板搬送室2702は、搬送口ボット2763を有する。搬送口ボット2763により、カセットポート2761とロードロック室2703aとの基板の受け渡しを行うことができる。また、大気側基板搬送室2702、および大気側基板供給室2701の上方にHEPAフィルタ(High Efficiency Particulate Air Filter)等のゴミまたはパーティクルを清浄化するための機構を設けてよい。

【0207】

大気側基板供給室2701は、複数のカセットポート2761を有する。カセットポート2761は、複数の基板を収容することができる。

【0208】

ターゲットは、表面温度が100以下、好ましくは50以下、さらに好ましくは室温程度(代表的には25)とする。大面積の基板に対応するスパッタリング装置では大面積のターゲットを用いることが多い。ところが、大面積に対応した大きさのターゲットをつなぎ目なく作製することは困難である。現実には複数のターゲットとなるべく隙間のな

10

20

30

40

50

いように並べて大きな形状としているが、どうしても僅かな隙間が生じてしまう。こうした僅かな隙間から、ターゲットの表面温度が高まることで亜鉛などが揮発し、徐々に隙間が広がっていくことがある。隙間が広がると、バッキングプレートや、バッキングプレートとターゲットとの接合に用いているボンディング材の金属がスパッタリングされたり、不純物濃度を高める要因となる。したがって、ターゲットは、十分に冷却されていることが好ましい。

【0209】

具体的には、バッキングプレートとして、高い導電性および高い放熱性を有する金属（具体的には銅）を用いる。また、バッキングプレート内に水路を形成し、水路に十分な量の冷却水を流すことで、効率的にターゲットを冷却できる。

10

【0210】

なお、ターゲットが亜鉛を含む場合、酸素ガス雰囲気で成膜することにより、プラズマダメージが軽減され、亜鉛の揮発が起こりにくい酸化物を得ることができる。

【0211】

上述した成膜装置を用いることで、水素濃度が、二次イオン質量分析法（S I M S : Secondary Ion Mass Spectrometry）において、 2×10^0 atoms / cm³ 以下、好ましくは 5×10^{-9} atoms / cm³ 以下、より好ましくは 1×10^{-9} atoms / cm³ 以下、さらに好ましくは 5×10^{-8} atoms / cm³ 以下である酸化物半導体を成膜することができる。

20

【0212】

また、窒素濃度が、S I M Sにおいて、 5×10^{-9} atoms / cm³ 未満、好ましくは 1×10^{-9} atoms / cm³ 以下、より好ましくは 5×10^{-8} atoms / cm³ 以下、さらに好ましくは 1×10^{-8} atoms / cm³ 以下である酸化物半導体を成膜することができる。

【0213】

また、炭素濃度が、S I M Sにおいて、 5×10^{-9} atoms / cm³ 未満、好ましくは 5×10^{-8} atoms / cm³ 以下、より好ましくは 1×10^{-8} atoms / cm³ 以下、さらに好ましくは 5×10^{-7} atoms / cm³ 以下である酸化物半導体を成膜することができる。

30

【0214】

不純物及び酸素欠損の少ない酸化物は、キャリア密度の低い酸化物である。具体的には、キャリア密度を 8×10^{-11} / cm³ 未満、好ましくは 1×10^{-11} / cm³ 未満、さらに好ましくは 1×10^{-10} / cm³ 未満であり、 1×10^{-9} / cm³ 以上とすることができます。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O Sは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物であるといえる。

【0215】

また、T D Sによるm/zが2（水素分子など）である気体分子（原子）、m/zが18である気体分子（原子）、m/zが28である気体分子（原子）及びm/zが44である気体分子（原子）の放出量が、それぞれ 1×10^{-9} 個 / cm³ 以下、好ましくは 1×10^{-8} 個 / cm³ 以下である酸化物半導体を成膜することができる。

40

【0216】

以上の成膜装置を用いることで、酸化物への不純物の混入を抑制できる。さらには、以上の成膜装置を用いて、酸化物に接する膜を成膜することで、酸化物に接する膜から酸化物へ不純物が混入することを抑制できる。

【0217】

以上、本実施の形態に示す構成は、他の実施の形態または他の実施例に示す構成と適宜、組み合わせて用いることができる。

【0218】

（実施の形態3）

50

本実施の形態では、半導体装置の一形態を、図12乃至図22を用いて説明する。

【0219】

<トランジスタ構造1>

以下では、本発明の一態様に係るトランジスタの一例について説明する。図12(A)、図12(B)、および図12(C)は、本発明の一態様に係るトランジスタの上面図および断面図である。図12(A)は上面図であり、図12(B)は、図12(A)に示す一点鎖線X1-X2、図12(C)は、一点鎖線Y1-Y2に対応する断面図である。なお、図12(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0220】

トランジスタ200は、ゲート電極として機能する導電体205(導電体205a、および導電体205b)、および導電体260と、ゲート絶縁層として機能する絶縁体220、絶縁体222、絶縁体224、および絶縁体250と、チャネルが形成される領域を有する酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、ソースまたはドレインの一方として機能する導電体240aと、ソースまたはドレインの他方として機能する導電体240bと、過剰酸素を有する絶縁体280と、バリア性を有する絶縁体282と、を有する。

【0221】

また、酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。なお、トランジスタ200をオンさせると、主として酸化物230bに電流が流れる(チャネルが形成される)。一方、酸化物230aおよび酸化物230cは、酸化物230bとの界面近傍(混合領域となっている場合もある)は電流が流れる場合があるものの、そのほかの領域は絶縁体として機能する場合がある。

【0222】

また、図12に示すように、酸化物230cは、酸化物230a、および酸化物230bの側面を覆うように設けることが好ましい。絶縁体280と、チャネルが形成される領域を有する酸化物230bとの間に、酸化物230cが介在することにより、絶縁体280から、水素、水、およびハロゲン等の不純物が、酸化物230bへ拡散することを抑制することができる。

【0223】

導電体205には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タンガステン膜)等である。特に、窒化タンタル膜などの金属窒化物膜は、水素または酸素に対するバリア性があり、また、酸化しにくい(耐酸化性が高い)ため、好ましい。又は、インジウム錫酸化物、酸化タンガステンを含むインジウム酸化物、酸化タンガステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0224】

例えば、導電体205aとして、水素に対するバリア性を有する導電体として、窒化タンタル等を用い、導電体205bとして、導電性が高いタンガステンを積層するとよい。当該組み合わせを用いることで、配線としての導電性を保持したまま、酸化物230への水素の拡散を抑制することができる。なお、図12では、導電体205a、および導電体205bの2層構造を示したが、当該構成に限定されず、単層でも3層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0225】

絶縁体224は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。特に、絶縁体224としては、過剰酸素を含む(化学量論的組成よりも

10

20

30

40

50

過剰に酸素を含む)絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を、トランジスタ200を構成する酸化物230に接して設けることにより、酸化物230中の酸素欠損を補償することができる。

【0226】

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222は、酸素、水素、および水に対するバリア性を有することが好ましい。絶縁体222が、酸素に対するバリア性を有することで、過剰酸素領域の酸素は、トランジスタ300側へ拡散することなく、効率よく酸化物230へ供給することができる。また、導電体205が、絶縁体224が有する過剰酸素領域の酸素と反応することを抑制することができる。

【0227】

絶縁体222は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニア、チタン酸ジルコニア酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)または(Ba, Sr)TiO₃(BST)などの絶縁体を単層または積層で用いることが好ましい。特に、酸化アルミニウム、および酸化ハフニウム、などの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。このような材料を用いて形成した場合、酸化物230からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

【0228】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化ジルコニアを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0229】

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0230】

また、絶縁体220及び絶縁体224の間に、high-k材料を含む絶縁体222を有することで、特定の条件で絶縁体222が電子を捕獲し、しきい値電圧を増大させることができる。つまり、絶縁体222が負に帯電する場合がある。

【0231】

例えば、絶縁体220、および絶縁体224に、酸化シリコンを用い、絶縁体222に、酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用いた場合、半導体装置の使用温度、あるいは保管温度よりも高い温度(例えば、125以上450以下、代表的には150以上300以下)の下で、導電体205の電位をソース電極やドレイン電極の電位より高い状態を、10ミリ秒以上、代表的には1分以上維持することで、トランジスタ200を構成する酸化物から導電体205に向かって、電子が移動する。この時、移動する電子の一部が、絶縁体222の電子捕獲準位に捕獲される。

【0232】

絶縁体222の電子捕獲準位に必要な量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。なお、導電体205の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。当該構成を有することで、トランジスタ200は、ゲート電圧が0Vであっても非導通状態(オフ状態ともいう)であるノーマリーオフ型のトランジスタとなる。

【0233】

また、電子を捕獲する処理は、トランジスタの作製過程におこなえばよい。例えば、トランジスタのソース導電体あるいはドレイン導電体に接続する導電体の形成後、あるいは、前工程(ウェハー処理)の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。

10

20

30

40

50

【0234】

また、絶縁体220、絶縁体222、および絶縁体224の膜厚を適宜調整することで、しきい値電圧を制御することができる。例えば、絶縁体220、絶縁体222、および絶縁体224の合計膜厚が薄くすることで導電体205からの電圧が効率的にかかる為、消費電力が低いトランジスタを提供することができる。絶縁体220、絶縁体222、および絶縁体224の合計膜厚は、65nm以下、好ましくは20nm以下であることが好ましい。

【0235】

従って、非導通時のリーク電流の小さいトランジスタを提供することができる。また、安定した電気特性を有するトランジスタを提供することができる。または、オン電流の大きいトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

10

【0236】

酸化物230a、酸化物230b、および酸化物230cは、In-M-Zn酸化物(MはAl、Ga、Y、またはSn)等の金属酸化物で形成される。また、酸化物230として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

【0237】

なお、酸化物230bに用いる酸化物として、先の実施の形態で説明した酸化物半導体を用いることができる。

20

【0238】

また、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を有する(主成分とする)ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230a、酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

【0239】

このとき、キャリアの主たる経路は酸化物230bとなる。酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

30

【0240】

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物230a、酸化物230cを設けることにより、トラップ準位を酸化物230bより遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

【0241】

酸化物230a、酸化物230cは、酸化物230bと比較して、導電率が十分に低い材料を用いる。このとき、酸化物230b、酸化物230bと酸化物230aとの界面、および酸化物230bと酸化物230cとの界面が、主にチャネル領域として機能する。

40

【0242】

例えば、酸化物230bに、図5の領域A2と、領域B2とが、複合体を形成している酸化物を用いる場合、酸化物230aおよび酸化物230cには、[M]/[In]が1以上、好ましくは2以上である酸化物を用いることが好ましい。また、酸化物230cとして、十分に高い絶縁性を得ることができる[M]/([Zn]+[In])が1以上である酸化物を用いることが好適である。

【0243】

絶縁体250は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニア、チタン酸ジルコン酸鉛

50

(P Z T)、チタン酸ストロンチウム(SrTiO₃)または(Ba, Sr)TiO₃(B S T)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニアを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0244】

また、絶縁体250は、絶縁体224と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減することができる。10

【0245】

また、絶縁体250は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの、酸素や水素に対してバリア性のある絶縁膜を用いることができる。このような材料を用いて形成した場合、酸化物230からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

【0246】

なお、絶縁体250は、絶縁体220、絶縁体222、および絶縁体224と同様の積層構造を有していてもよい。絶縁体250が、電子捕獲準位に必要な量の電子を捕獲させた絶縁体を有することで、トランジスタ200は、しきい値電圧をプラス側にシフトすることができる。当該構成を有することで、トランジスタ200は、ゲート電圧が0Vであっても非導通状態(オフ状態ともいう)であるノーマリーオフ型のトランジスタとなる。20

【0247】

また、図12に示すトランジスタにおいて、酸化物230と導電体260の間に、絶縁体250の他にバリア膜を設けてもよい。もしくは、酸化物230cにバリア性があるものを用いてもよい。

【0248】

例えば、過剰酸素を含む絶縁膜を酸化物230に接して設け、さらにバリア膜で包み込むことで、酸化物を化学量論比組成とほぼ一致するような状態、または化学量論的組成より酸素が多い過飽和の状態とすることができます。また、酸化物230への水素等の不純物の侵入を防ぐことができる。30

【0249】

導電体240aと、および導電体240bは、一方がソース電極として機能し、他方がドレイン電極として機能する。

【0250】

導電体240aと、導電体240bとは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニア、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。特に、窒化タンタル膜などの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。40

【0251】

また、図では単層構造を示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層するとよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

【0252】

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する50

三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0253】

また、ゲート電極として機能を有する導電体260は、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。特に、窒化タンタル膜などの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、図では単層構造を示したが、2層以上の積層構造としてもよい。

10

【0254】

例えば、アルミニウム上にチタン膜を積層する二層構造とするとよい。また、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタンクステン膜を積層する二層構造、窒化タンタル膜または窒化タンクステン膜上にタンクステン膜を積層する二層構造としてもよい。

【0255】

また、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タンクステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

20

【0256】

また、導電体260は、インジウム錫酸化物、酸化タンクステンを含むインジウム酸化物、酸化タンクステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0257】

30

続いて、トランジスタ200の上方には、絶縁体280、および絶縁体282を設ける。

【0258】

絶縁体280には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。つまり、絶縁体280には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。特に、トランジスタ200に酸化物半導体を用いる場合、トランジスタ200近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ200の酸素欠損を低減することで、信頼性を向上させることができる。

【0259】

40

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms/cm³以上、好ましくは 3.0×10^{20} atoms/cm³以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100以上700以下、または100以上500以下の範囲が好ましい。

【0260】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

50

【0261】

また、トランジスタ200を覆う絶縁体280は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0262】

絶縁体282は、例えば、酸化アルミニウム、および酸化ハフニウム、などの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。このような材料を用いて形成した場合、酸化物230からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

【0263】

上記構成を有することで、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、上記構成を有するトランジスタを半導体装置に用いることで、半導体装置の電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、消費電力が低減された半導体装置を提供することができる。10

【0264】

<トランジスタ構造2>

図13には、トランジスタ200に適応できる構造の一例を示す。図13(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図13(A)において一部の膜は省略されている。また、図13(B)は、図13(A)に示す一点鎖線X1-X2に対応する断面図であり、図13(C)はY1-Y2に対応する断面図である。20

【0265】

なお、図13に示すトランジスタ200において、図12に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

【0266】

図13に示す構造は、導電体260を、2層構造で設けている。例えば、導電体260aとして、In-Ga-Zn酸化物に代表される酸化物を用いることができる。In-Ga-Zn酸化物に代表される酸化物半導体は、窒素または水素が供給されることで、キャリア密度が高くなる。別言すると、酸化物導電体(Oxide Conductor)として機能する。そこで、導電体260bとして、金属窒化物を設けることで、酸化物半導体はキャリア密度が高くなるため、導電体260aはゲート電極として機能する。30

【0267】

導電体260aとして、In-Ga-Zn酸化物に代表される酸化物半導体を用いることができる。また、導電体260aとして、インジウム錫酸化物(Indium Tin Oxide:ITO)、酸化タンクス滕を含むインジウム酸化物、酸化タンクス滕を含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを含むインジウム錫酸化物(Indium-Silicon Oxide:ITSOともいう)等の透光性を有する導電性材料を適用することもできる。

【0268】

導電体260bとして、金属窒化物を用いることで、金属窒化物中の構成元素(特に窒素)が導電体260aに拡散し低抵抗化する、また、導電体260bの成膜時のダメージ(例えば、スパッタリングダメージなど)により低抵抗化することができる。なお、導電体260bを、2層以上の積層構造としてもよい。例えば、金属窒化物上に、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。40

【0269】

また、導電体260aの形成方法としては、スパッタリング法を用い、形成時に酸素ガスを含む雰囲気で形成することが好ましい。形成時に酸素ガスを含む雰囲気で導電体260aを形成することで、絶縁体250中に、過剰酸素領域を形成することができる。なお、導電体260aの形成方法としては、スパッタリング法に限定されず、その他の方法、例えばALD法を用いてもよい。

【0270】

さらに、図13に示す構造は、導電体260を覆うように、絶縁体270を設ける。絶縁体280に酸素が脱離する酸化物材料を用いる場合、絶縁体270は、酸素に対してバリア性を有する物質を用いる。当該構成により、導電体260aの酸素欠損が補償されることで、キャリア密度が低下することを抑制し、また、導電体260bが、拡散した酸素により酸化することを防止することができる。

【0271】

例えば、絶縁体270には、酸化アルミニウムなどの金属酸化物を用いることができる。また絶縁体270は、導電体260の酸化を防止する程度の膜厚で設けられていればよい。

10

【0272】

また、図に示すように、絶縁体220、および絶縁体222を設けず、バリア性を有する導電体を用いて、導電体205cを設けてもよい。本構成とすることで、絶縁体224が過剰酸素領域を有する場合でも、導電体205bが、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

【0273】

また、導電体240a、および導電体240b上に、絶縁体243a、および絶縁体243bを設けてもよい。絶縁体243a、および絶縁体243bは、酸素に対してバリア性を有する物質を用いる。当該構成により、導電体240a、および導電体240bが、酸化物230cを成膜する際に、酸化することを抑制することができる。また、絶縁体280が有する過剰酸素領域の酸素が、導電体240a、および導電体240bと反応し、酸化することを防止することができる。

20

【0274】

絶縁体243a、および絶縁体243bには、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

【0275】

従って、当該構成とすることで、導電体240a、導電体240b、導電体205、および導電体260の材料選択の幅を広げることができる。例えば、導電体205b、および導電体260bに、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

30

【0276】

また、導電体205、および導電体260の酸化を抑制し、絶縁体224、および絶縁体280から、脱離した酸素を効率的に酸化物230へと供給することができる。また、導電体205、および導電体260に導電性が高い導電体を用いることで、消費電力が小さいトランジスタ200を提供することができる。

【0277】

<トランジスタ構造3>

図14には、トランジスタ200に適応できる構造の一例を示す。図14(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図14(A)において一部の膜は省略されている。また、図14(B)は、図14(A)に示す一点鎖線X1-X2に対応する断面図であり、図14(C)はY1-Y2に対応する断面図である。

40

【0278】

なお、図14に示すトランジスタ200において、図12に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

【0279】

図14に示す構造は、導電体260を、2層構造で設けている。2層構造としては、同じ材料を積層して設けてもよい。例えば、導電体260aは、熱CVD法、MOCVD法ま

50

たは A L D 法を用いて形成する。特に、A L D 法を用いて形成することが好ましい。A L D 法等により形成することで、絶縁体 2 5 0 に対する成膜時のダメージを減らすことができる。また、A L D 法等により形成することで、被覆性の高い導電体 2 6 0 a を成膜することができる。従って、信頼性が高いトランジスタ 2 0 0 を提供することができる。

【 0 2 8 0 】

続いて、導電体 2 6 0 b はスパッタリング法を用いて形成する。この時、絶縁体 2 5 0 上に、導電体 2 6 0 a を有することで、導電体 2 6 0 b の成膜時のダメージが、絶縁体 2 5 0 に影響することを抑制することができる。また、A L D 法と比較して、スパッタリング法は成膜速度が速いため、歩留まりが高く、生産性を向上させることができる。

【 0 2 8 1 】

さらに、図 1 4 に示す構造は、導電体 2 6 0 を覆うように、絶縁体 2 7 0 を設ける。絶縁体 2 8 0 に酸素が脱離する酸化物材料を用いる場合、絶縁体 2 7 0 は、酸素に対してバリア性を有する物質を用いる。当該構成により、導電体 2 6 0 a の酸素欠損が補償されることで、キャリア密度が低下することを抑制し、また、導電体 2 6 0 b が、拡散した酸素により酸化することを防止することができる。

【 0 2 8 2 】

例えば、絶縁体 2 7 0 には、酸化アルミニウムなどの金属酸化物を用いることができる。また絶縁体 2 7 0 は、導電体 2 6 0 の酸化を防止する程度の膜厚で設けられていればよい。

【 0 2 8 3 】

<トランジスタ構造 4 >

図 1 5 には、トランジスタ 2 0 0 に適応できる構造の一例を示す。図 1 5 (A) はトランジスタ 2 0 0 の上面を示す。なお、図の明瞭化のため、図 1 5 (A) において一部の膜は省略されている。また、図 1 5 (B) は、図 1 5 (A) に示す一点鎖線 X 1 - X 2 に対応する断面図であり、図 1 5 (C) は Y 1 - Y 2 に対応する断面図である。

【 0 2 8 4 】

なお、図 1 5 に示すトランジスタ 2 0 0 において、図 1 2 に示したトランジスタ 2 0 0 を構成する構造と同機能を有する構造には、同符号を付記する。

【 0 2 8 5 】

図 1 5 に示す構造は、ゲート電極と機能する導電体 2 6 0 が、導電体 2 6 0 a 、導電体 2 6 0 b 、および導電体 2 6 0 c を有する。また、酸化物 2 3 0 c は、酸化物 2 3 0 b の側面を覆っていればよく、絶縁体 2 2 4 上で切断されていてもよい。

【 0 2 8 6 】

図 1 5 に示す構造は、導電体 2 6 0 を、3 層構造で設けている。また、単層、2 層構造、または 4 層以上の積層構造としてもよい。なお、2 層構造、とする場合、は同じ材料を積層して設けててもよい。例えば、導電体 2 6 0 a は、熱 C V D 法、M O C V D 法または A L D 法を用いて形成する。特に、A L D 法を用いて形成することが好ましい。A L D 法等により形成することで、絶縁体 2 5 0 に対する成膜時のダメージを減らすことができる。また、A L D 法等により形成することで、被覆性の高い導電体 2 6 0 a を成膜することができる。従って、信頼性が高いトランジスタ 2 0 0 を提供することができる。

【 0 2 8 7 】

続いて、導電体 2 6 0 b はスパッタリング法を用いて形成する。この時、絶縁体 2 5 0 上に、導電体 2 6 0 a を有することで、導電体 2 6 0 b の成膜時のダメージが、絶縁体 2 5 0 に影響することを抑制することができる。また、A L D 法と比較して、スパッタリング法は成膜速度が速いため、歩留まりが高く、生産性を向上させることができる。

【 0 2 8 8 】

また、導電体 2 6 0 b は、タンタル、タンゲステン、銅、アルミニウムなどの導電性が高い材料を用いて形成する。さらに、導電体 2 6 0 b 上に形成する導電体 2 6 0 c は、窒化タンゲステンなどの耐酸化性が高い導電体を用いて形成することが好ましい。

【 0 2 8 9 】

10

20

30

40

50

例えば、絶縁体 280 に酸素が脱離する酸化物材料を用いる場合、過剰酸素領域を有する絶縁体 280 と接する面積が大きい導電体 260c に耐酸化性が高い導電体を用いることで、過剰酸素領域から脱離される酸素が導電体 260 に吸収されることを抑制することができる。また、導電体 260 の酸化を抑制し、絶縁体 280 から、脱離した酸素を効率的に酸化物 230 へと供給することができる。また、導電体 260b に導電性が高い導電体を用いることで、消費電力が小さいトランジスタ 200 を提供することができる。

【0290】

また、図 15 (C) に示すように、トランジスタ 200 のチャネル幅方向において、酸化物 230b が導電体 260 に覆われている。また、絶縁体 224 が凸部を有することによって、酸化物 230b の側面も導電体 260 で覆うことができる。例えば、絶縁体 224 の凸部の形状を調整することで、絶縁体 224 と酸化物 230c が接する領域において、導電体 260 の底面が、酸化物 230b の底面よりも、基板側となる構造となることが好みしい。つまり、トランジスタ 200 は、導電体 260 の電界によって、酸化物 230b を電気的に取り囲むことができる構造を有する。このように、導電体の電界によって、酸化物 230b を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。s-channel 構造のトランジスタ 200 は、酸化物 230b 全体 (バルク) にチャネルを形成することもできる。s-channel 構造では、トランジスタのドレイン電流を大きくすることができ、さらに大きいオン電流 (トランジスタがオン状態のときにソースとドレインの間に流れる電流) を得ることができる。また、導電体 260 の電界によって、酸化物 230b に形成されるチャネル形成領域の全領域を空乏化することができる。したがって、s-channel 構造では、トランジスタのオフ電流をさらに小さくすることができる。なお、チャネル幅を小さくすることで、s-channel 構造によるオン電流の増大効果、オフ電流の低減効果などを高めることができる。

【0291】

<トランジスタ構造 5>

図 16 には、トランジスタ 200 に適応できる構造の一例を示す。図 16 (A) はトランジスタ 200 の上面を示す。なお、図の明瞭化のため、図 16 (A) において一部の膜は省略されている。また、図 16 (B) は、図 16 (A) に示す一点鎖線 X1 - X2 に対応する断面図であり、図 16 (C) は Y1 - Y2 に対応する断面図である。

【0292】

なお、図 16 に示すトランジスタ 200において、図 12 に示したトランジスタ 200 を構成する構造と同機能を有する構造には、同符号を付記する。

【0293】

図 16 に示す構造は、ソースまたはドレインとして機能する導電体が積層構造を有する。導電体 240a、および導電体 240b は、酸化物 230b と密着性が高い導電体を用い、導電体 241a、導電体 241b は、導電性が高い材料を用いることが好みしい。また、導電体 240a、および導電体 240b は、ALD 法を用いて形成することが好みしい。ALD 法等により形成することで、被覆性を向上させることができる。

【0294】

例えば、酸化物 230b に、インジウムを有する金属酸化物を用いる場合、導電体 240a、および導電体 240b には、窒化チタンなどを用いればよい。また、導電体 241a、および導電体 241b に、タンタル、タングステン、銅、アルミニウムなどの導電性が高い材料を用いることで、信頼性が高く、消費電力が小さいトランジスタ 200 を提供することができる。

【0295】

また、図 16 (C) に示すように、トランジスタ 200 のチャネル幅方向において、酸化物 230b が、導電体 260 に覆われている。また、絶縁体 222 が凸部を有することによって、酸化物 230b の側面も導電体 260 で覆うことができる。

【0296】

10

20

30

40

50

ここで、絶縁体 222 に、酸化ハフニウムなどの high-k 材料を用いる場合、絶縁体 222 の比誘電率が大きいため、 SiO_2 膜換算膜厚 (EOT: Equivalent Oxide Thickness) を小さくすることができる。従って、酸化物 230 にかかる導電体 205 からの電界の影響を弱めることなく、絶縁体 222 の物理的な厚みにより、導電体 205 と、酸化物 230 との間の距離を広げることができる。従って、絶縁体 222 の膜厚により、導電体 205 と、酸化物 230 との間の距離を調整することができる。

【0297】

例えば、絶縁体 222 の凸部の形状を調整することで、絶縁体 222 と酸化物 230c が接する領域において、導電体 260 の底面が、酸化物 230b の底面よりも、基板側となる構造となることが好ましい。つまり、トランジスタ 200 は、導電体 260 の電界によって、酸化物 230b を電気的に取り囲むことができる構造を有する。このように、導電体の電界によって、酸化物 230b を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。s-channel 構造のトランジスタ 200 は、酸化物 230b 全体 (バルク) にチャネルを形成することもできる。s-channel 構造では、トランジスタのドレイン電流を大きくすることができ、さらに大きいオン電流 (トランジスタがオン状態のときにソースとドレインの間に流れる電流) を得ることができる。また、導電体 260 の電界によって、酸化物 230b に形成されるチャネル形成領域の全領域を空乏化することができる。したがって、s-channel 構造では、トランジスタのオフ電流をさらに小さくすることができる。なお、チャネル幅を小さくすることで、s-channel 構造によるオン電流の増大効果、オフ電流の低減効果などを高めることができる。

【0298】

<トランジスタ構造 6>

図 17 には、トランジスタ 200 に適応できる構造の一例を示す。図 17 (A) はトランジスタ 200 の上面を示す。なお、図の明瞭化のため、図 17 (A) において一部の膜は省略されている。また、図 17 (B) は、図 17 (A) に示す一点鎖線 X1-X2 に対応する断面図であり、図 17 (C) は Y1-Y2 に対応する断面図である。

【0299】

なお、図 17 に示すトランジスタ 200 において、図 12 に示したトランジスタ 200 を構成する構造と同機能を有する構造には、同符号を付記する。

【0300】

図 17 に示すトランジスタ 200 は、絶縁体 280 に形成された開口部に、酸化物 230c、絶縁体 250、導電体 260 が形成されている。また、導電体 240a および導電体 240b の一方の端部と、絶縁体 280 に形成された開口部の端部が一致している。さらに、導電体 240a および導電体 240b の三方の端部が、酸化物 230a および酸化物 230b の端部の一部と一致している。従って、導電体 240a および導電体 240b は、酸化物 230 または絶縁体 280 の開口部と、同時に整形することができる。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

【0301】

また、導電体 240a、導電体 240b、および酸化物 230b は、過剰酸素領域を有する絶縁体 280 と、酸化物 230d を介して接する。そのため、絶縁体 280 と、チャネルが形成される領域を有する酸化物 230b との間に、酸化物 230d が介在することにより、絶縁体 280 から、水素、水、およびハロゲン等の不純物が、酸化物 230b へ拡散することを抑制することができる。

【0302】

さらに、図 17 に示すトランジスタ 200 は、導電体 240a および導電体 240b と、導電体 260 と、がほとんど重ならない構造を有するため、導電体 260 と導電体 240a および 240b との間に生じる寄生容量を小さくすることができる。即ち、動作周波数

10

20

30

40

50

が高いトランジスタ 200 を提供することができる。

【0303】

<トランジスタ構造 8 >

図 18 には、トランジスタ 200 に適応できる構造の一例を示す。図 18 (A) はトランジスタ 200 の上面を示す。なお、図の明瞭化のため、図 18 (A) において一部の膜は省略されている。また、図 18 (B) は、図 18 (A) に示す一点鎖線 X1 - X2 に対応する断面図であり、図 18 (C) は Y1 - Y2 に対応する断面図である。

【0304】

なお、図 18 に示すトランジスタ 200 において、図 17 に示したトランジスタ 200 を構成する構造と同機能を有する構造には、同符号を付記する。

10

【0305】

図 18 に示すトランジスタ 200 は、酸化物 230d を有さない構造である。例えば、導電体 240a、および導電体 240b に耐酸化性が高い導電体を用いる場合、酸化物 230d は、必ずしも設けなくてもよい。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

【0306】

また、絶縁体 224 は、酸化物 230a、および酸化物 230b と重畠する領域にのみ設けてよい。この場合、絶縁体 222 をエッティングストッパーとして、酸化物 230a、酸化物 230b、および絶縁体 224 を加工することができる。従って、歩留まりや生産性を高めることができる。

20

【0307】

さらに、図 18 に示すトランジスタ 200 は、導電体 240a および導電体 240b と、導電体 260 と、がほとんど重ならない構造を有するため、導電体 260 と導電体 240a および 240bとの間に生じ寄生容量を小さくすることができる。即ち、動作周波数が高いトランジスタ 200 を提供することができる。

【0308】

<トランジスタの作製方法 >

以下に、図 12 に示したトランジスタの作製方法の一例を図 19 乃至図 22 を参照して説明する。

30

【0309】

はじめに、基板を準備する(図示しない)。基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが好ましい。例えば、バリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム、ガリウムヒ素、インジウムヒ素、インジウムガリウムヒ素からなる化合物半導体基板、SOI (Silicon On Insulator) 基板、GOI (Germanium on Insulator) 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板として用いてよい。

40

【0310】

また、基板として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上にトランジスタを直接作製してもよいし、他の作製基板にトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体を含むトランジスタとの間に剥離層を設けるとよい。

【0311】

次に、絶縁体 214、絶縁体 216 を形成する。続いて、絶縁体 216 上にリソグラフィ法等を用いてレジストマスク 290 を形成し、絶縁体 214、および絶縁体 216 の不要な部分を除去する(図 19 (A))。その後、レジストマスク 290 を除去することにより、開口部を形成することができる。

50

【0312】

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、リソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、リソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また、被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

【0313】

10

レジストマスクの形成に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV：Extreme Ultra-violet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【0314】

20

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピノコート法などにより、その下方の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上方に設けられるレジストマスクの厚さのばらつきを低減できる。また、特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC（Bottom Anti-Reflection Coating）膜などがある。当該有機樹脂膜は、レジストマスクの除去と一緒に除去するか、レジストマスクを除去した後に除去すればよい。

【0315】

30

続いて、絶縁体214、および絶縁体216上に、導電体205A、および導電体205Bを成膜する。導電体205A、および導電体205Bは、スパッタリング法、蒸着法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）などにより成膜することができる。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい（図19（B））。

【0316】

40

続いて、導電体205A、および導電体205Bの不要な部分を除去する。例えば、エッチバック処理、または、機械的化学的研磨法（CMP：Chemical Mechanical Polishing）処理などにより、絶縁体216が露出するまで、導電体205A、および導電体205Bの一部を除去することで、導電体205を形成する（図19（C））。この際、絶縁体216をストップ層として使用することもでき、絶縁体216が薄くなる場合がある。

【0317】

ここで、CMP処理とは、被加工物の表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

【0318】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ

50

研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせてもよい。

【0319】

次に、絶縁体220、絶縁体222、および絶縁体224を形成する(図19(D))。なお、絶縁体220、および絶縁体222は必ずしも設ける必要はない。例えば、絶縁体224が過剰酸素領域を有する場合、導電体205上に、バリア性を有する導電体を形成してもよい。バリア性を有する導電体を形成することで、導電体205が、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

【0320】

絶縁体220、絶縁体222、および絶縁体224として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。特に、絶縁体222には、酸化ハフニウムなどのhigh-k材料を用いることが好ましい。

10

【0321】

絶縁体220、絶縁体222、および絶縁体224は、例えば、スパッタリング法、化学気相堆積(CVD: Chemical Vapor Deposition)法(熱CVD法、有機金属CVD(MOCVD: Metal Organic Chemical Vapor Deposition)法、プラズマ励起CVD(PECVD: Plasma Enhanced Chemical Vapor Deposition)法等を含む)、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、原子層堆積(ALD: Atomic Layer Deposition)法またはパルスレーザ堆積(PLD: Pulsed Laser Deposition)法などを用いて形成することができる。特に、当該絶縁体をCVD法、好ましくはALD法等によって成膜すると、被覆性を向上させることができるために好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい。また、TEOS(Tetra-Ethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化シリコン膜を用いることもできる。

20

【0322】

なお、絶縁体220、絶縁体222、および絶縁体224は、連続成膜することができる。連続的に成膜することで、絶縁体220と絶縁体222との界面、および絶縁体222と絶縁体224との界面に不純物が付着することなく、信頼性が高い絶縁体を形成することができる。

30

【0323】

続いて、酸化物230aとなる酸化物230Aと、酸化物230bとなる酸化物230Bを順に成膜する。当該酸化物は、大気に触れさせることなく連続して成膜することができる。

【0324】

その後、酸化物230A上に、導電体240a、および導電体240bとなる導電膜240Aを形成する。導電膜240Aには、水素または酸素に対するバリア性があり、また、耐酸化性が高い材質を用いることが好ましい。また、図では単層で表しているが、2層以上の積層構造としてもよい。続いて、上記と同様の方法によりレジストマスク292を形成する(図19(E))。

40

【0325】

レジストマスク292を用いて、導電膜240Aの不要な部分をエッチングにより除去し、島状の導電層240Bを形成する(図20(A))。その後、導電層240Bをマスクとして酸化物230A、および酸化物230Bの不要な部分をエッチングにより除去する。

【0326】

このとき、同時に絶縁体224も、島状に加工してもよい。例えば、バリア性を有する絶縁体222をエッチングストッパー膜として用いることで、絶縁体220、絶縁体222

50

、および絶縁体 224 の合計膜厚が薄い構造においても、下方にある配線層まで、オーバーエッティングされることを防止することができる。また、絶縁体 220、絶縁体 222、および絶縁体 224 の合計膜厚が薄くすることで導電体 205 からの電圧が効率的にかかる為、消費電力が低いトランジスタを提供することができる。

【0327】

その後レジストマスクを除去することにより、島状の酸化物 230a、島状の酸化物 230b、および島状の導電層 240B の積層構造を形成することができる（図 20（B））。

【0328】

続いて、加熱処理を行うことが好ましい（図 20（C）、図中矢印は加熱処理を表す。）
10
。加熱処理は、250 以上 400 以下、好ましくは 320 以上 380 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上含む雰囲気で行ってもよい。加熱処理により、酸化物 230a、および酸化物 230b の不純物である水素を除去することができる。また、酸化物 230a の下方に形成された絶縁体から、酸化物 230a、および酸化物 230b に酸素が供給され、酸化物中の酸素欠損を低減することができる。

【0329】

次に、島状の導電層 240B 上に上記と同様の方法によりレジストマスク 294 を形成する（図 20（D））。続いて、導電層 240B の不要な部分をエッティングにより除去した後、レジストマスク 294 を除去することにより、導電体 240a、および導電体 240b を形成する（図 21（A））。この際、絶縁体 222 または絶縁体 224 の一部をエッティングして薄くすることで、s-channel 構造を形成してもよい。

20

【0330】

なお、ここで、加熱処理を行なってもよい。加熱処理の条件は、図 20（C）で説明した加熱処理と同等の条件で行えばよい。加熱処理により、酸化物 230a、および酸化物 230b の不純物である水素を除去することができる。また、酸化物 230a の下方に形成された絶縁体から、酸化物 230a、および酸化物 230b に酸素が供給され、酸化物中の酸素欠損を低減することができる。さらに、酸化性ガスで加熱処理を行う場合、チャネルが形成される領域に、直接酸化性ガスが接することで、効率的に、チャネルが形成される領域の酸素欠損を低減することができる。

30

【0331】

続いて、酸化物 230c を成膜する。また、ここで、加熱処理を行なってもよい（図 21（B）、図中矢印は加熱処理を表す。）。加熱処理の条件は、図 21（C）で説明した加熱処理と同等の条件で行えばよい。加熱処理により、酸化物 230a、および酸化物 230b の不純物である水素を除去することができる。また、酸化物 230a の下方に形成された絶縁体から、酸化物 230a、および酸化物 230b に酸素が供給され、酸化物中の酸素欠損を低減することができる。さらに、酸化性ガスで加熱処理を行う場合、チャネルが形成される領域に、直接酸化性ガスが接することで、効率的に、チャネルが形成される領域の酸素欠損を低減することができる。

40

【0332】

絶縁体 250、および導電体 260 となる導電膜 260A を順に成膜する。また、導電膜 260A には、水素または酸素に対するバリア性があり、また、耐酸化性が高い材質を用いることが好ましい。また、図では単層で表しているが、2 層以上の積層構造としてもよい。

【0333】

例えば、2 層構造は、同じ材料を積層して設けてもよい。第 1 の導電膜は、熱 CVD 法、MOCVD 法または ALD 法を用いて形成する。特に、ALD 法を用いて形成することが好ましい。ALD 法等により形成することで、絶縁体 250 に対する成膜時のダメージを減らすことができる。また、ALD 法等により形成することで、被覆性の高い導電膜 26

50

0 A を成膜することができる。従って、信頼性が高いトランジスタ 200 を提供することができる。

【 0 3 3 4 】

続いて、第 2 の導電膜は、スパッタリング法を用いて形成する。この時、絶縁体 250 上に、第 1 の導電膜を有することで、第 2 の導電膜の成膜時のダメージが、絶縁体 250 に影響することを抑制することができる。また、ALD 法と比較して、スパッタリング法は成膜速度が速いため、歩留まりが高く、生産性を向上させることができる。なお、導電膜 260 A を成膜する際に、塩素を含まない成膜ガスを用いて、形成することが好ましい。

【 0 3 3 5 】

次に、導電膜 260 A 上に、上記と同様の方法によりレジストマスク 296 を形成する(図 21 (C))。続いて、導電膜 260 A の不要な部分をエッチングにより除去することで、導電体 260 を形成した後、レジストマスク 296 を除去する(図 22 (A))。

【 0 3 3 6 】

続いて、導電体 260 上に、絶縁体 280 を形成する。絶縁体 280 は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体である。過剰酸素を含む絶縁体を形成する方法としては、CVD 法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、酸化シリコン膜や酸化窒化シリコン膜を形成した後、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

【 0 3 3 7 】

特に、酸素プラズマ処理を行うことが好ましい(図 22 (B)、図中矢印はプラズマ処理を表す。)。代表的な酸素プラズマ処理は、酸素ガスのグロー放電プラズマで生成されたラジカルで酸化物半導体の表面を処理することであるが、プラズマを生成するガスとしては酸素のみでなく、酸素ガスと希ガスの混合ガスであってもよい。例えば、250 以上 400 以下、好ましくは 300 以上 400 以下の温度で、酸化性ガスを含む雰囲気、または減圧状態で行えばよい。

【 0 3 3 8 】

酸素プラズマ処理により、絶縁体 280、および酸化物 230 が、脱水化、または脱水素化されるとともに、絶縁体 280 に過剰な酸素を導入することで、過剰酸素領域を形成することができる。また、脱水化、または脱水素化された酸化物 230 には、酸素欠損が生じ、低抵抗化する。一方で、絶縁体 280 の過剰な酸素により、酸化物 230 の酸素欠損が補填される。従って、酸素プラズマ処理により、絶縁体 280 は、過剰酸素領域が形成されると同時に、不純物である水素、および水を除去することができる。また、酸化物 230 は、酸素欠損を補填しながら、不純物である水素、または水を除去することができる。したがって、トランジスタ 200 の電気特性の向上および、電気特性のばらつきを軽減することができる。

【 0 3 3 9 】

続いて、絶縁体 280 上に、絶縁体 282 を形成する(図 22 (C))。絶縁体 282 は、スパッタリング装置により成膜することが好ましい。スパッタリング法を用いることで、容易に絶縁体 282 の下層である絶縁体 280 に過剰酸素領域を形成することができる。

【 0 3 4 0 】

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位 E0 が与えられる。また、基板は、接地電位などの電位 E1 が与えられる。ただし、基板が電気的に浮いていてもよい。また、ターゲットと基板の間には電位 E2 となる領域が存在する。各電位の大小関係は、E2 > E1 > E0 である。

【 0 3 4 1 】

プラズマ内のイオンが、電位差 E2 - E0 によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子

10

20

30

40

50

が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を介して、形成された膜の下部にある絶縁体280に取り込まれる場合がある。また、プラズマ内のイオンは、電位差E2-E1によって加速され、成膜表面を衝撃する。この際、イオンの一部のイオンは、絶縁体280の内部まで到達する。イオンが絶縁体280に取り込まれることにより、イオンが取り込まれた領域が絶縁体280に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体280に過剰酸素領域が形成される。

【0342】

絶縁体280に過剰な酸素を導入することで、過剰酸素領域を形成することができる。絶縁体280の過剰な酸素は、酸化物230に供給され、酸化物230の酸素欠損が補填することができる。ここで、絶縁体280と接する導電体260、導電体240a、および導電体240bに、耐酸化性が高い導電体を用いる場合、絶縁体280の過剰な酸素は、導電体260、導電体240a、および導電体240bに、吸収されることなく、効率的に酸化物230へ供給することができる。したがって、トランジスタ200の電気特性の向上および、電気特性のばらつきを軽減することができる。10

【0343】

以上の工程により、本発明の一態様のトランジスタ200を作製することができる。

【0344】

以上、本実施の形態に示す構成、方法などは、他の実施の形態および他の実施例に示す構成、方法などと適宜組み合わせて用いることができる。20

【0345】

(実施の形態4)

本実施の形態では、半導体装置の一形態を、図23乃至図33を用いて説明する。

【0346】

[構成例]

本発明の一態様である半導体装置(記憶装置)の一例を図23乃至図30に示す。なお、図30(A)は、図23乃至図26を回路図で表したものである。図29は、図23乃至図26に示す半導体装置が形成される領域の端部を示す。

【0347】

<半導体装置の回路構成>

図30(A)、および図23乃至図28に示す半導体装置は、トランジスタ300と、トランジスタ200、および容量素子100を有している。30

【0348】

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを半導体装置(記憶装置)に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、半導体装置(記憶装置)の消費電力を十分に低減することができる。

【0349】

図30(A)において、配線3001はトランジスタ300のソースと電気的に接続され、配線3002はトランジスタ300のドレインと電気的に接続されている。また、配線3003はトランジスタ200のソースおよびドレインの一方と電気的に接続され、配線3004はトランジスタ200のゲートと電気的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電気的に接続され、配線3005は容量素子100の電極の他方と電気的に接続されている。40

【0350】

図30(A)に示す半導体装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。50

【0351】

情報の書き込みおよび保持について説明する。まず、配線3004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、配線3003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電気的に接続するノードFGに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、配線3004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。 10

【0352】

トランジスタ200のオフ電流が小さい場合、ノードFGの電荷は長期間にわたって保持される。

【0353】

次に情報の読み出しについて説明する。配線3001に所定の電位（定電位）を与えた状態で、配線3005に適切な電位（読み出し電位）を与えると、配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な配線3005の電位をいうものとする。したがって、配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ300は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ300は「非導通状態」のままである。このため、配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。 20

【0354】

また、図30(A)に示す半導体装置をマトリクス状に配置することで、記憶装置（メモリセルアレイ）を構成することができる。

【0355】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、トランジスタ300をpチャネル型とした場合、メモリセルはNOR型の構成となる。従って、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ300が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を配線3005に与えることで所望のメモリセルの情報のみを読み出すことができる。または、トランジスタ300をnチャネル型とした場合、メモリセルはNAND型の構成となる。従って、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ300が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を配線3005に与えることで所望のメモリセルの情報のみを読み出すことができる。 40

【0356】

<半導体装置の回路構成2>

図30(B)に示す半導体装置は、トランジスタ300を有さない点で図30(A)に示した半導体装置と異なる。この場合も図30(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0357】

図30(B)に示す半導体装置における、情報の読み出しについて説明する。トランジス 50

タ200が導通状態になると、浮遊状態である配線3003と容量素子100とが導通し、配線3003と容量素子100の間で電荷が再分配される。その結果、配線3003の電位が変化する。配線3003の電位の変化量は、容量素子100の電極の一方の電位（または容量素子100に蓄積された電荷）によって、異なる値をとる。

【0358】

例えば、容量素子100の電極の一方の電位をV、容量素子100の容量をC、配線3003が有する容量成分をCB、電荷が再分配される前の配線3003の電位をVB0とすると、電荷が再分配された後の配線3003の電位は、 $(CB \times VB_0 + CV) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子100の電極の一方の電位がV1とV0 ($V1 > V0$) の2つの状態をとるとすると、電位V1を保持している場合の配線3003の電位 ($= (CB \times VB_0 + CV_1) / (CB + C)$) は、電位V0を保持している場合の配線3003の電位 ($= (CB \times VB_0 + CV_0) / (CB + C)$) よりも高くなることがわかる。10

【0359】

そして、配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0360】

本構成とする場合、例えば、メモリセルを駆動させるための駆動回路にシリコンが適用されたトランジスタを用い、トランジスタ200として、酸化物半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。20

【0361】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0362】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリとは異なり書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。30

【0363】

<半導体装置の構造1>

本発明の一態様の半導体装置は、図23に示すようにトランジスタ300、トランジスタ200、容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設かれている。40

【0364】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体314、基板311の一部からなる半導体領域312、およびソース領域またはドレイン領域として機能する低抵抗領域318a、および低抵抗領域318bを有する。

【0365】

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0366】

半導体領域312のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域318a、および低抵抗領域318bなどにおいて、シリコ50

ン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

【0367】

低抵抗領域318a、および低抵抗領域318bは、半導体領域312に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。10

【0368】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0369】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。20

【0370】

なお、図23に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。また、図30（B）に示す回路構成とする場合、トランジスタ300を設けなくともよい。

【0371】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

【0372】

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。30

【0373】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜として機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化処理により平坦化されていてもよい。

【0374】

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。ここで、バリア性とは、耐酸化性が高く、酸素、水素、および水に代表される不純物の拡散を抑制する機能とする。例えば、350または400の雰囲気下において、バリア性を有する膜中の一時間当たりの酸素または水素の拡散距離が50nm以下であればよい。好ましくは、350または400の雰囲気下において、バリア性を有する膜中における一時間当たりの酸素または水素の拡散距離が30nm以下、さらに好ましくは20nm以下であるとよい。40

【0375】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、ト50

ランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0376】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、50から500の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

10

【0377】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体324の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜として、配線間に生じる寄生容量を低減することができる。

【0378】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電気的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能を有する。また、後述するが、プラグまたは配線として機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

20

【0379】

各プラグ、および配線(導電体328、および導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタンゲステンやモリブデンなどの高融点材料を用いることが好ましく、タンゲステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

30

【0380】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図23において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0381】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

40

【0382】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとい。また、窒化タンタルと導電性が高いタンゲステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を

50

有する絶縁体 350 と接する構造であることが好ましい。

【0383】

絶縁体 354 上には、絶縁体 358、絶縁体 210、絶縁体 212、絶縁体 213、絶縁体 214、および絶縁体 216 が、順に積層して設けられている。絶縁体 358、絶縁体 210、絶縁体 212、絶縁体 213、絶縁体 214、および絶縁体 216 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0384】

例えば、絶縁体 358、および絶縁体 212 には、例えば、基板 311、またはトランジスタ 300 を設ける領域などから、トランジスタ 200 を設ける領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 324 と同様の材料を用いることができる。10

【0385】

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 200 と、トランジスタ 300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0386】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 213、および絶縁体 214 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。20

【0387】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。また、トランジスタ 200 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 200 に対する保護膜として用いることに適している。

【0388】

また、例えば、絶縁体 210、および絶縁体 216 には、絶縁体 320 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜として、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 216 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。30

【0389】

また、絶縁体 358、絶縁体 210、絶縁体 212、絶縁体 213、絶縁体 214、および絶縁体 216 には、導電体 218、及びトランジスタ 200 を構成する導電体（導電体 205）等が埋め込まれている。なお、導電体 218 は、容量素子 100、またはトランジスタ 300 と電気的に接続するプラグ、または配線としての機能を有する。導電体 218 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。40

【0390】

特に、絶縁体 358、絶縁体 212、絶縁体 213、および絶縁体 214 と接する領域の導電体 218 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 200 とは、酸素、水素、および水に対するバリア性を有する層で、完全により分離することができ、トランジスタ 300 からトランジスタ 200 への水素の拡散を抑制することができる。

【0391】

例えば、絶縁体 224 が過剰酸素領域を有する場合、導電体 218 など、絶縁体 224 と接する導電体に、耐酸化性が高い導電体を用いるとよい。また、図に示すように、導電体 218、およびトランジスタ 200 を構成する導電体（導電体 205）上に、バリア性を有する導電体 219 を設けてもよい。本構成とすることで、導電体 218、およびトラン50

ジスタ 200 を構成する導電体（導電体 205）が、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

【0392】

絶縁体 224 の上方には、トランジスタ 200 が設けられている。なお、トランジスタ 200 の構造は、上記の実施の形態で説明するトランジスタを用いればよい。また、図 23 に示すトランジスタ 200 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0393】

トランジスタ 200 の上方には、絶縁体 280 を設ける。絶縁体 280 には、過剰酸素領域が形成されていることが好ましい。特に、トランジスタ 200 に酸化物半導体を用いる場合、トランジスタ 200 近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ 200 の酸素欠損を低減することで、信頼性を向上させることができる。10

【0394】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS 分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms/cm³ 以上、好ましくは 3.0×10^{20} atoms/cm³ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。20

【0395】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0396】

また、トランジスタ 200 を覆う絶縁体 280 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。また、絶縁体 280 には、導電体 244 等が埋め込まれている。

【0397】

導電体 244 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電気的に接続するプラグ、または配線として機能を有する。導電体 244 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。30

【0398】

例えば、導電体 244 を積層構造として設ける場合、酸化しにくい（耐酸化性が高い）導電体を含むことが好ましい。特に、過剰酸素領域を有する絶縁体 280 と接する領域に、耐酸化性が高い導電体を設けることが好ましい。当該構成により、絶縁体 280 から過剰な酸素を、導電体 244 が吸収することを抑制することができる。また、導電体 244 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、過剰酸素領域を有する絶縁体 280 と接する領域に、水素などの不純物に対するバリア性を有する導電体を設けることで、導電体 244 中の不純物、および導電体 244 の一部の拡散や、外部からの不純物の拡散経路となることを抑制することができる。40

【0399】

また、導電体 244 上に、導電体 246、導電体 124、導電体 112a、および導電体 112b を設けてもよい。導電体 246、および導電体 124 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電気的に接続するプラグ、または配線として機能を有する。また、導電体 112a、および導電体 112b は、容量素子 100 の電極として機能を有する。なお、導電体 246、および導電体 112a は、同時に形成することができる。また、導電体 124、および導電体 112b は同時に形成することができる。50

【0400】

導電体246、導電体124、導電体112aおよび導電体112bには、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0401】

10

特に、導電体246、および導電体112aには、窒化タンタル膜などの金属窒化物膜が、水素または酸素に対するバリア性があり、また、酸化しにくい（耐酸化性が高い）ため、好ましい。一方、導電体124、および導電体112bには、例えば、タングステンなどの導電性が高い材料を積層するとよい。当該組み合わせを用いることで、配線としての導電性を保持したまま、絶縁体280、およびトランジスタ200への水素の拡散を抑制することができる。なお、図23では、導電体246、および導電体124の2層構造を示したが、当該構成に限定されず、単層でも3層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0402】

20

また、導電体124上に、バリア層281を設けてもよい。バリア層281を有することで、導電体124が、後工程において酸化することを抑制することができる。また、導電体124に含まれる不純物や、導電体124の一部の拡散を抑制することができる。また、導電体124、導電体246、および導電体244を通過して、不純物が、絶縁体280に拡散することを抑制することができる。

【0403】

なお、バリア層281は、絶縁性材料を用いることができる。その場合、バリア層281は、容量素子100の誘電体の一部としての機能を有していてもよい。また、バリア層281は、導電性材料を用いて形成してもよい。その場合、配線、または電極の一部としての機能を有していてもよい。

30

【0404】

バリア層281には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物、または窒化タンタルなどの金属窒化物などを用いることが好ましい。特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、半導体装置の作製工程中、および作製後において、導電体124、水素、水分などの不純物のトランジスタ200への混入を防止することができる。

【0405】

バリア層281、および絶縁体280上には、絶縁体282が設けられている。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

40

【0406】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

50

【0407】

従って、トランジスタ200、および過剰酸素領域を含む絶縁体280を、絶縁体212、絶縁体213、および絶縁体214の積層構造と、絶縁体282により挟む構成とすることができる。また、絶縁体212、絶縁体213、絶縁体214、および絶縁体282は、酸素、または、水素、および水などの不純物の拡散を抑制するバリア性を有する。

【0408】

絶縁体280、およびトランジスタ200から放出された酸素が、容量素子100、またはトランジスタ300が形成されている層へ拡散することを抑制することができる。または、絶縁体282よりも上方の層、および絶縁体214よりも下方の層から、水素、および水等の不純物が、トランジスタ200へ、拡散することを抑制することができる。 10

【0409】

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ200におけるチャネルが形成される酸化物に不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ200におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

【0410】

ここで、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。図29にダイシングライン近傍の断面図を示す。 20

【0411】

例えば、図29(A)に示すように、トランジスタ200を有するメモリセルの外縁に設けられるダイシングライン（図中1点鎖線で示す）と重なる領域近傍において、絶縁体212、絶縁体213、絶縁体214、絶縁体216、絶縁体224、及び絶縁体280に開口部を設ける。また、絶縁体212、絶縁体213、絶縁体214、絶縁体216、絶縁体224、及び絶縁体280の側面を覆うように、絶縁体282を設ける。 30

【0412】

ここで、バリア層281が、絶縁性を有している場合、該開口部にバリア層281を介して、絶縁体282を設けることが好ましい。バリア層281を有することで、より不純物の拡散を抑制することができる。

【0413】

従って、該開口部において、絶縁体212、絶縁体213、および絶縁体214と、バリア層281とが接する。このとき、絶縁体212、絶縁体213、および絶縁体214の少なくとも一と、絶縁体282とを同材料及び同方法を用いて形成することで、密着性を高めることができる。なお、バリア層281と絶縁体282とを、同材料を用いて形成することが好ましい。例えば、酸化アルミニウムを用いることができる。バリア層281をALD法など緻密な膜が形成できる方法で形成した後、絶縁体282をスパッタリング法など成膜レートが高い方法で形成することにより、生産性、およびバリア性を高めることができる。 40

【0414】

当該構造により、絶縁体212、絶縁体213、絶縁体214、および絶縁体282で、絶縁体280、およびトランジスタ200を包み込むことができる。絶縁体212、絶縁体213、絶縁体214、および絶縁体282は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水 50

素又は水などの不純物が混入し、トランジスタ200に拡散することを防ぐことができる。

【0415】

また、当該構造により、絶縁体280の過剰酸素が絶縁体282、および絶縁体214の外部に拡散することを防ぐことができる。従って、絶縁体280の過剰酸素は、効率的にトランジスタ200におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができます。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

10

【0416】

また、例えば、図29(B)に示すように、ダイシングライン(図中1点鎖線で示す)の両側となる領域において、絶縁体212、絶縁体213、絶縁体214、絶縁体216、絶縁体224、及び絶縁体280に開口部を設けてもよい。なお、図では開口部は2か所としたが、必要に応じて、複数の開口部を設けてもよい。

【0417】

従って、ダイシングラインの両側に設けられた開口部において、絶縁体212、絶縁体213、および絶縁体214が、少なくとも2か所でバリア層281と接するため、より密着性が高い構造となる。なお、この場合においても、絶縁体212、絶縁体213、および絶縁体214の少なくとも一と、絶縁体282とを同材料及び同方法を用いて形成することで、密着性を高めることができる。

20

【0418】

また、開口部を複数設けることで、絶縁体282と、絶縁体212、絶縁体213、および絶縁体214とが、複数の領域で接する構造とすることができます。従って、ダイシングラインから混入する不純物がトランジスタ200まで到達することを防止することができる。

【0419】

当該構造により、トランジスタ200と絶縁体280とを、厳重に密封することができる。従って、トランジスタ200におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができます。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができます。

30

【0420】

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子100は、導電体112(導電体112a、および導電体112b)と、バリア層281、絶縁体282、および絶縁体130、導電体116とを有する。

【0421】

導電体112は、容量素子100の電極として機能を有する。例えば、図23に示す構成は、トランジスタ200、およびトランジスタ300と接続するプラグ、または配線として機能する導電体244の一部が、導電体112としての機能を備える構成である。なお、バリア層281が導電性を有する場合、バリア層281は、容量素子100の電極の一部として機能する。また、バリア層281が絶縁性である場合は、バリア層281は、容量素子100の誘電体の一部として機能する。

40

【0422】

当該構成とすることで、電極と配線とを別々に形成する場合よりも、工程数を削減できるため、生産性を高くすることができます。

【0423】

また、絶縁体282において、導電体112、および導電体116で挟まれた領域は、誘電体として機能する。例えば、絶縁体282に、酸化アルミニウムなどの高誘電率(high-k)材料を用いた場合、容量素子100は、十分な容量を確保することができます。

【0424】

50

また、誘電体の一部として、絶縁体 130 を設けてもよい。絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

【0425】

例えば、絶縁体 282 に、酸化アルミニウムなどの高誘電率 (high-k) 材料を用いた場合、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子 100 は、絶縁体 130 を有することで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

10

【0426】

導電体 116 は、バリア層 281、絶縁体 282、および絶縁体 130 を介して、導電体 112 の側面、および上面を覆うように設ける。当該構成により、導電体 112 の側面は、絶縁体を介して、導電体 116 に包まれる。当該構成とすることで、導電体 112 の側面でも容量が形成されるため、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。

【0427】

なお、導電体 116 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタンゲステンやモリブデンなどの高融点材料を用いることが好ましく、特にタンゲステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu (銅) や Al (アルミニウム) 等を用いればよい。

20

【0428】

導電体 116、および絶縁体 130 上には、絶縁体 150 が設けられている。絶縁体 150 は、絶縁体 320 と同様の材料を用いて設けることができる。また、絶縁体 150 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0429】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

30

【0430】

<変形例 1 >

また、本実施の形態の変形例として、図 24 に示すように、導電体 244、およびバリア層 281 を形成してもよい。つまり、絶縁体 280 にプラグ、または配線となる導電体 244 と、容量素子 100 の電極の一部となる導電体 112 と、を埋め込み、導電体 244 上に、バリア性を有する導電体、または絶縁体を用いて、バリア層 281 を設けてもよい。なお、この場合、バリア層 281 は、バリア性だけでなく、耐酸化性が高い導電体を用いることが好ましい。当該構成とすることで、導電体 244 の一部が容量素子の電極 (導電体 112) として機能するため、別途導電体を設ける必要はない。

40

【0431】

従って、容量素子 100 は、図 24 に示すように、導電体 244 の一領域である導電体 112 と、絶縁体 282、および絶縁体 130、導電体 116 とを有する。

【0432】

容量素子 100 の電極として機能を有する導電体 112 は、導電体 244 と、同時に形成することが可能である。当該構成とすることで、生産性を高くすることができる。また、容量素子の電極を形成するためのマスクが不要となる為、工程を削減することができる。

【0433】

50

また、絶縁体 216 上には、絶縁体 220、絶縁体 222、および絶縁体 224 が、順に積層して設けられている。絶縁体 220、絶縁体 222、および絶縁体 224 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。なお、絶縁体 220、絶縁体 222、および絶縁体 224 は、トランジスタ 200 の一部（ゲート絶縁体）として機能する場合がある。

【0434】

また、絶縁体 224 には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。つまり、絶縁体 224 には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。特に、トランジスタ 200 に酸化物半導体を用いる場合、トランジスタ 200 近傍の下地膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ 200 の酸素欠損を低減することで、信頼性を向上させることができる。10

【0435】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS 分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms / cm³ 以上、好ましくは 3.0×10^{20} atoms / cm³ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。

【0436】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。20

【0437】

また、絶縁体 224 が、過剰酸素領域を有する場合、絶縁体 222、または絶縁体 220 は、酸素、水素、および水に対するバリア性を有することが好ましい。絶縁体 222、または絶縁体 220 が、酸素に対するバリア性を有することで、過剰酸素領域の酸素は、トランジスタ 300 側へ拡散することなく、効率よくトランジスタ 200 が有する酸化物 230 へ供給することができる。また、導電体 218、およびトランジスタ 200 を構成する導電体（導電体 205）が、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。30

【0438】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。40

【0439】

<変形例 2>

また、本実施の形態の変形例として、図 25 に示すように、導電体 219、導電体 244、およびバリア性を有する導電体 246 を形成してもよい。つまり、絶縁体 280 にプラグ、または配線となる導電体 244 を埋め込み、導電体 244 上に、バリア性を有する導電体 246 を設けてもよい。なお、この場合、導電体 246 は、バリア性だけでなく、耐酸化性が高い導電体を用いることが好ましい。また、当該構成とすることで、導電体 246 と、容量素子の電極として機能する導電体 112 を同時に形成することができる。また、当該構成とすることで、導電体 246 がバリア層としても機能するため、別途バリア層を設ける必要はない。

【0440】

10

20

30

40

50

従って、容量素子 100 は、図 25 に示すように、導電体 112 と、絶縁体 282、および絶縁体 130、導電体 116 とを有する。容量素子 100 の電極として機能を有する導電体 112 は、導電体 246 と、同時に形成することが可能である。

【0441】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

10

【0442】

<変形例 3 >

また、本実施の形態の変形例として、図 26 に示すような容量素子 100 を設けてもよい。つまり、絶縁体 280 にプラグ、または配線となる導電体 244 を埋め込み、導電体 244 上に、バリア性を有するバリア層 281 を設けた後、バリア性を有する絶縁体 282、および絶縁体 284 を設ける。続いて、絶縁体 284 上に、平坦性が高い絶縁体 286 を設けることで、平坦性が高い絶縁体 286 上に容量素子 100 を設けることができる。

【0443】

容量素子 100 は、絶縁体 286 上に設けられ、導電体 112（導電体 112a、および導電体 112b）と、絶縁体 130、絶縁体 132、および絶縁体 134 と、導電体 116 とを有する。なお、導電体 124 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電気的に接続するプラグ、または配線として機能を有する。

20

【0444】

導電体 112 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタンゲステンやモリブデンなどの高融点材料を用いることが好ましく、特にタンゲステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

【0445】

導電体 112 上に、絶縁体 130、絶縁体 132、および絶縁体 134 を設ける。絶縁体 130、絶縁体 132、および絶縁体 134 には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよい。図では、3 層構造で示したが、単層、2 層、または 4 層以上の積層構造としてもよい。

30

【0446】

例えば、絶縁体 130、および絶縁体 134 には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用い、絶縁体 132 には、酸化アルミニウムなどの高誘電率（high - k）材料を用いることが好ましい。当該構成により、容量素子 100 は、高誘電率（high - k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

40

【0447】

導電体 112 上に、絶縁体 130、絶縁体 132、および絶縁体 134 を介して、導電体 116 を設ける。なお、導電体 116 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタンゲステンやモリブデンなどの高融点材料を用いることが好ましく、特にタンゲステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

【0448】

なお、電極の一方として機能する導電体 112 において、導電体 112b のような凸状を

50

有する構造体とすることで、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。

【0449】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0450】

10 <変形例4>

また、本実施の形態の変形例の一例を、図27に示す。図27は、図23と、トランジスタ300、およびトランジスタ200の構成が異なる。

【0451】

図27に示すトランジスタ300はチャネルが形成される半導体領域312（基板311の一部）が凸形状を有する。また、半導体領域312の側面および上面を、絶縁体314を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0452】

図27に示すトランジスタ200構造の詳細は、上記実施の形態で説明した。絶縁体280に形成された開口部に、酸化物、ゲート絶縁体、およびゲートとなる導電体が形成されている。従って、少なくとも、ゲートとなる導電体上にバリア性を有する導電体246を形成することが好ましい。

【0453】

また、導電体112（導電体246）として、窒化タンタルなどの、酸素、水素、または水に対してバリア性を有する導電体と、タンゲステンや銅などの導電性が高い導電体を積層して用いた場合、タンゲステンや銅などの導電性が高い導電体は、窒化タンタル、およびバリア層281により完全に密封される。従って、銅などの導電体自身の拡散を抑制するとともに、絶縁体282よりも上方から、導電体244を通過して不純物が侵入することを抑制することができる。

【0454】

なお、トランジスタ200の上方には、容量素子100が設けられている。図27に示す構成において、容量素子100は、導電体112と、バリア性を有する導電体246、絶縁体282、および絶縁体130、導電体116とを有する。

【0455】

導電体112は、容量素子100の電極として機能を有する。例えば、図27に示す構成は、トランジスタ200、およびトランジスタ300と接続するプラグ、または配線として機能する導電体244の一部が、導電体112としての機能を備える構成である。なお、バリア層281が導電性を有する場合は、バリア層281は、容量素子100の電極の一部として機能する。また、バリア層281が絶縁性である場合は、バリア層281は、容量素子100の誘電体として機能する。

【0456】

当該構成とすることで、電極と配線とを別々に形成する場合よりも、工程数を削減できるため、生産性を高くすることができます。

【0457】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

10

20

30

40

50

ンジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0458】

<変形例5>

また、本実施の形態の変形例の一例を、図28に示す。図28は、図26と、トランジスタ200の構成が異なる。

【0459】

図28に示すように、絶縁体279、およびバリア層271を設けてもよい。絶縁体279は、絶縁体280と、同様の材料及び作製方法を用いて形成することができる。つまり、絶縁体279は、絶縁体280と、同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。従って、絶縁体279は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体である。過剰酸素を含む絶縁体を形成する方法としては、CVD法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、絶縁体279となる絶縁体を形成した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。また、絶縁体279に、過剰酸素領域を形成するために、例えば、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

10

【0460】

バリア層271は、酸素に対するバリア性を有する絶縁体、または導電体を用いる。バリア層271には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、窒化タンタルなどを、スパッタリング法、または原子層堆積(Atomic Layer Deposition)法を用いて、設けることができる。

【0461】

絶縁体279、およびバリア層271上に、絶縁体280を設ける。絶縁体279、および絶縁体280を同材料、および同作製方法で設けることにより、絶縁体280に対して、過酸素化処理を行った場合、導入された過剰な酸素は絶縁体280だけでなく、絶縁体279にも拡散する。従って、絶縁体280、および絶縁体279に、過剰酸素領域を形成するには、例えば、絶縁体280に対して、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

20

【0462】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

30

【0463】

<変形例6>

また、本実施の形態の変形例の一例を、図31に示す。図31(A)、および図31(B)はそれぞれ、一点鎖線A1-A2を軸とした、トランジスタ200のチャネル長、およびチャネル幅方向の断面を示す。

【0464】

図31に示すように、トランジスタ200、および過剰酸素領域を含む絶縁体280を、絶縁体212、および絶縁体214の積層構造と、絶縁体282、および絶縁体284の積層構造により包み込む構成としてもよい。その際、トランジスタ300と容量素子100とを接続する貫通電極と、トランジスタ200との間で、絶縁体212、および絶縁体

40

50

214の積層構造と、絶縁体282、および絶縁体284の積層構造が接することが好ましい。

【0465】

従って、絶縁体280、およびトランジスタ200から放出された酸素が、容量素子100、またはトランジスタ300が形成されている層へ拡散することを抑制することができる。または、絶縁体282よりも上方の層、および絶縁体214よりも下方の層から、水素、および水等の不純物が、トランジスタ200へ、拡散することを抑制することができる。

【0466】

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ200におけるチャネルが形成される酸化物に不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ200におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができます。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

【0467】

<変形例7>

また、本実施の形態の変形例の一例を、図32に示す。図32(A)は、図30(A)に示す半導体装置を、マトリクス状に配置した場合における、行の一部を抜き出した回路図である。また、図32(B)は、図32(A)の回路図と対応した半導体装置の断面図である。

10

20

【0468】

図32には、トランジスタ300、トランジスタ200、および容量素子100を有する半導体装置と、トランジスタ301、トランジスタ201、および容量素子101を有する半導体装置と、トランジスタ302、トランジスタ202、および容量素子102を有する半導体装置とが、同じ行に配置されている。

【0469】

図32(B)に示すように、複数個のトランジスタ(図ではトランジスタ200、およびトランジスタ201)、および過剰酸素領域を含む絶縁体280を、絶縁体212、および絶縁体214の積層構造と、絶縁体282、および絶縁体284の積層構造により包み込む構成としてもよい。その際、トランジスタ300、トランジスタ301、またはトランジスタ302と、容量素子100、容量素子101、または容量素子102と、を接続する貫通電極と、トランジスタ200、トランジスタ201、またはトランジスタ202との間で、絶縁体212、および絶縁体214と、絶縁体282、および絶縁体284とが積層構造となることが好ましい。

30

【0470】

従って、絶縁体280、およびトランジスタ200から放出された酸素が、容量素子100、またはトランジスタ300が形成されている層へ拡散することを抑制することができる。または、絶縁体282よりも上方の層、および絶縁体214よりも下方の層から、水素、および水等の不純物が、トランジスタ200へ、拡散することを抑制することができる。

40

【0471】

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ200におけるチャネルが形成される酸化物が不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ200におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができます。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができます。

50

【0472】

<変形例8>

また、本実施の形態の変形例の一例を、図33に示す。図33は、図32に示す半導体装置において、トランジスタ201、およびトランジスタ202を集積した場合の半導体装置の断面図である。

【0473】

図33に示すように、容量素子101の電極の一方となる導電体112の機能を、トランジスタ201のソース電極またはドレイン電極となる導電体が備えてよい。その場合、トランジスタ201の酸化物、およびトランジスタ201のゲート絶縁体として機能する絶縁体が、トランジスタ201のソース電極またはドレイン電極となる導電体上に延在した領域が、容量素子101の絶縁体として機能する。従って、容量素子101の電極の他方となる導電体116を、導電体240a上に、絶縁体250、および酸化物230cを介して積層すればよい。当該構成により、半導体装置の小面積化、高集積化、微細化が可能となる。

10

【0474】

また、トランジスタ201と、トランジスタ202を重畠して設けてよい。当該構成により、半導体装置の小面積化、高集積化、微細化が可能となる。

【0475】

また、複数個のトランジスタ（図ではトランジスタ201、およびトランジスタ202）、および過剰酸素領域を含む絶縁体280を、絶縁体212、および絶縁体214の積層構造と、絶縁体282、および絶縁体284の積層構造により包み込む構成としてもよい。その際、トランジスタ300、トランジスタ301、またはトランジスタ302と、容量素子100、容量素子101、または容量素子102と、を接続する貫通電極と、トランジスタ200、トランジスタ201、またはトランジスタ202との間で、絶縁体212、および絶縁体214と、絶縁体282、および絶縁体284とが積層構造となることが好ましい。

20

【0476】

従って、絶縁体280、およびトランジスタ200から放出された酸素が、容量素子100、またはトランジスタ300が形成されている層へ拡散することを抑制することができる。または、絶縁体282よりも上方の層、および絶縁体214よりも下方の層から、水素、および水等の不純物が、トランジスタ200へ、拡散することを抑制することができる。

30

【0477】

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ200におけるチャネルが形成される酸化物に不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ200におけるチャネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることはできる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

40

【0478】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0479】

(実施の形態5)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

【0480】

<回路>

以下では、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例に

50

について、図34、および図35を用いて説明する。

【0481】

<記憶装置1>

図34に示す半導体装置は、トランジスタ3400、配線3006を有する点で先の実施の形態で説明した半導体装置と異なる。この場合も先の実施の形態に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。また、トランジスタ3400としては上記のトランジスタ300と同様のトランジスタを用いればよい。

【0482】

配線3006は、トランジスタ3400のゲートと電気的に接続され、トランジスタ3400のソース、ドレインの一方はトランジスタ300のドレインと電気的に接続され、トランジスタ3400のソース、ドレインの他方は配線3003と電気的に接続される。

【0483】

<記憶装置2>

半導体装置（記憶装置）の変形例について、図35に示す回路図を用いて説明する。

【0484】

図35に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500および容量素子4600と、を有する。ここでトランジスタ4100は、上述のトランジスタ300と同様のトランジスタを用いることができ、トランジスタ4200乃至4400は、上述のトランジスタ200と同様のトランジスタを用いることができる。また、ここで容量素子4500、および容量素子4600は、上述の容量素子100と同様の容量素子を用いることができる。なお、図35に示す半導体装置は、図35では図示を省略したが、マトリクス状に複数設けられる。図35に示す半導体装置は、配線4001、配線4003、配線4005乃至4009に与える信号または電位に従って、データ電圧の書き込み、読み出しを制御することができる。

【0485】

トランジスタ4100のソースまたはドレインの一方は、配線4003に接続される。トランジスタ4100のソースまたはドレインの他方は、配線4001に接続される。なお図35では、トランジスタ4100の導電型をpチャネル型として示すが、nチャネル型でもよい。

【0486】

図35に示す半導体装置は、2つのデータ保持部を有する。例えば第1のデータ保持部は、ノードFG1に接続されるトランジスタ4400のソースまたはドレインの一方、容量素子4600の一方の電極、およびトランジスタ4200のソースまたはドレインの一方の間で電荷を保持する。また、第2のデータ保持部は、ノードFG2に接続されるトランジスタ4100のゲート、トランジスタ4200のソースまたはドレインの他方、トランジスタ4300のソースまたはドレインの一方、および容量素子4500の一方の電極の間で電荷を保持する。

【0487】

トランジスタ4300のソースまたはドレインの他方は、配線4003に接続される。トランジスタ4400のソースまたはドレインの他方は、配線4001に接続される。トランジスタ4400のゲートは、配線4005に接続される。トランジスタ4200のゲートは、配線4006に接続される。トランジスタ4300のゲートは、配線4007に接続される。容量素子4600の他方の電極は、配線4008に接続される。容量素子4500の他方の電極は、配線4009に接続される。

【0488】

トランジスタ4200乃至4400は、データ電圧の書き込みと電荷の保持を制御するスイッチとしての機能を有する。なおトランジスタ4200乃至4400は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。オフ電流が少ないトランジスタとしては、チャネル形成領域に酸化物半導体を有するトランジスタ（OSトランジスタ）であることが好ましい。OSトラン

10

20

30

40

50

ジスタは、オフ電流が低い、シリコンを有するトランジスタと重ねて作製できる等の利点がある。なお図35では、トランジスタ4200乃至4400の導電型をnチャネル型として示すが、pチャネル型でもよい。

【0489】

トランジスタ4200およびトランジスタ4300と、トランジスタ4400とは、酸化物半導体を用いたトランジスタであっても別層に設けることが好ましい。すなわち、図35に示す半導体装置は、トランジスタ4100と、トランジスタ4200およびトランジスタ4300と、トランジスタ4400と、を積層して設けることが好ましい。つまり、トランジスタを集積化することで、回路面積を縮小することができ、半導体装置の小型化を図ることができる。

10

【0490】

次いで、図35に示す半導体装置への情報の書き込み動作について説明する。

【0491】

最初に、ノードFG1に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作1とよぶ。）について説明する。なお、以下において、ノードFG1に接続されるデータ保持部に書きこむデータ電圧を V_{D1} とし、トランジスタ4100の閾値電圧を V_{th} とする。

【0492】

書き込み動作1では、配線4003を V_{D1} とし、配線4001を接地電位とした後に、電気的に浮遊状態とする。また配線4005、4006をハイレベルにする。また配線4007乃至4009をローレベルにする。すると、電気的に浮遊状態にあるノードFG2の電位が上昇し、トランジスタ4100に電流が流れる。電流が流れることで、配線4001の電位が上昇する。またトランジスタ4400、トランジスタ4200が導通状態となる。そのため、配線4001の電位の上昇につれて、ノードFG1、FG2の電位が上昇する。ノードFG2の電位が上昇し、トランジスタ4100でゲートとソースとの間の電圧（ V_{gs} ）がトランジスタ4100の閾値電圧 V_{th} になると、トランジスタ4100を流れる電流が小さくなる。そのため、配線4001、ノードFG1、FG2の電位の上昇は止まり、 V_{D1} から V_{th} だけ下がった「 $V_{D1} - V_{th}$ 」で一定となる。

20

【0493】

つまり、配線4003に与えた V_{D1} は、トランジスタ4100に電流が流れることで、配線4001に与えられ、ノードFG1、FG2の電位が上昇する。電位の上昇によって、ノードFG2の電位が「 $V_{D1} - V_{th}$ 」となると、トランジスタ4100の V_{gs} が V_{th} となるため、電流が止まる。

30

【0494】

次に、ノードFG2に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作2とよぶ。）について説明する。なお、ノードFG2に接続されるデータ保持部に書きこむデータ電圧を V_{D2} として説明する。

【0495】

書き込み動作2では、配線4001を V_{D2} とし、配線4003を接地電位とした後に、電気的に浮遊状態とする。また配線4007をハイレベルにする。また配線4005、4006、4008、4009をローレベルにする。トランジスタ4300を導通状態として配線4003をローレベルにする。そのため、ノードFG2の電位もローレベルにまで低下し、トランジスタ4100に電流が流れる。電流が流れることで、配線4003の電位が上昇する。またトランジスタ4300が導通状態となる。そのため、配線4003の電位の上昇につれて、ノードFG2の電位が上昇する。ノードFG2の電位が上昇し、トランジスタ4100で V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。そのため、配線4003、FG2の電位の上昇は止まり、 V_{D2} から V_{th} だけ下がった「 $V_{D2} - V_{th}$ 」で一定となる。

40

【0496】

つまり、配線4001に与えた V_{D2} は、トランジスタ4100に電流が流れることで、

50

配線 4 0 0 3 に与えられ、ノード F G 2 の電位が上昇する。電位の上昇によって、ノード F G 2 の電位が「 $V_{D_2} - V_{th}$ 」となると、トランジスタ 4 1 0 0 の V_{gs} が V_{th} となるため、電流が止まる。このとき、ノード F G 1 の電位は、トランジスタ 4 2 0 0 、4 4 0 0 共に非導通状態であり、書き込み動作 1 で書きこんだ「 $V_{D_1} - V_{th}$ 」が保持される。

【 0 4 9 7 】

図 3 5 に示す半導体装置では、複数のデータ保持部にデータ電圧を書きこんだのち、配線 4 0 0 9 をハイレベルにして、ノード F G 1 、 F G 2 の電位を上昇させる。そして、各トランジスタを非導通状態として、電荷の移動をなくし、書きこんだデータ電圧を保持する。
10

【 0 4 9 8 】

以上説明したノード F G 1 、 F G 2 へのデータ電圧の書き込み動作によって、複数のデータ保持部にデータ電圧を保持させることができる。なお書きこまれる電位として、「 $V_{D_1} - V_{th}$ 」や「 $V_{D_2} - V_{th}$ 」を一例として挙げて説明したが、これらは多値のデータに対応するデータ電圧である。そのため、それぞれのデータ保持部で 4 ビットのデータを保持する場合、16 値の「 $V_{D_1} - V_{th}$ 」や「 $V_{D_2} - V_{th}$ 」を取り得る。

【 0 4 9 9 】

次いで、図 3 5 に示す半導体装置からの情報の読み出し動作について説明する。

【 0 5 0 0 】

最初に、ノード F G 2 に接続されるデータ保持部からのデータ電圧の読み出し動作（以下、読み出し動作 1 とよぶ。）について説明する。
20

【 0 5 0 1 】

読み出し動作 1 では、プリチャージを行ってから電気的に浮遊状態とした、配線 4 0 0 3 を放電させる。配線 4 0 0 5 乃至 4 0 0 8 をローレベルにする。また、配線 4 0 0 9 をローレベルとして、電気的に浮遊状態にあるノード F G 2 の電位を「 $V_{D_2} - V_{th}$ 」とする。ノード F G 2 の電位が下がることで、トランジスタ 4 1 0 0 に電流が流れる。電流が流れることで、電気的に浮遊状態の配線 4 0 0 3 の電位が低下する。配線 4 0 0 3 の電位の低下につれて、トランジスタ 4 1 0 0 の V_{gs} が小さくなる。トランジスタ 4 1 0 0 の V_{gs} がトランジスタ 4 1 0 0 の V_{th} になると、トランジスタ 4 1 0 0 を流れる電流が小さくなる。すなわち、配線 4 0 0 3 の電位が、ノード F G 2 の電位「 $V_{D_2} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D_2} 」となる。この配線 4 0 0 3 の電位は、ノード F G 2 に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧は A / D 変換を行い、ノード F G 2 に接続されるデータ保持部のデータを取得する。
30

【 0 5 0 2 】

つまり、プリチャージ後の配線 4 0 0 3 を浮遊状態とし、配線 4 0 0 9 の電位をハイレベルからローレベルに切り替えることで、トランジスタ 4 1 0 0 に電流が流れる。電流が流れることで、浮遊状態にあった配線 4 0 0 3 の電位は低下して「 V_{D_2} 」となる。トランジスタ 4 1 0 0 では、ノード F G 2 の「 $V_{D_2} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線 4 0 0 3 には、書き込み動作 2 で書きこんだ「 V_{D_2} 」が読み出される。
40

【 0 5 0 3 】

ノード F G 2 に接続されるデータ保持部のデータを取得したら、トランジスタ 4 3 0 0 を導通状態として、ノード F G 2 の「 $V_{D_2} - V_{th}$ 」を放電させる。

【 0 5 0 4 】

次に、ノード F G 1 に保持される電荷をノード F G 2 に分配し、ノード F G 1 に接続されるデータ保持部のデータ電圧を、ノード F G 2 に接続されるデータ保持部に移す。ここで、配線 4 0 0 1 、4 0 0 3 をローレベルとする。配線 4 0 0 6 をハイレベルにする。また、配線 4 0 0 5 、配線 4 0 0 7 乃至 4 0 0 9 をローレベルにする。トランジスタ 4 2 0 0 が導通状態となることで、ノード F G 1 の電荷が、ノード F G 2 との間で分配される。
50

【0505】

ここで、電荷の分配後の電位は、書きこんだ電位「 $V_{D_1} - V_{th}$ 」から低下する。そのため、容量素子4600の容量値は、容量素子4500の容量値よりも大きくしておくことが好ましい。あるいは、ノードFG1に書きこむ電位「 $V_{D_1} - V_{th}$ 」は、同じデータを表す電位「 $V_{D_2} - V_{th}$ 」よりも大きくすることが好ましい。このように、容量値の比を変えること、予め書きこむ電位を大きくしておくことで、電荷の分配後の電位の低下を抑制することができる。電荷の分配による電位の変動については、後述する。

【0506】

次に、ノードFG1に接続されるデータ保持部からのデータ電圧の読み出し動作（以下、読み出し動作2とよぶ。）について説明する。

10

【0507】

読み出し動作2では、プリチャージを行ってから電気的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009は、プリチャージ時にハイレベルとして、その後ローレベルとする。配線4009をローレベルとすることで、電気的に浮遊状態にあるノードFG2を電位「 $V_{D_1} - V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電気的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100のVgsが小さくなる。トランジスタ4100のVgsがトランジスタ4100のVthになると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D_1} - V_{th}$ 」からVthだけ大きい値である「 V_{D_1} 」となる。この配線4003の電位は、ノードFG1に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG1に接続されるデータ保持部のデータを取得する。以上が、ノードFG1に接続されるデータ保持部からのデータ電圧の読み出し動作である。

20

【0508】

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D_1} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D_1} - V_{th}$ 」との間のVgsがVthとなるため、電流が止まる。そして、配線4003には、書き込み動作1で書きこんだ「 V_{D_1} 」が読み出される。

30

【0509】

以上説明したノードFG1、FG2からのデータ電圧の読み出し動作によって、複数のデータ保持部からデータ電圧を読み出すことができる。例えば、ノードFG1およびノードFG2にそれぞれ4ビット（16値）のデータを保持することで計8ビット（256値）のデータを保持することができる。また、図35においては、第1の層4021乃至第3の層4023からなる構成としたが、さらに層を形成することによって、半導体装置の面積を増大させず記憶容量の増加を図ることができる。

40

【0510】

なお読み出される電位は、書きこんだデータ電圧よりVthだけ大きい電圧として読み出すことができる。そのため、書き込み動作で書きこんだ「 $V_{D_1} - V_{th}$ 」や「 $V_{D_2} - V_{th}$ 」のVthを相殺して読み出す構成とすることができます。その結果、メモリセルあたりの記憶容量を向上させるとともに、読み出されるデータを正しいデータに近づけることができるため、データの信頼性に優れたものとすることができます。

【0511】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0512】

（実施の形態6）

50

本実施の形態では、上述の実施の形態で説明したOSトランジスタを適用可能な回路構成の一例について、図36乃至図39を用いて説明する。

【0513】

図36(A)にインバータの回路図を示す。インバータ5800は、入力端子INに与える信号の論理を反転した信号を出力端子OUTから出力する。インバータ5800は、複数のOSトランジスタを有する。信号S_{BG}は、OSトランジスタの電気特性を切り替えることができる信号である。

【0514】

図36(B)に、インバータ5800の一例を示す。インバータ5800は、OSトランジスタ5810、およびOSトランジスタ5820を有する。インバータ5800は、nチャネル型トランジスタで作製することができるため、CMOS(Compl ement ary Metal Oxide Semiconductor)でインバータ(CMOSインバータ)を作製する場合と比較して、低コストで作製することが可能である。
10

【0515】

なおOSトランジスタを有するインバータ5800は、Siトランジスタで構成されるCMOS上に配置することもできる。インバータ5800は、CMOSの回路に重ねて配置できるため、インバータ5800を追加する分の回路面積の増加を抑えることができる。

【0516】

OSトランジスタ5810、5820は、フロントゲートとして機能する第1ゲートと、バックゲートとして機能する第2ゲートと、ソースまたはドレインの一方として機能する第1端子と、ソースまたはドレインの他方として機能する第2端子を有する。
20

【0517】

OSトランジスタ5810の第1ゲートは、第2端子に接続される。OSトランジスタ5810の第2ゲートは、信号S_{BG}を供給する配線に接続される。OSトランジスタ5810の第1端子は、電圧VDDを与える配線に接続される。OSトランジスタ5810の第2端子は、出力端子OUTに接続される。

【0518】

OSトランジスタ5820の第1ゲートは、入力端子INに接続される。OSトランジスタ5820の第2ゲートは、入力端子INに接続される。OSトランジスタ5820の第1端子は、出力端子OUTに接続される。OSトランジスタ5820の第2端子は、電圧VSSを与える配線に接続される。
30

【0519】

図36(C)は、インバータ5800の動作を説明するためのタイミングチャートである。図36(C)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、信号S_{BG}の信号波形、およびOSトランジスタ5810(FET5810)の閾値電圧の変化について示している。

【0520】

信号S_{BG}はOSトランジスタ5810の第2ゲートに与えることで、OSトランジスタ5810の閾値電圧を制御することができる。

【0521】

信号S_{BG}は、閾値電圧をマイナスシフトさせるための電圧V_{BG_A}、閾値電圧をプラスシフトさせるための電圧V_{BG_B}を有する。第2ゲートに電圧V_{BG_A}を与えることで、OSトランジスタ5810は閾値電圧V_{TH_A}にマイナスシフトさせることができる。また、第2ゲートに電圧V_{BG_B}を与えることで、OSトランジスタ5810は閾値電圧V_{TH_B}にプラスシフトさせることができる。
40

【0522】

前述の説明を可視化するために、図37(A)には、トランジスタの電気特性の一つである、Vg - Idカーブを示す。

【0523】

上述したOSトランジスタ5810の電気特性は、第2ゲートの電圧を電圧V_{BG_A}の
50

よう大きくなることで、図37(A)中の破線5840で表される曲線にシフトさせることができる。また、上述したOSトランジスタ5810の電気特性は、第2ゲートの電圧を電圧 V_{B_G-B} のように小さくすることで、図37(A)中の実線5841で表される曲線にシフトさせることができる。図37(A)に示すように、OSトランジスタ5810は、信号 S_{B_G} を電圧 V_{B_G-A} あるいは電圧 V_{B_G-B} というように切り替えることで、閾値電圧をプラスシフトあるいはマイナスシフトさせることができる。

【0524】

閾値電圧を閾値電圧 V_{TH-B} にプラスシフトさせることで、OSトランジスタ5810は電流が流れにくい状態とすることができます。図37(B)には、この状態を可視化して示す。図37(B)に図示するように、OSトランジスタ5810に流れる電流 I_B を極めて小さくすることができます。そのため、入力端子INに与える信号がハイレベルでOSトランジスタ5820はオン状態(ON)のとき、出力端子OUTの電圧を急峻に下降させることができます。

【0525】

図37(B)に図示したように、OSトランジスタ5810に流れる電流が流れにくい状態とすることができますため、図36(C)に示すタイミングチャートにおける出力端子の信号波形5831を急峻に変化させることができます。電圧 V_{DD} を与える配線と、電圧 V_{SS} を与える配線との間に流れる貫通電流を少なくすることができるため、低消費電力での動作を行うことができます。

【0526】

また、閾値電圧を閾値電圧 V_{TH-A} にマイナスシフトさせることで、OSトランジスタ5810は電流が流れやすい状態とすることができます。図37(C)には、この状態を可視化して示す。図37(C)に図示するように、このとき流れる電流 I_A を少なくとも電流 I_B よりも大きくすることができます。そのため、入力端子INに与える信号がローレベルでOSトランジスタ5820はオフ状態(OFF)のとき、出力端子OUTの電圧を急峻に上昇させることができます。

【0527】

図37(C)に図示したように、OSトランジスタ5810に流れる電流が流れやすい状態とすることができますため、図36(C)に示すタイミングチャートにおける出力端子の信号波形5832を急峻に変化させることができます。

【0528】

なお、信号 S_{B_G} によるOSトランジスタ5810の閾値電圧の制御は、OSトランジスタ5820の状態が切り替わる以前、すなわち時刻T1やT2よりも前に行なうことが好ましい。例えば、図36(C)に図示するように、入力端子INに与える信号がハイレベルに切り替わる時刻T1よりも前に、閾値電圧 V_{TH-A} から閾値電圧 V_{TH-B} にOSトランジスタ5810の閾値電圧を切り替えることが好ましい。また、図36(C)に図示するように、入力端子INに与える信号がローレベルに切り替わる時刻T2よりも前に、閾値電圧 V_{TH-B} から閾値電圧 V_{TH-A} にOSトランジスタ5810の閾値電圧を切り替えることが好ましい。

【0529】

なお図36(C)のタイミングチャートでは、入力端子INに与える信号に応じて信号 S_{B_G} を切り替える構成を示したが、別の構成としてもよい。たとえば閾値電圧を制御するための電圧は、フローティング状態としたOSトランジスタ5810の第2ゲートに保持させる構成としてもよい。当該構成を実現可能な回路構成の一例について、図38(A)に示す。

【0530】

図38(A)では、図36(B)で示した回路構成に加えて、OSトランジスタ5850を有する。OSトランジスタ5850の第1端子は、OSトランジスタ5810の第2ゲートに接続される。またOSトランジスタ5850の第2端子は、電圧 V_{B_G-B} (あるいは電圧 V_{B_G-A})を与える配線に接続される。OSトランジスタ5850の第1ゲー

10

20

30

40

50

トは、信号 S_F を与える配線に接続される。OSトランジスタ5850の第2ゲートは、電圧 V_{B_G-B} （あるいは電圧 V_{B_G-A} ）を与える配線に接続される。

【0531】

図38(A)の動作について、図38(B)のタイミングチャートを用いて説明する。

【0532】

OSトランジスタ5810の閾値電圧を制御するための電圧は、入力端子INに与える信号がハイレベルに切り替わる時刻T3よりも前に、OSトランジスタ5810の第2ゲートに与える構成とする。信号 S_F をハイレベルとしてOSトランジスタ5850をオン状態とし、ノード N_{B_G} に閾値電圧を制御するための電圧 V_{B_G-B} を与える。

【0533】

ノード N_{B_G} が電圧 V_{B_G-B} となった後は、OSトランジスタ5850をオフ状態とする。OSトランジスタ5850は、オフ電流が極めて小さいため、オフ状態にし続けることで、ノード N_{B_G} を非常にフローティング状態に近い状態にして、一旦ノード N_{B_G} に保持させた電圧 V_{B_G-B} を保持することができる。そのため、OSトランジスタ5850の第2ゲートに電圧 V_{B_G-B} を与える動作の回数が減るため、電圧 V_{B_G-B} の書き換えに要する分の消費電力を小さくすることができる。

10

【0534】

なお図36(B)および図38(A)の回路構成では、OSトランジスタ5810の第2ゲートに与える電圧を外部からの制御によって与える構成について示したが、別の構成としてもよい。たとえば閾値電圧を制御するための電圧を、入力端子INに与える信号を基に生成し、OSトランジスタ5810の第2ゲートに与える構成としてもよい。当該構成を実現可能な回路構成の一例について、図39(A)に示す。

20

【0535】

図39(A)では、図36(B)で示した回路構成において、入力端子INとOSトランジスタ5810の第2ゲートとの間にCMOSインバータ5860を有する。CMOSインバータ5860の入力端子は、入力端子INに接続される。CMOSインバータ5860の出力端子は、OSトランジスタ5810の第2ゲートに接続される。

【0536】

図39(A)の動作について、図39(B)のタイミングチャートを用いて説明する。図39(B)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、CMOSインバータ5860の出力波形 I_N-B 、およびOSトランジスタ5810(FET5810)の閾値電圧の変化について示している。

30

【0537】

入力端子INに与える信号の論理を反転した信号である出力波形 I_N-B は、OSトランジスタ5810の閾値電圧を制御する信号とすることができます。したがって、図36(A)乃至(C)で説明したように、OSトランジスタ5810の閾値電圧を制御できる。例えば、図39(B)における時刻T4となるとき、入力端子INに与える信号がハイレベルでOSトランジスタ5820はオン状態となる。このとき、出力波形 I_N-B はローレベルとなる。そのため、OSトランジスタ5810は電流が流れにくい状態とができ、出力端子OUTの電圧を急峻に下降させることができる。

40

【0538】

また図39(B)における時刻T5となるとき、入力端子INに与える信号がローレベルでOSトランジスタ5820はオフ状態となる。このとき、出力波形 I_N-B はハイレベルとなる。そのため、OSトランジスタ5810は電流が流れやすい状態とができ、出力端子OUTの電圧を急峻に上昇させることができる。

【0539】

以上説明したように本実施の形態の構成では、OSトランジスタを有するインバータにおける、バックゲートの電圧を入力端子INの信号の論理にしたがって切り替える。当該構成とすることで、OSトランジスタの閾値電圧を制御することができる。入力端子INに与える信号によってOSトランジスタの閾値電圧を制御することで、出力端子OUTの電

50

圧を急峻に変化させることができる。また、電源電圧を与える配線間の貫通電流を小さくすることができる。そのため、低消費電力化を図ることができる。

【0540】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0541】

(実施の形態7)

本実施の形態では、上述の実施の形態で説明したOSトランジスタを有する複数の回路を有する半導体装置の一例について、図40乃至図46を用いて説明する。

【0542】

図40(A)は、半導体装置5900のブロック図である。半導体装置5900は、電源回路5901、回路5902、電圧生成回路5903、回路5904、電圧生成回路5905および回路5906を有する。

【0543】

電源回路5901は、基準となる電圧 V_{ORG} を生成する回路である。電圧 V_{ORG} は、単一の電圧ではなく、複数の電圧でもよい。電圧 V_{ORG} は、半導体装置5900の外部から与えられる電圧 V_o を基に生成することができる。半導体装置5900は、外部から与えられる単一の電源電圧を基に電圧 V_{ORG} を生成できる。そのため半導体装置5900は、外部から電源電圧を複数与えることなく動作することができる。

【0544】

回路5902、5904および5906は、異なる電源電圧で動作する回路である。例えば回路5902の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} ($V_{ORG} > V_{SS}$)とを基に印加される電圧である。また、例えば回路5904の電源電圧は、電圧 V_{POG} と電圧 V_{SS} ($V_{POG} > V_{ORG}$)とによって印加される電圧である。また、例えば回路5906の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} と電圧 V_{NEG} ($V_{ORG} > V_{SS} > V_{NEG}$)とを基に印加される電圧である。なお電圧 V_{SS} は、グラウンド電位(GND)と等電位とすれば、電源回路5901で生成する電圧の種類を削減できる。

【0545】

電圧生成回路5903は、電圧 V_{POG} を生成する回路である。電圧生成回路5903は、電源回路5901から与えられる電圧 V_{ORG} を基に電圧 V_{POG} を生成できる。そのため、回路5904を有する半導体装置5900は、外部から与えられる単一の電源電圧を基に動作することができる。

【0546】

電圧生成回路5905は、電圧 V_{NEG} を生成する回路である。電圧生成回路5905は、電源回路5901から与えられる電圧 V_{ORG} を基に電圧 V_{NEG} を生成できる。そのため、回路5906を有する半導体装置5900は、外部から与えられる単一の電源電圧を基に動作することができる。

【0547】

図40(B)は電圧 V_{POG} で動作する回路5904の一例、図40(C)は回路5904を動作させるための信号の波形の一例である。

【0548】

図40(B)では、トランジスタ5911を示している。トランジスタ5911のゲートに与える信号は、例えば、電圧 V_{POG} と電圧 V_{SS} を基に生成される。当該信号は、トランジスタ5911を導通状態とする動作時に電圧 V_{POG} 、非導通状態とする動作時に電圧 V_{SS} を基に生成される。電圧 V_{POG} は、図40(C)に図示するように、電圧 V_{ORG} より大きい。そのため、トランジスタ5911は、ソース(S)とドレイン(D)との間をより確実に導通状態にできる。その結果、回路5904は、誤動作が低減された回路とすることができます。

【0549】

図40(D)は電圧 V_{NEG} で動作する回路5906の一例、図40(E)は回路590

10

20

30

40

50

6を動作させるための信号の波形の一例である。

【0550】

図40(D)では、バックゲートを有するトランジスタ5912を示している。トランジスタ5912のゲートに与える信号は、例えば、電圧 V_{ORG} と電圧 V_{SS} を基にして生成される。当該信号は、トランジスタ5911を導通状態とする動作時に電圧 V_{ORG} 、非導通状態とする動作時に電圧 V_{SS} を基に生成される。また、トランジスタ5912のバックゲートに与える信号は、電圧 V_{NEG} を基に生成される。電圧 V_{NEG} は、図40(E)に図示するように、電圧 V_{SS} (GND)より小さい。そのため、トランジスタ5912の閾値電圧は、プラスシフトするように制御することができる。そのため、トランジスタ5912をより確実に非導通状態とすることが可能となる。ソース(S)とドレイン(D)との間を流れる電流を小さくできる。その結果、回路5906は、誤動作が低減され、且つ低消費電力化が図られた回路とすることが可能となる。
10

【0551】

なお電圧 V_{NEG} は、トランジスタ5912のバックゲートに直接与える構成としてもよい。あるいは、電圧 V_{ORG} と電圧 V_{NEG} を基に、トランジスタ5912のゲートに与える信号を生成し、当該信号をトランジスタ5912のバックゲートに与える構成としてもよい。

【0552】

また図41(A)、(B)には、図40(D)、(E)の変形例を示す。

【0553】

図41(A)に示す回路図では、電圧生成回路5905と、回路5906と、の間に制御回路5921によって導通状態が制御できるトランジスタ5922を示す。トランジスタ5922は、nチャネル型のOSトランジスタとする。制御回路5921が出力する制御信号 S_{BG} は、トランジスタ5922の導通状態を制御する信号である。また回路5906が有するトランジスタ5912A、5912Bは、トランジスタ5922と同じOSトランジスタである。
20

【0554】

図41(B)のタイミングチャートには、制御信号 S_{BG} の電位の変化を示し、トランジスタ5912A、5912Bのバックゲートの電位の状態をノード N_{BG} の電位の変化で示す。制御信号 S_{BG} がハイレベルのときにトランジスタ5922が導通状態となり、ノード N_{BG} が電圧 V_{NEG} となる。その後、制御信号 S_{BG} がローレベルのときにノード N_{BG} が電気的にフローティングとなる。トランジスタ5922は、OSトランジスタであるため、オフ電流が小さい。そのため、ノード N_{BG} が電気的にフローティングであっても、一旦与えた電圧 V_{NEG} を保持することができる。
30

【0555】

また図42(A)には、上述した電圧生成回路5903に適用可能な回路構成の一例を示す。図42(A)に示す電圧生成回路5903は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する5段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とを基に印加される電圧とすると、クロック信号CLKを与えることによって、電圧 V_{ORG} の5倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{POG} を得ることができる。
40

【0556】

また図42(B)には、上述した電圧生成回路5905に適用可能な回路構成の一例を示す。図42(B)に示す電圧生成回路5905は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する4段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とを基に印加される
50

電圧とすると、クロック信号 C L K を与えることによって、グラウンド、すなわち電圧 $V_{S S}$ から電圧 $V_{O R G}$ の 4 倍の負電圧に降圧された電圧 $V_{N E G}$ を得ることができる。なお、ダイオード D 1 乃至 D 5 の順方向電圧は 0 V としている。また、チャージポンプの段数を変更することで、所望の電圧 $V_{N E G}$ を得ることができる。

【 0 5 5 7 】

なお上述した電圧生成回路 5 9 0 3 の回路構成は、図 4 2 (A) で示す回路図の構成に限らない。電圧生成回路 5 9 0 3 の変形例を図 4 3 (A) 乃至 (C)、図 4 4 (A)、(B) に示す。

【 0 5 5 8 】

図 4 3 (A) に示す電圧生成回路 5 9 0 3 A は、トランジスタ M 1 乃至 M 1 0 、キャパシタ C 1 1 乃至 C 1 4 、およびインバータ I N V 1 を有する。クロック信号 C L K は、トランジスタ M 1 乃至 M 1 0 のゲートに直接、あるいはインバータ I N V 1 を介して与えられる。クロック信号 C L K を与えることによって、電圧 $V_{O R G}$ の 4 倍の正電圧に昇圧された電圧 $V_{P O G}$ を得ることができる。なお、段数を変更することで、所望の電圧 $V_{P O G}$ を得ることができる。図 4 3 (A) に示す電圧生成回路 5 9 0 3 A は、トランジスタ M 1 乃至 M 1 0 を OS トランジスタとすることでオフ電流を小さくでき、キャパシタ C 1 1 乃至 C 1 4 に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 $V_{O R G}$ から電圧 $V_{P O G}$ への昇圧を図ることができる。10

【 0 5 5 9 】

また図 4 3 (B) に示す電圧生成回路 5 9 0 3 B は、トランジスタ M 1 1 乃至 M 1 4 、キャパシタ C 1 5 、C 1 6 、およびインバータ I N V 2 を有する。クロック信号 C L K は、トランジスタ M 1 1 乃至 M 1 4 のゲートに直接、あるいはインバータ I N V 2 を介して与えられる。クロック信号 C L K を与えることによって、電圧 $V_{O R G}$ の 2 倍の正電圧に昇圧された電圧 $V_{P O G}$ を得ることができる。図 4 3 (B) に示す電圧生成回路 5 9 0 3 B は、トランジスタ M 1 1 乃至 M 1 4 を OS トランジスタとすることでオフ電流を小さくでき、キャパシタ C 1 5 、C 1 6 に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 $V_{O R G}$ から電圧 $V_{P O G}$ への昇圧を図ることができる。20

【 0 5 6 0 】

また図 4 3 (C) に示す電圧生成回路 5 9 0 3 C は、インダクタ I 1 1 、トランジスタ M 1 5 、ダイオード D 6 、およびキャパシタ C 1 7 を有する。トランジスタ M 1 5 は、制御信号 E N によって、導通状態が制御される。制御信号 E N によって、電圧 $V_{O R G}$ が昇圧された電圧 $V_{P O G}$ を得ることができる。図 4 3 (C) に示す電圧生成回路 5 9 0 3 C は、インダクタ I 1 1 を用いて電圧の昇圧を行うため、変換効率の高い電圧の昇圧を行うことができる。30

【 0 5 6 1 】

また図 4 4 (A) に示す電圧生成回路 5 9 0 3 D は、図 4 2 (A) に示す電圧生成回路 5 9 0 3 のダイオード D 1 乃至 D 5 をダイオード接続したトランジスタ M 1 6 乃至 M 2 0 に置き換えた構成に相当する。図 4 4 (A) に示す電圧生成回路 5 9 0 3 D は、トランジスタ M 1 6 乃至 M 2 0 を OS トランジスタとすることでオフ電流を小さくでき、キャパシタ C 1 乃至 C 5 に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 $V_{O R G}$ から電圧 $V_{P O G}$ への昇圧を図ることができる。40

【 0 5 6 2 】

また図 4 4 (B) に示す電圧生成回路 5 9 0 3 E は、図 4 4 (A) に示す電圧生成回路 5 9 0 3 D のトランジスタ M 1 6 乃至 M 2 0 を、バックゲートを有するトランジスタ M 2 1 乃至 M 2 5 に置き換えた構成に相当する。図 4 4 (B) に示す電圧生成回路 5 9 0 3 E は、バックゲートにゲートと同じ電圧を与えることができるため、トランジスタを流れる電流量を増やすことができる。そのため、効率的に電圧 $V_{O R G}$ から電圧 $V_{P O G}$ への昇圧を図ることができる。

【 0 5 6 3 】

なお電圧生成回路 5 9 0 3 の変形例は、図 4 2 (B) に示した電圧生成回路 5 9 0 5 にも50

適用可能である。この場合の回路図の構成を図45(A)乃至(C)、図46(A)、(B)に示す。図45(A)に示す電圧生成回路5905Aは、クロック信号CLKを与えることによって、電圧V_{SS}から電圧V_{ORG}の3倍の負電圧に降圧された電圧V_{NEG}を得ることができる。また図45(B)に示す電圧生成回路5905Bは、クロック信号CLKを与えることによって、電圧V_{SS}から電圧V_{ORG}の2倍の負電圧に降圧された電圧V_{NEG}を得ることができる。

【0564】

図45(A)乃至(C)、図46(A)、(B)に示す電圧生成回路5905A乃至5905Eでは、図43(A)乃至(C)、図44(A)、(B)に示す電圧生成回路5903A乃至5903Eにおいて、各配線に与える電圧を変更すること、あるいは素子の配置を変更した構成に相当する。図45(A)乃至(C)、図46(A)、(B)に示す電圧生成回路5905A乃至5905Eは、電圧生成回路5903A乃至5903Eと同様に、効率的に電圧V_{SS}から電圧V_{NEG}への降圧を図ることができる。

10

【0565】

以上説明したように本実施の形態の構成では、半導体装置が有する回路に必要な電圧を内部で生成することができる。そのため半導体装置は、外部から与える電源電圧の種類を削減できる。

【0566】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

20

【0567】

(実施の形態8)

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含むCPUの一例について説明する。

【0568】

<CPUの構成>

図47に示す半導体装置5400は、CPUコア5401、パワーマネージメントユニット5421および周辺回路5422を有する。パワーマネージメントユニット5421は、パワーコントローラ5402、およびパワースイッチ5403を有する。周辺回路5422は、キャッシュメモリを有するキャッシュ5404、バスインターフェース(BUS I/F)5405、及びデバッグインターフェース(Debug I/F)5406を有する。CPUコア5401は、データバス5423、制御装置5407、PC(プログラムカウンタ)5408、パイプラインレジスタ5409、パイプラインレジスタ5410、ALU(Arithmetic logical unit)5411、及びレジスタファイル5412を有する。CPUコア5401と、キャッシュ5404等の周辺回路5422とのデータのやり取りは、データバス5423を介して行われる。

30

【0569】

半導体装置(セル)は、パワーコントローラ5402、制御装置5407をはじめ、多くの論理回路に適用することができる。特に、スタンダードセルを用いて構成することができる全ての論理回路に適用することができる。その結果、小型の半導体装置5400を提供できる。また、消費電力低減することができる半導体装置5400を提供できる。また、動作速度を向上することができる半導体装置5400を提供できる。また、電源電圧の変動を低減することができる半導体装置5400を提供できる。

40

【0570】

半導体装置(セル)に、pチャネル型Siトランジスタと、先の実施の形態に記載の酸化物半導体(好ましくはIn、Ga、及びZnを含む酸化物)をチャネル形成領域に含むトランジスタとを用い、該半導体装置(セル)を半導体装置5400に適用することで、小型の半導体装置5400を提供できる。また、消費電力低減することができる半導体装置5400を提供できる。また、動作速度を向上することができる半導体装置5400を提供できる。特に、Siトランジスタはpチャネル型のみとすることで、製造コストを低く

50

抑えることができる。

【0571】

制御装置5407は、PC5408、パイプラインレジスタ5409、パイプラインレジスタ5410、ALU5411、レジスタファイル5412、キャッシング5404、バスインターフェース5405、デバッグインターフェース5406、及びパワーコントローラ5402の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。

【0572】

ALU5411は、四則演算、論理演算などの各種演算処理を行う機能を有する。

【0573】

キャッシング5404は、使用頻度の高いデータを一時的に記憶しておく機能を有する。PC5408は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。なお、図47では図示していないが、キャッシング5404には、キャッシングメモリの動作を制御するキャッシングコントローラが設けられている。

10

【0574】

パイプラインレジスタ5409は、命令データを一時的に記憶する機能を有するレジスタである。

【0575】

レジスタファイル5412は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、またはALU5411の演算処理の結果得られたデータ、などを記憶することができる。

20

【0576】

パイプラインレジスタ5410は、ALU5411の演算処理に利用するデータ、またはALU5411の演算処理の結果得られたデータなどを一時的に記憶する機能を有するレジスタである。

【0577】

バスインターフェース5405は、半導体装置5400と半導体装置5400の外部にある各種装置との間におけるデータの経路としての機能を有する。デバッグインターフェース5406は、デバッグの制御を行うための命令を半導体装置5400に入力するための信号の経路としての機能を有する。

30

【0578】

パワースイッチ5403は、半導体装置5400が有する、パワーコントローラ5402以外の各種回路への、電源電圧の供給を制御する機能を有する。上記各種回路は、幾つかのパワードメインにそれぞれ属しており、同一のパワードメインに属する各種回路は、パワースイッチ5403によって電源電圧の供給の有無が制御される。また、パワーコントローラ5402はパワースイッチ5403の動作を制御する機能を有する。

【0579】

上記構成を有する半導体装置5400は、パワーゲーティングを行うことが可能である。パワーゲーティングの動作の流れについて、一例を挙げて説明する。

【0580】

まず、CPUコア5401が、電源電圧の供給を停止するタイミングを、パワーコントローラ5402のレジスタに設定する。次いで、CPUコア5401からパワーコントローラ5402へ、パワーゲーティングを開始する旨の命令を送る。次いで、半導体装置5400内に含まれる各種レジスタとキャッシング5404が、データの退避を開始する。次いで、半導体装置5400が有するパワーコントローラ5402以外の各種回路への電源電圧の供給が、パワースイッチ5403により停止される。次いで、割込み信号がパワーコントローラ5402に入力されることで、半導体装置5400が有する各種回路への電源電圧の供給が開始される。なお、パワーコントローラ5402にカウンタを設けておき、電源電圧の供給が開始されるタイミングを、割込み信号の入力に依らずに、当該カウンタを用いて決めるようにしてもよい。次いで、各種レジスタとキャッシング5404が、デー

40

50

タの復帰を開始する。次いで、制御装置 5407 における命令の実行が再開される。

【0581】

このようなパワーゲーティングは、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において行うことができる。また、短い時間でも電源の供給を停止することができる。このため、空間的に、あるいは時間的に細かい粒度で消費電力の削減を行うことができる。

【0582】

パワーゲーティングを行う場合、CPUコア 5401 や周辺回路 5422 が保持する情報を短期間に退避できることは好ましい。そうすることで、短期間に電源のオンオフが可能となり、省電力の効果が大きくなる。

10

【0583】

CPUコア 5401 や周辺回路 5422 が保持する情報を短期間に退避するためには、フリップフロップ回路がその回路内でデータ退避できることは好ましい（バックアップ可能なフリップフロップ回路と呼ぶ）。また、SRAMセルがセル内でデータ退避できることは好ましい（バックアップ可能な SRAMセルと呼ぶ）。バックアップ可能なフリップフロップ回路や SRAMセルは、酸化物半導体（好ましくはIn、Ga、及びZnを含む酸化物）をチャネル形成領域に含むトランジスタを有することが好ましい。その結果、トランジスタが低いオフ電流を有することで、バックアップ可能なフリップフロップ回路や SRAMセルは長期間電源供給なしに情報を保持することができる。また、トランジスタが高速なスイッチング速度を有することで、バックアップ可能なフリップフロップ回路や SRAMセルは短期間のデータ退避および復帰が可能となる場合がある。

20

【0584】

バックアップ可能なフリップフロップ回路の例について、図48を用いて説明する。

【0585】

図48に示す半導体装置 5500 は、バックアップ可能なフリップフロップ回路の一例である。半導体装置 5500 は、第1の記憶回路 5501 と、第2の記憶回路 5502 と、第3の記憶回路 5503 と、読み出し回路 5504 と、を有する。半導体装置 5500 には、電位 V1 と電位 V2 の電位差が、電源電圧として供給される。電位 V1 と電位 V2 は一方がハイレベルであり、他方がローレベルである。以下、電位 V1 がローレベル、電位 V2 がハイレベルの場合を例に挙げて、半導体装置 5500 の構成例について説明するものとする。

30

【0586】

第1の記憶回路 5501 は、半導体装置 5500 に電源電圧が供給されている期間において、データを含む信号 D が入力されると、当該データを保持する機能を有する。そして、半導体装置 5500 に電源電圧が供給されている期間において、第1の記憶回路 5501 からは、保持されているデータを含む信号 Q が出力される。一方、第1の記憶回路 5501 は、半導体装置 5500 に電源電圧が供給されていない期間においては、データを保持することができない。すなわち、第1の記憶回路 5501 は、揮発性の記憶回路と呼ぶことができる。

【0587】

40

第2の記憶回路 5502 は、第1の記憶回路 5501 に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。第3の記憶回路 5503 は、第2の記憶回路 5502 に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。読み出し回路 5504 は、第2の記憶回路 5502 または第3の記憶回路 5503 に保持されたデータを読み出して第1の記憶回路 5501 に記憶する（あるいは復帰する）機能を有する。

【0588】

特に、第3の記憶回路 5503 は、半導体装置 5500 に電源電圧が供給されてない期間においても、第2の記憶回路 5502 に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。

50

【0589】

図48に示すように、第2の記憶回路5502はトランジスタ5512と容量素子5519とを有する。第3の記憶回路5503はトランジスタ5513と、トランジスタ5515と、容量素子5520とを有する。読み出し回路5504はトランジスタ5510と、トランジスタ5518と、トランジスタ5509と、トランジスタ5517と、を有する。

【0590】

トランジスタ5512は、第1の記憶回路5501に保持されているデータに応じた電荷を、容量素子5519に充放電する機能を有する。トランジスタ5512は、第1の記憶回路5501に保持されているデータに応じた電荷を容量素子5519に対して高速に充放電できることが望ましい。具体的には、トランジスタ5512が、結晶性を有するシリコン（好ましくは多結晶シリコン、更に好ましくは単結晶シリコン）をチャネル形成領域に含むことが望ましい。10

【0591】

トランジスタ5513は、容量素子5519に保持されている電荷に従って導通状態または非導通状態が選択される。トランジスタ5515は、トランジスタ5513が導通状態であるときに、配線5544の電位に応じた電荷を容量素子5520に充放電する機能を有する。トランジスタ5515は、オフ電流が著しく小さいことが望ましい。具体的には、トランジスタ5515が、酸化物半導体（好ましくはIn、Ga、及びZnを含む酸化物）をチャネル形成領域に含むことが望ましい。20

【0592】

各素子の接続関係を具体的に説明すると、トランジスタ5512のソース及びドレインの一方は、第1の記憶回路5501に接続されている。トランジスタ5512のソース及びドレインの他方は、容量素子5519の一方の電極、トランジスタ5513のゲート、及びトランジスタ5518のゲートに接続されている。容量素子5519の他方の電極は、配線5542に接続されている。トランジスタ5513のソース及びドレインの一方は、配線5544に接続されている。トランジスタ5513のソース及びドレインの他方は、トランジスタ5515のソース及びドレインの一方接続されている。トランジスタ5515のソース及びドレインの他方は、容量素子5520の一方の電極、及びトランジスタ5510のゲートに接続されている。容量素子5520の他方の電極は、配線5543に接続されている。トランジスタ5510のソース及びドレインの一方は、配線5541に接続されている。トランジスタ5510のソース及びドレインの他方は、トランジスタ5518のソース及びドレインの一方に接続されている。トランジスタ5518のソース及びドレインの他方は、トランジスタ5509のソース及びドレインの一方に接続されている。トランジスタ5509のソース及びドレインの他方は、トランジスタ5517のソース及びドレインの一方、及び第1の記憶回路5501に接続されている。トランジスタ5517のソース及びドレインの他方は、配線5540に接続されている。また、図48においては、トランジスタ5509のゲートは、トランジスタ5517のゲートと接続されているが、トランジスタ5509のゲートは、必ずしもトランジスタ5517のゲートと接続されていなくてもよい。30

【0593】

トランジスタ5515に先の実施の形態で例示したトランジスタを適用することができる。トランジスタ5515のオフ電流が小さいために、半導体装置5500は、長期間電源供給なしに情報を保持することができる。トランジスタ5515のスイッチング特性が良好するために、半導体装置5500は、高速のバックアップとリカバリを行うことができる。

【0594】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0595】1020304050

(実施の形態 9)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した撮像装置の一例について説明する。

【 0 5 9 6 】

<撮像装置 >

以下では、本発明の一態様に係る撮像装置について説明する。

【 0 5 9 7 】

図 4 9 (A) は、本発明の一態様に係る撮像装置 2 2 0 0 の例を示す平面図である。撮像装置 2 2 0 0 は、画素部 2 2 1 0 と、画素部 2 2 1 0 を駆動するための周辺回路 2 2 6 0 と、周辺回路 2 2 7 0 、周辺回路 2 2 8 0 と、周辺回路 2 2 9 0 と、を有する。10
画素部 2 2 1 0 は、 p 行 q 列 (p および q は 2 以上の整数) のマトリクス状に配置された複数の画素 2 2 1 1 を有する。周辺回路 2 2 6 0 、周辺回路 2 2 7 0 、周辺回路 2 2 8 0 および周辺回路 2 2 9 0 は、それぞれ複数の画素 2 2 1 1 に接続し、複数の画素 2 2 1 1 を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路 2 2 6 0 、周辺回路 2 2 7 0 、周辺回路 2 2 8 0 および周辺回路 2 2 9 0 などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路 2 2 6 0 は周辺回路の一部といえる。

【 0 5 9 8 】

また、撮像装置 2 2 0 0 は、光源 2 2 9 1 を有することが好ましい。光源 2 2 9 1 は、検出光 P 1 を放射することができる。20

【 0 5 9 9 】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、增幅回路、または変換回路の 1 つを有する。また、周辺回路は、画素部 2 2 1 0 を形成する基板上に形成してもよい。また、周辺回路の一部または全部に I C チップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路 2 2 6 0 、周辺回路 2 2 7 0 、周辺回路 2 2 8 0 および周辺回路 2 2 9 0 のいずれか一以上を省略してもよい。

【 0 6 0 0 】

また、図 4 9 (B) に示すように、撮像装置 2 2 0 0 が有する画素部 2 2 1 0 において、画素 2 2 1 1 を傾けて配置してもよい。画素 2 2 1 1 を傾けて配置することにより、行方向および列方向の画素間隔 (ピッチ) を短くすることができる。これにより、撮像装置 2 2 0 0 における撮像の品質をより高めることができる。30

【 0 6 0 1 】

<画素の構成例 1 >

撮像装置 2 2 0 0 が有する 1 つの画素 2 2 1 1 を複数の副画素 2 2 1 2 で構成し、それぞれの副画素 2 2 1 2 に特定の波長域の光を透過するフィルタ (カラーフィルタ) を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

【 0 6 0 2 】

図 5 0 (A) は、カラー画像を取得するための画素 2 2 1 1 の一例を示す平面図である。図 5 0 (A) に示す画素 2 2 1 1 は、赤 (R) の波長域の光を透過するカラーフィルタが設けられた副画素 2 2 1 2 (以下、「副画素 2 2 1 2 R」ともいう) 、緑 (G) の波長域の光を透過するカラーフィルタが設けられた副画素 2 2 1 2 (以下、「副画素 2 2 1 2 G」ともいう) および青 (B) の波長域の光を透過するカラーフィルタが設けられた副画素 2 2 1 2 (以下、「副画素 2 2 1 2 B」ともいう) を有する。40
副画素 2 2 1 2 は、フォトセンサとして機能させることができる。

【 0 6 0 3 】

副画素 2 2 1 2 (副画素 2 2 1 2 R 、副画素 2 2 1 2 G 、および副画素 2 2 1 2 B) は、配線 2 2 3 1 、配線 2 2 4 7 、配線 2 2 4 8 、配線 2 2 4 9 、配線 2 2 5 0 と電気的に接続される。また、副画素 2 2 1 2 R 、副画素 2 2 1 2 G 、および副画素 2 2 1 2 B は、それぞれが独立した配線 2 2 5 3 に接続している。また、本明細書等において、例えば n 行目の画素 2 2 1 1 に接続された配線 2 2 4 8 および配線 2 2 4 9 を、それぞれ配線 2 2 4
50

8 [n] および配線 2 2 4 9 [n] と記載する。また、例えば m 列目の画素 2 2 1 1 に接続された配線 2 2 5 3 を、配線 2 2 5 3 [m] と記載する。なお、図 50 (A) において、m 列目の画素 2 2 1 1 が有する副画素 2 2 1 2 R に接続する配線 2 2 5 3 を配線 2 2 5 3 [m] R 、副画素 2 2 1 2 G に接続する配線 2 2 5 3 を配線 2 2 5 3 [m] G 、および副画素 2 2 1 2 B に接続する配線 2 2 5 3 を配線 2 2 5 3 [m] B と記載している。副画素 2 2 1 2 は、上記配線を介して周辺回路と電気的に接続される。

【 0 6 0 4 】

また、撮像装置 2 2 0 0 は、隣接する画素 2 2 1 1 の、同じ波長域の光を透過するカラーフィルタが設けられた副画素 2 2 1 2 同士がスイッチを介して電気的に接続する構成を有する。図 50 (B) に、n 行 (n は 1 以上 p 以下の整数) m 列 (m は 1 以上 q 以下の整数) に配置された画素 2 2 1 1 が有する副画素 2 2 1 2 と、該画素 2 2 1 1 に隣接する n + 1 行 m 列 に配置された画素 2 2 1 1 が有する副画素 2 2 1 2 の接続例を示す。¹⁰ 図 50 (B) において、n 行 m 列 に配置された副画素 2 2 1 2 R と、n + 1 行 m 列 に配置された副画素 2 2 1 2 R がスイッチ 2 2 0 1 を介して接続されている。また、n 行 m 列 に配置された副画素 2 2 1 2 G と、n + 1 行 m 列 に配置された副画素 2 2 1 2 G がスイッチ 2 2 0 2 を介して接続されている。また、n 行 m 列 に配置された副画素 2 2 1 2 B と、n + 1 行 m 列 に配置された副画素 2 2 1 2 B がスイッチ 2 2 0 3 を介して接続されている。

【 0 6 0 5 】

なお、副画素 2 2 1 2 に用いるカラーフィルタは、赤 (R) 、緑 (G) 、青 (B) に限定されず、それぞれシアン (C) 、黄 (Y) およびマゼンタ (M) の光を透過するカラーフィルタを用いてもよい。²⁰ 1 つの画素 2 2 1 1 に 3 種類の異なる波長域の光を検出する副画素 2 2 1 2 を設けることで、フルカラー画像を取得することができる。

【 0 6 0 6 】

または、それぞれ赤 (R) 、緑 (G) および青 (B) の光を透過するカラーフィルタが設けられた副画素 2 2 1 2 に加えて、黄 (Y) の光を透過するカラーフィルタが設けられた副画素 2 2 1 2 を有する画素 2 2 1 1 を用いてもよい。または、それぞれシアン (C) 、黄 (Y) およびマゼンタ (M) の光を透過するカラーフィルタが設けられた副画素 2 2 1 2 に加えて、青 (B) の光を透過するカラーフィルタが設けられた副画素 2 2 1 2 を有する画素 2 2 1 1 を用いてもよい。³⁰ 1 つの画素 2 2 1 1 に 4 種類の異なる波長域の光を検出する副画素 2 2 1 2 を設けることで、取得した画像の色の再現性をさらに高めることができる。

【 0 6 0 7 】

また、例えば、図 50 (A) において、赤の波長域の光を検出する副画素 2 2 1 2 、緑の波長域の光を検出する副画素 2 2 1 2 、および青の波長域の光を検出する副画素 2 2 1 2 の画素数比 (または受光面積比) は、1 : 1 : 1 でなくても構わない。例えば、画素数比 (受光面積比) を赤 : 緑 : 青 = 1 : 2 : 1 とする Baye r 配列としてもよい。または、画素数比 (受光面積比) を赤 : 緑 : 青 = 1 : 6 : 1 としてもよい。

【 0 6 0 8 】

なお、画素 2 2 1 1 に設ける副画素 2 2 1 2 は 1 つでもよいが、2 つ以上が好ましい。例えば、同じ波長域の光を検出する副画素 2 2 1 2 を 2 つ以上設けることで、冗長性を高め、撮像装置 2 2 0 0 の信頼性を高めることができる。⁴⁰

【 0 6 0 9 】

また、可視光を吸収または反射して、赤外光を透過する I R (I R : Infrared) フィルタを用いることで、赤外光を検出する撮像装置 2 2 0 0 を実現することができる。

【 0 6 1 0 】

また、N D (N D : Neutral Density) フィルタ (減光フィルタ) を用いることで、光電変換素子 (受光素子) に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なる N D フィルタを組み合わせて用いることで、撮像装置のダイナミックレンジを大きくすることができます。

【 0 6 1 1 】

また、前述したフィルタ以外に、画素 2211 にレンズを設けてよい。ここで、図 51 の断面図を用いて、画素 2211、フィルタ 2254、レンズ 2255 の配置例を説明する。レンズ 2255 を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図 51 (A) に示すように、画素 2211 に形成したレンズ 2255、フィルタ 2254 (フィルタ 2254 R、フィルタ 2254 G およびフィルタ 2254 B)、および画素回路 2230 等を通して光 2256 を光電変換素子 2220 に入射させる構造とすることができる。

【 0612 】

ただし、一点鎖線で囲んだ領域に示すように、矢印で示す光 2256 の一部が配線 2257 の一部によって遮光されてしまうことがある。したがって、図 51 (B) に示すように光電変換素子 2220 側にレンズ 2255 およびフィルタ 2254 を配置して、光電変換素子 2220 が光 2256 を効率良く受光させる構造が好ましい。光電変換素子 2220 側から光 2256 を光電変換素子 2220 に入射することで、検出感度の高い撮像装置 2200 を提供することができる。

10

【 0613 】

図 51 に示す光電変換素子 2220 として、p n 型接合または p i n 型の接合が形成された光電変換素子を用いてよい。

【 0614 】

また、光電変換素子 2220 を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を有する物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

20

【 0615 】

例えば、光電変換素子 2220 にセレンを用いると、可視光や、紫外光、赤外光に加えて、X 線や、ガンマ線といった幅広い波長域にわたって光吸収係数を有する光電変換素子 2220 を実現できる。

【 0616 】

ここで、撮像装置 2200 が有する 1 つの画素 2211 は、図 50 に示す副画素 2212 に加えて、第 1 のフィルタを有する副画素 2212 を有してもよい。

【 0617 】

30

<画素の構成例 2 >

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。各トランジスタは上記実施の形態に示すものと同様のトランジスタを用いることができる。

【 0618 】

図 52 は、撮像装置を構成する素子の断面図である。図 52 に示す撮像装置は、シリコン基板 2300 に設けられたシリコンを用いたトランジスタ 2351、トランジスタ 2351 上に積層して配置された酸化物半導体を用いたトランジスタ 2352 およびトランジスタ 2353、ならびにシリコン基板 2300 に設けられたフォトダイオード 2360 を含む。各トランジスタおよびフォトダイオード 2360 のカソード 2362 は、種々のプラグ 2370 および配線 2371 と電気的な接続を有する。また、フォトダイオード 2360 のアノード 2361 は、低抵抗領域 2363 を介してプラグ 2370 と電気的に接続を有する。

40

【 0619 】

また撮像装置は、シリコン基板 2300 に設けられたトランジスタ 2351 およびフォトダイオード 2360 を有する層 2310 と、層 2310 と接して設けられ、配線 2371 を有する層 2320 と、層 2320 と接して設けられ、トランジスタ 2352 およびトランジスタ 2353 を有する層 2330 と、層 2330 と接して設けられ、配線 2372 および配線 2373 を有する層 2340 を備えている。

【 0620 】

50

なお図52の断面図の一例では、シリコン基板2300において、トランジスタ2351が形成された面とは逆側の面にフォトダイオード2360の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード2360の受光面をトランジスタ2351が形成された面と同じとすることもできる。

【0621】

なお、酸化物半導体を用いたトランジスタのみを用いて画素を構成する場合には、層2310を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層2310を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

【0622】

なお、シリコン基板2300は、SOI基板であってもよい。また、シリコン基板2300に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

【0623】

ここで、トランジスタ2351およびフォトダイオード2360を有する層2310と、トランジスタ2352およびトランジスタ2353を有する層2330と、の間には絶縁体2380が設けられる。ただし、絶縁体2380の位置は限定されない。また、絶縁体2380の下に絶縁体2379が設けられ、絶縁体2380の上に絶縁体2381が設けられる。

【0624】

絶縁体2379乃至絶縁体2381に設けられた開口に、導電体2390a乃至導電体2390eが設けられている。導電体2390a、導電体2390bおよび導電体2390eは、プラグおよび配線として機能する。また、導電体2390cは、トランジスタ2353のバックゲートとして機能する。また、導電体2390dは、トランジスタ2352のバックゲートとして機能する。

【0625】

トランジスタ2351のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダンギングボンドを終端し、トランジスタ2351の信頼性を向上させる効果がある。一方、トランジスタ2352およびトランジスタ2353などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ2352およびトランジスタ2353などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体2380を設けることが好ましい。絶縁体2380より下層に水素を閉じ込めて、トランジスタ2351の信頼性が向上させることができる。さらに、絶縁体2380より下層から、絶縁体2380より上層に水素が拡散することを抑制できるため、トランジスタ2352およびトランジスタ2353などの信頼性を向上させることができる。さらに、導電体2390a、導電体2390bおよび導電体2390eが形成されることにより、絶縁体2380に形成されているピアホールを通じて上層に水素が拡散することも抑制できるため、トランジスタ2352およびトランジスタ2353などの信頼性を向上させることができる。

【0626】

また、図52の断面図において、層2310に設けるフォトダイオード2360と、層2330に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【0627】

また、撮像装置の一部または全部を湾曲させてもよい。撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができます。例えば、収差補正のためのレンズ枚数を低

10

20

30

40

50

減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

【0628】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0629】

(実施の形態10)

本実施の形態においては、本発明の一態様に係る半導体ウエハ、チップおよび電子部品について説明する。

【0630】

<半導体ウエハ、チップ>

図53(A)は、ダイシング処理が行なわれる前の基板5711の上面図を示している。基板5711としては、例えば、半導体基板(「半導体ウエハ」ともいう。)を用いることができる。基板5711上には、複数の回路領域5712が設けられている。回路領域5712には、本発明の一態様に係る半導体装置や、CPU、RFタグ、またはイメージセンサなどを設けることができる。

【0631】

複数の回路領域5712は、それぞれが分離領域5713に囲まれている。分離領域5713と重なる位置に分離線(「ダイシングライン」ともいう。)5714が設定される。分離線5714に沿って基板5711を切断することで、回路領域5712を含むチップ5715を基板5711から切り出すことができる。図53(B)にチップ5715の拡大図を示す。

【0632】

また、分離領域5713に導電層や半導体層を設けてもよい。分離領域5713に導電層や半導体層を設けることで、ダイシング工程時に生じうるESDを緩和し、ダイシング工程の歩留まり低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に流しながら行なわれる。分離領域5713に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

【0633】

分離領域5713に設ける半導体層としては、バンドギャップが2.5eV以上4.2eV以下、好ましくは2.7eV以上3.5eV以下の材料を用いることが好ましい。このような材料を用いると、蓄積された電荷をゆっくりと放電することができるため、ESDによる電荷の急激な移動が抑えられ、静電破壊を生じにくくすることができる。

【0634】

<電子部品>

チップ5715を電子部品に適用する例について、図54を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。

【0635】

電子部品は、組み立て工程(後工程)において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

【0636】

図54(A)に示すフローチャートを用いて、後工程について説明する。前工程において上記実施の形態に示した半導体装置を有する素子基板が完成した後、該素子基板の裏面(半導体装置などが形成されていない面)を研削する「裏面研削工程」を行なう(ステップS5721)。研削により素子基板を薄くすることで、素子基板の反りなどを低減し、電子部品の小型化を図ることができる。

【0637】

10

20

30

40

50

次に、素子基板を複数のチップ（チップ 5715）に分離する「ダイシング工程」を行う（ステップ S5722）。そして、分離したチップを個々ピックアップしてリードフレーム上に接合する「ダイボンディング工程」を行う（ステップ S5723）。ダイボンディング工程におけるチップとリードフレームとの接合は、樹脂による接合や、テープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーラ基板上にチップを接合してもよい。

【0638】

次いで、リードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電気的に接続する「ワイヤーボンディング工程」を行う（ステップ S5724）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。10

【0639】

ワイヤーボンディングされたチップは、エポキシ樹脂などで封止される「封止工程（モールド工程）」が施される（ステップ S5725）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップに内蔵される回路部やチップとリードを接続するワイヤーを機械的な外力から保護することができ、また水分や埃による特性の劣化（信頼性の低下）を低減することができる。

【0640】

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップ S5726）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行なうことができる。次いで、リードを切断および成形加工する「成形加工工程」を行なう（ステップ S5727）。20

【0641】

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップ S5728）。そして外観形状の良否や動作不良の有無などを調べる「検査工程」（ステップ S5729）を経て、電子部品が完成する。

【0642】

また、完成した電子部品の斜視模式図を図 54 (B) に示す。図 54 (B) では、電子部品の一例として、QFP (Quad Flat Package) の斜視模式図を示している。図 54 (B) に示す電子部品 5750 は、リード 5755 および半導体装置 5753 を示している。半導体装置 5753 としては、上記実施の形態に示した半導体装置などを用いることができる。30

【0643】

図 54 (B) に示す電子部品 5750 は、例えばプリント基板 5752 に実装される。このような電子部品 5750 が複数組み合わされて、それぞれがプリント基板 5752 上で電気的に接続されることで電子部品が実装された基板（実装基板 5754）が完成する。完成した実装基板 5754 は、電子機器などに用いられる。

【0644】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。40

【0645】

（実施の形態 11）

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

【0646】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器と50

して、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリント複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図55に示す。

【0647】

図55（A）は携帯型ゲーム機であり、筐体1901、筐体1902、表示部1903、表示部1904、マイクロフォン1905、スピーカー1906、操作キー1907、スタイルス1908等を有する。なお、図55（A）に示した携帯型ゲーム機は、2つの表示部1903と表示部1904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。10

【0648】

図55（B）は携帯データ端末であり、第1筐体1911、第2筐体1912、第1表示部1913、第2表示部1914、接続部1915、操作キー1916等を有する。第1表示部1913は第1筐体1911に設けられており、第2表示部1914は第2筐体1912に設けられている。そして、第1筐体1911と第2筐体1912とは、接続部1915により接続されており、第1筐体1911と第2筐体1912の間の角度は、接続部1915により変更が可能である。第1表示部1913における映像を、接続部1915における第1筐体1911と第2筐体1912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部1913および第2表示部1914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。20

【0649】

図55（C）はノート型パーソナルコンピュータであり、筐体1921、表示部1922、キーボード1923、ポインティングデバイス1924等を有する。

【0650】

図55（D）は電気冷凍冷蔵庫であり、筐体1931、冷蔵室用扉1932、冷凍室用扉1933等を有する。30

【0651】

図55（E）はビデオカメラであり、第1筐体1941、第2筐体1942、表示部1943、操作キー1944、レンズ1945、接続部1946等を有する。操作キー1944およびレンズ1945は第1筐体1941に設けられており、表示部1943は第2筐体1942に設けられている。そして、第1筐体1941と第2筐体1942とは、接続部1946により接続されており、第1筐体1941と第2筐体1942の間の角度は、接続部1946により変更が可能である。表示部1943における映像を、接続部1946における第1筐体1941と第2筐体1942との間の角度にしたがって切り替える構成としてもよい。40

【0652】

図55（F）は自動車であり、車体1951、車輪1952、ダッシュボード1953、ライト1954等を有する。

【0653】

なお、本実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチ50

ヤネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していないなくてもよい。

【0654】

10

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【実施例1】

【0655】

本実施例では、上記実施の形態に示す方法を用いて成膜したIn-Ga-Zn酸化物膜（以下、IGZO膜と呼ぶ。）の元素分析及び結晶性の評価を行った結果について説明する。

【0656】

本実施例に係る試料1Aでは、In-Ga-Zn酸化物（原子数比In:Ga:Zn=4:2:4.1）ターゲットを用いたスパッタリング法により、膜厚100nmを狙ってガラス基板上にIGZO膜を成膜した。IGZO膜の成膜は、アルゴンガス180sccmおよび酸素ガス20sccmを含む雰囲気で圧力を0.6Paに制御し、基板温度を室温とし、2.5kWの交流電力を印加して行った。

20

【0657】

作製した試料1AのIGZO膜の断面について、エネルギー分散型X線分光法（EDX：Energy Dispersive X-ray spectroscopy）を用いて測定を行った。EDX測定は、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fを用いて、加速電圧200kV、ビーム径約0.1nmの電子線を照射して行った。元素分析装置としてエネルギー分散型X線分析装置JED-2300Tを用いた。なお、試料1Aから放出されたX線の検出にはSiドリフト検出器を用いた。

30

【0658】

EDX測定では、試料の分析対象領域の各点に電子線照射を行い、これにより発生する試料の特性X線のエネルギーと発生回数を測定し、各点に対応するEDXスペクトルを得る。本実施例では、各点のEDXスペクトルのピークを、In原子、Ga原子、Zn原子及びO原子中の電子の遷移に帰属させ、各点におけるそれぞれの原子の比率を算出した。これを試料1Aの分析対象領域について行うことにより、各原子の比率の分布が示されたEDXマッピングを得ることができる。

【0659】

試料1AのIGZO膜断面におけるIn原子のEDXマッピングを図56に示す。図56に示すEDXマッピングは、IGZO膜の各点におけるIn原子の比率[atomic%]を示している。図56中の比較的色が濃い領域はIn原子の比率が低く、最低で10.85atomic%となり、図56中の比較的色が薄い領域はIn原子の比率が高く、最高で25.21atomic%となる。

40

【0660】

図56に示すEDXマッピングでは、画像に濃淡の分布が見られ、IGZO膜の断面においてIn原子が偏析していることが分かる。ここで、EDXマッピング中の比較的色が淡い領域は、概略円形または概略楕円形の領域が多い。また、複数の概略円形または概略楕円形の領域が連結して形成される領域も見られる。別言すると、概略円形または概略楕円形の領域が網目状に形成されているとも言える。上記の通り、比較的色が淡い領域は、Inが高濃度に存在する領域であり、上記実施の形態に示す領域Aに対応する。ただし、領

50

域 A は分析対象領域を横断または縦断するほど大きくはなく、周囲を比較的色の濃い領域（上記実施の形態に示す領域 B に対応。）に囲まれてアイランド状に形成されている。また、領域 A と領域 B の間には、色の濃さが中間程度の領域も形成されており、領域 A と領域 B の境界が不明確な部分もある。また、概略円形または概略橢円形の領域 A の径は、0.1 nm 以上 5 nm 以下の範囲程度になる部分が多い。

【0661】

このように、試料 1 A の I G Z O 膜は、In-rich な領域 A と In-poor な領域 B が形成された、複合酸化物半導体である。領域 A がトランジスタのオン電流及び電界効果移動度に寄与し、領域 B がトランジスタのスイッチング特性に寄与するため、当該複合酸化物半導体を用いることで良好な電気特性を有するトランジスタを作製することができる。10

【0662】

さらに、領域 A が領域 B に囲まれるようにアイランド状に形成されることで、トランジスタのソース ドレイン間が領域 A を介して接続され、オフ電流が上昇することを抑制できる。

【0663】

さらに試料 1 A とは異なり、アルゴンガス 140 sccm および酸素ガス 60 sccm を含む雰囲気で、基板温度を 170 ℃として、I G Z O 膜を成膜して試料 1 B を作製した。なお、試料 1 B の I G Z O 膜の他の成膜条件は試料 1 A と同様である。

【0664】

試料 1 A と試料 1 B の断面の BF - STEM (Bright Field - Scanning Transmission Electron Microscopy) 像を倍率 2000000 倍で撮影した。試料 1 A の BF - STEM 像を図 57 (A) に、試料 1 B の BF - STEM 像を図 57 (B) に示す。20

【0665】

図 57 (A) に示すように、試料 1 A の I G Z O 膜では、面積は狭いが、層状の結晶部が形成されており、c 軸配向性を有する結晶部も見られる。これに対して、図 57 (B) に示す試料 1 B の I G Z O 膜では、試料 1 A と比較して広い面積の、層状の結晶部が形成されている。このように、In 原子の偏析が見られる試料 1 A の I G Z O 膜中にも、層状の結晶部が確認された。また、I G Z O 成膜時の酸素流量比を大きくし、基板温度を高くすることにより、I G Z O 膜の結晶性の向上を図ることができる可能性が示唆された。30

【0666】

さらに多くの条件で酸素流量と基板温度を設定して I G Z O 膜を成膜した試料を作製し、結晶性の評価を行った。試料の I G Z O 膜の成膜条件は、酸素流量比をそれぞれ、10% (酸素ガス 20 sccm、アルゴンガス 180 sccm)、30% (酸素ガス 60 sccm、アルゴンガス 140 sccm)、50% (酸素ガス 100 sccm、アルゴンガス 100 sccm)、70% (酸素ガス 140 sccm、アルゴンガス 60 sccm) または 100% (酸素ガス 200 sccm) とした。また、基板温度を室温、130 ℃ または 170 ℃ とした。なお、各試料の I G Z O 膜の他の成膜条件は試料 1 A と同様である。

【0667】

各試料の I G Z O 膜の結晶性の評価には、XRD 測定を用いた。XRD 測定では、out-of-plane 法の一種である粉末法 (-2 法ともいう。) を用いた。-2 法は、X 線の入射角を変化させるとともに、X 線源に対向して設けられる検出器の角度を入射角と同じにして X 線回折強度を測定する方法である。40

【0668】

図 58 (A) に各試料の XRD 測定結果を示す。図 58 (B) に示すように、各試料のガラス基板中の 3 つのポイントについて測定を行った。

【0669】

図 58 (A) において、縦軸が回折強度を任意単位で示し、横軸が角度 2θ を示している。また、図 58 (A) において、図 58 (B) の 3 つのポイントに対応する、3 つの X R

Dのプロファイルを並べて示している。

【0670】

図58(A)に示すように、試料1Aと同様の成膜条件のIGZO膜においては、 $2 = 31^\circ$ 付近の回折強度のピークが確認され難い、または $2 = 31^\circ$ 付近の回折強度のピークが極めて小さい、あるいは $2 = 31^\circ$ 付近の回折強度のピークが無い。一方で、試料1Bと同様の成膜条件のIGZO膜においては、 $2 = 31^\circ$ 付近に回折強度のピークが明確に確認される。

【0671】

なお、回折強度のピークがみられた回折角($2 = 31^\circ$ 付近)は、単結晶InGaN₄の構造モデルにおける(009)面の回折角と一致する。したがって、試料1Bと同様の成膜条件のIGZO膜において、上記ピークが観測されることから、c軸配向性を有する結晶部が含まれていることが確認できる。10

【0672】

一方で、試料1Aと同様の成膜条件のIGZO膜については、XRD測定からでは、c軸配向性を有する結晶部が含まれているかを判断するのが困難である。しかしながら、図57(A)に示したように、BF-STEM像などを撮影することにより、微小な領域でc軸配向性を有する結晶部を確認することができる。

【0673】

また、図58(A)に示すように、IGZO膜の成膜時の酸素流量比が大きいほど、または基板温度が高いほど、XRDプロファイルのピークが鋭くなっている。よって、IGZO膜の成膜時の酸素流量比が大きいほど、または基板温度が高いほど、結晶性の高いIGZO膜が作製できると示唆される。20

【符号の説明】

【0674】

100	容量素子	
101	容量素子	
102	容量素子	
112	導電体	
112 a	導電体	
112 b	導電体	30
116	導電体	
124	導電体	
130	絶縁体	
132	絶縁体	
134	絶縁体	
150	絶縁体	
200	トランジスタ	
201	トランジスタ	
202	トランジスタ	
205	導電体	40
205 a	導電体	
205 A	導電体	
205 b	導電体	
205 B	導電体	
205 c	導電体	
210	絶縁体	
212	絶縁体	
213	絶縁体	
214	絶縁体	
216	絶縁体	50

2 1 8	導電体	
2 1 9	導電体	
2 2 0	絶縁体	
2 2 2	絶縁体	
2 2 4	絶縁体	
2 3 0	酸化物	
2 3 0 a	酸化物	
2 3 0 A	酸化物	
2 3 0 b	酸化物	
2 3 0 B	酸化物	10
2 3 0 c	酸化物	
2 3 0 d	酸化物	
2 4 0 a	導電体	
2 4 0 A	導電膜	
2 4 0 b	導電体	
2 4 0 B	導電層	
2 4 1 a	導電体	
2 4 1 b	導電体	
2 4 3 a	絶縁体	
2 4 3 b	絶縁体	20
2 4 4	導電体	
2 4 6	導電体	
2 5 0	絶縁体	
2 6 0	導電体	
2 6 0 a	導電体	
2 6 0 A	導電膜	
2 6 0 b	導電体	
2 6 0 c	導電体	
2 7 0	絶縁体	
2 7 1	バリア層	30
2 7 9	絶縁体	
2 8 0	絶縁体	
2 8 1	バリア層	
2 8 2	絶縁体	
2 8 4	絶縁体	
2 8 6	絶縁体	
2 9 0	レジストマスク	
2 9 2	レジストマスク	
2 9 4	レジストマスク	
2 9 6	レジストマスク	40
3 0 0	トランジスタ	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 1 1	基板	
3 1 2	半導体領域	
3 1 4	絶縁体	
3 1 6	導電体	
3 1 8 a	低抵抗領域	
3 1 8 b	低抵抗領域	
3 2 0	絶縁体	50

3 2 2	絶縁体	
3 2 4	絶縁体	
3 2 6	絶縁体	
3 2 8	導電体	
3 3 0	導電体	
3 5 0	絶縁体	
3 5 2	絶縁体	
3 5 4	絶縁体	
3 5 6	導電体	
3 5 8	絶縁体	10
6 0 0	ターゲット	
6 0 0 a	ターゲット	
6 0 0 b	ターゲット	
6 0 1	成膜室	
6 1 0	バッキングプレート	
6 1 0 a	バッキングプレート	
6 1 0 b	バッキングプレート	
6 2 0	ターゲットホルダ	
6 2 0 a	ターゲットホルダ	
6 2 0 b	ターゲットホルダ	20
6 2 2	ターゲットシールド	
6 2 3	ターゲットシールド	
6 3 0	マグネットユニット	
6 3 0 a	マグネットユニット	
6 3 0 b	マグネットユニット	
6 3 0 N	マグネット	
6 3 0 N 1	マグネット	
6 3 0 N 2	マグネット	
6 3 0 S	マグネット	
6 3 2	マグネットホルダ	30
6 4 0	プラズマ	
6 4 2	部材	
6 6 0	基板	
6 7 0	基板ホルダ	
6 8 0 a	磁力線	
6 8 0 b	磁力線	
6 9 0	電源	
6 9 1	電源	
1 9 0 1	筐体	
1 9 0 2	筐体	40
1 9 0 3	表示部	
1 9 0 4	表示部	
1 9 0 5	マイクロフォン	
1 9 0 6	スピーカー	
1 9 0 7	操作キー	
1 9 0 8	スタイラス	
1 9 1 1	筐体	
1 9 1 2	筐体	
1 9 1 3	表示部	
1 9 1 4	表示部	50

1 9 1 5	接続部	
1 9 1 6	操作キー	
1 9 2 1	筐体	
1 9 2 2	表示部	
1 9 2 3	キー ボード	
1 9 2 4	ポインティングデバイス	
1 9 3 1	筐体	
1 9 3 2	冷蔵室用扉	
1 9 3 3	冷凍室用扉	
1 9 4 1	筐体	10
1 9 4 2	筐体	
1 9 4 3	表示部	
1 9 4 4	操作キー	
1 9 4 5	レンズ	
1 9 4 6	接続部	
1 9 5 1	車体	
1 9 5 2	車輪	
1 9 5 3	ダッシュボード	
1 9 5 4	ライト	
2 2 0 0	撮像装置	20
2 2 0 1	スイッチ	
2 2 0 2	スイッチ	
2 2 0 3	スイッチ	
2 2 1 0	画素部	
2 2 1 1	画素	
2 2 1 2	副画素	
2 2 1 2 B	副画素	
2 2 1 2 G	副画素	
2 2 1 2 R	副画素	
2 2 2 0	光電変換素子	30
2 2 3 0	画素回路	
2 2 3 1	配線	
2 2 4 7	配線	
2 2 4 8	配線	
2 2 4 9	配線	
2 2 5 0	配線	
2 2 5 3	配線	
2 2 5 4	フィルタ	
2 2 5 4 B	フィルタ	
2 2 5 4 G	フィルタ	40
2 2 5 4 R	フィルタ	
2 2 5 5	レンズ	
2 2 5 6	光	
2 2 5 7	配線	
2 2 6 0	周辺回路	
2 2 7 0	周辺回路	
2 2 8 0	周辺回路	
2 2 9 0	周辺回路	
2 2 9 1	光源	
2 3 0 0	シリコン基板	50

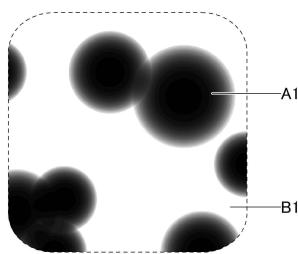
2 3 1 0	層	
2 3 2 0	層	
2 3 3 0	層	
2 3 4 0	層	
2 3 5 1	トランジスタ	
2 3 5 2	トランジスタ	
2 3 5 3	トランジスタ	
2 3 6 0	フォトダイオード	
2 3 6 1	アノード	
2 3 6 3	低抵抗領域	10
2 3 7 0	プラグ	
2 3 7 1	配線	
2 3 7 2	配線	
2 3 7 3	配線	
2 3 7 9	絶縁体	
2 3 8 0	絶縁体	
2 3 8 1	絶縁体	
2 3 9 0 a	導電体	
2 3 9 0 b	導電体	
2 3 9 0 c	導電体	20
2 3 9 0 d	導電体	
2 3 9 0 e	導電体	
2 7 0 0	成膜装置	
2 7 0 1	大気側基板供給室	
2 7 0 2	大気側基板搬送室	
2 7 0 3 a	ロードロック室	
2 7 0 3 b	アンロードロック室	
2 7 0 4	搬送室	
2 7 0 5	基板加熱室	
2 7 0 6 a	成膜室	30
2 7 0 6 b	成膜室	
2 7 0 6 c	成膜室	
2 7 5 1	クライオトラップ	
2 7 5 2	ステージ	
2 7 6 1	カセットポート	
2 7 6 2	アライメントポート	
2 7 6 3	搬送口ボット	
2 7 6 4	ゲートバルブ	
2 7 6 5	加熱ステージ	
2 7 6 6	ターゲット	40
2 7 6 6 a	ターゲット	
2 7 6 6 b	ターゲット	
2 7 6 7	ターゲットシールド	
2 7 6 7 a	ターゲットシールド	
2 7 6 7 b	ターゲットシールド	
2 7 6 8	基板ホルダ	
2 7 6 9	基板	
2 7 7 0	真空ポンプ	
2 7 7 1	クライオポンプ	
2 7 7 2	ターボ分子ポンプ	50

2 7 8 0	マスフローコントローラ	
2 7 8 1	精製機	
2 7 8 2	ガス加熱機構	
2 7 8 4	可変部材	
2 7 9 0 a	マグネットユニット	
2 7 9 0 b	マグネットユニット	
2 7 9 1	電源	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	10
3 0 0 4	配線	
3 0 0 5	配線	
3 0 0 6	配線	
3 4 0 0	トランジスタ	
4 0 0 1	配線	
4 0 0 3	配線	
4 0 0 5	配線	
4 0 0 6	配線	
4 0 0 7	配線	
4 0 0 8	配線	20
4 0 0 9	配線	
4 0 2 1	層	
4 0 2 3	層	
4 1 0 0	トランジスタ	
4 2 0 0	トランジスタ	
4 3 0 0	トランジスタ	
4 4 0 0	トランジスタ	
4 5 0 0	容量素子	
4 6 0 0	容量素子	
5 4 0 0	半導体装置	30
5 4 0 1	C P U コア	
5 4 0 2	パワーコントローラ	
5 4 0 3	パワースイッチ	
5 4 0 4	キャッシュ	
5 4 0 5	バスインターフェース	
5 4 0 6	デバッグインターフェース	
5 4 0 7	制御装置	
5 4 0 9	パイプラインレジスタ	
5 4 1 0	パイプラインレジスタ	
5 4 1 1	A L U	40
5 4 1 2	レジスタファイル	
5 4 2 1	パワーマネージメントユニット	
5 4 2 2	周辺回路	
5 4 2 3	データバス	
5 5 0 0	半導体装置	
5 5 0 1	記憶回路	
5 5 0 2	記憶回路	
5 5 0 3	記憶回路	
5 5 0 4	回路	
5 5 0 9	トランジスタ	50

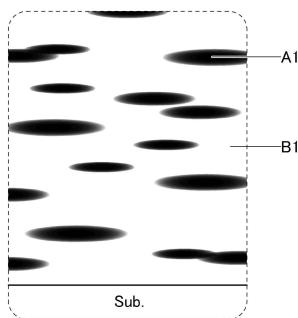
5 5 1 0	トランジスタ	
5 5 1 2	トランジスタ	
5 5 1 3	トランジスタ	
5 5 1 5	トランジスタ	
5 5 1 7	トランジスタ	
5 5 1 8	トランジスタ	
5 5 1 9	容量素子	
5 5 2 0	容量素子	
5 5 4 0	配線	10
5 5 4 1	配線	
5 5 4 2	配線	
5 5 4 3	配線	
5 5 4 4	配線	
5 7 1 1	基板	
5 7 1 2	回路領域	
5 7 1 3	分離領域	
5 7 1 4	分離線	
5 7 1 5	チップ	
5 7 5 0	電子部品	
5 7 5 2	プリント基板	20
5 7 5 3	半導体装置	
5 7 5 4	実装基板	
5 7 5 5	リード	
5 8 0 0	インバータ	
5 8 1 0	O Sトランジスタ	
5 8 2 0	O Sトランジスタ	
5 8 3 1	信号波形	
5 8 3 2	信号波形	
5 8 4 0	破線	
5 8 4 1	実線	30
5 8 5 0	O Sトランジスタ	
5 8 6 0	C M O Sインバータ	
5 9 0 0	半導体装置	
5 9 0 1	電源回路	
5 9 0 2	回路	
5 9 0 3	電圧生成回路	
5 9 0 3 A	電圧生成回路	
5 9 0 3 B	電圧生成回路	
5 9 0 3 C	電圧生成回路	
5 9 0 3 D	電圧生成回路	40
5 9 0 3 E	電圧生成回路	
5 9 0 4	回路	
5 9 0 5	電圧生成回路	
5 9 0 5 A	電圧生成回路	
5 9 0 6	回路	
5 9 1 1	トランジスタ	
5 9 1 2	トランジスタ	
5 9 1 2 A	トランジスタ	
5 9 2 1	制御回路	
5 9 2 2	トランジスタ	50

【図1】

(A)

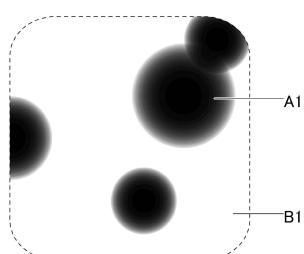


(B)

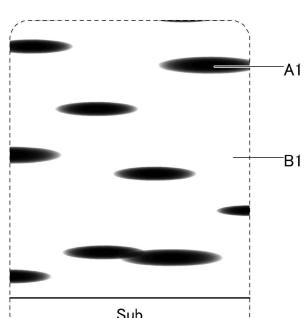


【図2】

(A)

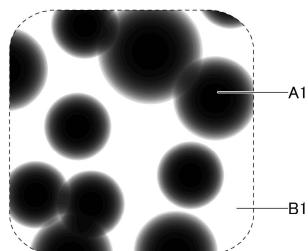


(B)

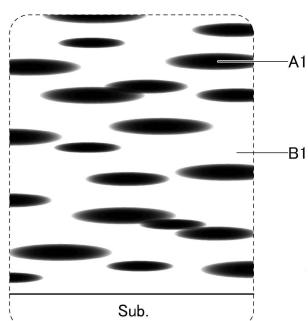


【図3】

(A)

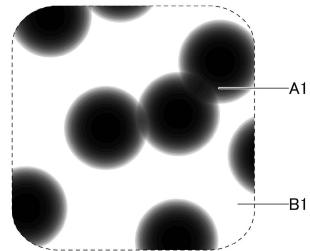


(B)

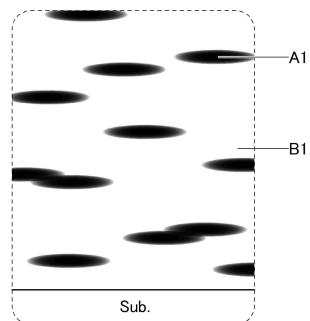


【図4】

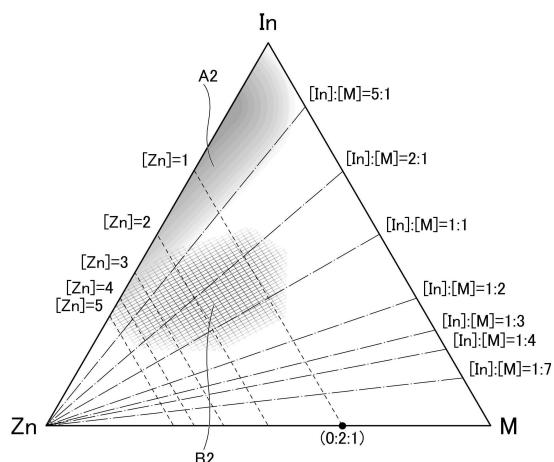
(A)



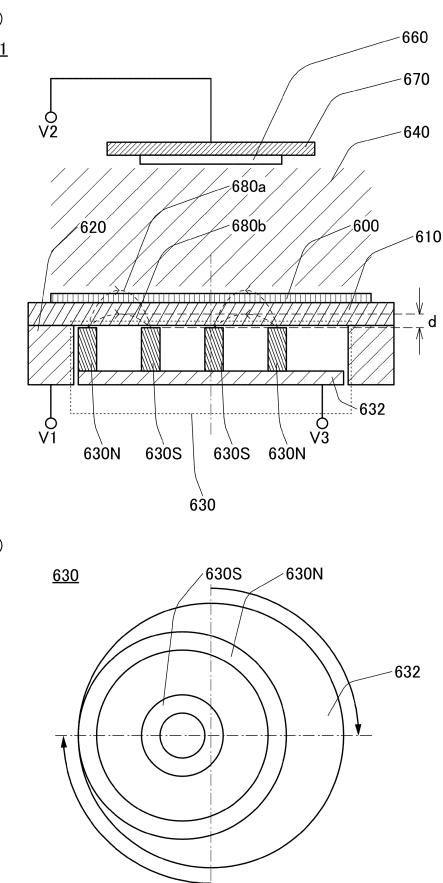
(B)



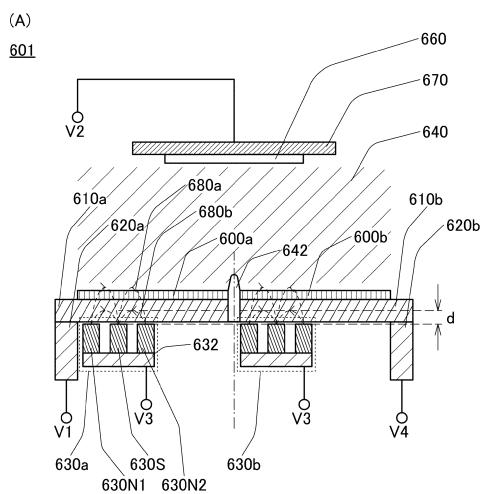
【図5】



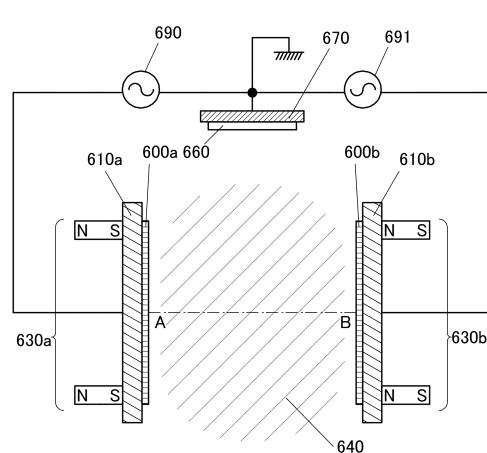
【図6】



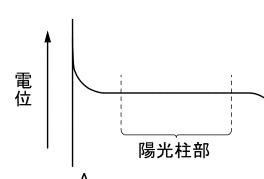
【図7】



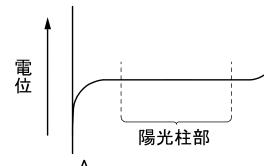
【図8】



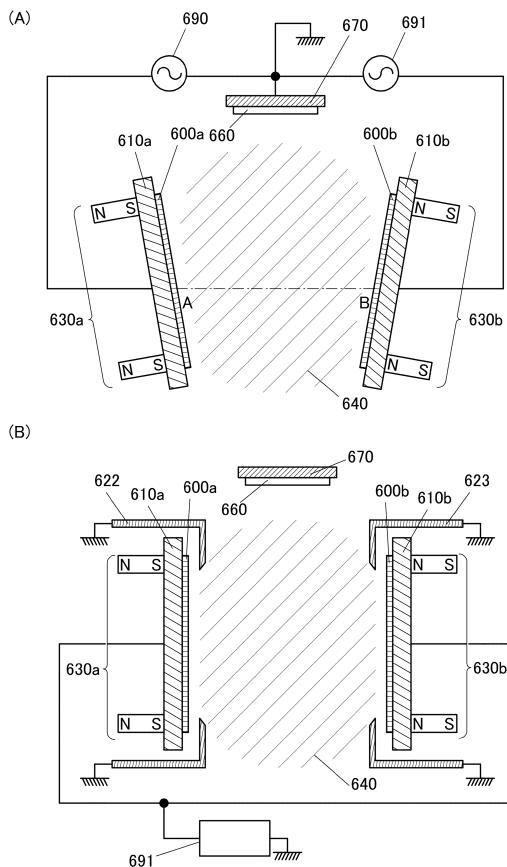
(B)



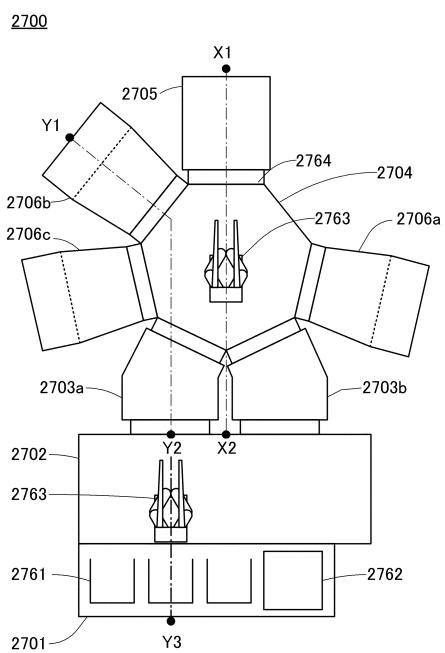
(C)



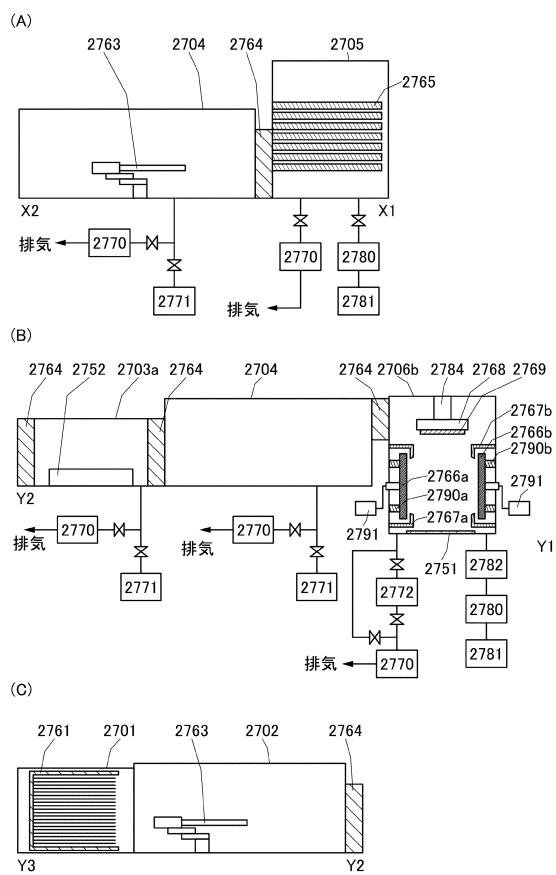
【 図 9 】



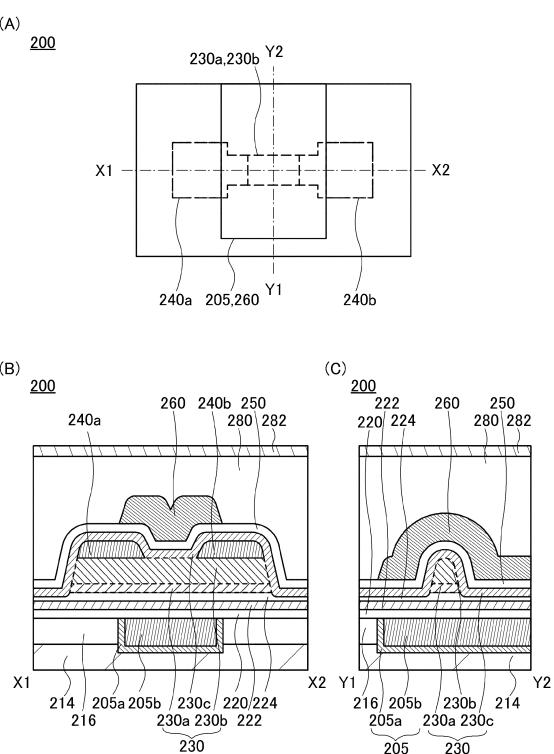
【 図 1 0 】



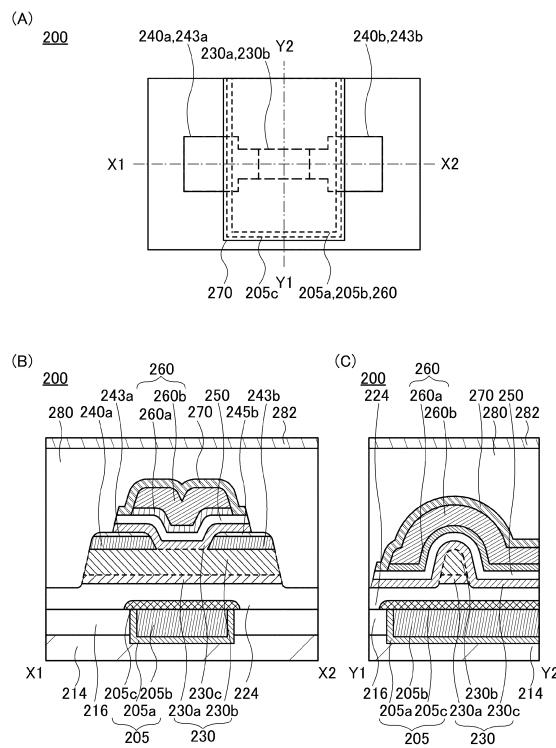
【 図 1 1 】



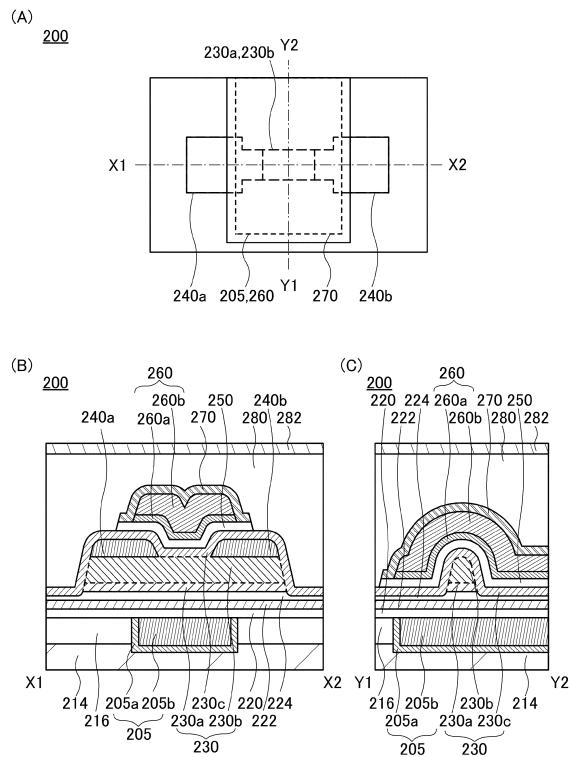
【図12】



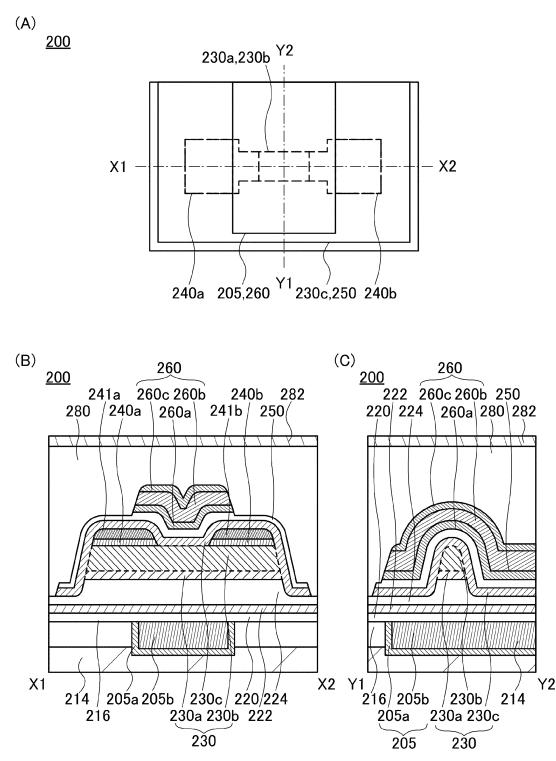
【図13】



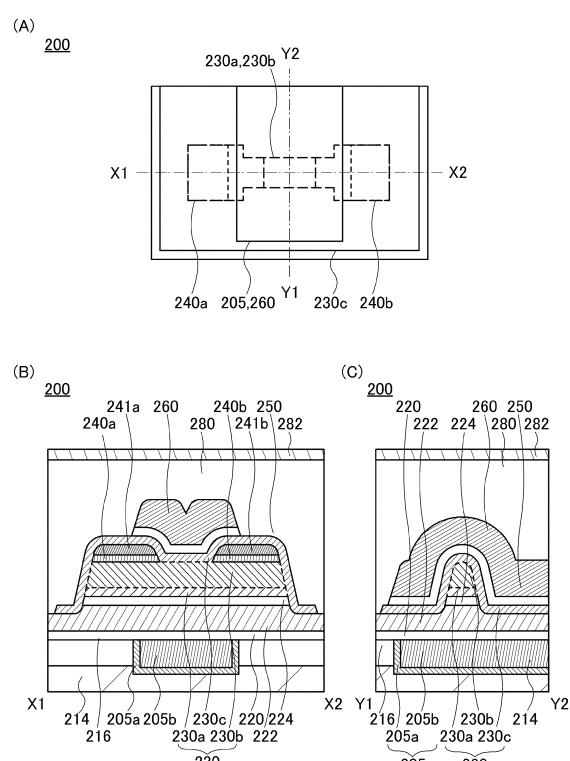
【図14】



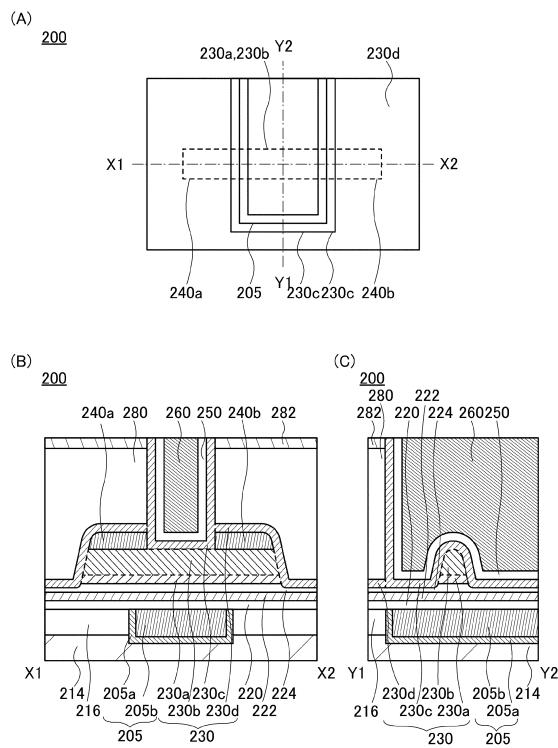
【図15】



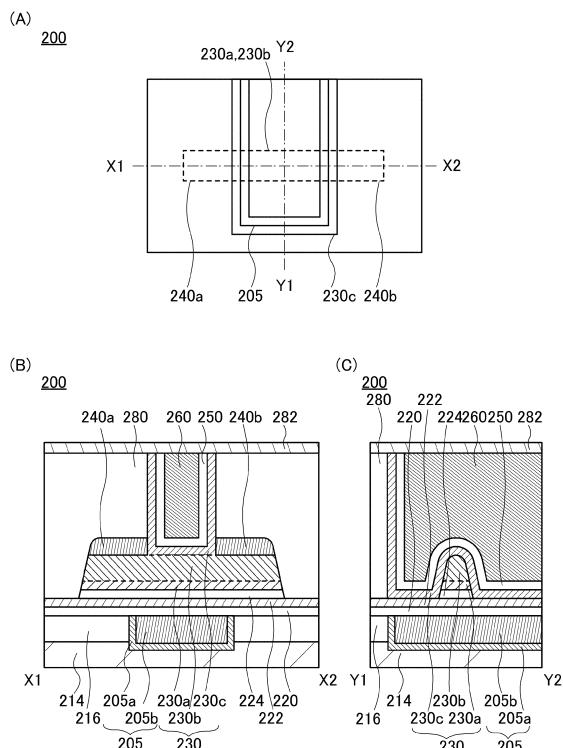
【図16】



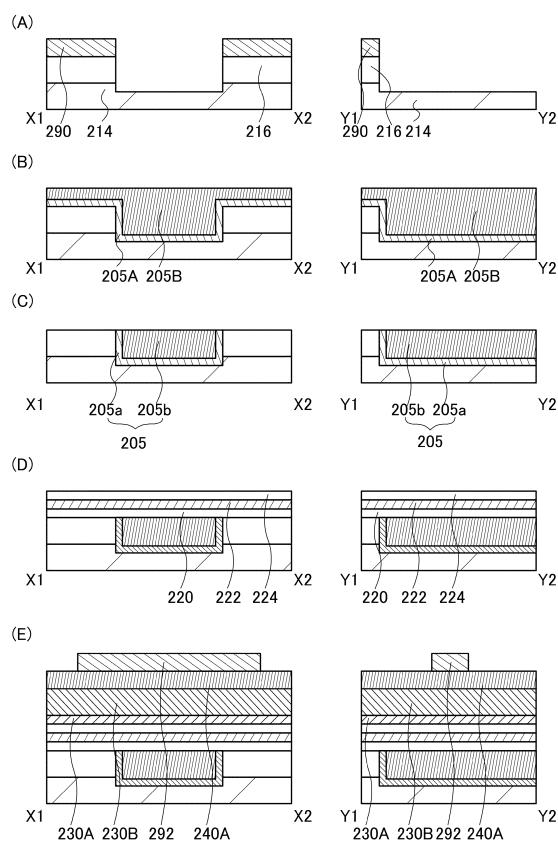
【図17】



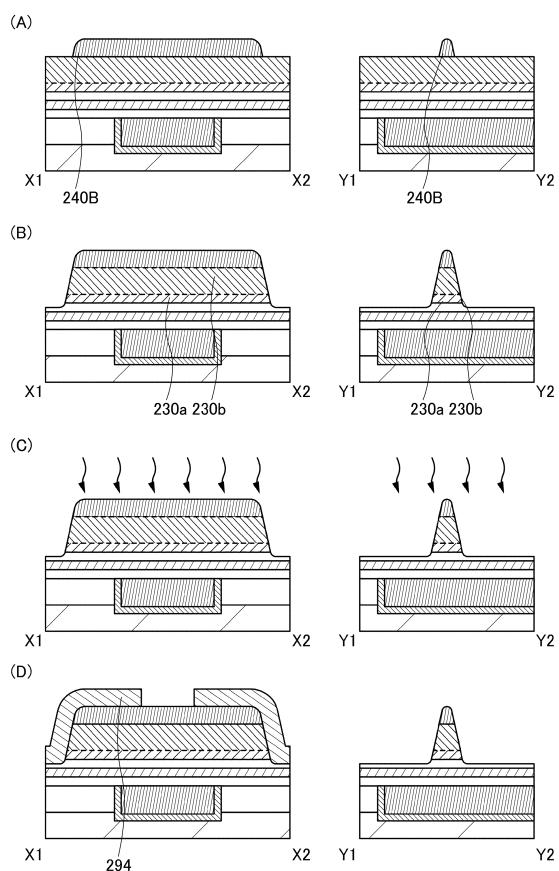
【図18】



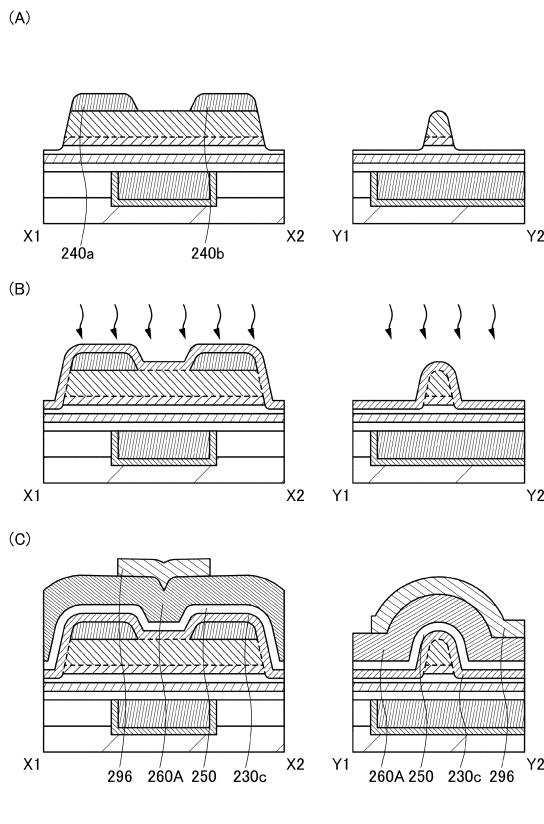
【図19】



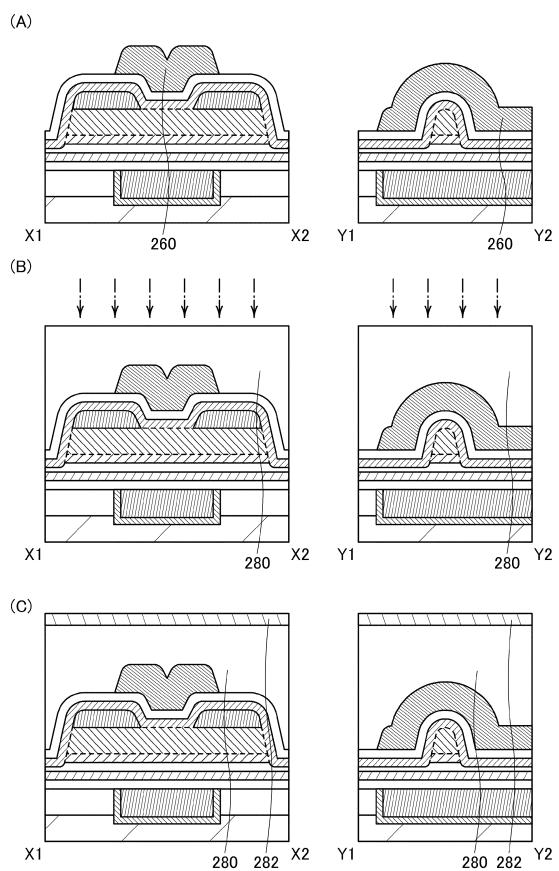
【図20】



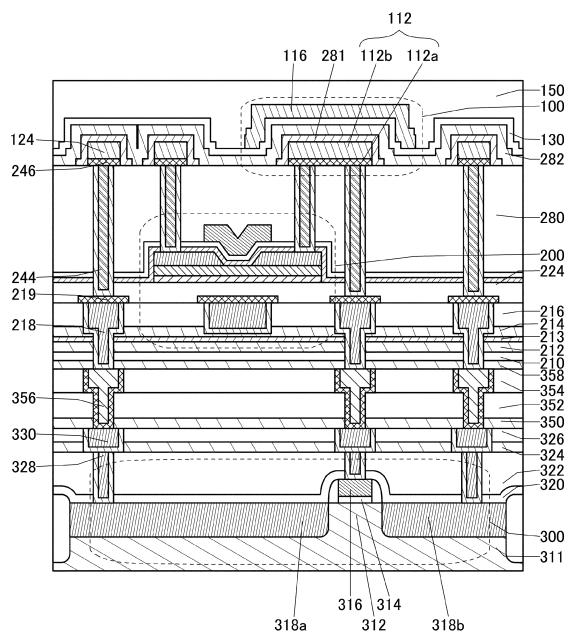
【図21】



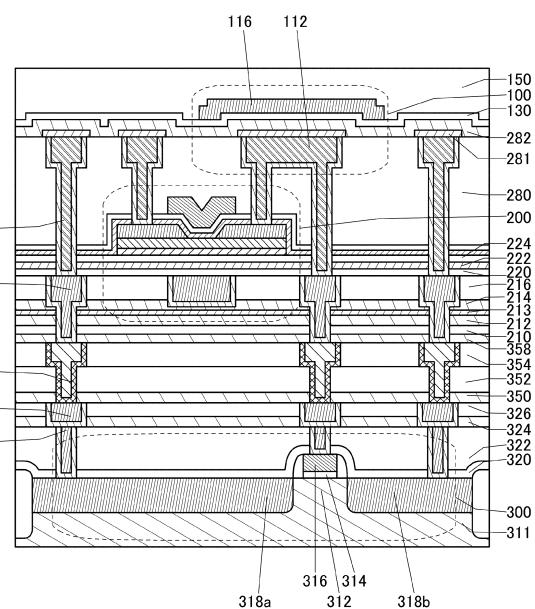
【図22】



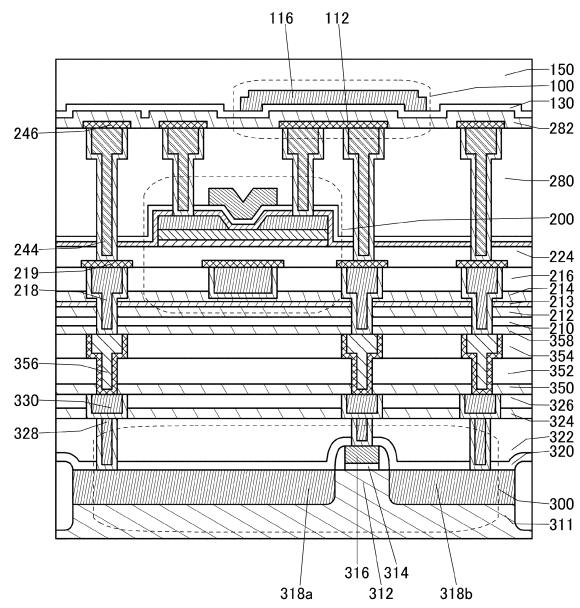
【図23】



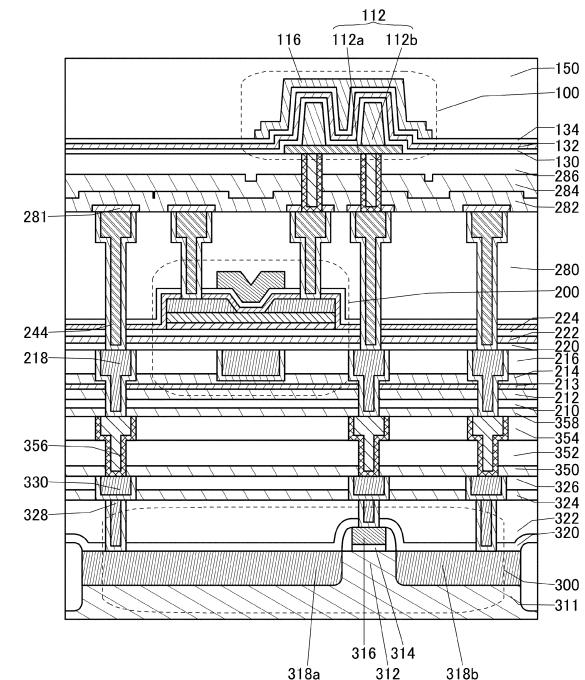
【図24】



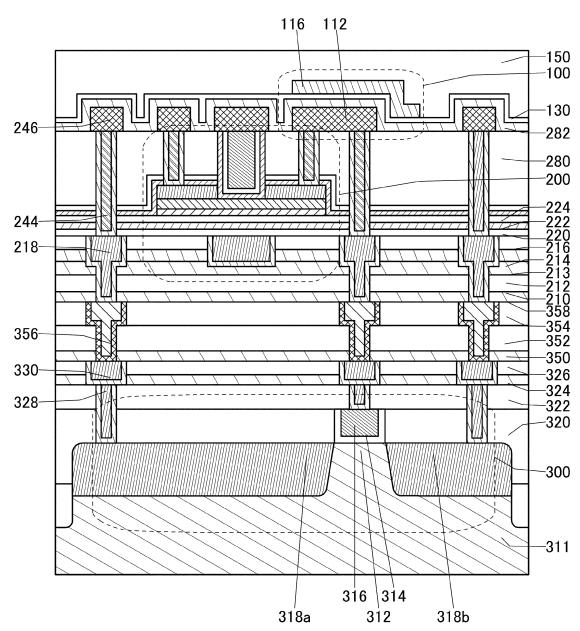
【図25】



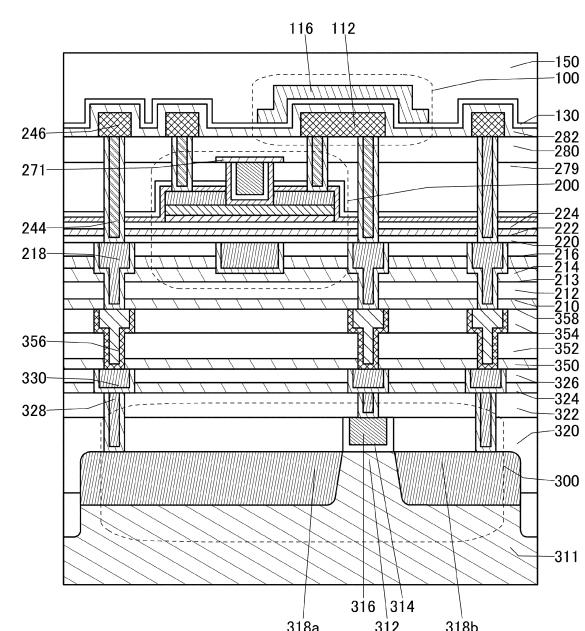
【図26】



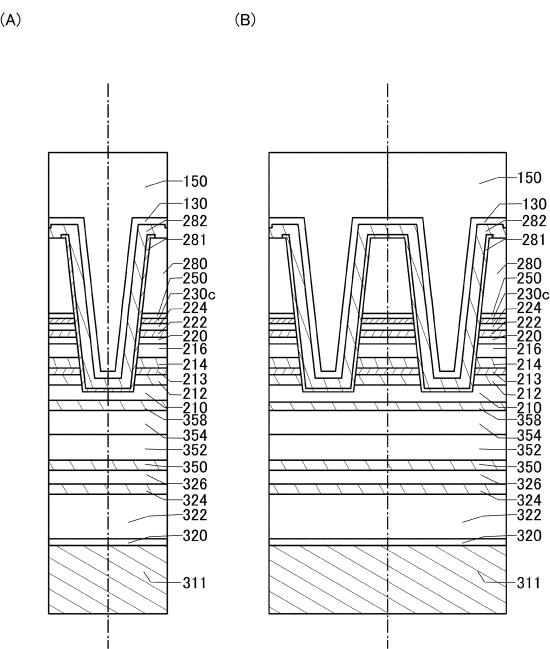
【図27】



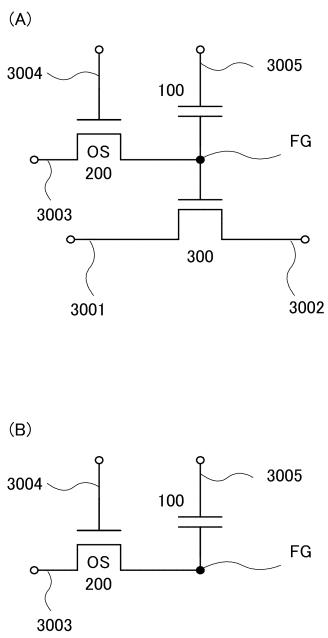
【図28】



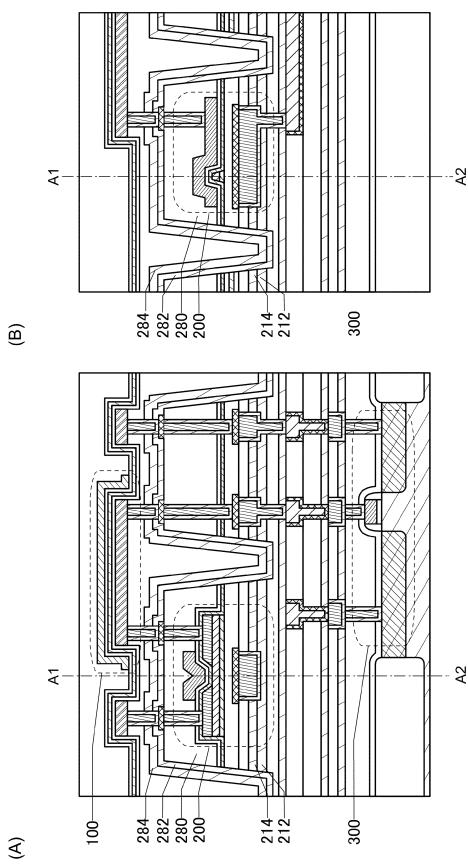
【図29】



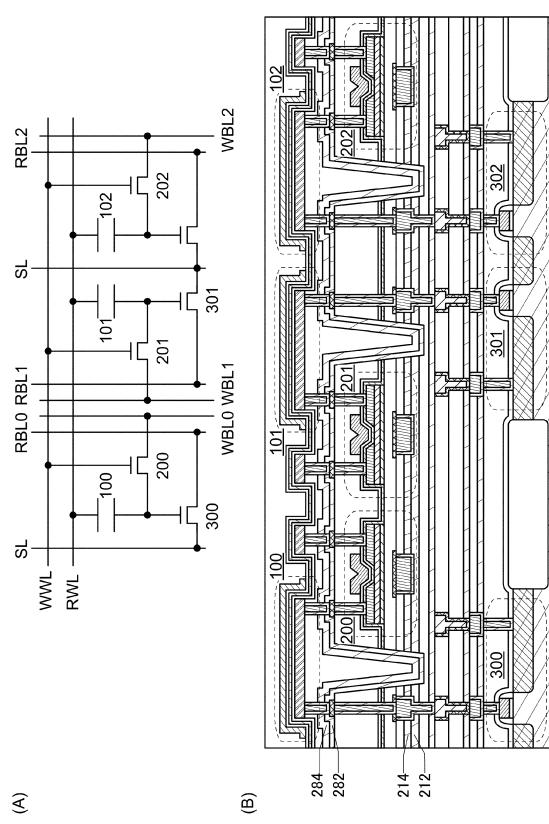
【図30】



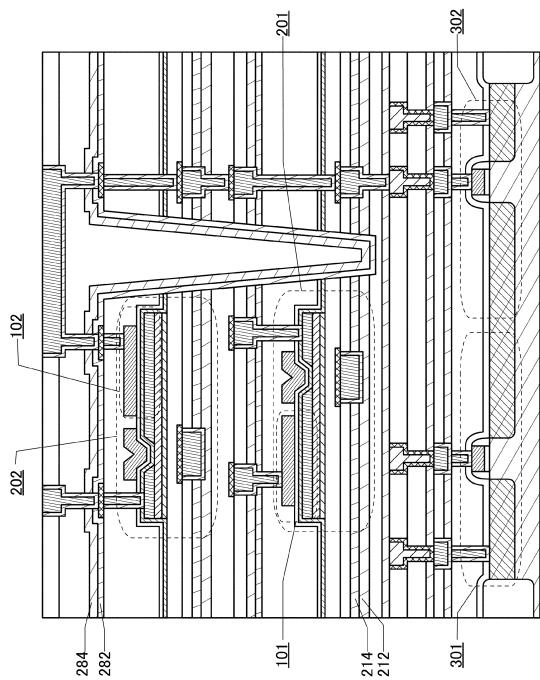
【図31】



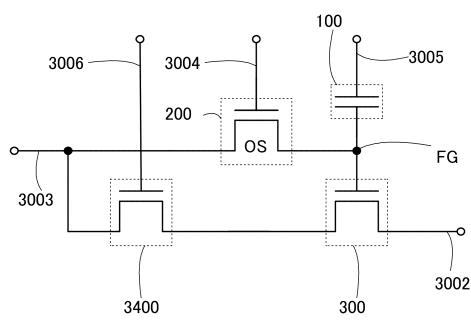
【図32】



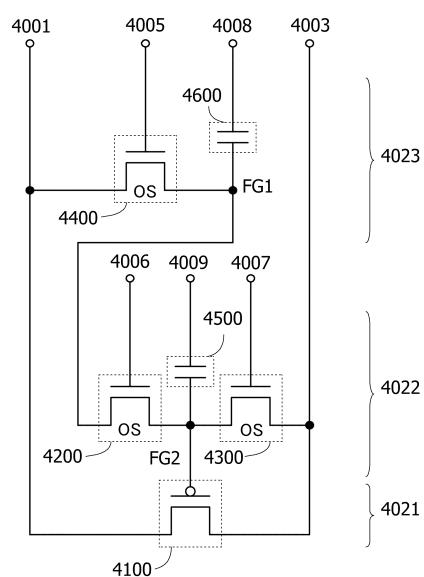
【図33】



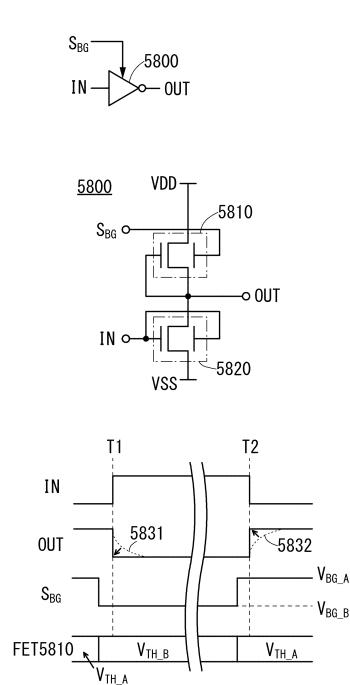
【図34】



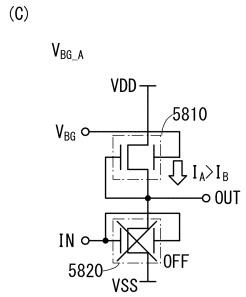
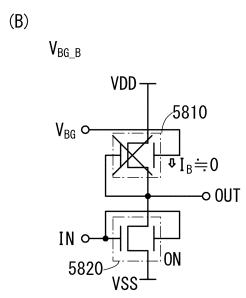
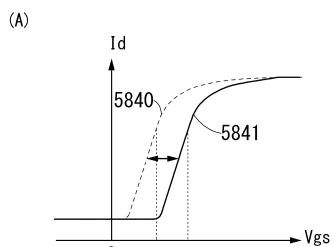
【図35】



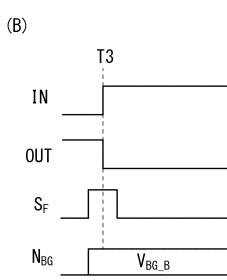
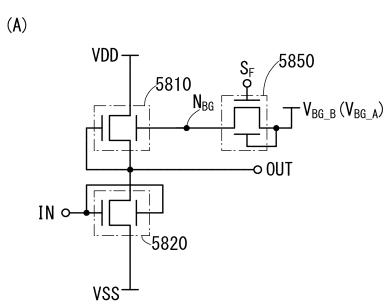
【図36】



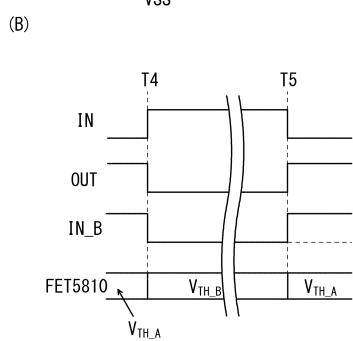
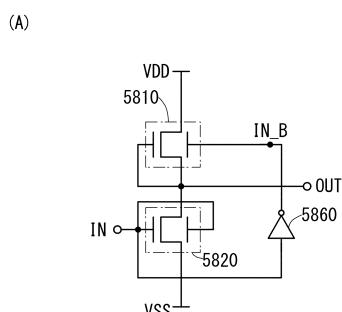
【図37】



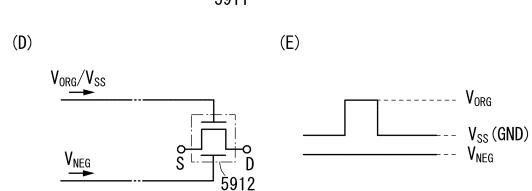
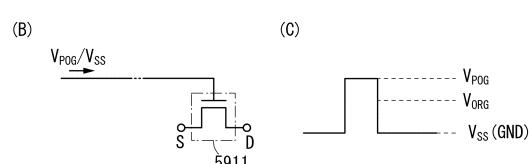
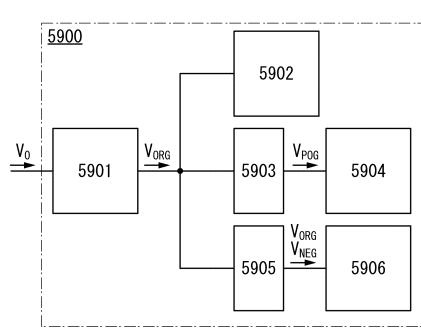
【図38】



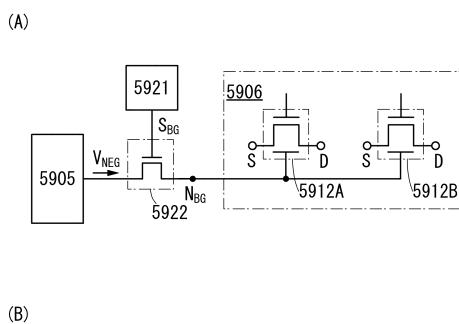
【図39】



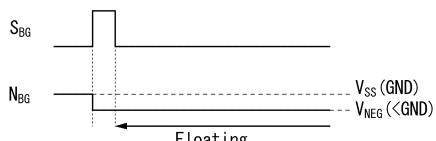
【図40】



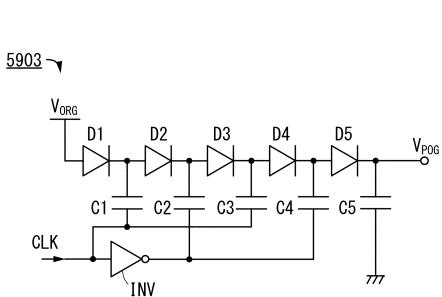
【図4-1】



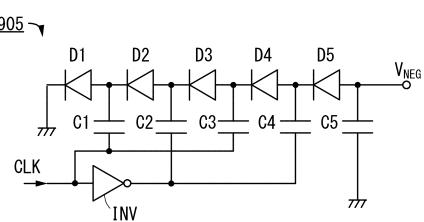
(B)



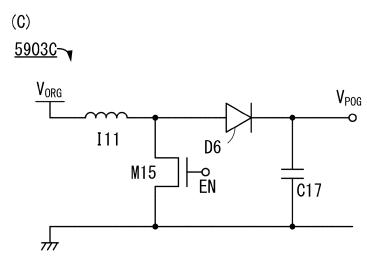
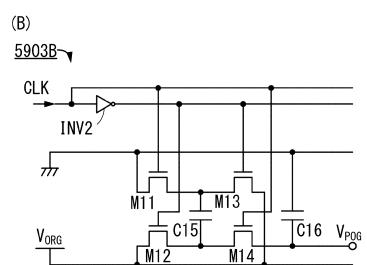
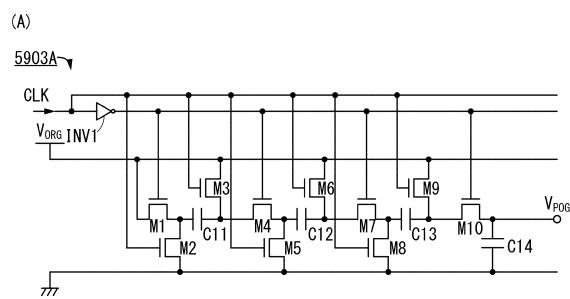
【図4-2】



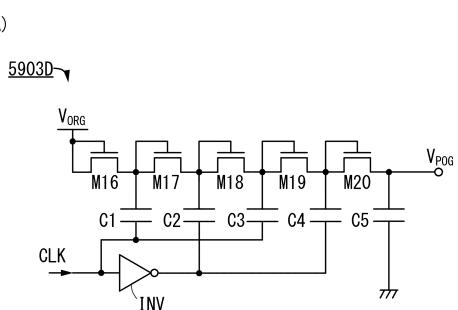
(B)



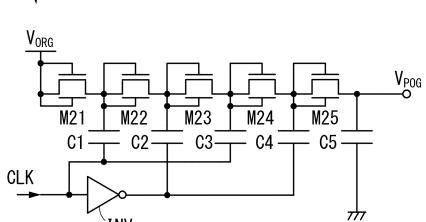
【図4-3】



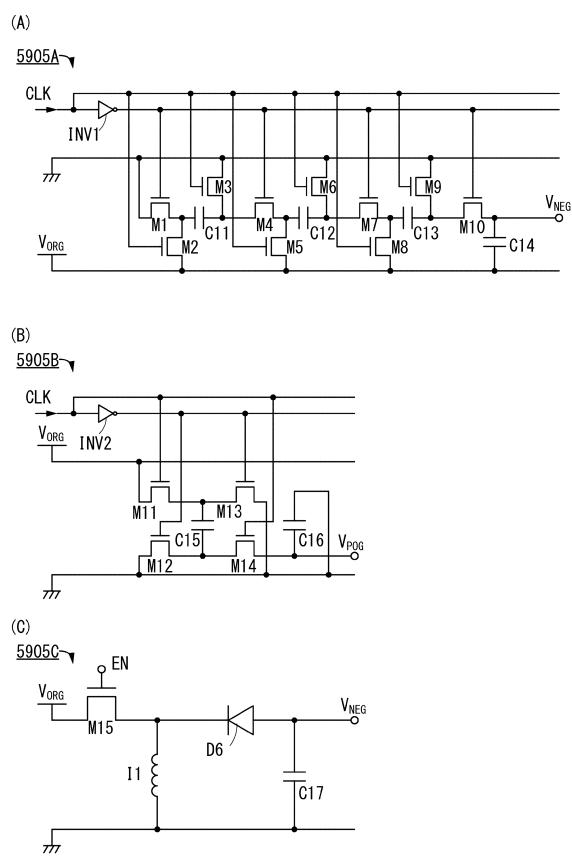
【図4-4】



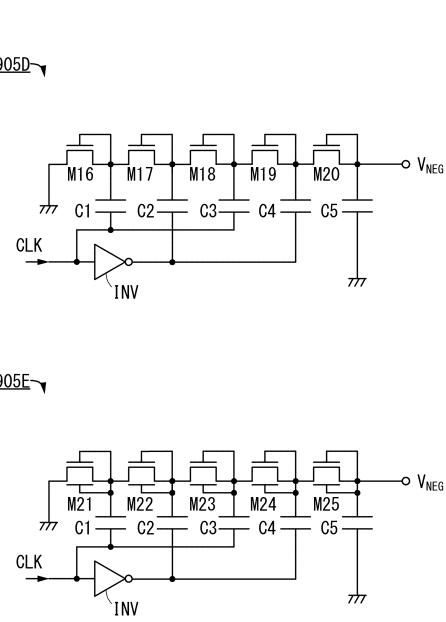
(B)



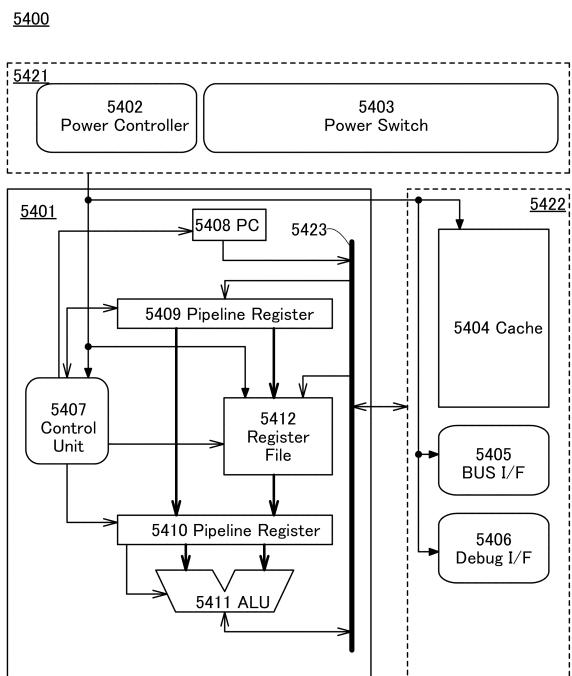
【図45】



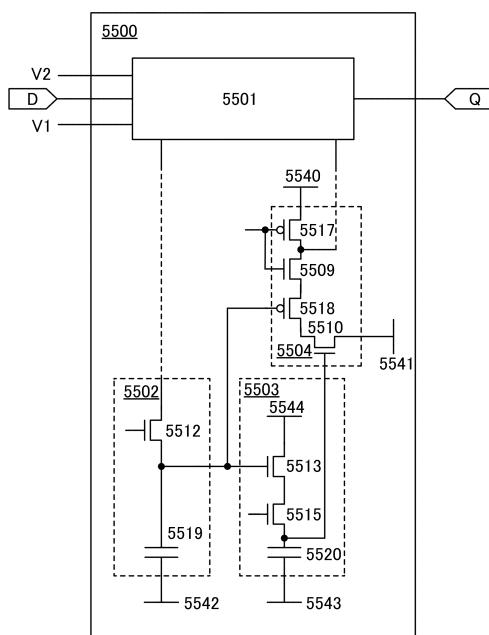
【図46】



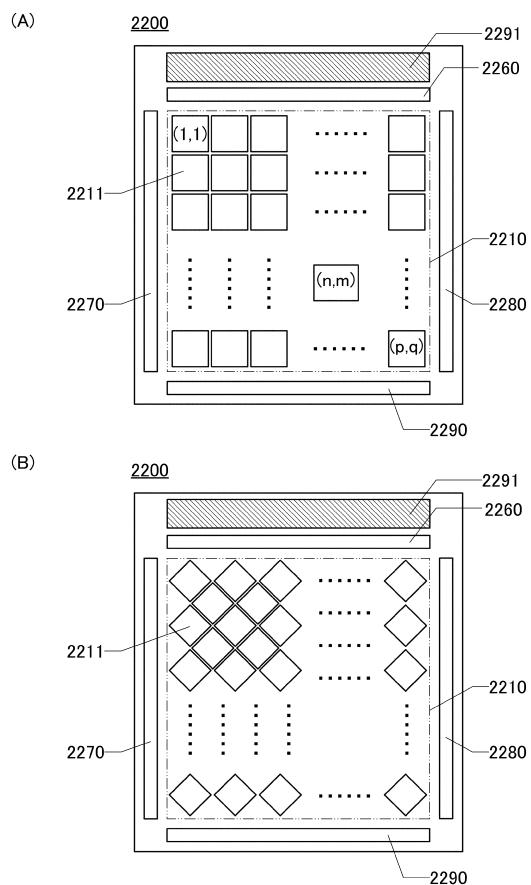
【図47】



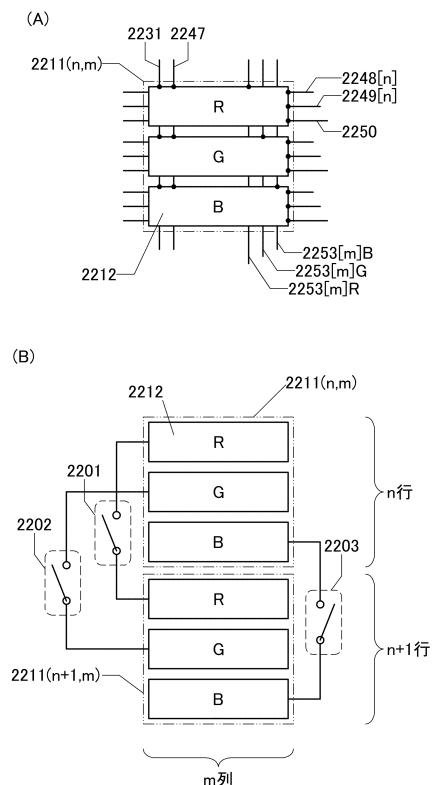
【図48】



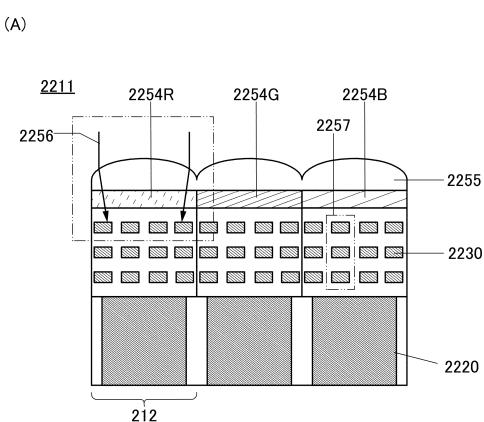
【図49】



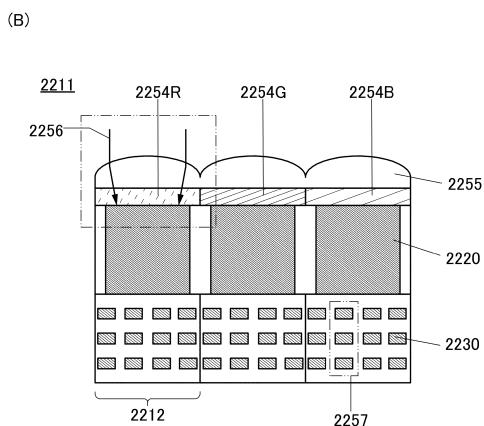
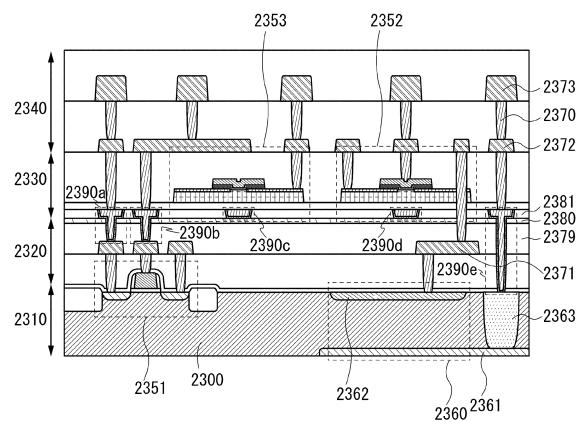
【図50】



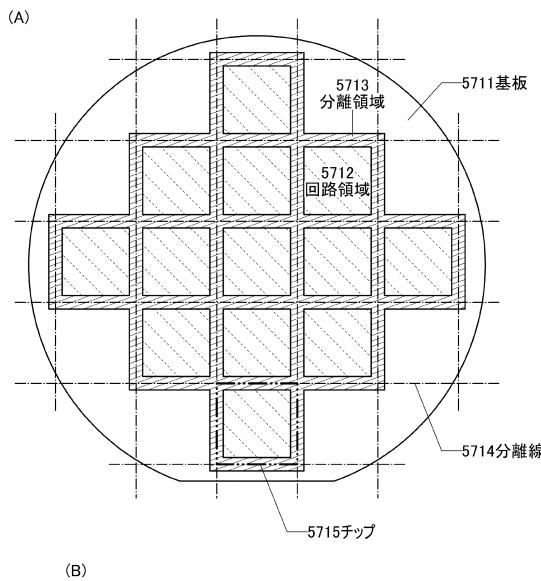
【図51】



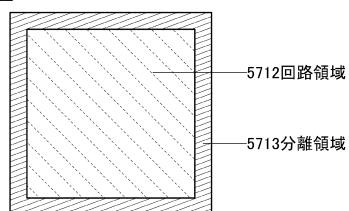
【図52】



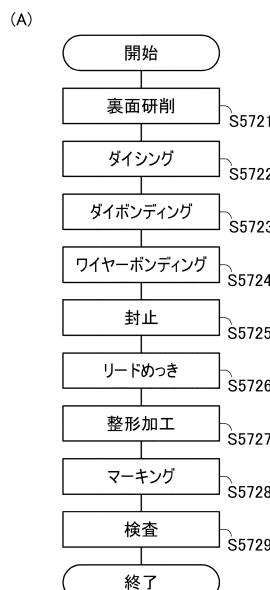
【図53】



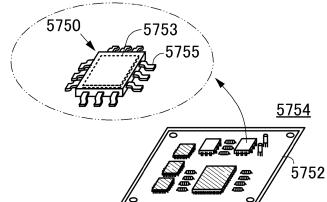
(B)



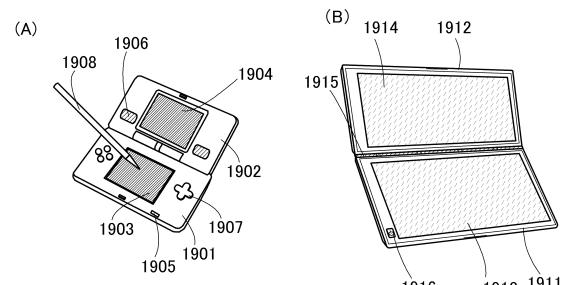
【図54】



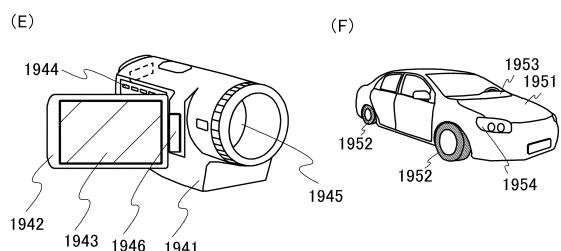
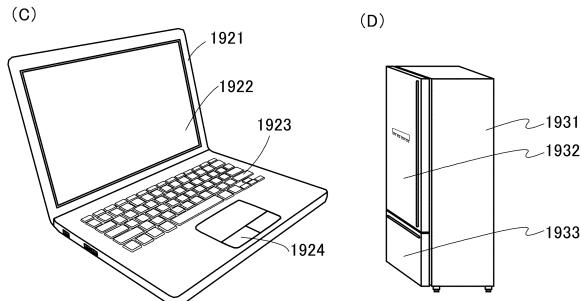
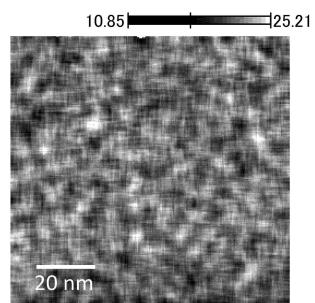
(B)



【図55】

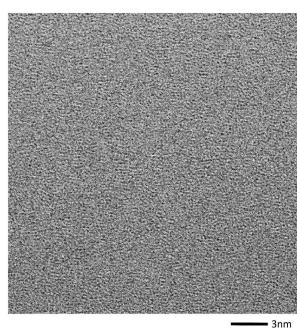


【図56】

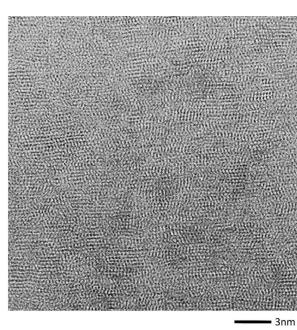


【図5.7】

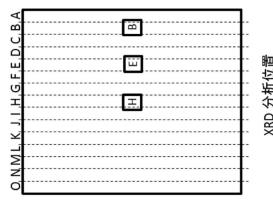
(A)



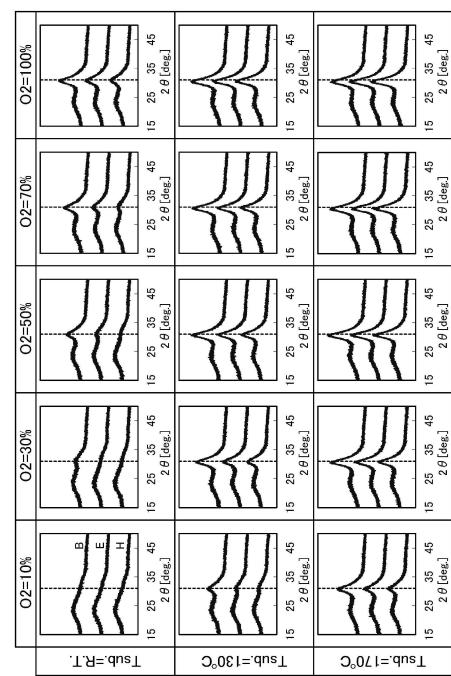
(B)



【図5.8】



(B)



(A)

フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H 01 L 29 / 786

H 01 L 21 / 336