

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-71533

(P2009-71533A)

(43) 公開日 平成21年4月2日(2009.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO4L 25/02 (2006.01)	HO4L 25/02 V	2G132
GO1R 31/28 (2006.01)	GO1R 31/28 H	5K029

審査請求 未請求 請求項の数 20 O L (全 19 頁)

(21) 出願番号 特願2007-237087 (P2007-237087)
 (22) 出願日 平成19年9月12日 (2007.9.12)

(71) 出願人 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (72) 発明者 中村 隆之
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (72) 発明者 淡路 利明
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 Fターム(参考) 2G132 AE06 AE08 AE11 AE14 AE22
 AF18 AG02 AG08 AL16
 5K029 AA03 DD24 GG07 LL08

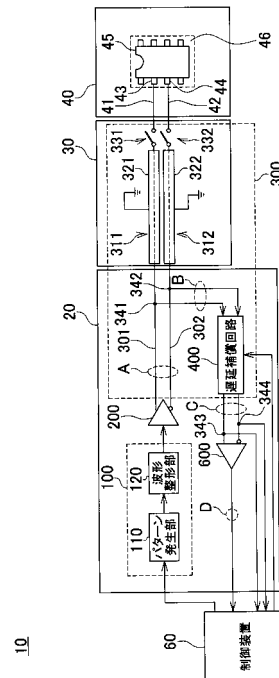
(54) 【発明の名称】 差動信号伝送装置および試験装置

(57) 【要約】

【課題】 ポジティブ信号およびネガティブ信号の信号間に生じる時間的な遅延を検出して補償することができる。

【解決手段】 ポジティブ信号とネガティブ信号との電位差によって表される差動信号を伝送する差動信号伝送装置であって、ポジティブ信号を伝送するポジティブ信号伝送線と、ネガティブ信号を伝送するネガティブ信号伝送線と、ポジティブ信号とネガティブ信号との時間差を補償する、補償時間が可変な遅延補償回路とを備える差動信号伝送装置が提供される。遅延補償回路は、コンデンサと、ポジティブ信号伝送線およびネガティブ信号伝送線の少なくとも一方と基準電位との間に前記コンデンサを挿入するスイッチとを有してもよい。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ポジティブ信号とネガティブ信号との電位差によって表される差動信号を伝送する差動信号伝送装置であって、

前記ポジティブ信号を伝送するポジティブ信号伝送線と、

前記ネガティブ信号を伝送するネガティブ信号伝送線と、

前記ポジティブ信号と前記ネガティブ信号との時間差を補償する、補償時間が可変な遅延補償回路と

を備える差動信号伝送装置。

【請求項 2】

前記遅延補償回路は、

コンデンサと、

前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の少なくとも一方と基準電位との間に前記コンデンサを挿入するスイッチと

を有する請求項 1 に記載の差動信号伝送装置。

【請求項 3】

前記遅延補償回路は、

複数の前記コンデンサと、

複数の前記スイッチと

を有し、

前記複数のスイッチの各々は、前記コンデンサの各々に対応して設けられており、前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の少なくとも一方に離間して設けられた複数の接続点のそれぞれと前記基準電位との間に、当該スイッチに対応して設けられた前記コンデンサを接続する請求項 2 に記載の差動信号伝送装置。

【請求項 4】

前記遅延補償回路は、

容量の異なる複数のコンデンサと、

前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の少なくとも一方と基準電位との間に、前記複数のコンデンサの一つを選択して接続するスイッチと

を有する請求項 1 に記載の差動信号伝送装置。

【請求項 5】

前記遅延補償回路は、

線路長の異なる複数の部分伝送路と、

前記複数の部分伝送路のいずれか一つを選択して、前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の少なくとも一方に直列に挿入するスイッチと

を有する請求項 1 に記載の差動信号伝送装置。

【請求項 6】

前記遅延補償回路は、

インダクタンスを有するインダクタンス素子と、

前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の少なくとも一方に前記インダクタンス素子を直列に挿入するスイッチと

を有する請求項 1 に記載の差動信号伝送装置。

【請求項 7】

前記遅延補償回路は、

複数の前記インダクタンス素子と、

複数の前記スイッチと

を有し、

前記複数のスイッチの各々は、前記インダクタンス素子の各々に対応して設けられており、前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の少なくとも一方の伝送線上に、対応する前記インダクタンス素子を、直列に挿入する請求項 6 に記載の差動信号

10

20

30

40

50

伝送装置。

【請求項 8】

前記遅延補償回路は、
複数の前記コンデンサと、
複数の前記スイッチと

を有し、

前記複数のスイッチの各々は、前記コンデンサの各々に対応して設けられており、前記
ポジティブ信号伝送線および前記ネガティブ信号伝送線のそれぞれと、基準電位との間に
対応する前記コンデンサを挿入する

請求項 2 に記載の差動信号伝送装置。

10

【請求項 9】

前記ポジティブ信号伝送線および前記ネガティブ信号伝送線のそれぞれに、複数の前記
接続点が互いに離間して設けられており、

前記複数のスイッチの各々は、前記複数の接続点のそれぞれと前記基準電位との間に、
当該スイッチに対応して設けられた前記コンデンサを接続する請求項 3 に記載の差動信号
伝送装置。

【請求項 10】

前記遅延補償回路は、複数の前記スイッチを有し、

複数の前記スイッチの一つは、選択した前記コンデンサを前記ポジティブ信号伝送線と
基準電位との間に接続し、

20

複数の前記スイッチの他の一つは、選択した前記コンデンサを前記ネガティブ信号伝送
線と基準電位との間に接続する請求項 4 に記載の差動信号伝送装置。

【請求項 11】

前記遅延補償回路は、複数の前記スイッチを備え、

複数の前記スイッチの一つは、選択した前記部分伝送路を前記ポジティブ信号伝送線
の上に直列に挿入し、

複数の前記スイッチの他の一つは、選択した前記部分伝送路を前記ネガティブ信号伝送
線の上に直列に挿入する請求項 5 に記載の差動信号伝送装置。

【請求項 12】

前記遅延補償回路は、複数の前記インダクタンス素子および複数の前記スイッチを有し

30

、
前記複数のスイッチの各々は、前記インダクタンス素子の各々に対応して設けられてお
り、対応する前記インダクタンス素子を、前記ポジティブ信号伝送線および前記ネガティ
ブ信号伝送線のそれぞれに直列に挿入する請求項 6 に記載の差動信号伝送装置。

【請求項 13】

前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の少なくとも一部が、基準
電位のシールドによって囲まれた同軸ケーブルである請求項 12 に記載の差動信号伝送装
置。

【請求項 14】

被試験デバイスに入力する試験信号を生成する試験信号生成部と、

40

前記試験信号を、ポジティブ信号とネガティブ信号との電位差によって表される差動信
号に変換した差動試験信号を生成するピンエレクトロニクスと、

前記差動試験信号を受け取り、前記被試験デバイスに入力するパフォーマンスボードと
を備え、

前記ピンエレクトロニクスは、

前記ポジティブ信号を伝送するポジティブ信号伝送線と、

前記ネガティブ信号を伝送するネガティブ信号伝送線と、

前記ポジティブ信号伝送線を含む伝送路および前記ネガティブ信号伝送線を含む伝送路
の長さの差によって生じる、前記ポジティブ信号と前記ネガティブ信号の伝送時間の時間差
を補償する遅延補償回路と

50

を有し、

前記遅延補償回路は、補償時間が可変である試験装置。

【請求項 15】

前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の少なくとも一部が、基準電位のシールドによって囲まれた同軸ケーブルである請求項 14 に記載の試験装置。

【請求項 16】

前記ピンエレクトロニクスと前記パフォーマンスボードとの間に配され、前記同軸ケーブルを含むケーブルユニットを更に備え、

前記遅延補償回路は、前記ポジティブ信号を伝送する前記同軸ケーブルの長さ、前記ネガティブ信号を伝送する前記同軸ケーブルの長さの差によって生じる、前記ポジティブ信号と前記ネガティブ信号の伝送時間の差を予め補償する請求項 15 に記載の試験装置。

10

【請求項 17】

前記パフォーマンスボードは更に、前記被試験デバイスから出力された信号を、ポジティブ信号とネガティブ信号との電位差に基づく差動出力信号として出力し、

前記ピンエレクトロニクスは更に、前記差動出力信号を受け取って、前記ポジティブ信号と前記ネガティブ信号とを比較し、比較結果に基づく試験結果信号を生成し、

前記遅延補償回路は更に、前記試験結果信号に基づいて、前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の長さの差によって生じる、前記差動出力信号における前記ポジティブ信号と前記ネガティブ信号の伝送時間の時間差を補償する請求項 16 に記載の試験装置。

20

【請求項 18】

前記パフォーマンスボードは、前記被試験デバイスを着脱自在に保持するソケット、および、前記同軸ケーブルから前記ソケットに装着された前記被試験デバイスまでを電氣的に接続する配線を有し、

前記遅延補償回路は、前記ポジティブ信号を伝送する前記同軸ケーブルおよび前記配線の長さ、前記ネガティブ信号を伝送する前記同軸ケーブルおよび前記配線の長さとの差によって生じる、前記ポジティブ信号と前記ネガティブ信号の伝送時間の差を予め補償する請求項 15 に記載の試験装置。

【請求項 19】

前記遅延補償回路は更に、前記ポジティブ信号伝送線の一端を開放し、前記ポジティブ信号伝送線により伝送された後、前記一端で反射して再び前記ポジティブ信号伝送線により伝送された前記ポジティブ信号と、前記ネガティブ信号伝送線の一端を開放し、前記ネガティブ信号伝送線により伝送された後、前記一端で反射して再び前記ネガティブ信号伝送線により伝送された前記ネガティブ信号の伝送時間との時間差を検出し、前記時間差に基づいて前記補償時間を設定する請求項 14 から 17 のいずれかに記載の試験装置。

30

【請求項 20】

前記遅延補償回路は更に、前記試験結果信号における立ち上がり、立ち下がり、または、その両方に基づいて、前記ポジティブ信号伝送線および前記ネガティブ信号伝送線の長さの差によって生じる、前記差動出力信号における前記ポジティブ信号と前記ネガティブ信号の伝送時間の時間差を算出する請求項 17 に記載の試験装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、差動信号伝送装置および当該差動信号伝送装置を用いた試験装置に関する。本発明は特に、差動信号を伝送する差動信号伝送装置、および、当該差動信号伝送装置を用いた試験装置に関する。

【背景技術】

【0002】

多数チャンネルのピンエレクトロニクスを有するテストヘッドと、ピンエレクトロニクスで生成される試験信号を被試験デバイスに入力するパフォーマンスボードとを備える試験

50

装置がある（例えば特許文献1を参照）。また、上記試験装置に用いられ、被試験デバイスに入力する試験信号として差動信号を出力する信号出力装置がある（例えば特許文献2を参照）。

【特許文献1】国際公開第2004/090561号パンフレット

【特許文献2】特開2000-009804号公報

【0003】

上記試験装置は、複数のチャンネルを有するピンエレクトロニクスそれぞれとパフォーマンスボードとが複数の伝送線で接続されている。上記複数の伝送線は、ピンエレクトロニクスで生成される試験信号をパフォーマンスボードに伝送する。ここで、伝送線は、当該伝送上のノイズを低減することを目的として、ポジティブ信号を伝送するポジティブ信号伝送線とネガティブ信号を伝送するネガティブ信号伝送線を有する。さらに、上記試験装置は、多様な半導体デバイスを試験する目的で、上記複数の伝送線は、差動信号だけでなくシングルエンド信号も伝送できることが好ましい。この場合、ポジティブ信号伝送線およびネガティブ信号伝送線のそれぞれが、同軸ケーブルになっており、差動信号を伝送するときは、ポジティブ信号およびネガティブ信号を、それぞれ別々の同軸ケーブルで伝送する。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記試験装置において、ポジティブ信号伝送線およびネガティブ信号伝送線における各伝送線の長さの違いや各伝送上に配される電気的素子の特性の違いなどにより、これらの伝送線により伝送されるポジティブ信号とネガティブ信号との間にスキューを生じることがある。特に、ポジティブ信号およびネガティブ信号からなる差動信号をそれぞれ独立した同軸ケーブルで伝送する場合に、ポジティブ信号およびネガティブ信号をそれぞれ伝送する同軸ケーブルを含む伝送路に長さの違いが生じやすく、信号間にスキューを生じやすい。このような信号間のスキューは、試験に供される半導体デバイスを誤作動させるおそれがあり、また、試験の結果として半導体デバイスから出力される信号の正確な計測を難しくする。

20

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明の第1の形態においては、ポジティブ信号とネガティブ信号との電位差によって表される差動信号を伝送する差動信号伝送装置であって、ポジティブ信号を伝送するポジティブ信号伝送線と、ネガティブ信号を伝送するネガティブ信号伝送線と、ポジティブ信号とネガティブ信号との時間差を補償する、補償時間が可変な遅延補償回路とを備える差動信号伝送装置が提供される。

30

【0006】

また、上記遅延補償回路は、コンデンサと、ポジティブ信号伝送線およびネガティブ信号伝送線の少なくとも一方と基準電位との間にコンデンサを挿入するスイッチとを有することが好ましい。

【0007】

40

また、上記遅延補償回路は、複数のコンデンサと、複数のスイッチとを有し、複数のスイッチの各々は、コンデンサの各々に対応して設けられており、ポジティブ信号伝送線およびネガティブ信号伝送線の少なくとも一方に離間して設けられた複数の接続点のそれぞれと基準電位との間に、当該スイッチに対応して設けられたコンデンサを接続することが好ましい。

【0008】

また、本発明の第2の形態においては、被試験デバイスに入力する試験信号を生成する試験信号生成部と、試験信号を、ポジティブ信号とネガティブ信号との電位差によって表される差動信号に変換した差動試験信号を生成するピンエレクトロニクスと、差動試験信号を受け取り、被試験デバイスに入力するパフォーマンスボードとを備え、ピンエレクト

50

ロニクスは、ポジティブ信号を伝送するポジティブ信号伝送線と、ネガティブ信号を伝送するネガティブ信号伝送線と、ポジティブ信号伝送線およびネガティブ信号伝送線の長さの差によって生じる、ポジティブ信号とネガティブ信号の伝送時間の時間差を補償する遅延補償回路とを有し、遅延補償回路は、補償時間が可変である試験装置が提供される。

【0009】

また、上記試験装置において、ポジティブ信号伝送線およびネガティブ信号伝送線の少なくとも一部が、基準電位のシールドによって囲まれた同軸ケーブルであってもよい。また、上記試験装置は、ピンエレクトロニクスとパフォーマンスボードとの間に配され、同軸ケーブルを含むケーブルユニットを更に備え、遅延補償回路は、ポジティブ信号を伝送する同軸ケーブルの長さ、ネガティブ信号を伝送する同軸ケーブルの長さの差によって生じる、ポジティブ信号とネガティブ信号の伝送時間の差を予め補償することが好ましい。

10

【0010】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【発明の効果】

【0011】

以上の説明から明らかなように、本発明の差動信号伝送装置によれば、ポジティブ信号およびネガティブ信号がそれぞれの伝送経路であるポジティブ信号伝送線およびネガティブ信号伝送線を伝送される間に、これらの信号間にスキューすなわち時間差が生じた場合でも、遅延補償回路により当該時間差を補償することができる。また、上記遅延補償回路は、例えばポジティブ信号伝送線およびネガティブ信号伝送線の少なくとも一方に離間して設けられた複数の接続点のそれぞれと基準電位との間に、当該スイッチに対応して設けられたコンデンサを接続することにより、上記時間差に応じて補償時間を種々変化させることができる。したがって、上記遅延補償回路を有する差動信号伝送装置を備えた試験装置によれば、被試験デバイスに試験信号を入力して得られるポジティブ信号およびネガティブ信号を比較した比較結果に基づく試験結果信号の検出結果から、上記時間差をより正確に補償することができる。

20

【発明を実施するための最良の形態】

【0012】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

30

【0013】

図1は、本発明の一の実施形態に係る試験装置10の構成を示す。図1に示すように、試験装置10は、ピンエレクトロニクスと、ケーブルユニット30と、パフォーマンスボード40と、制御装置60とを備える。

【0014】

ピンエレクトロニクス20は、パターン発生部110および波形整形部120を含む差動信号生成部100、ドライバ200、遅延補償回路400およびコンパレータ600を有する。また、差動信号生成部100において、パターン発生部110は、波形整形部120と電氣的に接続しており、波形整形部120は、さらにドライバ200の入力側と電氣的に接続している。

40

【0015】

また、ドライバ200の出力側には、ポジティブ信号伝送線301およびネガティブ信号伝送線302の一端が接続される。ポジティブ信号伝送線301およびネガティブ信号伝送線302の他端は、ピンエレクトロニクス20の外部に接続する。また、ポジティブ信号伝送線301およびネガティブ信号伝送線302は、それぞれピンエレクトロニクス20上の結合点341、342で分岐しており、当該分岐の先端は遅延補償回路400を経てコンパレータ600の入力側とそれぞれ電氣的に接続している。

【0016】

50

ケーブルユニット 30 は、ピンエレクトロニクス 20 とパフォーマンスボード 40 との間に配され、複数の同軸ケーブルを有する。これら複数の同軸ケーブルは、上記ピンエレクトロニクス 20 のポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 にそれぞれ接続され、それぞれ基準電位のシールド 321、322 によって囲まれたポジティブ信号伝送線 311、および、ネガティブ信号伝送線 312 を含む。なお、上記基準電位は、本実施形態においては接地電位であり、以下においても同様である。また、ケーブルユニット 30 において、ポジティブ信号伝送線 311 およびネガティブ信号伝送線 312 のパフォーマンスボード 40 側は、それぞれスイッチ 331、332 に接続されている。

【0017】

パフォーマンスボード 40 は、ソケット 46 を有し、当該ソケット 46 に被試験デバイス 45 を着脱可能に保持する。さらに、パフォーマンスボード 40 は、被試験デバイス 45 の端子 43、44 にそれぞれ電氣的に接続している配線 41、配線 42 を含む伝送路パターンを有する。また、これら配線 41、42 は、上記スイッチ 331、332 に接続されている。これにより、上記スイッチ 331 が閉じることにより、被試験デバイス 45 の端子 43 が、パフォーマンスボード 40 の配線 41 を介してポジティブ信号伝送線 311 に電氣的に接続する。同様に、スイッチ 332 が閉じることにより、被試験デバイス 45 の端子 44 が、パフォーマンスボード 40 の配線 42 を介してネガティブ信号伝送線 312 に電氣的に接続する。

【0018】

制御装置 60 は、コンパレータ 600 の出力側に接続している。また、制御装置 60 は、ポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 がピンエレクトロニクス 20 上の結合点 343、344 で分岐した伝送線とそれぞれ電氣的に接続している。さらに、制御装置 60 は、上記差動信号生成部 100 のパターン発生部 110、および、遅延補償回路 400 に配される後述するスイッチ群等と電氣的または機械的に接続しており、これらを電氣的または機械的に制御する。

【0019】

図 2 は、遅延補償回路 400 の回路構成を示す。図 2 に示すように、遅延補償回路 400 は、複数のコンデンサ 411、412、413、414、415、416 と、これらのコンデンサ 411、412、413、414、415、416 の各々に対応して設けられたスイッチ 471、472、473、474、475、476 とを有する。上記コンデンサ 411、412、413、414、415、416 のそれぞれは、ポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 の各伝送線上に間隔を取って設けられた複数の接続点の一つと基準電位との間に配される。また、スイッチ 471、472、473、474、475、476 のそれぞれは、上記コンデンサ 411、412、413、414、415、416 と各伝送線の接続点との間に配される。例えば、図 2 に示すように、スイッチ 471 およびコンデンサ 411 は、ポジティブ信号伝送線 301 上の上記結合点 341 に最も近い側の接続点と基準電位との間に、当該接続点の側からこの順に配される。

【0020】

また、遅延補償回路 400 は、図 2 に示すように、ポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 の各伝送線上に複数の抵抗 451、452、453、454、455、456 を有する。これにより、例えばスイッチ 471 が閉じた状態において、抵抗 451 およびコンデンサ 411 は、所謂 RC 積分器となり、ポジティブ信号伝送線 301 上を伝送されるポジティブ信号の信号波形 731 の立ち上がり時間および立ち下がり時間を、抵抗 451 の大きさおよびコンデンサ 411 の容量により決まる時定数に応じて遅延させることができる。一方、例えばスイッチ 474 が閉じた場合、抵抗 454 およびコンデンサ 414 が RC 積分器となり、ネガティブ信号伝送線 302 上を伝送されるネガティブ信号の信号波形 732 の立ち上がり時間および立ち下がり時間を、抵抗 454 の大きさおよびコンデンサ 414 の容量により決まる時定数に応じて遅延させることができる。

【0021】

10
20
30
40
50

このように、遅延補償回路400は、スイッチ471、472、473、474、475、476のそれぞれを開閉することにより、ポジティブ信号伝送線301およびネガティブ信号伝送線302のそれぞれに一つから三つのRC積分器を設けることができる。これにより、遅延補償回路400は、ポジティブ信号伝送線301およびネガティブ信号伝送線302上を伝送されるポジティブ信号およびネガティブ信号の一方または両方を遅延させ、または、遅延させずにそのまま通過させることができる。さらに、遅延補償回路400は、上記スイッチ471、472、473、474、475、476の開閉によりポジティブ信号伝送線301およびネガティブ信号伝送線302のそれぞれに対して働くRC積分器の数を増減することができるので、ポジティブ信号の信号波形731およびネガティブ信号の信号波形732それぞれの立ち上がり時間および立ち下がり時間を遅延させる時間幅を変えることができる。

10

【0022】

図3は、遅延補償回路400の具体例の一部である可変容量回路800の概略平面図を示す。また、図4は、図3のA-A'断面における通常状態の断面図を示し、図5は、図3のA-A'断面における圧電素子850の伸長状態の断面図を示す。図3および図4に示すように、可変容量回路800は、接地電極810、信号伝送線820、誘電体層830、ブリッジ電極840、および、圧電素子850を有する。この可変容量回路800は、例えば上記遅延補償回路400のポジティブ信号伝送線301側およびネガティブ信号伝送線302側にそれぞれ配される。

【0023】

接地電極810および信号伝送線820は、絶縁基板801上に互いに離間して形成される。また、信号伝送線820の両端はプローブパッド821、822となっており、可変容量回路800が上記遅延補償回路400のポジティブ信号伝送線301側に配される場合は、例えばプローブパッド822が上記結合点341側のポジティブ信号伝送線301と接続するとともに、プローブパッド821が上記コンパレータ600側のポジティブ信号伝送線301と接続する。また、可変容量回路800が上記遅延補償回路400のネガティブ信号伝送線302側に配される場合は、例えばプローブパッド822が上記結合点342側のネガティブ信号伝送線302と接続するとともに、プローブパッド821が上記コンパレータ600側のネガティブ信号伝送線302と接続する。

20

【0024】

信号伝送線820上には、誘電体層830が配される。また、接地電極810上には、ブリッジ電極840が、上記信号伝送線820を跨ぐように配される。ここで、ブリッジ電極840は、誘電体層830の上面に対向する。ブリッジ電極840上には、圧電素子850が配される。ここでブリッジ電極840および圧電素子850は、本発明のスイッチの一例であり、ブリッジ電極840が誘電体層830に近接した場合に信号伝送線820との間に形成する結合容量が本発明のコンデンサの一例である。

30

【0025】

上記可変容量回路800において、制御装置60からの入力がない場合には、図4に示すように、ブリッジ電極840は誘電体層830から離間した位置にある。一方、制御装置60からの入力があった場合に、圧電素子850に電圧が印加されて当該圧電素子850が伸長することにより、ブリッジ電極840が下に撓む。これにより、ブリッジ電極840が誘電体層830に近接し、これらブリッジ電極840および誘電体層830を介して、信号伝送線820と接地電極810との間に結合容量が形成される。

40

【0026】

以下、試験装置10の動作について説明する。まず、試験装置10は、以下の方法により、パフォーマンスボード40が保持する被試験デバイス45を試験する前に、ポジティブ信号伝送線301およびネガティブ信号伝送線302により伝送される信号間に生じる時間的な遅延を検出する。

【0027】

この場合に、まず、上記スイッチ331、332がともに開いた状態において、制御装

50

置 6 0 は、遅延検出用信号のパターンデータを生成する旨の命令をパターン発生部 1 1 0 に送る。パターン発生部 1 1 0 は、制御装置 6 0 から送られる上記パターンデータを生成する旨の命令を受けると、遅延検出用信号のパターンデータを生成して波形整形部 1 2 0 に出力する。波形整形部 1 2 0 は、パターン発生部 1 1 0 で生成されたパターンデータを整形してドライバ 2 0 0 に送る。ドライバ 2 0 0 は、波形整形部 1 2 0 で整形されたパターンデータをポジティブ信号とネガティブ信号との電位差によって表される差動信号である差動検出信号 7 1 0 に変換する。

【 0 0 2 8 】

図 6 は、差動検出信号 7 1 0 におけるポジティブ信号の信号波形 7 1 1 およびネガティブ信号の信号波形 7 1 2 の一例を示す。なお、図 6 に示すそれぞれの信号波形 7 1 1、7 1 2 は、図 1 に示すポジティブ信号伝送線 3 0 1 およびネガティブ信号伝送線 3 0 2 における「A」を付して示す破線で囲まれた位置で検出される波形であり、図の右方向が時間軸の正方向である。

10

【 0 0 2 9 】

図 6 に示されるように、ドライバ 2 0 0 は、上記パターンデータに応じて、基準電圧「V_{low}」に対してこの「V_{low}」よりも大きな信号電圧「V_{high}」の信号波形 7 1 1 を有するポジティブ信号、および、基準電圧が「V_{high}」であり信号電圧が「V_{low}」である信号波形 7 1 2 を有するネガティブ信号からなる差動検出信号 7 1 0 を生成する。また、ドライバ 2 0 0 は、生成した上記差動検出信号 7 1 0 のうち、ポジティブ信号をポジティブ信号伝送線 3 0 1 に出力すると共に、ネガティブ信号をネガティブ信号伝送線 3 0 2 に出力する。

20

【 0 0 3 0 】

ここで、ポジティブ信号は、上記ポジティブ信号伝送線 3 0 1 によって伝送されてスイッチ 3 3 1 における上記一方の端子で反射した後、再びポジティブ信号伝送線 3 0 1 によって伝送されて結合点 3 4 1 および遅延補償回路 4 0 0 を経てコンパレータ 6 0 0 および制御装置 6 0 0 に入力する。また、ネガティブ信号は、上記ネガティブ信号伝送線 3 0 2 によって伝送されてスイッチ 3 3 2 における上記一方の端子で反射した後、再びネガティブ信号伝送線 3 0 2 によって伝送されて結合点 3 4 2 および遅延補償回路 4 0 0 を経てコンパレータ 6 0 0 および制御装置 6 0 0 に入力する。ここで、上記スイッチ 3 3 1 における上記一方の端子で反射したポジティブ信号および上記スイッチ 3 3 2 における上記一方の端子で反射したネガティブ信号からなる差動信号を特に差動反射信号 7 3 0 と称する。

30

【 0 0 3 1 】

図 7 は、差動反射信号 7 3 0 におけるポジティブ信号の信号波形 7 3 1 およびネガティブ信号の信号波形 7 3 2 の一例を示す。なお、図 7 に示すそれぞれの信号波形 7 3 1、7 3 2 は、図 1 に示すポジティブ信号伝送線 3 0 1 およびネガティブ信号伝送線 3 0 2 における「B」を付して示す破線で囲まれた位置で検出される波形である。図 7 に示す例においては、差動反射信号 7 3 0 におけるポジティブ信号の信号波形 7 3 1 は、ネガティブ信号の信号波形 7 3 2 に対して時間幅「T_a」だけ遅延している。

【 0 0 3 2 】

図 8 は、入力された差動信号の比較結果に基づいてコンパレータ 6 0 0 が出力する比較結果信号 7 5 0 の信号波形の一例を示す。なお、図 8 に示す信号波形 7 5 1、7 5 2 は、図 1 に示すコンパレータ 6 0 0 の出力側の伝送線における「D」を付して示す破線で囲まれた位置で検出される波形である。また、図 8 に破線で示す信号波形 7 5 1 は、図 6 に示す信号波形 7 1 1、7 1 2 を有する差動検出信号 7 1 0 が遅延なしでコンパレータ 6 0 0 に入力した場合の比較結果信号 7 5 0 の信号波形である。また、図 8 に実線で示す信号波形 7 5 2 は、図 7 に示す信号波形 7 3 1、7 3 2 を有する差動反射信号 7 3 0 がコンパレータ 6 0 0 に入力した場合の比較結果信号 7 5 0 の信号波形である。

40

【 0 0 3 3 】

図 8 に示すように、上記差動反射信号 7 3 0 がコンパレータ 6 0 0 に入力した場合の比較結果信号 7 5 0 の信号波形 7 5 2 は、上記差動検出信号 7 1 0 がコンパレータ 6 0 0 に

50

そのまま入力する場合の比較結果信号 750 の信号波形 751 に対して時間幅「 T_b 」だけ遅延する。また、信号波形 752 の立ち上がり時間「 T_r 」および立ち下がり時間「 T_f 」は、信号波形 751 の立ち上がり時間「 T_r 」および立ち下がり時間「 T_f 」と比べて長くなる。このように、コンパレータ 600 に入力するポジティブ信号とネガティブ信号との間に時間的な遅延が生じているか否かによって、コンパレータ 600 から出力される比較結果信号 750 の信号波形が異なる。

【0034】

ここで、試験装置 10 は、比較結果信号 750 の信号波形に基づいて試験結果の良否を判定することから、コンパレータ 600 に入力する差動信号におけるポジティブ信号とネガティブ信号の間には時間的な遅延が生じていないことが好ましい。そこで、制御装置 60 は、遅延補償回路 400 における、スイッチ 471、472、473、474、475、476 の開閉を以下の通りに制御する。

10

【0035】

制御装置 60 は、予め、スイッチ 471、472、473、474、475、476 に対応付けて、それぞれのスイッチに対応する RC 積分回路の補償時間を記憶しておく。さらに、制御装置 60 は、上記スイッチ 331、332 がともに開いた状態で、スイッチ 331、332 で反射された差動反射信号 730 の信号波形 731 と信号波形 732 とを比較する。これにより、制御装置 60 は、図 7 に示す例においては、差動反射信号 730 において信号波形 731 が信号波形 732 に対して遅延しており、その遅延している時間幅 T_a を算出する。この場合に、制御装置 60 は、信号波形 731 の立ち上がり始めの時刻と、信号波形 732 の立ち下がり時刻との差を、内部クロックの数を計測することにより、算出してもよい。

20

【0036】

制御装置 60 は、信号波形 731 と信号波形 732 のどちらが遅延しているか、および、遅延の時間幅に基づいて、スイッチ 471、472、473、474、475、476 のいずれを用いて時間差を補償するかを決定する。この場合に、制御装置 60 は、時間幅 T_a に最も近い補償時間を有する RC 積分回路に対応するスイッチ、例えばスイッチ 474 を選択することが好ましい。

【0037】

制御装置 60 は、上記判別結果に基づいて、遅延補償回路 400 における、スイッチ 471、472、473、474、475、476 の開閉を制御することにより、ポジティブ信号およびネガティブ信号の一方が他方に対して遅延している時間幅だけ、当該他方の信号波形における立ち上がり時間および立ち下がり時間を遅延させる。したがって、上記判別結果に基づく場合、制御装置 60 は、遅延補償回路 400 におけるスイッチ 474、475、476 のうち少なくとも一つを閉じることにより、ネガティブ信号伝送線 302 上を伝送されるネガティブ信号の信号波形 732 の立ち上がり時間および立ち下がり時間を遅延させる。なお、信号が、ポジティブ信号伝送線 301、311 およびネガティブ信号伝送線 302、312 を往復しない場合、すなわち、ポジティブ信号伝送線 301、311 およびネガティブ信号伝送線 302、312 を一方方向に伝送される場合に、制御装置 60 は、ポジティブ信号伝送線 301、311 上を伝送される信号に対して、ネガティブ信号伝送線 302、312 上を伝送される信号を遅延させる時間幅を、上記往復の時間幅の半分にするような、補償時間を有する RC 積分回路に対応するスイッチを選択することが好ましい。

30

40

【0038】

図 9 は、ネガティブ信号の信号波形 732 の立ち上がり時間および立ち下がり時間が遅延された差動反射信号 730 の信号波形の一例を示す。なお、図 9 に示す信号波形 731、732 は、図 1 に示すコンパレータ 600 の出力側の伝送線における「C」を付して示す破線で囲まれた位置で検出される波形である。遅延補償回路 400 において、上記のようにネガティブ信号伝送線 302 上を伝送されるネガティブ信号の信号波形 732 の立ち上がり時間および立ち下がり時間が遅延されることにより、差動反射信号 730 における

50

ネガティブ信号の信号波形 732 は、例えば図 9 に示すような波形の立ち上がり時間および立ち下がり時間が遅延された略のこぎり波となる。

【0039】

制御装置 60 は、ポジティブ信号およびネガティブ信号の一方（この場合はネガティブ信号）の信号波形における立ち上がり時間および立ち下がり時間が遅延された差動反射信号 730 がコンパレータ 600 に入力されることによりコンパレータ 600 から出力された比較結果信号 750 の信号波形 752 を検出する。これにより、コンパレータ 600 の信号波形は、図 8 の信号波形 751 に対して時間的には遅延するものの、波形自体はほぼ同形である。すなわち、コンパレータ 600 の上記信号波形において、立ち上がり時間「Tr」および立ち下がり時間「Tf」は、図 8 の信号波形 751 と同等の幅に抑えることができる。

10

【0040】

試験装置 10 は、制御装置 60 により遅延を補償するスイッチが設定された後に、パフォーマンスボード 40 が保持する被試験デバイス 45 を試験する。当該試験においては、まず、ケーブルユニット 30 のポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 上に配されたスイッチ 331、332 を閉じた状態で、制御装置 60 が、パフォーマンスボード 40 に保持されている被試験デバイス 45 に入力する試験信号のパターンデータを生成する旨の命令をパターン発生部 110 に送る。この場合に制御装置 60 は、遅延を補償する RC 積分回路に対応したスイッチ、例えばスイッチ 474 を閉じる。パターン発生部 110 は、制御装置 60 から送られる上記パターンデータを生成する旨の信号を受けると、試験信号のパターンデータを生成して波形整形部 120 に出力する。波形整形部 120 は、パターン発生部 110 で生成されたパターンデータを整形してドライバ 200 に送る。

20

【0041】

ドライバ 200 は、波形整形部 120 で整形されたパターンデータに基づいて、上記差動検出信号 710 と同様にポジティブ信号とネガティブ信号との電位差によって表される差動信号である差動試験信号を生成する。また、ドライバ 200 は、生成した上記差動試験信号のうち、ポジティブ信号をポジティブ信号伝送線 301 に出力し、ネガティブ信号をネガティブ信号伝送線 302 に出力する。

【0042】

ここで、ポジティブ信号およびネガティブ信号は、それぞれポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 により伝送されてパフォーマンスボード 40 が保持する被試験デバイス 45 の端子 43、44 から被試験デバイス 45 内に入力される。これにより、被試験デバイス 45 における当該端子 43、44 に割り当てられた機能が試験される。被試験デバイス 45 の端子 43、44 に入力されたポジティブ信号およびネガティブ信号は、被試験デバイス 45 の当該端子 43 から出力して再びそれぞれポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 によって伝送されて結合点 341、342 および遅延補償回路 400 を経てコンパレータ 600 に入力する。ここで、上記被試験デバイス 45 の試験に供されたポジティブ信号およびネガティブ信号からなる差動信号を特に差動出力信号と称する。

30

40

【0043】

ここで、差動出力信号は、遅延補償回路 400 において、当該差動出力信号のポジティブ信号およびネガティブ信号の信号間に生じる時間的な遅延が補償される。例えば、制御装置 60 によりスイッチ 474 が選択されて閉じられている場合には、差動検出信号が当該スイッチ 474 に対応した RC 積分回路によって、補償時間分だけネガティブ信号が遅れる。

【0044】

コンパレータ 600 は、上記差動出力信号を受け取ると、当該差動出力信号におけるポジティブ信号と前記ネガティブ信号とを比較してその比較結果に基づく比較結果信号 750 を生成する。このとき、上記のように、差動出力信号のポジティブ信号およびネガティブ

50

ブ信号の信号間に生じる時間的な遅延が補償されているので、図9に示した信号と同様にコンパレータ600の作動出力信号の立ち上がり時間 T_r および立ち下がり時間 T_f が長くなることを防止する。

【0045】

さらに、コンパレータ600で生成された差動出力信号の比較結果信号は、伝送線を介して制御装置60に入力される。制御装置60は、差動出力信号の比較結果信号の信号波形に基づいて被試験デバイス45の試験結果の良否を判定する。

【0046】

このように、試験装置10は、遅延補償回路400を備えることにより、上記遅延補償段階において、ポジティブ信号伝送線301により伝送されたポジティブ信号と、ネガティブ信号伝送線302により伝送されたネガティブ信号との伝送時間の時間差を補償してコンパレータ600に入力することができる。これにより、コンパレータ600の作動出力信号の立ち上がり時間 T_r および立ち下がり時間 T_f が長くなることを防止して、当該作動出力信号の変形を防ぎ、正確な試験結果を得ることができる。

【0047】

なお、上記制御装置60は、差動反射信号730におけるポジティブ信号の信号波形731およびネガティブ信号の信号波形732の時間差を内部クロックに基づいて算出するが、時間差を算出する方法はこれに限られない。他の方法として、制御装置60は、コンパレータ600から入力された比較結果信号750における信号波形の立ち上がりの時間に対する傾き、立ち下がりの時間に対する傾き、または、これらの両方に基づいて、傾きが小さいほど時間差を大きく算出してもよい。この場合に、制御装置60は、比較結果信号750における信号波形の立ち上がり時等の高周波成分をフィルタリングして、当該高周波成分の強度が小さいほど、立ち上がり等の傾きが小さいとして、時間差を大きく算出してもよい。

【0048】

また、上記遅延補償回路400において、コンデンサ411、412、413、414、415、416の容量はそれぞれ異なってもよい。また、上記遅延補償回路400では、スイッチ471、472、473、474、475、476の開閉によりポジティブ信号伝送線301およびネガティブ信号伝送線302のそれぞれに設けることのできるRC積分器の数はそれぞれ最大で三つであったが、ポジティブ信号伝送線301およびネガティブ信号伝送線302のそれぞれに抵抗、コンデンサおよびスイッチを増やすことによりさらに多くのRC積分器を配してもよい。これにより、より多くのRC積分器を設けて上記差動出力信号のポジティブ信号およびネガティブ信号の信号間に生じる時間的な遅延を補償することができるので、当該時間的な遅延が大きい場合でも、各RC積分器のコンデンサの容量を小さくすることができる。したがって、それぞれのRC積分器において信号に大きな反射が生じにくい。

【0049】

また、上記のように、コンデンサ411、412、413、414、415、416のそれぞれが、ポジティブ信号伝送線301およびネガティブ信号伝送線302の各伝送線上に間隔を取って設けられた複数の接続点の一つと基準電位との間に配されるので、それぞれのコンデンサ411、412、413、414、415、416を含むRC積分器において信号の反射が生じた場合でも、それぞれのRC積分器において反射した信号の位相がずれるので、伝送される信号が乱れるのを防ぐことができる。

【0050】

また、抵抗451、452、453、454、455、456は、ポジティブ信号伝送線301およびネガティブ信号伝送線302のそれぞれにおける伝送上の線路抵抗であってもよい。これにより、遅延補償回路400に用いる部品点数を減らすことができる。

【0051】

また、上記遅延補償回路400において、抵抗451、452、453、454、455、456に替えて、インダクタンスを有するインダクタンス素子を配してもよい。この

10

20

30

40

50

場合、例えばスイッチ 471 が閉じた状態において、抵抗 451 の代わりに配されるインダクタンス素子およびコンデンサ 411 により、ポジティブ信号伝送線 301 上を伝送されるポジティブ信号の信号波形 731 の立ち上がり時間および立ち下がり時間を、当該インダクタンス素子のインダクタンスの大きさおよびコンデンサ 411 の容量により決まる時定数に応じて遅延させることができる。なお、上記インダクタンス素子の一例は空芯コイルである。

【0052】

また、上記遅延補償回路 400 では、抵抗 451、452、453、454、455、456、コンデンサ 411、412、413、414、415、416 および上記インダクタンス素子のように受動素子によって構成されている。一方、上記遅延補償回路 400 に例えばトランジスタなどの能動素子を用いた場合、差動反射信号 730 におけるポジティブ信号の信号波形 731 およびネガティブ信号の信号波形 732 が変化してしまう場合がある。このような信号波形の変化は、試験装置 10 の性能上好ましくない。したがって、本実施形態の試験装置 10 に配される遅延補償回路 400 に、上記のように受動素子が用いられることにより、差動反射信号 730 におけるポジティブ信号の信号波形 731 およびネガティブ信号の信号波形 732 を変化させずに遅延させることができる。

10

【0053】

図 10 は、遅延補償回路 401 の回路構成を示す。試験装置 10 は、上記遅延補償回路 400 に替えて、図 10 に示す遅延補償回路 401 を備えてもよい。図 10 に示すように、遅延補償回路 401 は、複数のコンデンサ 417、418、419 と、これらのコンデンサ 417、418、419 とポジティブ信号伝送線 301 との間に設けられたスイッチ 477、479、482 と、当該コンデンサ 417、418、419 とネガティブ信号伝送線 302 との間に設けられたスイッチ 478、481、483 とを有する。上記コンデンサ 417、418、419 のそれぞれは、ポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 の各伝送線上に間隔を取って設けられた複数の接続点の一つと基準電位との間に配される。また、スイッチ 477、479、482 のそれぞれは、コンデンサ 417、418、419 とポジティブ信号伝送線 301 の接続点との間に配され、スイッチ 478、481、483 のそれぞれは、コンデンサ 417、418、419 とネガティブ信号伝送線 302 の接続点との間に配される。

20

【0054】

また、遅延補償回路 401 は、図 10 に示すように、ポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 の各伝送線上に複数の抵抗 451、452、453、454、455、456 を有する。これにより、例えばスイッチ 478 が開いてスイッチ 477 が閉じた状態において、抵抗 451 およびコンデンサ 417 は、RC 積分器となり、ポジティブ信号伝送線 301 上を伝送されるポジティブ信号の信号波形の立ち上がり時間および立ち下がり時間を、抵抗 451 の大きさおよびコンデンサ 417 の容量により決まる時定数に応じて遅延させることができる。なお、遅延補償回路 401 における、スイッチ 477、478、479、481、482、483 の開閉は、上記遅延補償回路 400 におけるスイッチ 471、472、473、474、475、476 などと同様に、制御装置 60 によって制御される。

30

40

【0055】

このように、遅延補償回路 401 では、コンデンサ 417、418、419 をポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 の各伝送線に RC 積分器を設ける場合のコンデンサとして共用する配置となっている。遅延補償回路 401 によれば、上記遅延補償回路 400 と比べて、ポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 の各伝送線に設けることのできる RC 積分器の最大数を変えずに、部品点数を削減することができる。

【0056】

図 11 は、遅延補償回路 402 の回路構成を示す。試験装置 10 は、上記遅延補償回路 400、401 に替えて、図 11 に示す遅延補償回路 402 を備えてもよい。図 11 に示

50

すように、遅延補償回路402は、ポジティブ信号伝送線301およびネガティブ信号伝送線302の各伝送線上にそれぞれ直列に配されたスイッチ484、485と部分伝送路421、422とを有する。部分伝送路421、422は、それぞれポジティブ信号伝送線301およびネガティブ信号伝送線302と同じ材質の伝送線を纏めて形成される。

【0057】

遅延補償回路402において、例えばスイッチ484を図11に示す状態から切替えてポジティブ信号伝送線301上を伝送されるポジティブ信号が部分伝送路421を通過するようにした場合、ポジティブ信号が当該部分伝送路421を通過することにより、上記スイッチ484を切替える前と比べて、ポジティブ信号がポジティブ信号伝送線301上を伝送される時間は部分伝送路421を通過する時間だけ長くなる。したがって、ポジティブ信号伝送線301上において当該部分伝送路421を通過した後コンパレータ600に入力されるポジティブ信号は、ネガティブ信号伝送線302上において部分伝送路422を通過せずにコンパレータ600に入力されるネガティブ信号よりも時間的に遅延する。

10

【0058】

このように、遅延補償回路402では、ポジティブ信号伝送線301上を伝送されるポジティブ信号をスイッチ484の切替えにより部分伝送路421を通過させるか、または、ネガティブ信号伝送線302上を伝送されるネガティブ信号をスイッチ485の切替えにより部分伝送路422を通過させることにより、当該ポジティブ信号およびネガティブ信号の一方が他方に対して時間的な遅延を有する場合に、当該遅延を補償することができる。また、このような遅延補償回路402によれば、上記遅延を補償する場合に、ポジティブ信号およびネガティブ信号の信号波形を変えることがないので、コンパレータ600からより精度の高い試験結果信号を出力させることができる。なお、遅延補償回路402における、スイッチ484、485の開閉は、上記遅延補償回路400におけるスイッチ471、472、473、474、475、476などと同様に、制御装置60によって制御される。

20

【0059】

図12は、遅延補償回路403の回路構成を示す。試験装置10は、上記遅延補償回路400、401、402に替えて、図12に示す遅延補償回路403を備えてもよい。図5に示すように、遅延補償回路403は、ポジティブ信号伝送線301に対して並列に接続された部分伝送路423、424、425、および、これら部分伝送路423、424、425のそれぞれに対応して設けられたスイッチ487、488、489を有する。また、遅延補償回路403は、ネガティブ信号伝送線302に対して並列に接続された部分伝送路426、427、428、および、これら部分伝送路426、427、428のそれぞれに対応して設けられたスイッチ492、493、494を有する。部分伝送路423、424、425は、それぞれ線路長が異なり、この順に短くなる。また、部分伝送路426、427、428は、同様にそれぞれ線路長が異なり、この順に短くなる。部分伝送路423、424、425および部分伝送路426、427、428は、それぞれポジティブ信号伝送線301およびネガティブ信号伝送線302と同じ材質の伝送線を纏めて形成される。なお、ポジティブ信号伝送線301上に設けられたスイッチ486は、ポジティブ信号伝送線301上を伝送されるポジティブ信号について、部分伝送路423、424、425を通過させずにそのまま伝送する場合に閉じられる。また、ネガティブ信号伝送線302上に設けられたスイッチ491は、ネガティブ信号伝送線302上を伝送されるネガティブ信号について、部分伝送路426、427、428を通過させずにそのまま伝送する場合に閉じられる。

30

40

【0060】

遅延補償回路403では、ポジティブ信号伝送線301上を伝送されるポジティブ信号をスイッチ486、487、488、489の切替えにより線路長の異なる部分伝送路423、424、425を選択して通過させることができるので、当該ポジティブ信号およびネガティブ信号の一方が他方に対して時間的な遅延を有する場合に、当該遅延の時間幅

50

に対応してより正確に遅延を補償することができる。なお、遅延補償回路 403 における、スイッチ 486、487、488、489、491、492、493、494 の開閉は、上記遅延補償回路 400 におけるスイッチ 471、472、473、474、475、476 などと同様に、制御装置 60 によって制御される。

【0061】

なお、図 1 の実施形態において、遅延補償回路 400 は、ポジティブ信号伝送線 311 およびネガティブ信号伝送線 312 の結合点 343、344 と、コンパレータ 600 との間に配されるが、配される位置はこれに限られない。他の例として、遅延補償回路 400 は、ドライバ 200 と、ポジティブ信号伝送線 301 およびネガティブ信号伝送線 302 における上記結合点 341、342 との間に配されてもよい。

10

【0062】

また、図 1 の実施形態において、ケーブルユニット 30 のポジティブ信号伝送線 311 およびネガティブ信号伝送線 312 におけるパフォーマンスボード 40 が取り付けられる側に、スイッチ 331、332 が配されているが、当該スイッチ 331、332 の配される位置はこれに限られない。スイッチ 331、332 は、ポジティブ信号伝送路上およびネガティブ信号伝送線路上のいかなる場所に設けられてもよい。さらに、他の例として、ポジティブ信号伝送路上およびネガティブ信号伝送線路上にスイッチ 331、332 を設けなくてもよい。この場合に、コネクタを介してケーブルユニット 30 に対してパフォーマンスボード 40 を着脱することにより、互いのポジティブ信号伝送路およびネガティブ信号伝送線路が電氣的に接続または切断される。よって、ケーブルユニット 30 のコネクタを開放端として、ポジティブ信号伝送線 301、311 を含むポジティブ信号の伝送路により伝送される信号と、ネガティブ信号伝送線 302、312 を含むネガティブ信号の伝送路により伝送される信号との間に生じる時間的な遅延が検出され、当該遅延が補償される。同様に、スイッチ 331、332 を設けなくても、ケーブルユニット 30 に対してパフォーマンスボード 40 が装着された状態で、パフォーマンスボード 40 のソケット 46 に対して被試験デバイス 45 を着脱することにより、パフォーマンスボード 40 の配線 41、42 と被試験デバイス 45 の端子 43、44 が電氣的に接続または切断される。これにより、ソケット 46 の配線 41、42 における被試験デバイス 45 の端子 43、44 側を開放端として、ポジティブ信号伝送線 301、311 および配線 41 を含む伝送路により伝送される信号と、ネガティブ信号伝送線 302、312 および配線 42 を含む伝送路とにより伝送される信号と間に生じる時間的な遅延が検出され、当該遅延が補償される。

20

30

【0063】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることができることは当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【図面の簡単な説明】

【0064】

【図 1】本発明の一の実施形態に係る試験装置 10 の構成を示す。

40

【図 2】遅延補償回路 400 の回路構成を示す。

【図 3】遅延補償回路 400 の具体例の一部である可変容量回路 800 の概略平面図を示す。

【図 4】図 3 の A - A' 断面における通常状態の断面図を示す。

【図 5】図 3 の A - A' 断面における圧電素子の伸長状態の断面図を示す。

【図 6】差動検出信号 710 におけるポジティブ信号の信号波形 711 およびネガティブ信号の信号波形 712 の一例を示す。

【図 7】差動反射信号 730 におけるポジティブ信号の信号波形 731 およびネガティブ信号の信号波形 732 の一例を示す。

【図 8】入力された差動信号の比較結果に基づいてコンパレータ 600 が出力する比較結

50

果信号750の信号波形の一例を示す。

【図9】ネガティブ信号の信号波形732の立ち上がり時間および立ち下がり時間が遅延された差動反射信号730の信号波形の一例を示す。

【図10】遅延補償回路401の回路構成を示す。

【図11】遅延補償回路402の回路構成を示す。

【図12】遅延補償回路403の回路構成を示す。

【符号の説明】

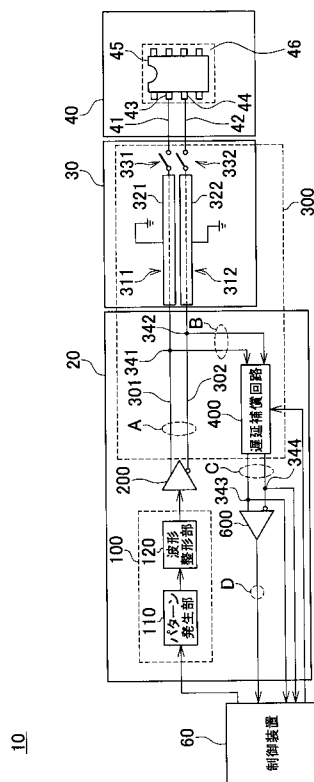
【0065】

10 試験装置、20 ピンエレクトロニクス、30 ケーブルユニット、40 パフォーマンスボード、41、42 配線、43、44 端子、45 被試験デバイス、46 ソケット、60 制御装置、100 差動信号生成部、110 パターン発生部、120 波形整形部、200 ドライバ、300 差動信号伝送装置、301、311 ポジティブ信号伝送線、302、312 ネガティブ信号伝送線、321、322 シールド、331、332 スイッチ、341、342、343、344 結合点、400、401、402、403 遅延補償回路、411、412、413、414、415、416、417、418、419、457、458 コンデンサ、421、422、423、424、425、426、427、428、429、431、432、433 部分伝送路、451、452、453、454、455、456 抵抗、471、472、473、474、475、476、477、478、479、481、482、483、484、485、486、487、488、489、491、492、493、494 スイッチ、600 コンパレータ、710 差動検出信号、711 信号波形、712 信号波形、730 差動反射信号、731 信号波形、732 信号波形、750 比較結果信号、751 信号波形、752 信号波形

10

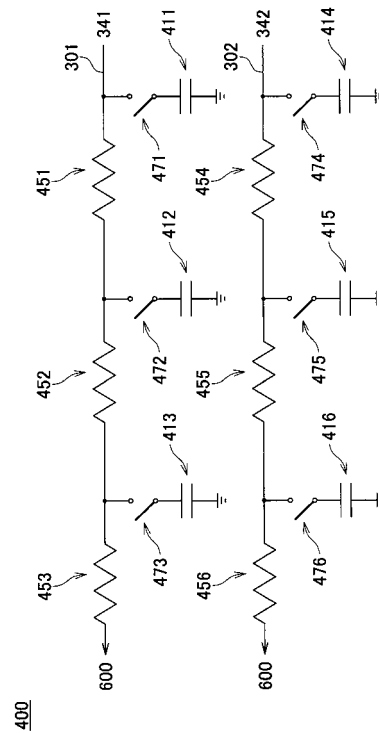
20

【図1】



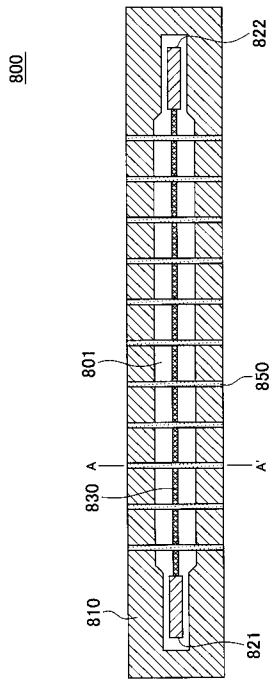
10

【図2】

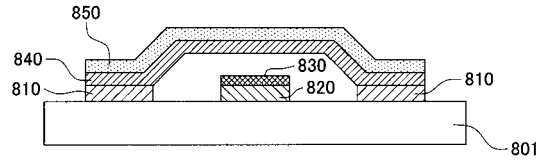


400

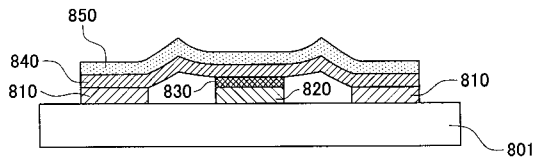
【 図 3 】



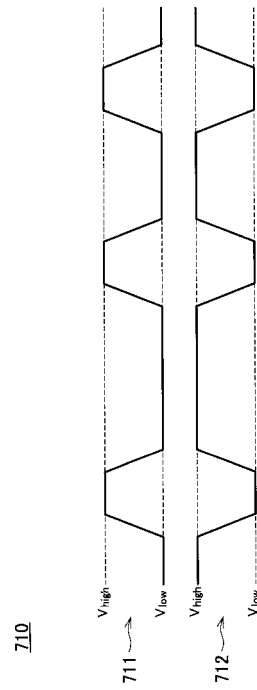
【 図 4 】



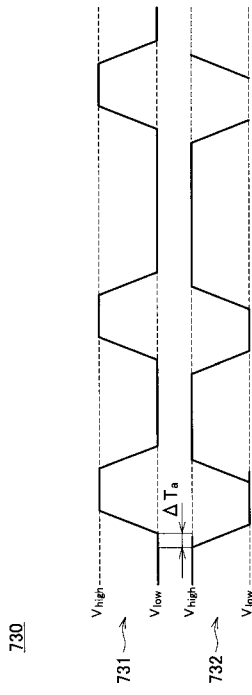
【 図 5 】



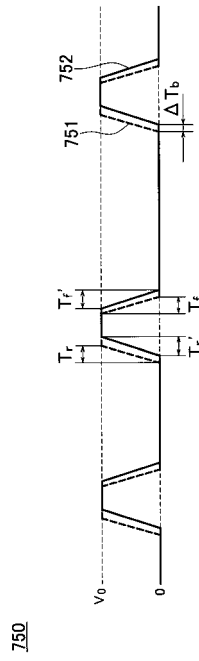
【 図 6 】



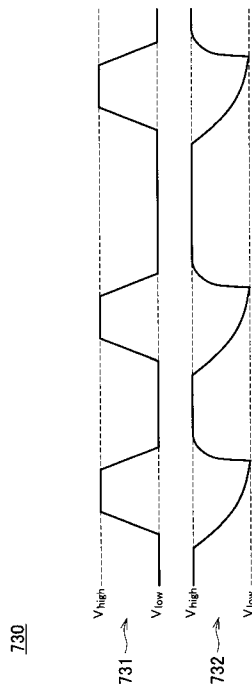
【 図 7 】



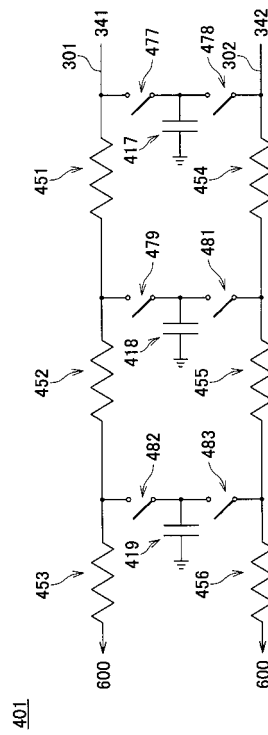
【 図 8 】



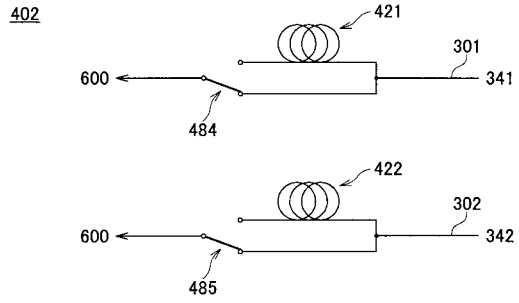
【 図 9 】



【 図 10 】



【 図 1 1 】



【 図 1 2 】

