



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

251 036

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 25 07 85
(21) PV 5504-85

(51) Int. Cl.⁴

H 02 P 8/00

(40) Zveřejněno 16 10 86
(45) Vydáno 01 04 88

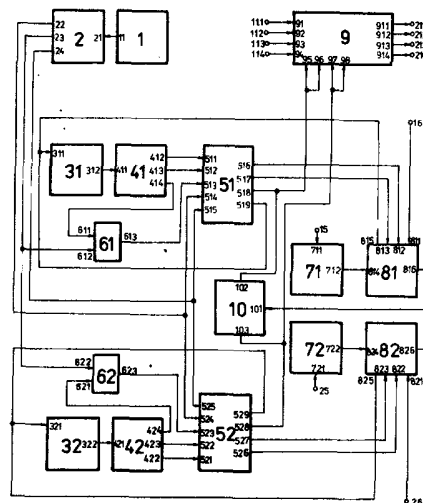
(75)
Autor vynálezu

ŠEVČ KAREL ing.,
ŠIVIC JOSEF ing., PRAHA

(54)

Zapojení pro řízení krokového motoru

Zapojení pro řízení krokového motoru frekvencí vnucenou fázovým závěsem sestává ze vstupních svorek, oscilátorů, paměti PROM, hradel typu EX-OR, snímačů velikosti proudu, proporcionálně integračních regulátorů, spínače fází, ochranného obvodu a výstupních svorek, spojených podle obrázku. Velikost proudu se řídí pulzně šířkovou modulací. Účelem tohoto zapojení je snížit průvodní akustický hluk na 16 kHz, tj. na hranici slyšitelnosti.



Vynález řeší zapojení pro řízení krokového motoru frekvencí vnucenou fázovým závěsem, přičemž velikost proudu se řídí pulzně šířkovou modulací.

Pro řízení velikosti proudu v cívce krokového motoru se dosud používají zapojení, založená na snímání velikosti proudu a na jeho komparaci s proudem zadáním. Velikost proudu je potom udržována spínáním tranzistoru podle výsledku komparace. Přerušování je tedy řízeno zpětnou vazbou, která neustále spíná proud motoru. Frekvence spínání je nejčastěji dána hysterezí komparátoru a není v důsledku konstantních parametrů konstantní. Průvodním jevem funkce stávajících zapojení jsou nežádoucí kolísavé zvuky, přičemž tento akustický hluk je na závadu spolehlivé funkce zejména přesných mechanismů a krom toho neprospívá sluchu obsluhy.

Zmiňované nevýhody do značné míry odstraňuje zapojení pro řízení krokového motoru podle vynálezu, sestávající ze vstupních svorek, oscilátorů, děličů frekvence, pamětí PROM, hradel typu EX-OR, snímačů velikosti proudu, proporcionálně integračních regulátorů, spínače fází, ochranného obvodu a výstupních svorek. Jeho podstata spočívá v tom, že výstup oscilátoru 32 kHz je spojen se vstupem třetího děliče frekvence, první výstup třetího děliče frekvence je spojen se čtvrtým vstupem první paměti PROM a současně se čtvrtým vstupem druhé paměti PROM, druhý výstup třetího děliče frekvence je spojen s druhým vstupem prvního hradla typu EX-OR a současně s druhým vstupem druhého hradla typu EX-OR a třetí výstup třetího děliče frekvence je spojen s pátým vstupem první paměti PROM a současně s pátým vstupem druhé paměti PROM. Výstup prvního napěťově řízeného oscilátoru je spojen se vstupem prvního děliče frekvence a výstup druhého napěťově řízeného oscilátoru je spojen se vstupem druhého děliče frekvence. První vý-

stup prvního děliče frekvence je spojen s prvním vstupem první paměti PROM, druhý výstup prvního děliče frekvence je spojen s druhým vstupem první paměti PROM a třetí výstup prvního děliče frekvence je spojen s prvním vstupem prvního hradla typu EX-OR. Výstup prvního hradla typu EX-OR je spojen se třetím vstupem první paměti PROM. První výstup druhého děliče frekvence je spojen s prvním vstupem druhé paměti PROM, druhý výstup druhého děliče frekvence je spojen s druhým vstupem druhé paměti PROM a třetí výstup druhého děliče frekvence je spojen s prvním vstupem druhého hradla typu EX-OR. Výstup druhého hradla typu EX-OR je spojen se třetím vstupem druhé paměti PROM. První výstup první paměti PROM je spojen s druhým vstupem prvního proporcionálně integračního regulátoru, druhý výstup první paměti PROM je spojen se třetím vstupem prvního proporcionálně integračního regulátoru, třetí výstup první paměti PROM a současně první výstup ochranného obvodu jsou spojeny s pátým vstupem a šestým vstupem spínače fází a čtvrtý výstup první paměti PROM a současně první výstup prvního proporcionálně integračního regulátoru jsou spojeny se vstupem prvního napěťově řízeného oscilátoru. První výstup druhé paměti PROM je spojen s druhým vstupem druhého proporcionálně integračního regulátoru, druhý výstup druhé paměti PROM je spojen se třetím vstupem druhého proporcionálně integračního regulátoru, třetí výstup druhé paměti PROM a současně druhý výstup ochranného obvodu jsou spojeny se sedmým vstupem a osmým vstupem spínače fází a čtvrtý výstup druhé paměti PROM a současně první výstup druhého proporcionálně integračního regulátoru jsou spojeny se vstupem druhého napěťově řízeného oscilátoru. Výstup prvního snímače velikosti proudu je spojen se čtvrtým vstupem prvního proporcionálně integračního regulátoru a výstup druhého snímače velikosti proudu je spojen se čtvrtým vstupem druhého proporcionálně integračního regulátoru. Druhý výstup prvního proporcionálně integračního regulátoru a současně druhý výstup druhého proporcionálně integračního regulátoru jsou spojeny se vstupem ochranného obvodu. První vstupní svorka je spojena se vstupem prvního snímače velikosti proudu. Třetí vstupní svorka je spojena se vstupem druhého snímače velikosti proudu. Druhá vstupní svorka je spojena s prvním vstupem prvního proporcionálně integračního regulátoru. Čtvrtá vstupní svorka je spojena s prvním vstupem druhého proporcionálně integračního regulátoru. Pátá vstupní svorka je spojena s prvním vstupem spína-

če fází, šestá vstupní svorka je spojena s druhým vstupem spínače fází, sedmá vstupní svorka je spojena se třetím vstupem spínače fází a osmá vstupní svorka je spojena se čtvrtým vstupem spínače fází. První výstup spínače fází je spojen s první výstupní svorkou, druhý výstup spínače fází je spojen s druhou výstupní svorkou, třetí výstup spínače fází je spojen s třetí výstupní svorkou a čtvrtý výstup spínače fází je spojen se čtvrtou výstupní svorkou.

Funkce zapojení pro řízení krokového motoru podle vynálezu je sice rovněž provázána akustickým hlukem, ten se však pohybuje na 16 kHz, tedy na hranici slyšitelnosti. Činnost přesných mechanismů tak není nepříznivě ovlivňována a zlepšuje se hygiena práce.

Konkrétní příklad zapojení pro řízení krokového motoru je znázorněn na přiloženém výkresu v blokovém schématu, avšak jsou pro větší přehlednost vynechány obvody vlastního spínání fází motoru.

Zapojení sestává z první vstupní svorky 15, druhé vstupní svorky 16, třetí vstupní svorky 25, čtvrté vstupní svorky 26, páté vstupní svorky 111, šesté vstupní svorky 112, sedmé vstupní svorky 113, osmé vstupní svorky 114, oscilátoru 1 32 kHz, prvního napěťově řízeného oscilátoru 31, druhého napěťově řízeného oscilátoru 32, prvního děliče frekvence 41, druhého děliče frekvence 42, třetího děliče frekvence 2, první paměti 51 PROM, druhé paměti 52 PROM, prvního hradla 61 typu EX-OR, druhého hradla 62 typu EX-OR, prvního snímače 71 velikosti proudu, druhého snímače 72 velikosti proudu, prvního proporcionálně integračního regulátoru 81, druhého proporcionálně integračního regulátoru 82, spínače 9 fází, ochranného obvodu 10, první výstupní svorky 211, druhé výstupní svorky 212, třetí výstupní svorky 213 a čtvrté výstupní svorky 214. První vstupní svorka 15 a třetí vstupní svorka 25 slouží pro připojení vinutí krokového motoru. Druhá vstupní svorka 16 a čtvrtá vstupní svorka 26 slouží k nastavení velikosti proudu. Pátou vstupní svorkou 111, šestou vstupní svorkou 112, sedmou vstupní svorkou 113 a osmou vstupní svorkou 114 vstupuje do spínače 9 fází logický signál z rozdělovače krokového motoru. Ze spínače 9 fází vystupuje pro spínání fází logický signál první výstupní svorkou 211, druhou výstupní svorkou 212, třetí výstupní svorkou 213 a čtvrtou výstupní svorkou 214.

Výstup 11 oscilátoru 1 32 kHz je spojen se vstupem 21 třetího děliče 2 frekvence, první výstup 22 třetího děliče 2 frekvence je spojen se čtvrtým vstupem 514 první paměti 51 PROM a současně se čtvrtým vstupem 524 druhé paměti 52 PROM, druhý výstup 23 třetího děliče 2 frekvence je spojen s druhým vstupem 612 prvního hradla 61 typu EX-OR a současně s druhým vstupem 622 druhého hradla 62 typu EX-OR a třetí výstup 24 třetího děliče 2 frekvence je spojen s pátým vstupem 515 první paměti 51 PROM a současně s pátým vstupem 525 druhé paměti 52 PROM. Výstup 312 prvního napěťově řízeného oscilátoru 31 je spojen se vstupem 411 prvního děliče 41 frekvence a výstup 322 druhého napěťově řízeného oscilátoru 32 je spojen se vstupem 421 druhého děliče 42 frekvence. První výstup 412 prvního děliče 41 frekvence je spojen s prvním vstupem 511 první paměti 51 PROM, druhý výstup 413 prvního děliče 41 frekvence je spojen s druhým vstupem 512 první paměti 51 PROM a třetí výstup 414 prvního děliče 41 frekvence je spojen s prvním vstupem 611 prvního hradla 61 typu EX-OR. Výstup 613 prvního hradla 61 typu EX-OR je spojen se třetím vstupem 513 první paměti 51 PROM. První výstup 422 druhého děliče 42 frekvence je spojen s prvním vstupem 521 druhé paměti 52 PROM, druhý výstup 423 druhého děliče 42 frekvence je spojen s druhým vstupem 522 druhé paměti 52 PROM a třetí výstup 424 druhého děliče 42 frekvence je spojen s prvním vstupem 621 druhého hradla 62 typu EX-OR. Výstup 623 druhého hradla 62 typu EX-OR je spojen se třetím vstupem 523 druhé paměti 52 PROM. První výstup 516 první paměti 51 PROM je spojen s druhým vstupem 812 prvního proporcionálně integračního regulátoru 81, druhý výstup 517 první paměti 51 PROM je spojen se třetím vstupem 813 prvního proporcionálně integračního regulátoru 81, třetí výstup 518 první paměti 51 PROM a současně první výstup 102 ochranného obvodu 10 jsou spojeny s pátým vstupem 95 a šestým vstupem 96 spínače 9 fází a čtvrtý výstup 519 první paměti 51 PROM a současně první výstup 815 prvního proporcionálně integračního regulátoru 81 jsou spojeny se vstupem 311 prvního napěťově řízeného oscilátoru 31. První výstup 526 druhé paměti 52 PROM je spojen s druhým vstupem 822 druhého proporcionálně integračního regulátoru 82, druhý výstup 527 druhé paměti 52 PROM je spojen se třetím vstupem 823 druhého proporcionálně integračního regulátoru 82, třetí výstup 528 druhé paměti 52 PROM a současně druhý výstup 103 ochranného obvodu 10 jsou spojeny se sedmým vstupem 97 a osmým vstupem 98 spínače 9 fází a čtvrtý výstup 529 druhé paměti 52

PROM a současně první výstup 825 druhého proporcionálně integračního regulátoru 82 jsou spojeny se vstupem 321 druhého napěťově řízeného oscilátoru 32. Výstup 712 prvního snímače 71 velikosti proudu je spojen se čtvrtým vstupem 814 prvního proporcionálně integračního regulátoru 81 a výstup 722 druhého snímače 72 velikosti proudu je spojen se čtvrtým vstupem 824 druhého proporcionálně integračního regulátoru 82. Druhý výstup 816 prvního proporcionálně integračního regulátoru 81 a současně druhý výstup 826 druhého proporcionálně integračního regulátoru 82 jsou spojeny se vstupem 101 ochranného obvodu 10. První vstupní svorka 15 je spojena se vstupem 711 prvního snímače 71 velikosti proudu a třetí vstupní svorka 25 je spojena se vstupem 721 druhého snímače 72 velikosti proudu. Druhá vstupní svorka 16 je spojena s prvním vstupem 811 prvního proporcionálně integračního regulátoru 81 a čtvrtá vstupní svorka 26 je spojena s prvním vstupem 821 druhého proporcionálně integračního regulátoru 82. Pátá vstupní svorka 111 je spojena s prvním vstupem 91 spínače 9 fází, šestá vstupní svorka 112 je spojena s druhým vstupem 92 spínače 9 fází, sedmá vstupní svorka 113 je spojena s třetím vstupem 93 spínače 9 fází a osmá vstupní svorka 114 je spojena se čtvrtým vstupem 94 spínače 9 fází. První výstup 911 spínače 9 je spojen s první výstupní svorkou 211, druhý výstup 912 spínače 9 fází je spojen s druhou výstupní svorkou 212, třetí výstup 913 spínače 9 fází je spojen s třetí výstupní svorkou 213 a čtvrtý výstup 914 spínače 9 fází je spojen se čtvrtou výstupní svorkou 214.

Výstupní frekvence z oscilátoru 1 32 kHz je vydělena ve třetím děliči 2 frekvence, a to na 16 kHz na prvním výstupu 22, 8 kHz na druhém výstupu 23 a na 4 kHz na třetím výstupu 24. Frekvence 16 kHz a 8 kHz jsou přivedeny do první a druhé paměti 51, 52 PROM pro vytvoření potřebných výstupních funkcí.

Výstupní napětí z prvního a druhého proporcionálně integračního regulátoru 81, 82 jsou jako odezva na velikost proudu tekoucího prvním a druhým snímačem 71, 72 velikosti proudu přivedena na vstup 311, 321 prvního a druhého napěťově řízeného oscilátoru 31, 32. Střední kmitočet prvního a druhého napěťově řízeného oscilátoru 31, 32 pro napětí na ovládacích vstupech 311, 321, které je rovno polovině napájecího napětí, je nastaven na 32 kHz. Pracovní oblast prvního a druhého napěťově řízeného oscilátoru 31, 32 je vymezena zavedením kmitočtového offsetu a lineárně se

přeladuje téměř v celém rozsahu napájecího napětí. Výstupní frekvenci potom dělí první a druhý dělič 41, 42 frekvence na 16 kHz na prvním výstupu 412, 422, 8 kHz na druhém výstupu 413, 423 a na 4 kHz na třetím výstupu 414, 424.

Logické obvody prvního a druhého hradla 61, 62 typu EX-OR realizují funkci $y = A\bar{B} + \bar{A}B$. Na jejich první vstupy 611, 621 a druhé vstupy 612, 622 jsou přiváděny frekvence 4 kHz, vzniklé vydělením z oscilátoru 1 32 kHz a prvního a druhého napěťově řízeného oscilátoru 31, 32. Výstupní frekvence je potom spolu s dalšími průběhy přivedena do první a druhé paměti 51, 52 PROM, kde je programově realizována funkce pro příslušnou regulaci. Na třetím výstupech 518, 528 jsou generovány pulzy o kmitočtu 16 kHz s proměnnou šířkou a určují tak úhel otevření sepnutí příslušných fází ve spínači 2 fází. Na prvních výstupech 516, 526 a na druhých výstupech 517, 527 první a druhé paměti 51, 52 PROM jsou generovány udržovací pulzy do prvního a druhého proporcionálně integračního regulátoru 81, 82 k zamezení výpadku fázového závěsu. Ochranný obvod 10 blokuje sepnutí fází a brání tak nekontrolovatelnému nárůstu proudu ve fázích.

P Ř E D M Ě T V Y N Á L E Z U

251 036

Zapojení pro řízení krokového motoru, sestávající ze vstupních svorek, oscilátorů, děličů frekvence, pamětí PROM, hradel typu EX-OR, snímačů velikosti proudu, proporcionálně integračních regulátorů, spínače fází, ochranného obvodu a výstupních svorek, vyznačené tím, že výstup (11) oscilátoru (1) 32 kHz je spojen se vstupem (21) třetího děliče (2) frekvence, první výstup (22) třetího děliče (2) frekvence je spojen se čtvrtým vstupem (514) první paměti (51) PROM a současně se čtvrtým vstupem (524) druhé paměti (52) PROM, druhý výstup (23) třetího děliče (2) frekvence je spojen s druhým vstupem (612) prvního hradla (61) typu EX-OR a současně s druhým vstupem (622) druhého hradla (62) typu EX-OR, třetí výstup (24) třetího děliče (2) frekvence je spojen s pátým vstupem (515) první paměti (51) PROM a současně s pátým vstupem (525) druhé paměti (52) PROM, výstup (312) prvního napěťově řízeného oscilátoru (31) je spojen se vstupem (411) prvního děliče (41) frekvence, výstup (322) druhého napěťově řízeného oscilátoru (32) je spojen se vstupem (421) druhého děliče (42) frekvence, první výstup (412) prvního děliče (41) frekvence je spojen s prvním vstupem (511) první paměti (51) PROM, druhý výstup (413) prvního děliče (41) frekvence je spojen s druhým vstupem (512) první paměti (51) PROM, třetí výstup (414) prvního děliče (41) frekvence je spojen s prvním vstupem (611) prvního hradla (61) typu EX-OR, výstup (613) prvního hradla (61) typu EX-OR je spojen se třetím vstupem (513) první paměti (51) PROM, první výstup (422) druhého děliče (42) frekvence je spojen s prvním vstupem (521) druhé paměti (52) PROM, druhý výstup (423) druhého děliče (42) frekvence je spojen s druhým vstupem (522) druhé paměti (52) PROM, třetí výstup (424) druhého děliče (42) frekvence je spojen s prvním vstupem (621) druhého hradla (62) typu EX-OR, výstup (623) druhého hradla (62) typu EX-OR je spojen se třetím vstupem (523) druhé paměti (52) PROM, první výstup (516) první paměti (51) PROM je spojen s druhým vstupem (812) prvního proporcionálně integračního regulátoru (81), druhý výstup (517) první paměti (51) PROM je spojen se třetím vstupem (813) prvního proporcionálně integračního regulátoru (81), třetí výstup (518) první paměti (51) PROM a současně první výstup (102) ochranného obvodu (10) jsou spojeny

s pátým vstupem (95) a šestým vstupem (96) spínače (9) fází, čtvrtý výstup (519) první paměti (51) PROM a současně první výstup (815) prvního proporcionálně integračního regulátoru (81) jsou spojeny se vstupem (311) prvního napěťově řízeného oscilátoru (31), první výstup (526) druhé paměti (52) PROM je spojen s druhým vstupem (822) druhého proporcionálně integračního regulátoru (82), druhý výstup (527) druhé paměti (52) PROM je spojen se třetím vstupem (823) druhého proporcionálně integračního regulátoru (82), třetí výstup (528) druhé paměti (52) PROM a současně druhý výstup (103) ochranného obvodu (10) jsou spojeny se sedmým vstupem (97) a osmým vstupem (98) spínače (9) fází, čtvrtý výstup (529) druhé paměti (52) PROM a současně první výstup (825) druhého proporcionálně integračního regulátoru (82) jsou spojeny se vstupem (321) druhého napěťově řízeného oscilátoru (32), výstup (712) prvního snímače (71) velikosti proudu je spojen se čtvrtým vstupem (814) prvního proporcionálně integračního regulátoru (81), výstup (722) druhého snímače (72) velikosti proudu je spojen se čtvrtým vstupem (824) druhého proporcionálně integračního regulátoru (82), druhý výstup (816) prvního proporcionálně integračního regulátoru (81) a současně druhý výstup (826) druhého proporcionálně integračního regulátoru (82) jsou spojeny se vstupem (101) ochranného obvodu (10), první vstupní svorka (15) je spojena se vstupem (711) prvního snímače (71) velikosti proudu, třetí vstupní svorka (25) je spojena se vstupem (721) druhého snímače (72) velikosti proudu, druhá vstupní svorka (16) je spojena s prvním vstupem (811) prvního proporcionálně integračního regulátoru (81), čtvrtá vstupní svorka (26) je spojena s prvním vstupem (821) druhého proporcionálně integračního regulátoru (82), pátá vstupní svorka (111) je spojena s prvním vstupem (91) spínače (9) fází, šestá vstupní svorka (112) je spojena s druhým vstupem (92) spínače (9) fází, sedmá vstupní svorka (113) je spojena s třetím vstupem (93) spínače (9) fází, osmá vstupní svorka (114) je spojena se čtvrtým vstupem (94) spínače (9) fází, první výstup (911) spínače (9) fází je spojen s první výstupní svorkou (211), druhý výstup (912) spínače (9) fází je spojen s druhou výstupní svorkou (212), třetí výstup (913) spínače (9) fází je spojen s třetí výstupní svorkou (213) a čtvrtý výstup (914) spínače (9) fází je spojen se čtvrtou výstupní svorkou (214).

