

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 9 月 13 日(13.09.2012)



(10) 国際公開番号

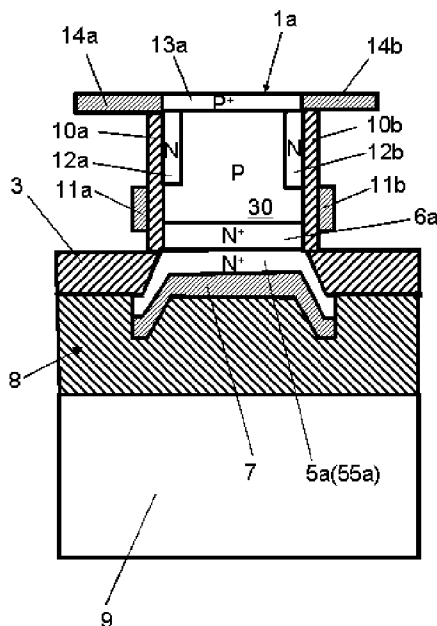
WO 2012/120653 A1

- (51) 国際特許分類:  
H01L 29/786 (2006.01) H01L 21/822 (2006.01)  
H01L 21/329 (2006.01) H01L 27/04 (2006.01)  
H01L 21/336 (2006.01) H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2011/055408
- (22) 国際出願日: 2011 年 3 月 8 日(08.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ  
サンティス エレクトロニクス シンガポール  
プライベート リミテッド(Unisant Electronics  
Singapore Pte Ltd.) [SG/SG]; 179098 ノースブリッジ  
ロード 1 1 1、ペニンシュラ プラザ、# 1 6  
- 4 Singapore (SG).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 舩岡 富士  
雄(MASUOKA Fujio) [JP/JP]; 〒1040033 東京都中央  
区新川 1-22-11 フジライト新川ビル 2  
F 日本ユニサンティスエレクトロニクス株式  
会社内 Tokyo (JP). 原田 望(HARADA Nozomu)  
[JP/JP]; 〒1040033 東京都中央区新川 1-22-  
11 フジライト新川ビル 2 F 日本ユニサン  
ティスエレクトロニクス株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東  
京都千代田区神田錦町二丁目 7 番地 協販ビル  
2 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,  
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,  
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,  
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,  
RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,  
TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,  
ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア  
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ  
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,  
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,  
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告(条約第 21 条(3))

(54) Title: PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置

[図 1K]



(57) Abstract: A production method for a semiconductor device having: a step in which a conductive layer (7) and a first semiconductor layer (5a) including donor impurities or acceptor impurities are formed upon a first semiconductor substrate; a step in which a second insulating layer (8) is formed so as to cover the first semiconductor layer (5a); a step in which the thickness of the first semiconductor substrate (9) is reduced to a prescribed thickness; a step in which a columnar semiconductor (1a) having a columnar structure is formed from the first semiconductor substrate upon the first semiconductor layer (5a); a step in which a first semiconductor area (6a) is formed on the columnar semiconductor (1a) by scattering impurities from the first semiconductor layer (5a); and a step in which pixels for a solid-state imaging device are formed using the columnar semiconductor (1a) after the impurities have been scattered.

(57) 要約: 半導体装置の製造方法は、第 1 半導体基板上に、導電層(7)及びドナー不純物又はアクセプタ不純物を含む第 1 の半導体層(5a)を形成する工程と、第 1 の半導体層(5a)を覆うように第 2 の絶縁層(8)を形成する工程と、第 1 半導体基板(9)の厚さを所定の厚さまで薄くする工程と、第 1 半導体基板から第 1 の半導体層(5a)上に柱状構造を有する柱状半導体(1a)を形成する工程と、第 1 の半導体層(5a)から不純物を拡散させることで柱状半導体(1a)に第 1 の半導体領域(6a)を形成する工程と、不純物を拡散させた後の柱状半導体(1a)を用いて、固体撮像装置の画素を形成する工程と、を有する。

## 明 細 書

**発明の名称**：半導体装置の製造方法、及び、半導体装置

### 技術分野

[0001] 本発明は、半導体装置の製造方法、及び、半導体装置に関し、特に、柱状構造を有する半導体内にチャネル領域が形成されているトランジスタを備える半導体装置の製造方法、及び、半導体装置に関する。

### 背景技術

[0002] CCD及びCMOS型などの固体撮像装置はビデオカメラ、ステールカメラなどに広く用いられている。そして、固体撮像装置の高解像度化、高速動作化、及び高感度化などの性能向上が求められている。

[0003] 図14に示されるように、1つの画素が1つの柱状半導体110内に構成されている固体撮像装置が知られている（例えば、特許文献1を参照）。

この画素構造においては、半導体基板上に固体撮像装置の信号線として機能するN<sup>+</sup>型シリコン層51が形成されている。また、N<sup>+</sup>型シリコン層51に柱状半導体110が接続されている。その柱状半導体110には、P型シリコン層52、絶縁膜53a、53b、ゲート導体層54a、54bからなる、蓄積電荷を除去するためのMOSトランジスタが形成されている。さらに、柱状半導体110には、このMOSトランジスタに接続され、光（電磁エネルギー波）の照射によって発生する電荷を蓄積するフォトダイオードが形成されている。このフォトダイオードは、P型シリコン層52とN型シリコン層58a、58bとから構成される。また、このフォトダイオードで囲まれたP型半導体52をチャネル、フォトダイオードをゲート、フォトダイオード上に形成され、画素選択線57a、57bに接続されたP<sup>+</sup>型シリコン層56、N<sup>+</sup>型シリコン層51近傍のP型シリコン層52を、それぞれ、ソース、ドレインとした接合トランジスタが形成されている。

[0004] この固体撮像装置の基本動作は、光照射により発生した信号電荷（この場合は電子）をフォトダイオードに蓄積する信号電荷蓄積動作と、N<sup>+</sup>型シリコ

ン層 5 1 近傍の P 型シリコン層 5 2 と P<sup>+</sup>型シリコン層 5 6 との間に流れるソース・ドレイン電流を、前述の蓄積信号電荷に応じたフォトダイオード電圧によるゲート電圧により変調し、これを信号電流として読み出す信号読み出し動作と、この信号読み出し動作の完了後、フォトダイオードに蓄積されている信号電荷を、MOS トランジスタのゲート導体層 5 4 a、5 4 b にオン電圧を印加して N<sup>+</sup>型シリコン層 5 1 に除去するリセット動作とからなる。

[0005] 2 次元固体撮像装置においては、図 1 4 に示される画素が感光領域に 2 次元状に配列されている。そして、信号読み出し動作は、N<sup>+</sup>型シリコン層 5 1 を介して、画素信号（信号電流）が感光領域の周辺に設けられた出力回路に伝達されることにより行われる。また、リセット動作も、画素と感光領域の周辺回路との電氣的伝送を介して行われる。そして、固体撮像装置の画素数、又は単位時間当たりの読出し画面数を増加させるには、信号読み出し動作の高速動作化が必要となる。このため、信号線である N<sup>+</sup>型シリコン層 5 1 の電気抵抗の低減が求められる。

[0006] このような N<sup>+</sup>型シリコン層 5 1 の低電気抵抗化を実現するために、図 1 5 A に示されるように、N<sup>+</sup>型シリコン層 5 1 の裏面に、シリコン基板 6 0 上に形成した金属層 5 9 を接合させた構造が考えられる。これにより信号線の電気抵抗は、金属層 5 9 によってほぼ決定されるので、前述した信号読出し動作の高速動作化が実現される。しかし、N<sup>+</sup>型シリコン層 5 1 に接合させた金属層 5 9 を形成することは、金属材料とシリコン材料との接合の親和性の観点から困難である。

[0007] また、シリコン基板 6 0 上に金属層 5 9 を形成するには、以下の方法が考えられる。即ち、図 1 5 B に示されるように、半導体基板 6 1 上に酸化シリコン層 6 2 を形成し、その酸化シリコン層 6 2 上に金属層 5 9 を形成する。そして、金属層 5 9 が形成された半導体基板 6 1 と半導体基板 6 4 とを接着する。その後、半導体基板 6 4 において、図 1 5 B において破線で示した部分に画素を形成する。図 1 5 B に示される一点鎖線 D-D' は半導体基板 6 4 の研磨、エッチング、又は他の分離方法により、半導体基板 6 4 を所定の

高さに成形した状態を示している。

[0008] しかしながら、このような製造方法では、金属層 5 9 と半導体基板 6 4 とが直接接着されるので、金属層 5 9 と半導体基板 6 4 との熱膨張係数の異なりによって、半導体基板 6 1、6 4 にソリ、クラック、又はハガレが発生してしまう。図 1 5 A に示されるように、信号読出し動作の高速動作化のため、N<sup>+</sup>型シリコン層 5 1 の裏面に、ソリ、クラック、又はハガレの発生なく金属層 5 9 を直接貼り合わせる方法を開発することには大きな技術的意義がある。

[0009] そして、このような課題を解決することで、固体撮像装置以外の半導体装置や、半導体装置に設けられる回路素子の高集積化、高性能化を実現することが強く求められている。

[0010] また、信号読出し動作の高速動作化のため、柱状構造を有する柱状半導体の側面をチャネル領域とするとともに、ゲート電極が当該チャネル領域を取り囲む構造を有する縦型の MOS トランジスタである SGT (Surrounding Gate Transistor) (以下、単に「SGT」と省略する。)がある(例えば、特許文献 2 を参照)。

[0011] このような SGT では、図 1 6 に示されるように、埋め込み酸化膜基板 6 6 上に平面状シリコン膜 6 7 が形成され、平面状シリコン膜 6 7 と PMOS 柱状シリコン層 6 8 とによって柱状構造が形成されている。平面状シリコン膜 6 7 にはドレインとして機能する P<sup>+</sup>型シリコン拡散層 6 9 が形成されている。PMOS 柱状シリコン層 6 8 の上部にはソースとして機能する P<sup>+</sup>型シリコン拡散層 7 0 が形成され、PMOS 柱状シリコン層 6 8 の外周部にはゲート絶縁層 7 1 が形成されている。このゲート絶縁層 7 1 の外周部にはゲート電極 7 2 が形成されている。これにより、P<sup>+</sup>型シリコン拡散層 6 9 と P<sup>+</sup>型シリコン拡散層 7 0 との間の PMOS 柱状シリコン層 6 8 をチャネルとした P 型チャネル SGT が形成されている。

[0012] また、ゲート電極 7 2、P<sup>+</sup>型シリコン拡散層 7 0、及び P<sup>+</sup>型シリコン拡散層 6 9 を囲むように、窒化シリコン (SiN) 膜 7 3 と酸化シリコン (S

i O<sub>2</sub>) 膜 7 4 とが形成されている。酸化シリコン層 7 4 内にコンタクトホール 7 5 が形成され、このコンタクトホール 7 5 を介して、P<sup>+</sup>型シリコン拡散層 7 0 がソース金属配線 7 6 に接続されている。これにより、1 個の MOS トランジスタが柱状構造に形成されている。

[0013] 図 1 6 に示される P<sup>+</sup>型シリコン拡散層 6 9 は、平面状シリコン膜 6 7 が同一平面上で延長された所定の部位で図示しない金属配線と接続されている。SGT を有する半導体装置において、更なる信号読出し動作の高速動作化を実現するには、この P<sup>+</sup>型シリコン拡散層 6 9 と上記金属配線との接続が、P<sup>+</sup>型シリコン拡散層 7 0 のように、短い距離で行われることが要求される。

[0014] しかしながら、図 1 6 に示される SGT では、上記金属配線と P<sup>+</sup>型シリコン拡散層 6 9 との間、又は、P<sup>+</sup>型シリコン拡散層 6 9 において SGT のチャネルのドレイン端までの距離に相当する電気抵抗が存在するようになる。このため、SGT を有する半導体装置においても、固体撮像装置と同様に、信号読出し動作の高速動作化を実現するには、P<sup>+</sup>型シリコン拡散層 6 9 の裏面に直接的に金属層を接合して電気抵抗の低下を図ることが必要になる。

## 先行技術文献

### 特許文献

[0015] 特許文献1：国際公開第 2 0 0 9 / 0 3 4 6 2 3 号

[0016] 特許文献2：米国特許出願公開第 2 0 1 0 / 0 2 1 3 5 3 9 (A 1) 号明細書

### 非特許文献

[0017] 非特許文献1：Hidekazu Takahashi, Masakuni Kinoshita, Kazumichi Morita, Takahiro Shirai, Toshiaki Sato, Takayuki Kimura, Hiroshi Yuzurihara, Shunsuke Inoue, Member, IEEE, and Shigeyuki Matsumoto: "A 3.9- $\mu$ m Pixel Pitch VGA Format 10-b Digital Output CMOS Image Sensor With 1.5 Transistor/Pixel", IEEE Journal of Solid-State Circuits, Vol.39, No.12, pp.2417-2425 (December 2004)

[0018] 非特許文献2：M. Bruel: "Silicon on Insulator material technology", Electronics Letters Vol.31, No.14, pp.1201-1202 (6th July, 1995)

- [0019] 非特許文献3 : Takao Yonehara, Kiyofumi Sakaguchi, and Nobuhiko Sato: "Epitaxial layer transfer by bond and etch back of porous Si", Appl. Phys. Lett. Vol. 64, No. 16, pp. 2108-2110 (18 April, 1994)

## 発明の概要

### 発明が解決しようとする課題

- [0020] 2次元固体撮像装置においては、上述したとおり、信号読み出し動作は、信号線として機能するN<sup>+</sup>型シリコン層51を介して、画素信号（信号電流）が感光領域の周辺に設けられ外部回路に伝達されることにより行われる。また、リセット動作も、画素と感光領域の外部回路との電氣的伝送を介して行われる。この電氣的伝送の応答性は、画素と周辺回路間とを接続する配線の電気抵抗と寄生容量とに大きく影響される。固体撮像装置の画素数、又は単位時間当たりの読出し画面数を増加させるには、そのような配線の電気抵抗の低減が求められる。
- [0021] 図14に示される固体撮像装置においては、そのような電気抵抗は、N<sup>+</sup>型シリコン層51の電気抵抗によってほぼ決定される。N<sup>+</sup>型シリコン層51はシリコン（Si）半導体にリン（P）やヒ素（As）などのドナー不純物をイオンドーピング（イオン注入）することで形成されるため、このN<sup>+</sup>型シリコン層51の電気抵抗値は、アルミニウム（Al）、銅（Cu）、タングステン（W）、ニッケル（Ni）など通常の半導体装置に使用されている金属の電気抵抗値よりも小さくすることができない。このため、図14に示される固体撮像装置では、金属配線によって画素と周辺回路との間の電氣的接続を行う固体撮像装置と比較して、高速動作特性に劣る問題がある。
- [0022] また、画素内でN<sup>+</sup>多結晶シリコン層を横方向に拡張するとともに、この拡張領域に形成されたコンタクトホールを用いて構成した金属配線によって画素と周辺回路との電氣的接続を行う画素構造では、画素の集積度が低下するようになる。
- [0023] また、上述したように、図16に示されるSGTにおいても、P<sup>+</sup>型シリコン拡散層69は平面状シリコン膜67が延長された部位で金属配線と接続さ

れる。このようなP<sup>+</sup>型シリコン拡散層69と金属配線との接続による手段では、P<sup>+</sup>型シリコン拡散層70のように金属配線と短い距離で接続することができないので、金属配線とSGTのチャンネルに最も近接したP<sup>+</sup>型シリコン拡散層69の端部までに相当の電気抵抗が存在するようになる。このため、SGTを有する半導体装置において、更なる信号読出し動作の高速動作化を実現するには、この電気抵抗を低減することが必要になる。

[0024] 本発明は、上述した事情に鑑みてなされたものであり、高集積、高速動作が実現される半導体装置を提供することを目的とする。

### 課題を解決するための手段

[0025] 上記目的を達成するため、本発明の第1の観点に係る半導体装置の製造方法は、

半導体基板上に第1の絶縁層を形成する第1絶縁層形成工程と、

前記第1の絶縁層の所定の部分を除去し、絶縁層除去領域を形成する絶縁層除去工程と、

少なくとも前記絶縁層除去領域を覆うように、前記半導体基板上にドナー不純物又はアクセプタ不純物を含む第1の半導体層を形成する第1半導体層形成工程と、

前記第1の半導体層上に導電層を形成する導電層形成工程と、

前記導電層及び前記第1の半導体層を所定の形状に成形する成形工程と、

前記所定の形状に形成した導電層及び第1の半導体層を覆うように、第2の絶縁層を形成する第2絶縁層形成工程と、

前記第2の絶縁層の表面を平坦化する平坦化工程と、

前記平坦化された前記第2の絶縁層の表面に、基板を接着する接着工程と、

、

前記半導体基板を所定の厚さまで薄くする薄膜化工程と、

前記第1の半導体層上に、前記半導体基板から柱状構造を有する柱状半導体を形成する柱状半導体形成工程と、

前記柱状半導体に前記回路素子を形成する回路素子形成工程と、を備え、

少なくとも前記第 1 半導体層形成工程以後に、前記ドナー不純物又はアクセプタ不純物を含む前記第 1 の半導体層から当該不純物を拡散させることで前記柱状半導体に第 1 の半導体領域を形成する第 1 半導体領域形成工程をさらに備える、

ことを特徴とする半導体装置の製造方法。

[0026] 前記回路素子形成工程は、

前記柱状半導体の外周部に第 3 の絶縁層を形成するとともに、前記第 3 の絶縁層の外周部にゲート導体層を形成する工程と、

前記ゲート導体層の上方部位かつ前記柱状半導体の表層部に、前記第 1 の半導体領域と同一導電型である第 4 の半導体領域を形成する工程と、

前記柱状半導体において、前記第 3 の絶縁層の上方部位に、前記第 1 の半導体領域と反対導電型の第 3 の半導体領域を形成する工程と、を含む、ことが好ましい。

[0027] 前記回路素子形成工程は、

前記柱状半導体の外周部に第 3 の絶縁層を形成するとともに、前記第 3 の絶縁層の外周部にゲート導体層を形成する工程と、

前記柱状半導体における前記第 3 の絶縁層の上方部位に、前記第 1 の半導体領域と同一導電型の第 5 の半導体領域を形成する工程と、を含む、ことが好ましい。

[0028] 前記回路素子形成工程は、

前記柱状半導体の上方部位に、前記第 1 の半導体領域と反対導電型の第 6 の半導体領域を形成する工程を含む、ことが好ましい。

[0029] 前記第 1 半導体層形成工程は、前記第 1 の半導体層と同層に、電気抵抗として機能する第 2 の半導体層を形成する工程を含む、ことが好ましい。

[0030] 前記第 1 半導体層形成工程は、容量電極として機能する前記第 1 の半導体層上の所定の領域に容量絶縁膜として機能する絶縁膜を形成する工程を含み、

前記導電層形成工程は、前記絶縁膜上に、前記第 1 の半導体層と共に容量

電極として機能する導電層を形成する工程を含む、ことが好ましい。

- [0031] 前記第 1 絶縁層形成工程は、前記半導体基板上に、第 1 の絶縁層と共に第 4 の絶縁層を形成するとともに、予め設定した容量形成領域に、前記第 4 の絶縁層よりも厚さが薄く、容量絶縁膜として機能する第 5 の絶縁層を形成する工程を含み、

前記導電層形成工程は、前記第 5 の絶縁層上に、容量電極として機能する導電層を形成する工程を含み、

前記絶縁層除去工程は、前記容量形成領域に、ドナー不純物又はアクセプタ不純物を有し、容量電極として機能する不純物層を形成する容量形成工程を含む、ことが好ましい。

- [0032] 前記半導体基板上にマスク合わせマーク形成領域を設定するマスク合わせマーク形成領域設定工程と、

前記マスク合わせマーク形成領域に、マスク合わせ孔を形成し、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導電層の少なくとも一つを露出させる工程と、

前記マスク合わせ孔を通して、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導電層の内の少なくとも一つからなるマスク合わせマークを形成するマスク合わせマーク形成工程と、

前記マスク合わせマークを基準として、フォトマスクのマスク合わせを行うマスク合わせ工程と、をさらに備える、ことが好ましい。

- [0033] 前記マスク合わせ孔に透明絶縁体を埋め込む工程をさらに備え、

前記マスク合わせマーク形成工程では、前記透明絶縁体を通して、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導電層の内の少なくとも一つからなるマスク合わせマークを形成し、

前記マスク合わせ工程では、前記マスク合わせマークを基準として、フォトマスクのマスク合わせを行う、ことが好ましい。

- [0034] 前記絶縁層除去工程と、前記第 1 半導体層形成工程との間に、前記絶縁層除去領域を覆うように、ドナー不純物及びアクセプタ不純物がドーピングされて

いない第2の半導体層を形成する工程をさらに備える、ことが好ましい。

[0035] 本発明の第2の観点に係る半導体装置は、本発明の第1の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第1の半導体領域上に形成された当該第1の半導体領域と反対導電型の半導体又は固有半導体からなる第2の半導体領域を備え、

前記第2の半導体領域と前記第4の半導体領域とから電磁エネルギー波の照射により発生する信号電荷を蓄積するダイオードが形成され、

前記ダイオードがゲートとして機能し、前記第1の半導体領域と前記第3の半導体領域のいずれか一方がソース、他方がドレインとしてそれぞれ機能し、かつ、前記第2の半導体領域に形成されたチャネルを流れるとともに前記ダイオードに蓄積された信号電荷量に応じて変化する電流を信号取り出し手段によって取り出し可能とされた接合トランジスタが形成され、

前記ゲート導体層がゲートとして機能するとともに、前記第1の半導体領域及び前記第4の半導体領域の一方がソースとして機能し、他方がドレインとして機能するMOSトランジスタによって、前記ゲート導体層に電圧が印加されることで、前記ダイオードに蓄積された信号電荷を前記第1の半導体領域に除去する信号電荷除去手段が形成されている、ことを特徴とする。

[0036] 本発明の第3の観点に係る半導体装置は、本発明の第1の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第1の半導体領域上に形成された当該第1の半導体領域と反対導電型又は固有半導体からなる第2の半導体領域を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第1の半導体領域及び前記第5の半導体領域の一方がソースとして機能し、他方がドレインとして機能するMOSトランジスタが形成されている、ことを特徴とする。

[0037] 本発明の第4の観点に係る半導体装置は、本発明の第1の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第 1 の半導体領域と第 6 の半導体領域との間に、前記第 1 の半導体領域と反対導電型又は固有半導体からなる第 2 の半導体領域を備え、

前記第 2 の半導体領域と、前記第 6 の半導体領域と、からダイオードが形成されている、ことを特徴とする。

[0038] 本発明の第 5 の観点に係る半導体装置は、本発明の第 1 の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、

前記複数の柱状半導体は、前記第 1 の半導体領域にアクセプタ不純物がドーピングされている複数の第 1 の柱状半導体と、前記第 1 の半導体領域にドナー不純物がドーピングされている複数の第 2 の柱状半導体とからなる、ことを特徴とする。

[0039] 本発明の第 6 の観点に係る半導体装置は、本発明の第 1 の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、

前記複数の柱状半導体における、複数の前記第 1 の半導体領域、及び、複数の前記導電層の内の両方、又は、一方が互いに接続されている、ことを特徴とする。

[0040] 本発明の第 7 の観点に係る半導体装置は、本発明の第 1 の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、

前記各柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対導電型の半導体又は固有半導体からなる第 2 の半導体領域と、

前記第 2 の半導体領域上に形成された第 5 の半導体領域と、

前記第 2 の半導体領域の外周部に形成された第 3 の絶縁層と、

前記第 3 の絶縁層の外周部に形成されたゲート導体層と、を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半導体領

域及び前記第 5 の半導体領域の一方がソースとして機能し、他方がドレインとして機能する MOS トランジスタが形成され、

前記第 1 の半導体層は、前記複数の柱状半導体に亘って連続して繋がるように形成されているとともに、前記繋がるように形成された前記第 1 の半導体層は、絶縁層に形成されたコンタクトホールを介して、外部回路に接続するための配線層に接続されている、ことを特徴とする。

[0041] 本発明の第 8 の観点に係る半導体装置は、本発明の第 1 の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、

前記各柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対導電型の半導体又は固有半導体からなる第 2 の半導体領域と、

前記第 2 の半導体領域上に形成された第 5 の半導体領域と、

前記第 2 の半導体領域の外周部に形成された第 3 の絶縁層と、

前記第 3 の絶縁層の外周部に形成されたゲート導体層と、を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半導体領域及び前記第 5 の半導体領域の一方がソースとして機能し、他方がドレインとして機能する MOS トランジスタが形成され、

前記第 1 の半導体層は、前記複数の柱状半導体に亘って連続して繋がるように形成されているとともに、前記第 1 の半導体層は、絶縁層に形成されたコンタクトホールを介して、所定のトランジスタのゲートに接続するための配線層に接続されていることを特徴とする。

## 発明の効果

[0042] 本発明によれば、高集積化、高速動作化が実現される半導体装置を提供することができる。

## 図面の簡単な説明

[0043] [図1A] 本発明の第 1 実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1B] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1C] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1D] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1E] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1F] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1G] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1H] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1I] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1J] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1K] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1L] 第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図2] 本発明の第2実施形態に係るNチャネル型SGTの構造を示す断面図である。

[図3A] 本発明の第3実施形態に係る、Nチャネル型SGTとPチャネル型SGTとを同一基板上に形成する方法を説明するための断面図である。

[図3B] 第3実施形態に係る、Nチャネル型SGTとPチャネル型SGTとを同一基板上に形成する方法を説明するための断面図である。

[図4] 本発明の第4実施形態に係る、複数のSGTが金属配線層で接続される構造を有する半導体装置の製造方法を説明するための断面図である。

[図5A] 本発明の第5実施形態に係る、半導体装置に電気抵抗を形成する方法を説明するための断面図である。

[図5B] 第5実施形態に係る、半導体装置に電気抵抗を形成する方法を説明するための断面図である。

[図5C] 第5実施形態に係る、半導体装置に電気抵抗を形成する方法を説明するための断面図である。

[図6A] 本発明の第6実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図6B] 第6実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図6C] 第6実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図7A] 本発明の第7実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図7B] 第7実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図8A] 本発明の第8実施形態に係る、半導体装置にダイオードを形成する方法を説明するための断面図である。

[図8B] 第8実施形態に係る、半導体装置にダイオードを形成する方法を説明するための断面図である。

[図8C] 第8実施形態の変形例に係る、半導体装置にPINダイオードを形成する方法を説明するための断面図である。

[図9A] 本発明の第9実施形態に係るCMOSインバータ回路を説明するための回路図である。

[図9B] 第9実施形態に係るCMOSインバータ回路を説明するための回路平面配置図である。

[図9C]第9実施形態に係る、半導体装置にCMOSインバータ回路を形成する方法を説明するための断面図である。

[図10A]本発明の第10実施形態に係る、2段構造のCMOSインバータ回路を説明するための回路図である。

[図10B]第10実施形態に係る、2段構造のCMOSインバータ回路を説明するための回路平面配置図である。

[図10C]第10実施形態に係る、2段構造のCMOSインバータ回路を形成する方法を説明するための断面図である。

[図11A]本発明の第11実施形態に係る、シリコン柱の位置精度を高める方法を説明するための断面図である。

[図11B]第11実施形態に係る、半導体基板にマスク合わせマークを形成する方法を説明するための断面図である。

[図12]第11実施形態の変形例に係る、シリコン柱の位置精度を高める製造方法を説明するための断面図である。

[図13A]本発明の第12実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図13B]第12実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図14]従来例の固体撮像装置の画素の構造を示す断面図である。

[図15A]従来例の固体撮像装置を高速動作させる画素の断面図である。

[図15B]従来例の固体撮像装置を高速動作させる画素を得るための半導体基板の接着工程を説明するための図である。

[図16]従来例のSGTを有する画素の断面図である。

### 発明を実施するための形態

[0044] 以下、本発明の実施形態に係る半導体装置の製造方法について、図1～図13の図面を参照しながら説明する。

[0045] (第1実施形態)

図1A～図1Lに、本発明の第1実施形態に係る、固体撮像装置の製造方

法を示す。

本実施形態に係る固体撮像装置の製造方法においては、図 1 A に示されるように、P 型シリコンからなる第 1 の半導体基板 1 の所定の深さに、高濃度水素イオン ( $H^+$ ) をイオンドープすることによって、第 1 の半導体基板 1 を上下の 2 つの部分に分離するための分離層 2 を形成する（非特許文献 2 参照）。また、第 1 の半導体基板 1 上に、熱酸化又は CVD (Chemical Vapor Deposition) 法によって、絶縁膜である第 1 酸化シリコン層 3 を形成する。なお、第 1 の半導体基板 1 は、P 型シリコンの代わりに、実質的に不純物を含まない固有半導体 (i 型シリコン) であってもよい。

[0046] 続いて、図 1 B に示されるように、第 1 酸化シリコン層 3 において、固体撮像装置の信号線用ドレインが形成される部分に相当する酸化シリコン ( $SiO_2$ ) を除去することで孔 4 を形成する。この酸化シリコンが除去された領域 (孔 4) は、酸化シリコン層除去領域 4 8 となる（図 1 1 A、図 1 3 A 参照）。

[0047] 続いて、図 1 B に示されるように、この孔 4 を覆うように、第 1 酸化シリコン層 3 及び第 1 の半導体基板 1 の上に、CVD 法によって多結晶シリコン層 5 を形成する。

[0048] 続いて、図 1 C に示されるように、この多結晶シリコン層 5 に、リン (P) 又はヒ素 (As) などのドナー不純物をイオンドープすることで、第 1 の半導体基板 1 及び第 1 酸化シリコン層 3 上に、固体撮像装置の信号線となる  $N^+$  多結晶シリコン層 5 a を形成する。

[0049] 続いて、図 1 D に示されるように、 $N^+$  多結晶シリコン層 5 a 上に、蒸着法又は CVD 法によって、タングステン (W)、タングステン・シリサイド ( $WSi$ )、ニッケル (Ni)、ニッケルシリサイド ( $NiSi$ ) などからなる単層、又は、これらの層が複数積層されてなる金属層 7 を形成する。

[0050] 続いて、図 1 E に示されるように、マスクを用いたエッチング処理によって、 $N^+$  多結晶シリコン層 5 a 及び金属層 7 において孔 4 を埋め込んでいる部分が残存するように、 $N^+$  多結晶シリコン層 5 a 及び金属層 7 を所定の形状に

成形する。このN<sup>+</sup>多結晶シリコン層5 a上には、固体撮像装置の画素における接合トランジスタのソース又はドレインが形成される。

[0051] 続いて、図1 Fに示されるように、N<sup>+</sup>多結晶シリコン層5 a、金属層7及び第1酸化シリコン層3を覆うように、CVD法によって絶縁膜である第2酸化シリコン層8を形成する。そして、その第2酸化シリコン層8の表面をCMP（Chemical Mechanical Polishing；化学機械的研磨）によって平坦化する。

[0052] 続いて、図1 Gに示されるように、シリコン（Si）からなり、表面が平坦化された第2半導体基板9を用意し、その第2半導体基板9の平坦化された表面と第2酸化シリコン層8の平坦化された表面同士を圧着によって接着する。この接着処理では、互いの熱膨張率の差異が小さい、第2半導体基板9におけるシリコン層と、第2酸化シリコン層8におけるシリコン層とが互いに接着されるので、両接着部材の熱膨張係数の異なりによる、ソリ、クラック、ハガレが発生しにくい積層構造が得られる。

[0053] 続いて、図1 Hに示されるように、400～600℃の熱処理によって、第1の半導体基板1において、分離層2を境界として下方の部分を除去して第1の半導体基板1を所定の厚さまで薄くする（図1 Hでは、図1 A～図1 Gと図面の上下関係を反転表示している。）。ここで、N<sup>+</sup>多結晶シリコン層5 aは、図1 4に示されるN<sup>+</sup>型シリコン層5 1に対応するものであり、本実施形態では、N<sup>+</sup>多結晶シリコン層5 aには、その全ての形成領域に亘って金属層7が接合されている。

[0054] 続いて、図1 Iに示されるように、第1の半導体基板1において、N<sup>+</sup>多結晶シリコン層5 aの直上領域のシリコン層が残存するように、当該直上領域におけるシリコン層以外の領域のシリコン層をエッチングによって除去する。これにより、柱状構造を有するシリコン（Si）柱1 aを形成する。このシリコン柱1 aは、図1 K、図1 Lなどに示されるP型シリコン層3 0となる。

[0055] 続いて、図1 Jに示されるように、熱処理を行い、N<sup>+</sup>多結晶シリコン層5

aからシリコン柱1 aにドナー不純物を熱拡散させ、シリコン柱1 aの下方部分にN<sup>+</sup>拡散層6 aを形成する。

[0056] 続いて、図1 Kに示されるように、熱酸化を行い、シリコン柱1 aの外周部に、絶縁体である第3酸化シリコン層10 a、10 bを形成する。さらに、蒸着法又はCVD法によって、第3酸化シリコン層10 a、10 bの外周部にゲート導体層11 a、11 bを形成する。

[0057] 続いて、図1 Kに示されるように、ゲート導体層11 a、11 bの上方部位かつシリコン柱1 aの表層部に、リン(P)やヒ素(As)などのドナー不純物をイオンドーピングすることでN型シリコン層12 a、12 bを形成する。このN型シリコン層12 a、12 bと、シリコン柱1 a(P型シリコン層30)とから、入射した光に応じた信号電荷(この場合は電子)を蓄積する信号電荷蓄積手段としてのフォトダイオードが形成される。信号電荷は、N<sup>+</sup>拡散層6 aとP<sup>+</sup>型シリコン層13 aとの間におけるシリコン柱1 a(P型シリコン層30)に蓄積される。

[0058] 続いて、図1 Kに示されるように、シリコン柱1 aにおいて、第3酸化シリコン層10 a、10 bの上方部位に、ボロン(B)などのアクセプタ不純物をイオンドーピングすることによって、P<sup>+</sup>型シリコン層13 aを形成する。そして、このP<sup>+</sup>型シリコン層13 aを画素選択金属配線14 a、14 bに電氣的に接続する。

[0059] また、図1 Lに示されるように、固体撮像装置の画素を構成するシリコン柱1 aに隣接し、別の画素を構成するシリコン柱1 bの外周部に、熱酸化によって、絶縁体である第3酸化シリコン層10 c、10 dを形成する。このシリコン柱1 bは、シリコン柱1 aと同様に、図1 A～図1 Kに示される工程で形成されたものである。

[0060] 続いて、図1 Lに示されるように、第3酸化シリコン層10 c、10 dの外周部に、蒸着法又はCVD法によって、ゲート導体層11 c、11 dを形成する。

[0061] 続いて、図1 Lに示されるように、ゲート導体層11 c、11 dの上方部

位かつシリコン柱 1 a の表層部に、リン (P) やヒ素 (As) などのドナー不純物をイオンドーピングすることで N 型シリコン層 1 2 c、1 2 d を形成する。この N 型シリコン層 1 2 c、1 2 d と、シリコン柱 1 b と、によって、入射した光に応じた信号電荷 (この場合は電子) を蓄積する信号電荷蓄積手段としてのフォトダイオードが形成される。信号電荷は、N<sup>+</sup>拡散層 6 a b と P<sup>+</sup>型シリコン層 1 3 b との間におけるシリコン柱 1 b (P 型シリコン層 3 0) に蓄積される。

[0062] 続いて、図 1 L に示されるように、シリコン柱 1 a において、第 3 酸化シリコン層 1 0 c、1 0 d の上方部位に、ボロン (B) などのアクセプタ不純物をシリコン柱 1 b にイオンドーピングすることによって、P<sup>+</sup>型シリコン層 1 3 b を形成する。

そして、この P<sup>+</sup>型シリコン層 1 3 a、1 3 b を画素選択金属配線 1 4 c、1 4 d に電氣的に接続する。以上の工程により、固体撮像装置における複数の画素が形成される。

[0063] なお、本実施形態では、図 1 J に示される工程において、熱処理によって、シリコン柱 1 a 内の N<sup>+</sup>拡散層 6 a は、N<sup>+</sup>多結晶シリコン層 5 a からシリコン柱 1 a にドナー不純物を熱拡散させることで形成した。これに限られず、N<sup>+</sup>拡散層 6 a は、図 1 C に示される N<sup>+</sup>多結晶シリコン層 5 a が形成された後の任意の段階における熱処理によって、N<sup>+</sup>多結晶シリコン層 5 a から第 1 の半導体基板 1 内にドナー不純物を拡散させることで形成することもできる。即ち、図 1 C に示される、N<sup>+</sup>多結晶シリコン層 5 a を形成した工程以後に、ドナー不純物を含む N<sup>+</sup>多結晶シリコン層 5 a から当該不純物を拡散させることでシリコン柱 1 a に N<sup>+</sup>拡散層 6 a を形成することもできる。例えば、N<sup>+</sup>拡散層 6 a は、図 1 K で示す段階において、シリコン柱 1 a (P 型シリコン層 3 0) に熱処理を行って形成してもよい。さらに、このような N<sup>+</sup>拡散層 6 a を形成するための熱処理は、1 回のみでもよいし、複数回に分けて行うこともできる。

[0064] 以上の図 1 A ~ 図 1 L に示される工程によって、本実施形態に係る固体撮

像装置が形成される。また、各シリコン柱 1 a、1 b には、固体撮像装置の画素が形成される。

[0065] 本実施形態では、図 1 L を参照して、シリコン柱 1 a、1 b の下方に形成され、互いに接合されている N<sup>+</sup>多結晶シリコン層 5 a 及び金属層 7 は、固体撮像装置の信号線を構成するとともに、2 つのシリコン柱 1 a、1 b における N<sup>+</sup>拡散層 6 a、6 a b を互いに電氣的に接続している。これにより、N<sup>+</sup>多結晶シリコン層 5 a 及び金属層 7 から構成される信号線が低電気抵抗化され、固体撮像装置の高速駆動化が実現される。

[0066] 本実施形態では、シリコン柱 1 a、1 b 内において、接合トランジスタが形成されている。この接合トランジスタでは、N 型シリコン層 1 2 a、1 2 b (1 2 c、1 2 d) 及びシリコン柱 1 a (P 型シリコン層 3 0) によって構成されるフォトダイオードがゲート、P<sup>+</sup>型シリコン層 1 3 a、1 3 b がドレイン、N<sup>+</sup>拡散層 6 a、6 a b がソースとしてそれぞれ機能する。そして、シリコン柱 1 a、1 b 内には、この接合トランジスタのチャネルが形成されている。

[0067] また、本実施形態では、接合トランジスタによってシリコン柱 1 a、1 b 内のチャネルを流れるとともに、上記フォトダイオードに蓄積された信号電荷量に応じて変化する電流を電気信号として取り出す信号取り出し手段としての外部回路（図示せず）が設けられている。

[0068] さらに、図 1 L に示すシリコン柱 1 a、1 b には、上記フォトダイオードによって N<sup>+</sup>拡散層 6 a、6 a b と P<sup>+</sup>型シリコン層 1 3 a、1 3 b との間におけるシリコン柱 1 a、1 b (P 型シリコン層 3 0) に蓄積された信号電荷を、N<sup>+</sup>拡散層 6 a、6 a b に除去する信号電荷除去手段としての MOS トランジスタが形成されている。

[0069] この MOS トランジスタでは、シリコン柱 1 a、1 b (P 型シリコン層 3 0) を囲むように、第 3 酸化シリコン層 1 0 a、1 0 b、1 0 c、1 0 d の外周面に形成されたゲート導体層 1 1 a、1 1 b、1 1 c、1 1 d がゲート、N<sup>+</sup>拡散層 6 a、6 a b がドレイン、N 型シリコン層 1 2 a、1 2 b、1 2

c、12dがソースとしてそれぞれ機能する。そして、シリコン柱1a、1b内には、このMOSトランジスタのチャネルが形成される。

[0070] 本実施形態では、図1Gに示されるように、第2半導体基板9のシリコン層と、第1の半導体基板1上の第2酸化シリコン層8とが、平坦化された互いの表面同士で接着される。このように本実施形態では、第1の半導体基板1（第2酸化シリコン層8）と第2半導体基板9との接着が、第1の半導体基板1と第2半導体基板9の全面において、接着の親和性が高いSi（シリコン）面とSiO<sub>2</sub>（酸化シリコン）面との間で行われるので、ソリ、クラック、ハガレが発生しにくい積層構造が得られる。

[0071] また、本実施形態では、固体撮像装置の画素において信号線を構成するN<sup>+</sup>多結晶シリコン層5aには金属層7が接合されているので、画素と該画素の周辺回路との間の電気抵抗を下げることができる。これにより、従来例の固体撮像装置と比較して、画素数の増加、又は単位時間あたりの読出し画面数の増加に際しても、固体撮像装置の高速動作化が実現できる。

[0072] また、本実施形態では、図1Kを参照して、P型シリコン層30とN型シリコン層12a、12bとから構成されるPN接合部（フォトダイオード）と、P型シリコン層30とN<sup>+</sup>拡散層6aとから構成されるPN接合部は、いずれも単結晶シリコンからなるシリコン柱1a内に形成される。このようにPN接合部が単結晶シリコン内で形成されるため、リーク電流が低い固体撮像装置の画素が構成される。

[0073] さらに、本実施形態では、画素を構成するシリコン柱1a、1b（図1L参照）の上方部から入射した光は、光電変換領域であるシリコン柱1aに到達し、金属層7で反射されるので、シリコン柱1a内での光路長が増加し、固体撮像装置の感度向上が実現される。また、本実施形態では、シリコン柱1a、1bの高さを低くしても、従来例と同じ感度を得ることができるので、従来例と同じ感度を得ながら固体撮像装置の製造が容易になる効果も得られる。

[0074] なお、本実施形態においては、図1Bに示されるように、第1酸化シリコ

ン層 3 及び第 1 の半導体基板 1 上に、孔 4 を埋め込む（覆う）ように、CVD 法によって、N<sup>+</sup>多結晶シリコン層 5 a となる多結晶シリコン層 5 を形成した。このように CVD 法によって多結晶シリコン層 5 を形成する代わりに、エピタキシャル成長により単結晶シリコン層を形成してもよい。エピタキシャル成長を用いる場合には、第 1 酸化シリコン層 3 上にも単結晶シリコン層を形成することができるので、その後、図 1 C～図 1 K に示される工程と同様にして固体撮像装置を形成することができる。

[0075] また、図 1 H においては、第 1 の半導体基板 1 において、分離層 2 を境界とし、400～600℃の熱処理によって下方の部分を除去することで、第 1 の半導体基板 1 を所定の厚さまで薄くした。これに限られず、第 1 の半導体基板 1 の薄膜化は、第 1 の半導体基板 1 として、P<sup>+</sup>型基板と、この P<sup>+</sup>型基板にエピタキシャル成長で形成した P 型シリコン層とから構成される基板を用いて、エッチングと CMP によって行うこともできる。

[0076] （第 2 実施形態）

以下、図 2 を参照して、本発明の第 2 実施形態に係る、SGT（MOS トランジスタ）を有する半導体装置の製造方法を説明する。

本実施形態では、第 1 実施形態の図 1 A～図 1 L で示される工程において、図 1 A～図 1 J で示される工程までは、図 1 J において信号線を構成する N<sup>+</sup>多結晶シリコン層 5 a を、SGT（MOS トランジスタ）においてドレインとして機能する N<sup>+</sup>多結晶シリコン層 5 5 a に置き換えるものとする。第 1 実施形態（図 1 J 参照）と同様に、N<sup>+</sup>多結晶シリコン層 5 5 a には金属層 7 が接合されており、N<sup>+</sup>多結晶シリコン層 5 5 a からのドナー不純物の熱拡散によってシリコン柱 1 a 内に N<sup>+</sup>拡散層 6 a が形成されている。

[0077] 本実施形態では、図 1 J に続いて、図 2 に示される工程において、酸化法又は CVD 法によって、シリコン柱 1 a の外周部にゲート絶縁層 1 5 a、1 5 b を形成するとともに、ゲート絶縁層 1 5 a、1 5 b の外周部に、SGT（MOS トランジスタ）のゲートとして機能するゲート導体層 1 6 a、1 6 b を形成する。

[0078] 続いて、シリコン柱 1 a において、ゲート導体層 1 6 a、1 6 b の上方部位に、リン (P) やヒ素 (As) などのドナー不純物をイオンドーピングすることによって、SGT (MOS トランジスタ) のソースとして機能する N<sup>+</sup>型シリコン層 1 7 a を形成する。

[0079] 続いて、その N<sup>+</sup>型シリコン層 1 7 a 上に、蒸着法とパターンエッチングによって金属配線層 1 8 a を形成する。

以上により、第 2 半導体基板 9 上に SGT、詳しくは、第 2 半導体基板 9 上に N チャネル型 SGT が形成される。ここで、N チャネル型 SGT のドレインとして機能する N<sup>+</sup>多結晶シリコン層 5 5 a は、N チャネル型 SGT においてソースとして機能してもよく、ソースとして機能する N<sup>+</sup>型シリコン層 1 7 a は、N チャネル型 SGT において、ドレインとして機能してもよい。

[0080] 本実施形態によれば、SGT (N チャネル型 SGT) において、ドレインとして機能する N<sup>+</sup>多結晶シリコン層 5 5 a の裏面全体に金属層 7 が接合されている。この構成により、金属層 7 から N<sup>+</sup>拡散層 6 a までの電気抵抗が低減するので、高速動作化が実現された SGT が得られる。

[0081] (第 3 実施形態)

以下、図 3 A、図 3 B を参照して、本発明の第 3 実施形態に係る、SGT (MOS トランジスタ) を有する半導体装置の製造方法を説明する。本実施形態では、N チャネル型 SGT と P チャネル型 SGT とを同一の半導体基板上に形成する。本実施形態及びその変形例における半導体装置の製造工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

[0082] 本実施形態では、図 3 A、図 3 B を参照して、第 1 の半導体基板 1 上において、N チャネル型 SGT 形成領域 1 n には N チャネル型 SGT、P チャネル型 SGT 形成領域 1 p には P チャネル型 SGT をそれぞれ形成する。

N チャネル型 SGT 形成領域 1 n における N チャネル型 SGT は、第 1 実施形態の図 1 A ~ 図 1 J、第 2 実施形態の図 2 に示される工程と同様にして形成する。

[0083] 一方、P チャネル型 SGT 形成領域 1 p における P チャネル型 SGT は、

第1実施形態の図1A～図1J、第2実施形態の図2に示される工程とほぼ同様にして形成する。但し、図1Cに対応する工程では、Nチャネル型SGTのドレインとして機能するN<sup>+</sup>多結晶シリコン層55aを形成する代わりに、Pチャネル型SGT形成領域1pにおける多結晶シリコン層5に、ボロン（B）などのアクセプタ不純物をイオンドーピングすることによって、Pチャネル型SGTのソースとして機能するP<sup>+</sup>多結晶シリコン層55bを形成する。

[0084] 続いて、図1D～図1Jに対応する工程、図2に対応する工程を経て、図3Bに示されるように、シリコン柱1aによって構成されるNチャネル型SGTと、シリコン柱1bによって構成されるPチャネル型SGTとが形成される。なお、シリコン柱1bでは、Pチャネル型SGTのシリコン柱1b（P型シリコン）に、リン（P）やヒ素（As）などのドナー不純物をイオンドーピングすることでN型シリコン層30aを形成する。

[0085] ここで、図1Jに対応する工程では、熱処理によって、シリコン柱1a、1b中にN<sup>+</sup>多結晶シリコン層55a、P<sup>+</sup>多結晶シリコン層55bからドナー不純物、アクセプタ不純物をそれぞれ熱拡散させ、N<sup>+</sup>拡散層6a、P<sup>+</sup>拡散層6bを形成する。

[0086] また、図2に対応する工程では、熱酸化又はCVD法によって、シリコン柱1a、1bの外周部に、ゲート絶縁層15a、15b、15c、15dを形成するとともに、ゲート絶縁層15a、15b、15c、15dの外周部に、CVD法によってゲート導体層16a、16b、16c、16dを形成する（図3B参照）。

[0087] そして、図3Bに示される工程では、シリコン柱1a、1bにおいて、ゲート導体層16a、16b、16c、16dの上方部位に、ドナー不純物、アクセプタ不純物をそれぞれイオンドーピングすることによって、Nチャネル型SGTのソースとして機能するN<sup>+</sup>型シリコン層17a、Pチャネル型SGTのソースとして機能するP<sup>+</sup>型シリコン層17bをそれぞれ形成する。

[0088] 続いて、図3Bに示される工程において、Nチャネル型SGTにおけるN<sup>+</sup>

型シリコン層 17 a、Pチャネル型SGTにおけるP<sup>+</sup>型シリコン層 17 bに電氣的に接続されるように、例えば蒸着法及びエッチングによって金属配線層 18 a、18 bを形成する。

以上により、第2半導体基板9上にNチャネル型SGT及びPチャネル型SGTが形成される。

[0089] 本実施形態では、Nチャネル型SGTにおけるシリコン柱1 a内のN<sup>+</sup>多結晶シリコン層55 a及びN<sup>+</sup>拡散層6 aと、N<sup>+</sup>型シリコン層17 aとは、いずれか一方がドレインであれば、他方はソースとして機能する。また、Pチャネル型SGTにおけるシリコン柱1 b内のP<sup>+</sup>多結晶シリコン層55 b及びP<sup>+</sup>拡散層6 bと、P<sup>+</sup>型シリコン層17 bとは、いずれか一方がドレインであれば、他方はソースとして機能する。

本実施形態によれば、第2半導体基板9上に、Nチャネル型SGTとPチャネル型SGTとを容易に形成することができる。

[0090] 本実施形態では、Nチャネル型SGTのシリコン柱1 a（P型シリコン層30）を形成した後、Pチャネル型SGTのシリコン柱1 b（P型シリコン）に、リン（P）やヒ素（As）などのドナー不純物をイオンドーピングすることでN型シリコン層30 aを形成した。これに限られず、本実施形態の変形例として、図1 Aにおける第1の半導体基板1を、P型シリコンに代えて固有半導体であるi型シリコンとし、図1 Iに対応する工程においては、Nチャネル型SGTにおけるシリコン柱1 aにはボロン（B）などのアクセプタ不純物をイオンドーピングしてP型シリコン層30を形成するとともに、Pチャネル型SGTにおけるシリコン柱1 aには、リン（P）やヒ素（As）などのドナー不純物をイオンドーピングすることでN型シリコン層30 aを形成することも可能である。

[0091] （第4実施形態）

以下、図4を参照して、本発明の第4実施形態に係る、複数のSGTを有する半導体装置の製造方法を説明する。

本実施形態では、第3実施形態と同様にして、Nチャネル型SGT形成領

域 1 n には N チャネル型 SGT、P チャネル型 SGT 形成領域 1 p には P チャネル型 SGT をそれぞれ形成する（図 3 A、図 3 B 参照）。

[0092] 本実施形態では、第 1 及び第 3 実施形態とほぼ同様にして、N チャネル型 SGT と P チャネル型 SGT とを、同一の半導体基板である第 2 半導体基板 9 上に形成する（図 1 A～図 1 J、図 3 A、図 3 B 参照）。但し、図 1 E に対応する工程では、図 4 に示されるように、複数の N チャネル型 SGT、P チャネル型 SGT において、ソースとして機能する N<sup>+</sup>多結晶シリコン層 5 5 a、ドレインとして機能する P<sup>+</sup>多結晶シリコン層 5 5 b 同士を金属層 7 a a、7 b b、第 1 接続用金属層 7 a、第 2 接続用金属層 7 b によって電氣的に接続する。

[0093] 即ち、本実施形態では、図 1 D に対応する工程において、N<sup>+</sup>多結晶シリコン層 5 5 a、P<sup>+</sup>多結晶シリコン層 5 5 b となるシリコン層を覆うように、蒸着法とエッチングによって金属層 7 を形成する。そして、エッチングによって、金属層 7、N<sup>+</sup>多結晶シリコン層 5 5 a 及び P<sup>+</sup>多結晶シリコン層 5 5 b を、所定の形状に成形する。これにより、図 4 に示されるように、N<sup>+</sup>多結晶シリコン層 5 5 a、P<sup>+</sup>多結晶シリコン層 5 5 b、金属層 7 a a、7 b b、第 1 接続用金属層 7 a をそれぞれ形成する。

[0094] 本実施形態では、図 3 B に対応する工程に続いて、図 4 を参照して、第 1 接続用金属層 7 a 上に酸化シリコン層 2 0 を形成し、当該酸化シリコン層 2 0 にコンタクトホール 2 1 c を形成する。次に、コンタクトホール 2 1 c 及び第 1 接続用金属層 7 a を介して、N<sup>+</sup>多結晶シリコン層 5 5 a 及び P<sup>+</sup>多結晶シリコン層 5 5 b と、酸化シリコン層 2 0 の上部に形成された外部金属配線層 2 2 c とを接続する。また、第 1 接続用金属層 7 a を延長した部位に第 2 接続用金属層 7 b を形成し、この第 2 接続用金属層 7 b を用いて、所定の場所から図示しないコンタクトホールを介して電氣的接点を取り出すようにする。

[0095] また、本実施形態では、図 4 を参照して、N チャネル型 SGT のドレインとして機能する N<sup>+</sup>多結晶シリコン層 5 5 a、5 5 b の裏面全体にそれぞれ金

属層 7 a a、7 b b が接合されている。そして、複数のシリコン柱 1 a、1 b において、N<sup>+</sup>拡散層 6 a、6 b、及び、複数の金属層 7 a a、7 b b の内  
の一方である複数の金属層 7 a a、7 b b 同士が互いに接続されている。こ  
こで、N<sup>+</sup>拡散層 6 a、6 b、及び、複数の金属層 7 a a、7 b b の内の両方  
が互いに接続されていてもよい。

[0096] なお、本実施形態において、図 4 では、N<sup>+</sup>多結晶シリコン層 5 5 a が N チ  
ャネル型 S G T のソース、P<sup>+</sup>多結晶シリコン層 5 5 b が P チャネル型 S G T  
のドレインとしてそれぞれ機能した。これに限られず、N<sup>+</sup>多結晶シリコン層  
5 5 a が N チャネル型 S G T のドレイン、P<sup>+</sup>多結晶シリコン層 5 5 b が P チ  
ャネル型 S G T のソースとして機能することもできる。さらには、N<sup>+</sup>多結晶  
シリコン層 5 5 a、P<sup>+</sup>多結晶シリコン層 5 5 b がいずれもソース又はドレイ  
ンとして機能してもよい。

[0097] 上述したように、本実施形態によれば、複数の S G T において、N<sup>+</sup>多結晶  
シリコン層 5 5 a、P<sup>+</sup>多結晶シリコン層 5 5 b によって構成されるソース、  
ドレイン同士が、酸化シリコン層 2 0 の上表面において金属配線層 2 2 a、  
2 2 b、2 2 c が形成されている領域にコンタクトホールなどを介して引き  
出された上で接続されることなく、第 1 接続用金属層 7 a によって互いに電  
氣的に接続される。これにより S G T を有する回路素子の集積度を高めるこ  
とができる。

[0098] また、本実施形態に係る半導体装置の製造方法は、固体撮像装置の製造方  
法に適用することができる。この場合、例えば、非特許文献 1 に記載されて  
いる複数の画素信号を 1 個の増幅用の M O S トランジスタで読み出す構成の  
固体撮像装置において、各画素におけるドレイン同士を互いに第 1 接続用金  
属層 7 a で接続する。この場合も、各画素のドレイン、ソースは、コンタク  
トホールなどを介して上層部の別の金属配線に接続させた上で互いに接続す  
る必要がない。このため、固体撮像装置の画素の更なる高集積化が実現され  
る。

[0099] (第 5 実施形態)

以下、図 5 A ～ 5 C を参照して、本発明の第 5 実施形態に係る、半導体装置に電気抵抗を形成する方法を説明する。本実施形態及びその変形例における半導体装置の製造工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

本実施形態では、図 1 B に示される、第 1 の半導体基板 1 上に形成された多結晶シリコン層 5 を用いることで、半導体装置の回路素子である電気抵抗を形成する。

[0100] 本実施形態では、図 1 A に示される工程では、第 1 の半導体基板 1 の所定の深さに、この第 1 の半導体基板 1 を上下の 2 つの部分に分離するための分離層 2 を形成するとともに、第 1 の半導体基板 1 上に、絶縁体である第 1 酸化シリコン層 3 を形成する。

[0101] 続いて、図 1 B に示される工程では、その第 1 酸化シリコン層 3 上に多結晶シリコン層 5 を形成し、図 1 C に示される工程では、この多結晶シリコン層 5 に、リン (P) 又はヒ素 (As) などのドナー不純物をイオンドープすることで、N<sup>+</sup>多結晶シリコン層 5 a を形成する。

[0102] 本実施形態では、図 1 B、図 1 C に示される工程において、図 5 A に示されるように、第 1 酸化シリコン層 3 上の多結晶シリコン層 5 の所定領域に、リン (P) 又はヒ素 (As) などのドナー不純物を所定の濃度でイオンドープすることで N<sup>+</sup>多結晶シリコン層 2 3 a、2 3 b を形成する。この N<sup>+</sup>多結晶シリコン層 2 3 a、2 3 b、ドナー不純物がイオンドープされていない多結晶シリコン層 2 3 によって、多結晶シリコン層 5 の所定領域 (多結晶シリコン層 2 3) における電気抵抗値が低下し、電気抵抗が形成される。このように、N<sup>+</sup>多結晶シリコン層 2 3 a、2 3 b、多結晶シリコン層 2 3 は、N<sup>+</sup>多結晶シリコン層 5 a (図 1 C 参照) と同様に、多結晶シリコン層 5 (図 1 B 参照) から形成されるので、N<sup>+</sup>多結晶シリコン層 5 a と同層に位置する。

[0103] 続いて、図 1 D に示される工程では、N<sup>+</sup>多結晶シリコン層 2 3 a、2 3 b 上に、金属層 7 と同層に位置する金属配線層 2 4 a、2 4 b を、金属層 7 と同様に形成する。

[0104] 本実施形態によれば、多結晶シリコン層 5 の所定領域に、所定の濃度のドナー不純物をイオンドープすることで、所定の電気抵抗値を有する N<sup>+</sup>多結晶シリコン層 23 a、23 b、多結晶シリコン層 23 が形成される。また、N<sup>+</sup>多結晶シリコン層 23 a、23 b、多結晶シリコン層 23 は、N<sup>+</sup>多結晶シリコン層 5 a と同層に形成される。これにより、同一の半導体基板上に、固体撮像装置、SGT などの半導体装置と共に電気抵抗（回路素子）を作成することができるだけでなく、製造工程が簡略化されるようになる。

[0105] また、本実施形態では、図 5 B を参照して、図 1 B に示される工程で多結晶シリコン層 25 を形成し、エッチングによって所定の形状とした後、蒸着法又は CVD 法によって、その多結晶シリコン層 25 に接続する金属配線層 26 a、26 b を形成する。このようにして、多結晶シリコン層 25 によっても半導体装置における電気抵抗が形成される。

[0106] また、本実施形態の変形例では、図 5 C を参照して、第 2 半導体基板 9 上に第 2 酸化シリコン層 8 を形成し、その第 2 酸化シリコン層 8 上に、上述した方法によって N<sup>+</sup>多結晶シリコン層 23 a、23 b 及び多結晶シリコン層 23 を形成する。その後、N<sup>+</sup>多結晶シリコン層 23 a、23 b 及び多結晶シリコン層 23 上に第 1 酸化シリコン層 3 を形成し、その第 1 酸化シリコン層 3 上に、酸化シリコン層 20（図 4 参照）を形成することも可能である。なお、図 5 C では、N<sup>+</sup>多結晶シリコン層 23 a、23 b 及び多結晶シリコン層 23 から図 5 A に示される電気抵抗が形成されている。

[0107] また、本実施形態及び図 5 C に示される変形例では、図 4 を参照して、第 1 酸化シリコン層 3 上には、SGT を有する回路素子又は金属配線が形成されている。

さらに、図 5 C に示される変形例では、電気抵抗を構成する多結晶シリコン層 23 は、絶縁体である第 1 酸化シリコン層 3 の下方に形成されている。

[0108] 本変形例によれば、図 5 C に示されるように、SiO<sub>2</sub>層（第 1 酸化シリコン層 3）の上下において、電気抵抗を構成する多結晶シリコン層 23 と重なるように、図 4 に示される回路素子の金属配線層 22 a、22 b、22 c を

形成することができる。これによって、電気抵抗を有する半導体装置（回路素子）の更なる高集積化が実現される。

[0109] （第 6 実施形態）

以下、図 6 A～図 6 C を参照して、本発明の第 6 実施形態に係る、半導体装置に容量を形成する方法を説明する。本実施形態における半導体装置の製造工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

本実施形態では、図 1 B に示される、第 1 の半導体基板 1 上に形成された多結晶シリコン層 5 を用いることで、半導体装置の回路素子である容量を形成する。

[0110] 本実施形態では、図 1 A に示される工程では、第 1 の半導体基板 1 の所定の深さに、この第 1 の半導体基板 1 を上下の 2 つの部分に分離するための分離層 2 を形成するとともに、第 1 の半導体基板 1 上に、絶縁体である第 1 酸化シリコン層 3 を形成する。

[0111] 続いて、図 1 B に示される工程では、その第 1 酸化シリコン層 3 上に多結晶シリコン層 5 を形成し、図 1 C に示される工程では、この多結晶シリコン層 5 に、リン（P）又はヒ素（As）などのドナー不純物をイオンドープすることで、N<sup>+</sup>多結晶シリコン層 5 a を形成する。

[0112] ここで、図 1 C に示される工程に続いては、図 6 A を参照して、熱酸化又は CVD 法によって、N<sup>+</sup>多結晶シリコン層 5 a の表層部に容量酸化シリコン層 2 7 を形成する。

[0113] 続いて、図 6 B を参照して、マスクを用いたエッチングによって、容量が形成される容量領域において、容量絶縁膜として機能する容量酸化シリコン層 2 7 を所定の形状に成形する。

そして、図 1 D に示される工程では、所定形状に成形された容量酸化シリコン層 2 7 上に、蒸着法又は CVD 法によって、容量電極として機能する金属層 2 8 を形成する。この金属層 2 8 は、第 1 実施形態の金属層 7 と同層に形成する。

[0114] 続いて、図 1 E～図 1 H、図 4 に示される各工程を経ることにより、図 6

Cに示されるような積層構造が形成される。即ち、第2半導体基板9上に第2酸化シリコン層8が形成され、この第2酸化シリコン層8の内部において、容量が形成される容量領域に、容量電極として機能する金属層28、及び、金属層28に積層され、容量絶縁膜として機能する容量酸化シリコン層27が配置されている。そして、容量酸化シリコン層27及び第2酸化シリコン層8上に、N<sup>+</sup>多結晶シリコン層5a、第1酸化シリコン層3及び酸化シリコン層29（酸化シリコン層20）がこの順で積層された構造が得られる。この構造では、金属層28及びN<sup>+</sup>多結晶シリコン層5aが容量電極として機能するとともに、容量酸化シリコン層27が容量絶縁膜として機能する容量が形成されている。

[0115] 本実施形態では、第1実施形態に係る固体撮像装置の製造方法の図1D～図1Hに示される工程において、N<sup>+</sup>多結晶シリコン層5aの表層に絶縁層27を形成する工程（図6A参照）と、容量酸化シリコン層27、金属層28を形成する工程（図6B参照）とが追加される。これにより、同一の半導体基板上に、固体撮像装置の画素、SGTなどの半導体装置と共に容量（回路素子）を形成することができるだけでなく、製造工程が簡略化されるようになる。

[0116] （第7実施形態）

以下、図7A、図7Bを参照して、本発明の第7実施形態に係る、半導体装置に容量を形成する方法を説明する。本実施形態における半導体装置の製造工程は、以下に特に説明する場合を除いて、第1実施形態と同様である。

本実施形態では、図1Bに示される、第1の半導体基板1上に形成された多結晶シリコン層5を用いることで、半導体装置の回路素子である容量を形成する。

[0117] 本実施形態では、図1Aに示される工程では、第1の半導体基板1の所定の深さに、この第1の半導体基板1を上下の2つの部分に分離するための分離層2を形成するとともに、第1の半導体基板1上に、絶縁体である第1酸化シリコン層3を形成する。

- [0118] 続いて、図 1 B に示される工程では、多結晶シリコン層 5 を形成する前に、第 1 酸化シリコン層 3 上に図 7 A に示される容量形成領域 100 を設定するとともに、この容量形成領域 100 における酸化シリコンをエッチングにより除去することで、凹形状の酸化シリコン層除去領域を形成する。即ち、図 1 B に示される工程では、図 7 A に示されるように、当該酸化シリコン層除去領域の周囲に酸化シリコン層 101 a、101 b を残存させるとともに、この酸化シリコン層除去領域には、酸化シリコン層 101 a、101 b よりも厚さが薄い酸化シリコン層 103 を残存させる。そして、その酸化シリコン層 101 a、101 b をマスクとして用い、ボロン (B) などのアクセプタ不純物をイオンドーピング又は熱拡散することで、酸化シリコン層 103 を通して容量形成領域 100 における第 1 の半導体基板 1 の表層に P<sup>+</sup>拡散層 102 を形成する。そして、図 1 B を参照して、その第 1 酸化シリコン層 3 上に、酸化シリコン層除去領域を埋め込むように多結晶シリコン層 5 を形成する。
- [0119] 続いて、図 1 C に示される工程では、この多結晶シリコン層 5 に、リン (P) 又はヒ素 (As) などのドナー不純物をイオンドープすることで、N<sup>+</sup>多結晶シリコン層 104 を形成する (図 7 A 参照)。
- [0120] 続いて、図 1 D に示される工程では、蒸着法又は CVD 法によって、N<sup>+</sup>多結晶シリコン層 104 上に金属層 105 を形成する (図 7 A 参照)。この金属層 105 は、第 1 実施形態における金属層 7 と同層に形成する。
- [0121] 続いて、図 1 E に示される工程と同様にして、容量が形成される容量形成領域 100 において、N<sup>+</sup>多結晶シリコン層 104 と、N<sup>+</sup>多結晶シリコン層 104 上に形成され、容量電極として機能する金属層 105 とを所定の形状に成形する。
- [0122] 続いて、第 1 実施形態の図 1 F ~ 図 1 I に示される工程を経た後、図 7 B を参照して、シリコン柱 1 a において P<sup>+</sup>拡散層 102 を残存させるとともに、その P<sup>+</sup>拡散層 102 及び酸化シリコン層 101 a、101 b を覆うように酸化シリコン層 107 を形成する。

- [0123] 続いて、図 7 B を参照して、酸化シリコン層 107 にコンタクトホール 108 を形成し、そのコンタクトホール 108 を介して、酸化シリコン層 107 上の金属配線層 109 と P<sup>+</sup>拡散層 102 とを電氣的に接続する。
- [0124] 以上によって、図 7 B に示されるように、容量形成領域 100（図 7 A 参照）に、N<sup>+</sup>多結晶シリコン層 104、金属層 105、及び P<sup>+</sup>拡散層 102 が容量電極として機能し、酸化シリコン層 101 a、101 b 間の酸化シリコン層 103 が容量絶縁膜として機能する容量が形成される。
- [0125] 本実施形態では、P<sup>+</sup>拡散層 102 は、酸化シリコン層 101 a、101 b をマスクとして用い、ボロン（B）などのアクセプタ不純物を第 1 の半導体基板 1 にイオンドーピング又は熱拡散することで形成した。これに限られず、P<sup>+</sup>拡散層 102 は、酸化シリコン層 101 a、101 b を形成する前に、均一な厚さの第 1 酸化シリコン層 3（図 1 A 参照）上から高加速電圧によるイオンドーピングを行うことで容量形成領域 100 以外の所定の領域内に形成することもできる。
- [0126] 本実施形態によれば、図 7 B に示される構造によって、コンタクトホール 108 によって、半導体装置の任意の場所から各容量間の接続や外部回路への電気信号の取り出しが可能となる。これにより、回路素子の更なる高集積化が実現されるようになる。
- [0127] （第 8 実施形態）
- 以下、図 8 A ～図 8 C を参照して、本発明の第 8 実施形態に係る、半導体装置にダイオードを形成する方法を説明する。本実施形態及びその変形例における半導体装置の製造工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。
- 本実施形態では、図 1 B に示される、第 1 の半導体基板 1 上に形成された多結晶シリコン層 5 を用いることで、半導体装置の回路素子であるダイオードを形成する。
- [0128] 本実施形態では、第 1 実施形態の図 1 A ～図 1 I に示される工程を経ることで、図 8 A に示されるように、第 2 半導体基板 9 上に第 2 酸化シリコン層

8が形成されるとともに、ダイオード形成領域100aに、金属層7、N<sup>+</sup>多結晶シリコン層5a、シリコン柱1aが下方からこの順で形成される。また、第2酸化シリコン層8上において、N<sup>+</sup>多結晶シリコン層5aの周囲には第1酸化シリコン層3が形成されている。

[0129] 続いて、図8Aに示される構造において、シリコン柱1aが真性シリコンで形成されている場合には、ボロン(B)などのアクセプタ不純物をイオンドーピングすることで、図8Bに示されるP型シリコン層30を形成する。なお、シリコン柱1aが第1実施形態のようにP型に形成されている場合には、アクセプタ不純物のイオンドーピングは不要である。

[0130] 続いて、図8Bを参照して、熱処理を行い、N<sup>+</sup>多結晶シリコン層5aからP型シリコン層30中にドナー不純物を熱拡散させ、P型シリコン層30（シリコン柱1a）の下方部位にN<sup>+</sup>拡散層6aを形成する。

[0131] 続いて、図8Bを参照して、P型シリコン層30（シリコン柱1a）の上方部位に、ボロン(B)などのアクセプタ不純物をイオンドーピングすることにより、P<sup>+</sup>型シリコン層31を形成するとともに、蒸着法及びエッチングによって、P<sup>+</sup>型シリコン層31上に金属層32を形成する。

[0132] 続いて、図8Bを参照して、P型シリコン層30及び金属層32を覆うように、酸化シリコン層33を形成し、その酸化シリコン層33において、金属層32上の領域にコンタクトホール34、金属配線層35をこの順に形成する。これにより、金属配線層35と金属層32とをコンタクトホール34を介して電氣的に接続する。

[0133] 本実施形態では、P<sup>+</sup>型シリコン層31とP型シリコン層30とによってpn接合ダイオードが形成されている。

[0134] 本実施形態によれば、同一の半導体基板上に、固体撮像装置の画素、SGTなどの半導体装置と共にダイオード（回路素子）を形成することができるだけでなく、製造工程が簡略化されるようになる。

[0135] 図8Cに、シリコン柱1aにPINフォトダイオードが形成されている本実施形態の変形例を示す。この変形例では、第8実施形態に示されるシリコ

ン柱 1 a には、P 型シリコン層 3 0 に代えて、固有半導体である i 型シリコン層 3 0 b が形成されている。そして、i 型シリコン層 3 0 b 上には、P<sup>+</sup>型シリコン層 3 1 が形成されている。そして、i 型シリコン層 3 0 b と、P<sup>+</sup>型シリコン層 3 1 とによって P I N フォトダイオードが形成されている。

[0136] この P I N フォトダイオードにおいては、図 8 C を参照して、P<sup>+</sup>型シリコン層 3 1 の上部から光が入射する。このため、その光の入射を妨害しないように、P<sup>+</sup>型シリコン層 3 1 と外部回路とを接続するための金属層 3 2 が、P<sup>+</sup>型シリコン層 3 1 の外周領域に形成されている。

[0137] 本変形例の P I N フォトダイオードによれば、i 型シリコン層 3 0 b の全体又は広範囲の領域に空乏層が形成されるので、広い光電変換領域を確保することができるとともに、容量形成領域の厚さに相当する空乏層の厚さが大きくなるため、低容量化が図られる。そして、この P I N フォトダイオードは、光コネクショ​​ン受光素子として、半導体装置の回路素子と同一の半導体基板上に形成される。

[0138] 本変形例の P I N フォトダイオードは、光スイッチとして機能するため、入力回路配線の抵抗・容量による R C 遅延がなく、回路入力部の高速化及び、回路全体の高速化が実現される。

[0139] 本変形例によれば、同一の半導体基板上に、固体撮像装置の画素、S G T などの半導体装置と共に P I N フォトダイオード（回路素子）を形成することができるだけでなく、製造工程が簡略化されるようになる。

[0140] （第 9 実施形態）

以下、図 9 A ～図 9 C を参照して、本発明の第 9 実施形態に係る、C M O S インバータ回路について説明する。

図 9 A に、本実施形態で用いる C M O S インバータ回路を示す。図 9 A に示されるように、P チャネル型 M O S トランジスタ 3 7 a と N チャネル型 M O S トランジスタ 3 7 b とが直列に接続されている。P チャネル型 M O S トランジスタ 3 7 a と N チャネル型 M O S トランジスタ 3 7 b のゲート同士がゲート接続配線 3 8 を介して接続され、ゲート接続配線 3 8 は入力端子配線

V<sub>i</sub>に接続されている。Pチャネル型MOSトランジスタ37aのソースは、電源端子配線V<sub>dd</sub>に接続されている。Pチャネル型MOSトランジスタ37aのドレインとNチャネル型トランジスタ37bのドレインとはドレイン接続配線39を介して出力端子配線V<sub>o</sub>に接続されるとともに、Nチャネル型MOSトランジスタ37bのソースはグランド電位となっているグランド端子配線V<sub>ss</sub>に接続されている。

[0141] 図9Bに、このCMOSインバータ回路の平面配置図を示す。

図9Bに示されるように、コンタクトホール41c、シリコン柱40a、コンタクトホール41a、コンタクトホール41b、及びコンタクトホール41d、が直線状に並んで配置されている。

[0142] 入力端子配線V<sub>i</sub>は、コンタクトホール41cから電気信号（ゲート電圧）を入力するためのものである。電源端子配線V<sub>dd</sub>は、コンタクトホール41aから電源電圧を供給するためのものである。グランド端子配線V<sub>ss</sub>は、コンタクトホール41bを介してグランドに接続するためのものである。出力端子配線V<sub>o</sub>は、コンタクトホール41dから電気信号を出力するためのものである。

[0143] コンタクトホール41cは、Pチャネル型MOSトランジスタ37aとNチャネル型MOSトランジスタ37bのゲート同士を接続するゲート接続配線38上に形成されている。シリコン柱40aは、Pチャネル型MOSトランジスタ37aを構成している。コンタクトホール41aは、シリコン柱40a上に形成されている。シリコン柱40bは、Nチャネル型MOSトランジスタ37bを構成している。コンタクトホール41bはシリコン柱40b上に形成されている。コンタクトホール41dは、Pチャネル型MOSトランジスタ37aのドレインとNチャネル型MOSトランジスタ37bのドレインとを互いに接続したドレイン接続配線39上に形成されている。

[0144] そして、このコンタクトホール41b及びコンタクトホール41dの列方向と直交する行方向に延びるように、それぞれ、入力端子配線V<sub>i</sub>、電源端子配線V<sub>dd</sub>、グランド端子配線V<sub>ss</sub>、及び出力端子配線V<sub>o</sub>が配置され

ている（図9A参照）。

[0145] 図9Cは、図9BのB-B'線での断面構造図である。以下、図9Cを参照して、上述したCMOSインバータ回路を形成する方法を説明する。本実施形態において、CMOSインバータ回路の形成工程は、以下に特に説明する場合を除いて、第1実施形態と同様である。

[0146] 本実施形態において、図9Cに示される、Pチャネル型MOSトランジスタ37a、Nチャネル型MOSトランジスタ37bを有するCMOSインバータ回路は、図3Bに示されるCMOSインバータ回路における、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタとの左右の位置関係が入れ替わっているが、図3A、図3Bに示される第3実施形態と同様にして形成される。以下、上記実施形態と共通又は対応する符号で示される部分の説明は省略する。

[0147] 図9Cに示されるように、Pチャネル型MOSトランジスタ37aにおいてドレインとして機能するP<sup>+</sup>多結晶シリコン層55bと、Nチャネル型MOSトランジスタ37bにおいてドレインとして機能するN<sup>+</sup>多結晶シリコン層55aとの下方にドレイン接続配線39が形成されている。N<sup>+</sup>多結晶シリコン層55a及びP<sup>+</sup>多結晶シリコン層55bの下面にはドレイン接続配線39が接合されている。N<sup>+</sup>多結晶シリコン層55a及びP<sup>+</sup>多結晶シリコン層55bは、ドレイン接続配線39を介して接続されている。そして、ドレイン接続配線39は、絶縁層43b上に形成され、酸化シリコン層45を貫通するコンタクトホール41dを介して出力端子配線層Voに接続されている。

[0148] また、Pチャネル型MOSトランジスタ37aのゲート導体層16ba、16bbと、Nチャネル型MOSトランジスタ37bのゲート導体層16aa、16abとは、絶縁層43a上に形成されたゲート接続配線38を介して接続されている。

[0149] また、ゲート接続配線38と、Pチャネル型MOSトランジスタ37aのドレインとなるP<sup>+</sup>型シリコン層17b上に形成された金属配線層18b、Nチャネル型MOSトランジスタ37bのドレインとなるN<sup>+</sup>型シリコン層17

a上に形成された金属配線層18a、ドレイン接続配線39は、それぞれ、酸化シリコン層45を貫通するコンタクトホール41c、41a、41b、41dを介して、酸化シリコン層45上に形成された入力端子配線層Vi、電源端子配線層Vdd、グランド端子配線層Vss、出力端子配線層Voに接続されている。入力端子配線層Vi、電源端子配線層Vdd、グランド端子配線層Vss、出力端子配線層Voとは、互いに平行に配線されている（図9C参照）。

[0150] 本実施形態によれば、Pチャネル型MOSトランジスタ37aにおいてドレインとして機能するP<sup>+</sup>多結晶シリコン層55bと、Nチャネル型MOSトランジスタ37bにおいてドレインとして機能するN<sup>+</sup>多結晶シリコン層55aとが、互いに近接した状態で接続されるとともに、低い電気抵抗を有するドレイン接続配線39によって電氣的に接続されている。この構造によって、高速かつ高集積度が実現されたCMOSインバータ回路を有する集積回路が得られる。

[0151] （第10実施形態）

以下、図10A～図10Dを参照して、本発明の第10実施形態に係る2段構造のCMOSインバータ回路について説明する。以下、上記第9実施形態と共通又は対応する符号で示される部分及び構造の説明は省略する。

図10Aに、本実施形態で用いる2段構造のCMOSインバータ回路を示す。

図10Aに示されるように、Pチャネル型MOSトランジスタ37a、37cと、Nチャネル型MOSトランジスタ37b、37dとが、それぞれ、1段目、2段目において直列に接続されている。1段目のPチャネル型MOSトランジスタ37aとNチャネル型MOSトランジスタ37bの各ゲートは、ゲート接続配線38aを介して入力端子配線Viに接続されている。2段目のPチャネル型MOSトランジスタ37cとNチャネル型MOSトランジスタ37dの各ゲートは、ゲート接続配線38bを介して1段目の出力端子配線Voに接続されている。1段目及び2段目のPチャネル型MOSトラ

ンジスタ 37a、37c の各ドレインは、電源端子配線 Vdd に接続されている。1 段目及び 2 段目の P チャネル型 MOS トランジスタ 37b、37d の各ソースは、グランド端子配線 Vss に接続されている。

[0152] 1 段目において、P チャネル型 MOS トランジスタ 37a のドレインと N チャネル型トランジスタ 37b のドレインとは、ドレイン接続配線 39a を介して 1 段目の出力端子配線 Vo に接続されている。

2 段目において、P チャネル型トランジスタ 37c のドレインと N チャネル型トランジスタ 37d のドレインとは、ドレイン接続配線 39b を介して出力端子配線 Vout に接続されている。

[0153] 図 10B に、この CMOS インバータ回路の平面配置図を示す。

図 10B に示されるように、1 段目の P チャネル型 MOS トランジスタ 37a を構成するシリコン柱 40a 及び N チャネル型 MOS トランジスタ 37b を構成するシリコン柱 40b に形成されたゲート接続配線 38a 上にコンタクトホール 41c が形成され、コンタクトホール 41c は、入力端子配線 Vi と接続されている。ゲート接続配線 38a は、P チャネル型 MOS トランジスタ 37a 及び N チャネル型 MOS トランジスタ 37b のゲート同士を接続する。

[0154] 1 段目において、P チャネル型 MOS トランジスタ 37a のドレインと N チャネル型 MOS トランジスタ 37b のドレインとは、1 段目のドレイン接続配線 39a を介して接続されている。

[0155] 2 段目の P チャネル型 MOS トランジスタ 37c を構成するシリコン柱 40c 及び N チャネル型 MOS トランジスタ 37d を構成するシリコン柱 40d に形成されたゲート接続配線 38b 上にコンタクトホール 41e が形成され、コンタクトホール 41e は、1 段目の出力端子配線 Vo（図 10A 参照）に接続されている。

[0156] 1 段目のドレイン接続配線 39a は、コンタクトホール 41e（図 10C 参照）を介してゲート接続配線 38b と接続されている。ゲート接続配線 38b は、2 段目の P チャネル型 MOS トランジスタ 37c と N チャネル型 M

OSトランジスタ37dのゲート同士を接続する。

[0157] 1段目及び2段目のPチャネル型MOSトランジスタ37a、37cのシリコン柱40a、40c上にそれぞれコンタクトホール41a、41cが形成されている。コンタクトホール41a、41cは、いずれも電源端子配線層Vddに接続されている。

[0158] 1段目及び2段目のPチャネル型MOSトランジスタ37b、37dのシリコン柱40b、40d上にそれぞれコンタクトホール41b、41dが形成され、コンタクトホール41b、41dは、いずれもグランド端子配線層Vssに接続されている。

[0159] 2段目のドレイン接続配線39b上にコンタクトホール41fが形成され、コンタクトホール41fは、出力端子配線層Voutに接続されている。

また、入力端子配線層Vi、電源端子配線層Vdd、グランド端子配線層Vss、出力端子配線層Voutは、互いに平行に配線されている。

[0160] 図10Cは、図10BのC-C'線での断面構造図であり、以下、図10Cを参照して、上述した2段構造のCMOSインバータ回路について説明する。本実施形態において、2段構造のCMOSインバータ回路は、第1実施形態と同様にして形成されたものである。

[0161] 図10Cに示される、Pチャネル型MOSトランジスタ37a、Nチャネル型MOSトランジスタ37bを有するCMOSインバータ回路は、図3Bに示されるCMOSインバータ回路における、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタとの左右の位置関係が入れ替わっているが、図3A、図3Bに示される第3実施形態と同様にして形成される。

[0162] 図10Cに示されるように、1段目において、Pチャネル型MOSトランジスタ37aのシリコン柱40aの外周を囲むゲート導体層16ba、16bbと、Nチャネル型MOSトランジスタ37bのシリコン柱40bの外周を囲むゲート導体層16aa、16abとが、ゲート接続配線38aを介して接続されている。ゲート接続配線38a上に形成された酸化シリコン層45に、Nチャネル型MOSトランジスタ37b上の金属配線層18aと接続

されたコンタクトホール41bが形成されている。コンタクトホール41bは、Nチャネル型MOSトランジスタ37bのグランド端子配線Vssに接続されている。なお、図10Cでは、第1酸化シリコン層3とゲート接続配線38aとの間に酸化シリコン層43が形成されている。

[0163] 1段目において、Pチャネル型MOSトランジスタ37aのシリコン柱40aの下端部に形成され、ドレインとして機能するP<sup>+</sup>多結晶シリコン層55bと、Nチャネル型MOSトランジスタ37bのシリコン柱40bの下端部に形成され、ドレインとして機能するN<sup>+</sup>多結晶シリコン層55aとは、1段目のドレイン接続配線39aである金属配線層42を介して互いに電氣的に接続されている。

[0164] そして、金属配線層42は、2段目のPチャネル型MOSトランジスタ37cとNチャネル型MOSトランジスタ37dのゲート同士を接続するゲート接続配線38bと、酸化シリコン層45に形成されたコンタクトホール41eを介して接続されている（図10A、図10B参照）。

[0165] 1段目のPチャネル型MOSトランジスタ37aのシリコン柱40a上にコンタクトホール41aが形成され、コンタクトホール41aは電源端子配線層Vddに接続されている。1段目のNチャネル型MOSトランジスタ37bのシリコン柱40b上にコンタクトホール41bが形成され、コンタクトホール41bはグランド端子配線層Vssに接続されている。

[0166] 2段目のドレイン接続配線39b上にコンタクトホール41fが形成され、酸化シリコン層45上において、コンタクトホール41fに出力端子配線層Voutが接続されている（図10A、図10B参照）。

また、入力端子配線層Vi、電源端子配線層Vdd、グランド端子配線層Vss、出力端子配線層Voutは互いに平行に配線されている（図10B参照）。

[0167] 本実施形態によれば、1段目のPチャネル型MOSトランジスタ37a及びNチャネル型MOSトランジスタ37bのドレイン接続配線39aとして機能する金属配線層42が、2段目のPチャネル型MOSトランジスタ37

c 及び N チャネル型 MOS トランジスタ 37 d のゲート接続配線 38 b に、コンタクトホール 41 e を介して直接的に接続される。この構成では、金属配線層 42 (39 a) は、酸化シリコン層 45 に形成したコンタクトホールを介して入力端子配線層 V<sub>i</sub>、電源端子配線層 V<sub>d d</sub>、グランド端子配線層 V<sub>s s</sub>、出力端子配線層 V<sub>o u t</sub> (図 10 B 参照) と同層まで引き上げる必要がないので、回路素子の高集積度化が実現される。

[0168] (第 1 1 実施形態)

以下、図 1 1 A、図 1 1 B を参照して、本発明の第 1 1 実施形態に係る、半導体基板にマスク合わせマークを形成する方法を説明する。

図 1 1 A で示される工程は、第 1 実施形態における図 1 H で示される工程に対応するものである。その他の工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

[0169] 図 1 1 A に示されるように、第 2 半導体基板 9 上には、第 2 酸化シリコン層 8 が形成されている。第 2 酸化シリコン層 8 上には、第 1 酸化シリコン層 3、第 1 の半導体基板 1 がこの順で形成されている。

[0170] 図 1 1 A に示されるように、第 1 の半導体基板 1 上の所定の位置に、マスク合わせのためのマスク合わせマーク形成領域 47 a と、回路を形成するための回路形成領域 47 b とを設定する。

[0171] 図 1 1 A に示されるマスク合わせマーク形成領域 47 a においては、第 1 酸化シリコン層 3 に酸化シリコン層除去領域 48 が形成されている (図 1 B 参照)。酸化シリコン層除去領域 48 の中央部には、マーク金属層 49 a、マーク多結晶シリコン層 49 b が積層状態で形成されている。

[0172] 酸化シリコン層除去領域 48 は、図 1 B に示されるように、固体撮像装置の画素における接合トランジスタのソース又はドレインが形成される孔 4 と同時に形成される。

[0173] 一方、図 1 1 A に示されるように、回路形成領域 47 b の中央部には、金属層 7、N<sup>+</sup>多結晶シリコン層 5 a が積層状態で形成されている (図 1 H 参照)。

[0174] 図 1 1 A に示される状態から、マスク合わせマーク形成領域 4 7 a における第 1 の半導体基板 1 をエッチングすることにより、図 1 1 B に示されるように、所定の位置にマスク合わせ孔 5 0 を形成する。これにより、マスク合わせ孔 5 0 を通して、マーク金属層 4 9 a、マーク多結晶シリコン層 4 9 b 及び酸化シリコン層除去領域 4 8 が露出する。

続いて、マスク合わせ孔 5 0 内における、マーク金属層 4 9 a、マーク多結晶シリコン層 4 9 b 及び酸化シリコン層除去領域 4 8 の内のいずれか 1 つを基準となるマスク合わせマークとして、フォトマスクのマスク合わせを行う。

続いて、フォトレジストが形成された領域にフォトマスクを重ねて光を照射し、回路を転写する。

[0175] これに対し、マスク合わせ孔 5 0 が存在しない場合には、第 1 の半導体基板 1 上にフォトレジストを被覆し、第 1 の半導体基板 1 の下方に位置するマーク金属層 4 9 a、マーク多結晶シリコン層 4 9 b、酸化シリコン層除去領域 4 8 のいずれかをマークとしてマスク合わせを行うことになる。この場合には、第 1 の半導体基板 1 は、シリコンからなり、青色光、紫外線光の吸収が大きいので、マスク合わせには透過率の高い赤色波長光又は赤外線光が用いられる。このため、マーク像の解像度が低下するとともに、マスク合わせ精度が低下する。

[0176] これに対して、本実施形態によれば、マスク合わせマーク形成領域 4 7 a には、青色光、紫外線光の吸収が大きいシリコン層が存在しないので、マーク金属層 4 9 a、マーク多結晶シリコン層 4 9 b、酸化シリコン層除去領域 4 8 上に直接フォトレジストを形成することができる。このため、高い解像度のマーク像が得られ、マスク合わせ精度が向上する。

[0177] また、本実施形態によれば、酸化シリコン層除去領域 4 8 上に直接フォトレジストが形成されるので、図 1 I に示される N<sup>+</sup>多結晶シリコン層 5 a とシリコン柱 1 a との位置合わせ精度が高められる。

[0178] 以下、図 1 2 を参照して、図 1 1 A ~ 図 1 1 B に示される態様と比較して

、フォトマスクのマスク合わせ精度をさらに向上させる本実施形態の変形例について説明する。以下に特に説明する場合を除いて、第 1 1 実施形態と同様とする。

[0179] 図 1 2 に示されるように、図 1 1 B に示されるマスク合わせ孔 5 0 内に青色光又は紫外線光を透過する透明絶縁層 5 0 a を埋め込む。この透明絶縁層 5 0 a には、 $\text{SiO}_2$  膜を用いる。

その後、CMP によって、その  $\text{SiO}_2$  膜及び第 1 の半導体基板 1 の表面を平坦化する。このマスク合わせ孔 5 0 の  $\text{SiO}_2$  膜による埋め込み工程は、図 1 I を参照して、接合トランジスタが形成されるシリコン柱 1 a が形成される前に行われる。

[0180] この変形例によれば、マスク合わせ孔 5 0 内の透明絶縁層 5 0 a によって、マスク合わせマーク形成領域 4 7 a と回路形成領域 4 7 b とに被覆するフォトレジストを薄く均一なものとすることができるので、第 1 1 実施形態と比較して、マスク合わせ精度がさらに向上するようになる。

[0181] (第 1 2 実施形態)

以下、図 1 3 A、図 1 3 B を参照して、本発明の第 1 2 実施形態に係る半導体装置の製造方法を説明する。

図 1 3 A は、第 1 実施形態における図 1 B に示される工程に対応するものである。その他の工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

[0182] 本実施形態では、図 1 3 A に示される工程では、第 1 の半導体基板 1 の所定の深さに、この第 1 の半導体基板 1 を上下の 2 つの部分に分離するための分離層 2 を形成するとともに、第 1 の半導体基板 1 上に、絶縁体である第 1 酸化シリコン層 3 を形成する。

[0183] 続いて、図 1 3 A に示されるように、第 1 酸化シリコン層 3 において、所定の領域の酸化シリコン ( $\text{SiO}_2$ ) を除去することで孔 4 を形成する。

[0184] 続いて、図 1 3 A に示されるように、この孔 4 (酸化シリコン層除去領域 4 8) を埋め込むように、第 1 酸化シリコン層 3 及び第 1 の半導体基板 1 の

上に、CVD法によって多結晶シリコン層111を形成する。この多結晶シリコン層111にはドナー不純物又はアクセプタ不純物がドーピングされていない。

[0185] 続いて、図13Bに示されるように、多結晶シリコン層111上に、CVD法及びドナー不純物のイオンドーピングによって、ドナー不純物がドーピングされたN<sup>+</sup>多結晶シリコン層106を形成する。

[0186] 続いて、このN<sup>+</sup>多結晶シリコン層106上に、図1Dに示される工程と同様にして金属層7を形成する。さらに、図1E～1Lで示された工程と同様にして半導体装置を形成する。

[0187] 本実施形態によれば、第1の半導体基板1とN<sup>+</sup>多結晶シリコン層106の間に、不純物がドーピングされていない多結晶シリコン層111が形成されている。この多結晶シリコン層111の存在により、図1Jに示される工程における熱処理によってN<sup>+</sup>多結晶シリコン層106を拡散源とした場合における、シリコン柱1aへのドナー不純物の拡散深さを調整することができる。

[0188] 即ち、まず、熱処理によって、N<sup>+</sup>多結晶シリコン層106からドナー不純物を拡散させ、多結晶シリコン層111をN<sup>+</sup>多結晶シリコン層にする。その後、N<sup>+</sup>多結晶シリコン層111からシリコン柱1a内に熱処理によってドナー不純物を拡散してN<sup>+</sup>拡散層6aを形成する。このように熱処理によってドナー不純物がドーピングされていない多結晶シリコン層111をN<sup>+</sup>多結晶シリコン層とすることで、N<sup>+</sup>多結晶シリコン層106から外部へのドナー不純物の拡散性能が減弱される。

[0189] これにより、図1Gに示される工程において、第1の半導体基板1上で、第2の半導体基板9と第2酸化シリコン層8とを接着した後の熱処理の条件（温度、時間）によって、N<sup>+</sup>拡散層6aが所望の深さを超えて拡散することが想定される場合に、かかる拡散の深さを抑制するために有効となる。

[0190] 一方、アクセプタ不純物を拡散させる場合は、N<sup>+</sup>多結晶シリコン層106に代えてP<sup>+</sup>多結晶シリコン層を用いることができる。ドナー不純物又はアクセプタ不純物がドーピングされていない多結晶シリコン層111には、積極的に

不純物がドーピングされていなくとも微量の不純物は含有されていることは、本実施形態の効果に影響しない。

[0191] なお、第1実施形態と、第1実施形態に関連する実施形態では、第1酸化シリコン層3は、第1酸化シリコン層3は、熱酸化、陽極酸化、又はCVD (Chemical Vapor Deposition) などで形成した。これに限られず、窒化シリコン (SiN) 膜など他の絶縁膜との多層構造で構成してもよい。

[0192] なお、本発明は上述した第1～第12実施形態で説明した実施態様に限定されず、種々の変形が可能である。

上記実施形態では、第1の半導体基板1はP型の導電型とした。これに限られず、第1の半導体基板1は、固有半導体であるi型 (イントリンシック型) でもよい。また、第1の半導体基板1に形成する回路素子に応じて、N型の導電型とすることもできる。

[0193] 同様に、図3B、図4、図9C、図10Cを用いた実施形態では、Pチャネル型MOSトランジスタのチャネルはN型シリコン層30aに形成され、Nチャネル型MOSトランジスタのチャネルはP型シリコン層30に形成されるものとしたが、いずれも固有半導体であるi型シリコンに形成されてもよい。

[0194] 上記実施形態では、図1Kにおいて、シリコン柱1aに形成した固体撮像装置の画素において、N<sup>+</sup>多結晶シリコン層5a、金属層7、N<sup>+</sup>拡散層6aを個別の材料層としているが、図1D～図1Kの間の工程で行う熱処理によって、金属層7の金属材料 (Ni, Wなど) と、N<sup>+</sup>多結晶シリコン層5a、又はN<sup>+</sup>拡散層6aの一部との反応により、金属層7、N<sup>+</sup>多結晶シリコン層5a、又はN<sup>+</sup>拡散層6aの全部又は一部がシリサイド層 (NiSi, WSiなど) に変化していてもよい。また、図1L、図2、図3B、図4、図8A、図8B、図8C、図9C、図10C、図11B、図12で示される各工程での熱処理によって、金属層7の金属材料とN<sup>+</sup>多結晶シリコン層5a、又はN<sup>+</sup>拡散層6aの一部との反応により、金属層7、N<sup>+</sup>多結晶シリコン層5a、又はN<sup>+</sup>拡散層6aの全部又は一部がシリサイド層 (NiSi, WSiなど

）に変化していてもよい。これらによっても、信号線（電気配線）となる部分の電気抵抗値が低下する効果が得られる。

[0195] 上記実施形態では、図 1 H に示されるように、第 1 の半導体基板 1 の所定の深さに高濃度水素イオン（ $H^+$ ）をイオン注入して形成した分離層 2 から、 $400 \sim 600^\circ C$  の熱処理により、第 1 の半導体基板 1 を上下に分離し、第 1 の半導体基板 1 を所定の厚さまで薄くした。これに限られず、第 1 の半導体基板 1 を所定の厚さまで薄くするには、例えば、非特許文献 3 に示される分離層 2 に多孔質層を形成する方法を採用してもよい。その他、第 1 の半導体基板 1 を上下に分離する方法も採用できる。

[0196] また、第 2 半導体基板 9 は、シリコンとは異種の半導体、例えば、炭化シリコン（ $SiC$ ）などの化合物半導体、絶縁体又は有機樹脂体であってもよい。この構成によっても、第 1 の半導体基板 1 に形成される回路素子を保持することができる。

[0197] また、第 2 酸化シリコン層 8、酸化シリコン層 20、29、45 は、窒化シリコン（ $SiN$ ）膜などその他の絶縁膜との多層構成であってもよい。

[0198] また、 $N^+$ 多結晶シリコン層 5a、55a、 $P^+$ 多結晶シリコン層 55b は、イオンドープによって形成した。これに限られず、不純物の熱拡散、不純物を混入したドーパド多結晶シリコン層によって形成してもよい。

[0199] また、図 1 B において、多結晶シリコン層 5 は、CVD 法によって形成した。これに限られず、多結晶シリコン層 5 は、エピタキシャル成長によって形成してもよい。この場合、第 1 の半導体基板 1 上には単結晶シリコン層が成長し、その成長条件により第 1 酸化シリコン層 3 上には多結晶シリコン層が形成される。この場合、単結晶シリコン層がドナー又はアクセプタのシリコン柱 1a への拡散源となる。また、単結晶シリコン層の成長条件（温度など）により第 1 酸化シリコン層 3 上にはシリコン層が形成されないようにすることもできる。

[0200] また、図 1 G において、シリコンからなる第 2 半導体基板 9 と、CMP で平坦化した第 2 酸化シリコン層 8 とを貼り合わせたが、第 2 半導体基板 9 の

表面に、酸化又はCVD法によって酸化層又は絶縁層を形成した後に第2半導体基板9と第2酸化シリコン層8とを貼り合わせることもできる。

[0201] また、図9Cにおいて、ドレイン接続配線39と出力端子配線V<sub>o</sub>とはコンタクトホール41dを介して接続した。これに限られず、ドレイン接続配線39と出力端子配線V<sub>o</sub>とは、コンタクトホール41dの底部がドレイン接続配線39上のN<sup>+</sup>多結晶シリコン層55aに接するようにして接続することもできる。この構成によっても、N<sup>+</sup>多結晶シリコン層55aの電気抵抗は十分に小さいので、回路素子の高速動作が実現される。

[0202] また、図10Cにおいて、ドレイン接続配線として機能する金属配線層42(39a)と2段目のゲート接続配線38bとは、コンタクトホール41eを介して接続した。これに限られず、コンタクトホール41eの底部が金属配線層42上のN<sup>+</sup>多結晶シリコン層55aに接するようにして接続することもできる。この構成によっても、N<sup>+</sup>多結晶シリコン層55aの電気抵抗は十分に小さいので、回路素子の高速動作が実現される。

[0203] また、図1L、図2、図3Bに示されるような、ゲート導体層11a、11b、11c、11d、16a、16b、16c、16d、図10Cに示されるような、ゲート接続配線38、38a、38bは、蒸着法又はCVD法によって形成した。これに限られず、単層又は異なる種類の複数の金属層から構成したり、不純物をドーピングした多結晶シリコン層又はその多結晶シリコン層と金属層との多層構成とすることもできる。または、ゲート接続配線38、38a、38bは、Nチャネル型とPチャネル型で異なる材料を使用してもよい。

[0204] また、図10B、図10Cに示される2段CMOSインバータ回路において、以下のように構成することも可能である。即ち、Pチャネル型MOSトランジスタ37aのシリコン柱40aと、Nチャネル型MOSトランジスタ37bのシリコン柱40bのそれぞれの上方部位のP<sup>+</sup>型シリコン層17b、N<sup>+</sup>型シリコン層17aを、酸化シリコン層45に形成したコンタクトホール41a、41bを介して1段目の出力端子配線層V<sub>out</sub>に接続する。そし

て、Pチャネル型MOSトランジスタ37aのシリコン柱40aの下方部位のP<sup>+</sup>多結晶シリコン層55bと、P<sup>+</sup>拡散層6bとに接続された金属層46bを電源端子配線層V<sub>dd</sub>とするとともに、Nチャネル型MOSトランジスタ37bのシリコン柱40bの下方部位のN<sup>+</sup>多結晶シリコン層55aと、N<sup>+</sup>拡散層6aとに接続された金属層46aをグランド端子配線層V<sub>ss</sub>とする。この構造においても、図10Cで示した構造と同様な効果が得られる。

[0205] また、図1Kに示される画素構造において、ゲート導体層11a、11bと信号線となるN<sup>+</sup>拡散層6aとの自己整合を行うために、ゲート導体層11a、11bを形成した後に、ヒ素（As）のイオンドーピング、又は、堆積Asドーパ酸化シリコン層を拡散源として、ゲート導体層11a、11bとN<sup>+</sup>拡散層6a間のシリコン柱1a内にN<sup>+</sup>型シリコン層を形成してもよい。

[0206] また、図1Iの第1の実施形態において、第1の半導体基板1を第1酸化シリコン層3の表面までエッチングしてシリコン柱1aを形成しているが、このエッチング処理は、第1酸化シリコン層3の表面に至る前で停止するようにしてもよい。例えば、図14Aに示されるように、エッチングされずに残存したシリコン層にドナー不純物をドーピングすることでN<sup>+</sup>型シリコン層を形成してもよい。

[0207] また、図2に示されるSGTにおいても、ゲート導体層16a、16bとソース又はドレインとなるN<sup>+</sup>拡散層6aとの自己整合を行うために、ヒ素（As）のイオンドーピング、又は、堆積Asドーパ酸化シリコン層を拡散源として、ゲート導体層16a、16bとN<sup>+</sup>拡散層6a間のシリコン柱1a内にN<sup>+</sup>型シリコン層を形成してもよい。

[0208] また、図1Kに示される第1の実施形態の製造方法で形成された固体撮像装置の画素にはフォトダイオードを構成するN型シリコン層12a、12bの外周部に、第3酸化シリコン層10a、10bを介して光を反射する導体層が形成されてもよい。これにより混色が防止される。また、N型シリコン層12a、12bの外周部のシリコン柱1a内にP<sup>+</sup>型シリコン層13aと接続されたP<sup>+</sup>型シリコン層を形成することで低残像・低ノイズが実現される構

造としてもよい。このように、シリコン柱 1 a に固体撮像装置の機能がより高められる構造を適宜形成することができる。

[0209] また、本発明の技術的思想は、同一基板上に 1 つの実施形態における回路素子だけでなく、複数の実施形態における回路素子が形成されるものにも適用されることは言うまでもない。また、各実施形態における各製造工程は、同一の構成が製造される場合には、順序を適宜変更することができる。

[0210] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

### 産業上の利用可能性

[0211] 本発明は、柱状構造を有する半導体内にチャネル領域が形成されているトランジスタを備える半導体装置に適用できる。

### 符号の説明

- [0212] 1 第 1 の半導体基板
- 1 a、1 b、4 0 a、4 0 b、4 0 c、4 0 d シリコン柱
- 1 n Nチャネル型 S G T 形成領域
- 1 p Pチャネル型 S G T 形成領域
- 2 分離層
- 3 第 1 酸化シリコン層
- 4 孔
- 5、2 3 多結晶シリコン層
- 5 a、5 b、2 3 a、2 3 b、5 5 a、1 0 4 N<sup>+</sup>多結晶シリコン層
- 5 5 b P<sup>+</sup>多結晶シリコン層
- 6 a、6 a b N<sup>+</sup>拡散層
- 6 b、1 0 2 P<sup>+</sup>拡散層
- 7、2 8、3 2、5 9、1 0 5 金属層
- 7 a、7 b、7 a a、7 b b 第 1 接続用金属層

8 第2酸化シリコン層

9 第2半導体基板

10 a、10 b 第3酸化シリコン層

11 a、11 b、11 c、11 d、16 a、16 b、16 c、16 d、1

6 a a、16 a b、16 b a、16 b b、54 a、54 b ゲート導体層

12 a、12 b、12 c、12 d N型シリコン層

13 a、13 b、17 b、31、56 P<sup>+</sup>型シリコン層

14 a、14 b、14 c、14 d 画素選択金属配線層

15 a、15 b、15 c、15 d、71 ゲート絶縁層

17 a、51 N<sup>+</sup>型シリコン層

18 a、18 b、22 a、22 b、22 c、24 a、24 b、26 a、2

6 b、35、42、109 金属配線層

20、29、33、43、45、62、101 a、101 b、103、1

07 酸化シリコン層

21 c、34、41 a、41 b、41 c、41 d、41 e、41 f、75

、108 コンタクトホール

27 容量酸化シリコン層

30、52 P型シリコン層

30 a、58 a、58 b N型シリコン層

30 b i型シリコン層

37 a、37 c Pチャネル型MOSトランジスタ

37 b、37 d Nチャネル型MOSトランジスタ

38、38 a、38 b ゲート接続配線

39、39 a、39 b ドレイン接続配線

47 a マスク合わせマーク形成領域

47 b 回路形成領域

48 酸化シリコン層除去領域

49 a マーク金属層

- 4 9 b マーク多結晶シリコン層
- 5 0 マスク合わせ孔
- 5 0 a 透明絶縁層
- 5 3 a、5 3 b 絶縁膜
- 5 7 a、5 7 b 画素選択線
- 6 0 基板
- 6 1、6 4 半導体基板
- 6 6 埋め込み酸化膜基板
- 6 7 平面状シリコン膜
- 6 8 PMOS柱状シリコン層
- 6 9、7 0 P<sup>+</sup>型シリコン拡散層
- 7 1 ゲート絶縁層
- 7 2 ゲート電極
- 7 3 窒化シリコン (SiN) 膜
- 7 4 酸化シリコン (SiO<sub>2</sub>) 膜
- 7 6 ソース金属配線
- 1 0 0 容量形成領域
- 1 0 6 (ドナー不純物がドーピングされた) N<sup>+</sup>多結晶シリコン層
- 1 1 0 柱状半導体
- 1 1 1 (ドナー不純物又はアクセプタ不純物がドーピングされていない) 多結晶シリコン層
- V i 入力端子配線 (層)
- V d d 電源端子配線 (層)
- V s s グランド端子配線 (層)
- V o、V o u t 出力端子配線 (層)

## 請求の範囲

### [請求項1]

半導体基板上に第1の絶縁層を形成する第1絶縁層形成工程と、  
前記第1の絶縁層の所定の部分を除去し、絶縁層除去領域を形成する絶縁層除去工程と、  
少なくとも前記絶縁層除去領域を覆うように、前記半導体基板上にドナー不純物又はアクセプタ不純物を含む第1の半導体層を形成する第1半導体層形成工程と、  
前記第1の半導体層上に導電層を形成する導電層形成工程と、  
前記導電層及び前記第1の半導体層を所定の形状に成形する成形工程と、  
前記所定の形状に形成した導電層及び第1の半導体層を覆うように、第2の絶縁層を形成する第2絶縁層形成工程と、  
前記第2の絶縁層の表面を平坦化する平坦化工程と、  
前記平坦化された前記第2の絶縁層の表面に、基板を接着する接着工程と、  
前記半導体基板を所定の厚さまで薄くする薄膜化工程と、  
前記第1の半導体層上に、前記半導体基板から柱状構造を有する柱状半導体を形成する柱状半導体形成工程と、  
前記柱状半導体に前記回路素子を形成する回路素子形成工程と、を  
備え、  
少なくとも前記第1半導体層形成工程以後に、前記ドナー不純物又はアクセプタ不純物を含む前記第1の半導体層から当該不純物を拡散させることで前記柱状半導体に第1の半導体領域を形成する第1半導体領域形成工程をさらに備える、  
ことを特徴とする半導体装置の製造方法。

### [請求項2]

前記回路素子形成工程は、  
前記柱状半導体の外周部に第3の絶縁層を形成するとともに、前記第3の絶縁層の外周部にゲート導体層を形成する工程と、

前記ゲート導体層の上方部位かつ前記柱状半導体の表層部に、前記第 1 の半導体領域と同一導電型である第 4 の半導体領域を形成する工程と、

前記柱状半導体において、前記第 3 の絶縁層の上方部位に、前記第 1 の半導体領域と反対導電型の第 3 の半導体領域を形成する工程と、を含む、ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

[請求項3]

前記回路素子形成工程は、

前記柱状半導体の外周部に第 3 の絶縁層を形成するとともに、前記第 3 の絶縁層の外周部にゲート導体層を形成する工程と、

前記柱状半導体における前記第 3 の絶縁層の上方部位に、前記第 1 の半導体領域と同一導電型の第 5 の半導体領域を形成する工程と、を含む、ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

[請求項4]

前記回路素子形成工程は、

前記柱状半導体の上方部位に、前記第 1 の半導体領域と反対導電型の第 6 の半導体領域を形成する工程を含む、ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

[請求項5]

前記第 1 半導体層形成工程は、前記第 1 の半導体層と同層に、電気抵抗として機能する第 2 の半導体層を形成する工程を含む、ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項6]

前記第 1 半導体層形成工程は、容量電極として機能する前記第 1 の半導体層上の所定の領域に容量絶縁膜として機能する絶縁膜を形成する工程を含み、

前記導電層形成工程は、前記絶縁膜上に、前記第 1 の半導体層と共に容量電極として機能する導電層を形成する工程を含む、ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項7]

前記第 1 絶縁層形成工程は、前記半導体基板上に、第 1 の絶縁層と

共に第4の絶縁層を形成するとともに、予め設定した容量形成領域に、前記第4の絶縁層よりも厚さが薄く、容量絶縁膜として機能する第5の絶縁層を形成する工程を含み、

前記導電層形成工程は、前記第5の絶縁層上に、容量電極として機能する導電層を形成する工程を含み、

前記絶縁層除去工程は、前記容量形成領域に、ドナー不純物又はアクセプタ不純物を有し、容量電極として機能する不純物層を形成する容量形成工程を含む、ことを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置の製造方法。

[請求項8] 前記半導体基板上にマスク合わせマーク形成領域を設定するマスク合わせマーク形成領域設定工程と、

前記マスク合わせマーク形成領域に、マスク合わせ孔を形成し、前記絶縁層除去領域、前記第1の絶縁層及び前記導電層の少なくとも一つを露出させる工程と、

前記マスク合わせ孔を通して、前記絶縁層除去領域、前記第1の絶縁層及び前記導電層の内の少なくとも一つからなるマスク合わせマークを形成するマスク合わせマーク形成工程と、

前記マスク合わせマークを基準として、フォトマスクのマスク合わせを行うマスク合わせ工程と、をさらに備える、ことを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置の製造方法。

[請求項9] 前記マスク合わせ孔に透明絶縁体を埋め込む工程をさらに備え、

前記マスク合わせマーク形成工程では、前記透明絶縁体を通して、前記絶縁層除去領域、前記第1の絶縁層及び前記導電層の内の少なくとも一つからなるマスク合わせマークを形成し、

前記マスク合わせ工程では、前記マスク合わせマークを基準として、フォトマスクのマスク合わせを行う、ことを特徴とする請求項8に記載の半導体装置の製造方法。

[請求項10] 前記絶縁層除去工程と、前記第1半導体層形成工程との間に、前記

絶縁層除去領域を覆うように、ドナー不純物及びアクセプタ不純物がドーピングされていない第2の半導体層を形成する工程をさらに備える、ことを特徴とする請求項1乃至9のいずれか1項に記載の半導体装置の製造方法。

[請求項11]

請求項2に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第1の半導体領域上に形成された当該第1の半導体領域と反対導電型の半導体又は固有半導体からなる第2の半導体領域を備え、

前記第2の半導体領域と前記第4の半導体領域とから電磁エネルギー波の照射により発生する信号電荷を蓄積するダイオードが形成され、

前記ダイオードがゲートとして機能し、前記第1の半導体領域と前記第3の半導体領域のいずれか一方がソース、他方がドレインとしてそれぞれ機能し、かつ、前記第2の半導体領域に形成されたチャネルを流れるとともに前記ダイオードに蓄積された信号電荷量に応じて変化する電流を信号取り出し手段によって取り出し可能とされた接合トランジスタが形成され、

前記ゲート導体層がゲートとして機能するとともに、前記第1の半導体領域及び前記第4の半導体領域の一方がソースとして機能し、他方がドレインとして機能するMOSトランジスタによって、前記ゲート導体層に電圧が印加されることで、前記ダイオードに蓄積された信号電荷を前記第1の半導体領域に除去する信号電荷除去手段が形成されている、ことを特徴とする半導体装置。

[請求項12]

請求項3に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第1の半導体領域上に形成された当該第1の半導体領域と反対

導電型又は固有半導体からなる第2の半導体領域を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第1の半導体領域及び前記第5の半導体領域の一方がソースとして機能し、他方がドレインとして機能するMOSトランジスタが形成されている、ことを特徴とする半導体装置。

[請求項13] 請求項4に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第1の半導体領域と第6の半導体領域との間に、前記第1の半導体領域と反対導電型又は固有半導体からなる第2の半導体領域を備え、

前記第2の半導体領域と、前記第6の半導体領域と、からダイオードが形成されている、ことを特徴とする半導体装置。

[請求項14] 請求項1又は3に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記第1の半導体層上に複数の前記柱状半導体が形成されており、

前記複数の柱状半導体は、前記第1の半導体領域にアクセプタ不純物がドーピングされている複数の第1の柱状半導体と、前記第1の半導体領域にドナー不純物がドーピングされている複数の第2の柱状半導体とからなる、ことを特徴とする半導体装置。

[請求項15] 請求項1乃至3のいずれか1項に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記第1の半導体層上に複数の前記柱状半導体が形成されており、

前記複数の柱状半導体における、複数の前記第1の半導体領域、及び、複数の前記導電層の内の両方、又は、一方が互いに接続されている、ことを特徴とする半導体装置。

[請求項16] 請求項3に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、  
前記各柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対  
導電型の半導体又は固有半導体からなる第 2 の半導体領域と、

前記第 2 の半導体領域上に形成された第 5 の半導体領域と、

前記第 2 の半導体領域の外周部に形成された第 3 の絶縁層と、

前記第 3 の絶縁層の外周部に形成されたゲート導体層と、を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半  
導体領域及び前記第 5 の半導体領域の一方がソースとして機能し、他  
方がドレインとして機能する MOS トランジスタが形成され、

前記第 1 の半導体層は、前記複数の柱状半導体に亘って連続して繋  
がるように形成されているとともに、前記繋がるように形成された前  
記第 1 の半導体層は、絶縁層に形成されたコンタクトホールを介して  
、外部回路に接続するための配線層に接続されている、ことを特徴と  
する半導体装置。

[請求項 17]

請求項 3 に記載の半導体装置の製造方法によって製造される半導体  
装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、  
前記各柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対  
導電型の半導体又は固有半導体からなる第 2 の半導体領域と、

前記第 2 の半導体領域上に形成された第 5 の半導体領域と、

前記第 2 の半導体領域の外周部に形成された第 3 の絶縁層と、

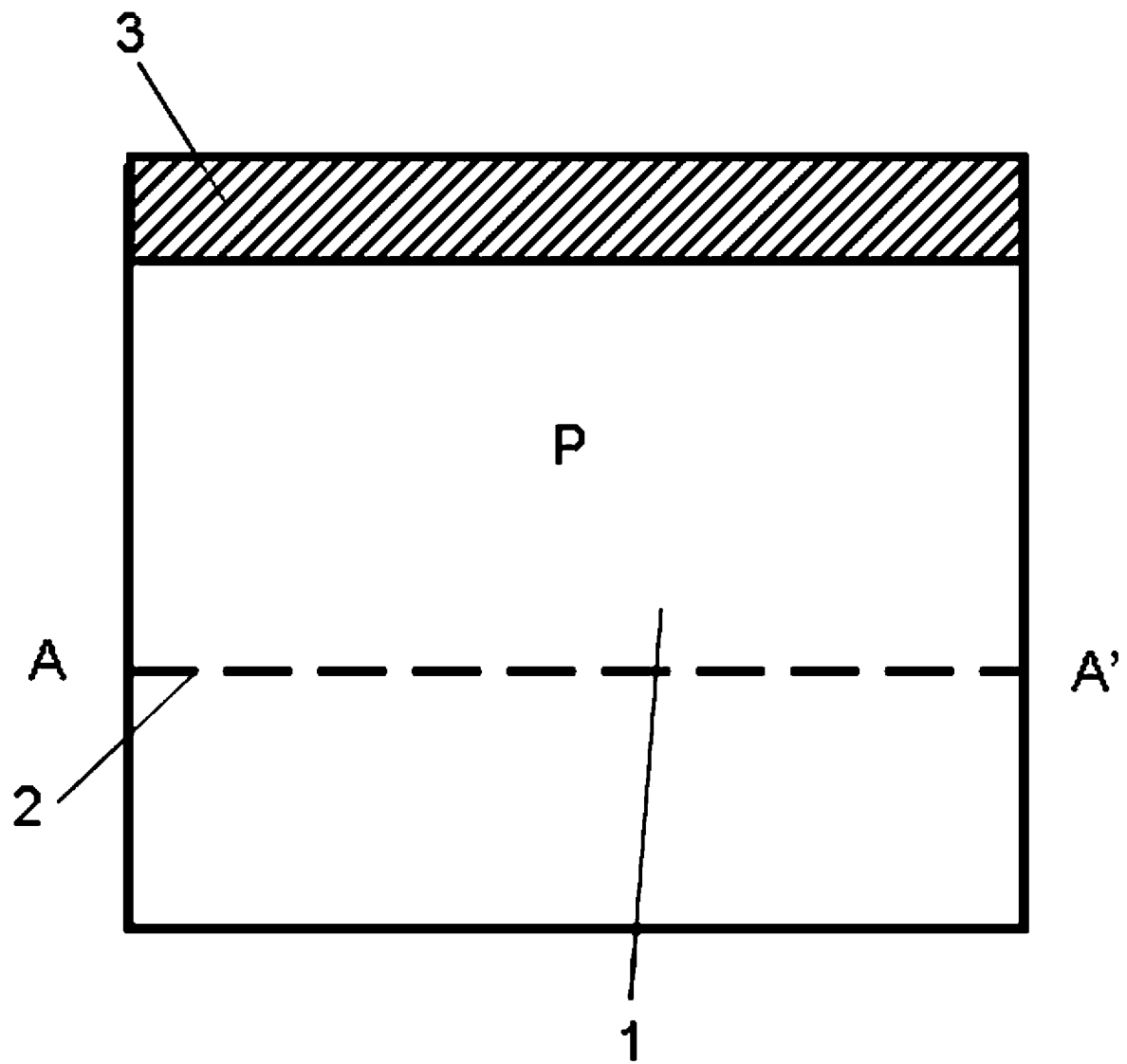
前記第 3 の絶縁層の外周部に形成されたゲート導体層と、を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半  
導体領域及び前記第 5 の半導体領域の一方がソースとして機能し、他  
方がドレインとして機能する MOS トランジスタが形成され、

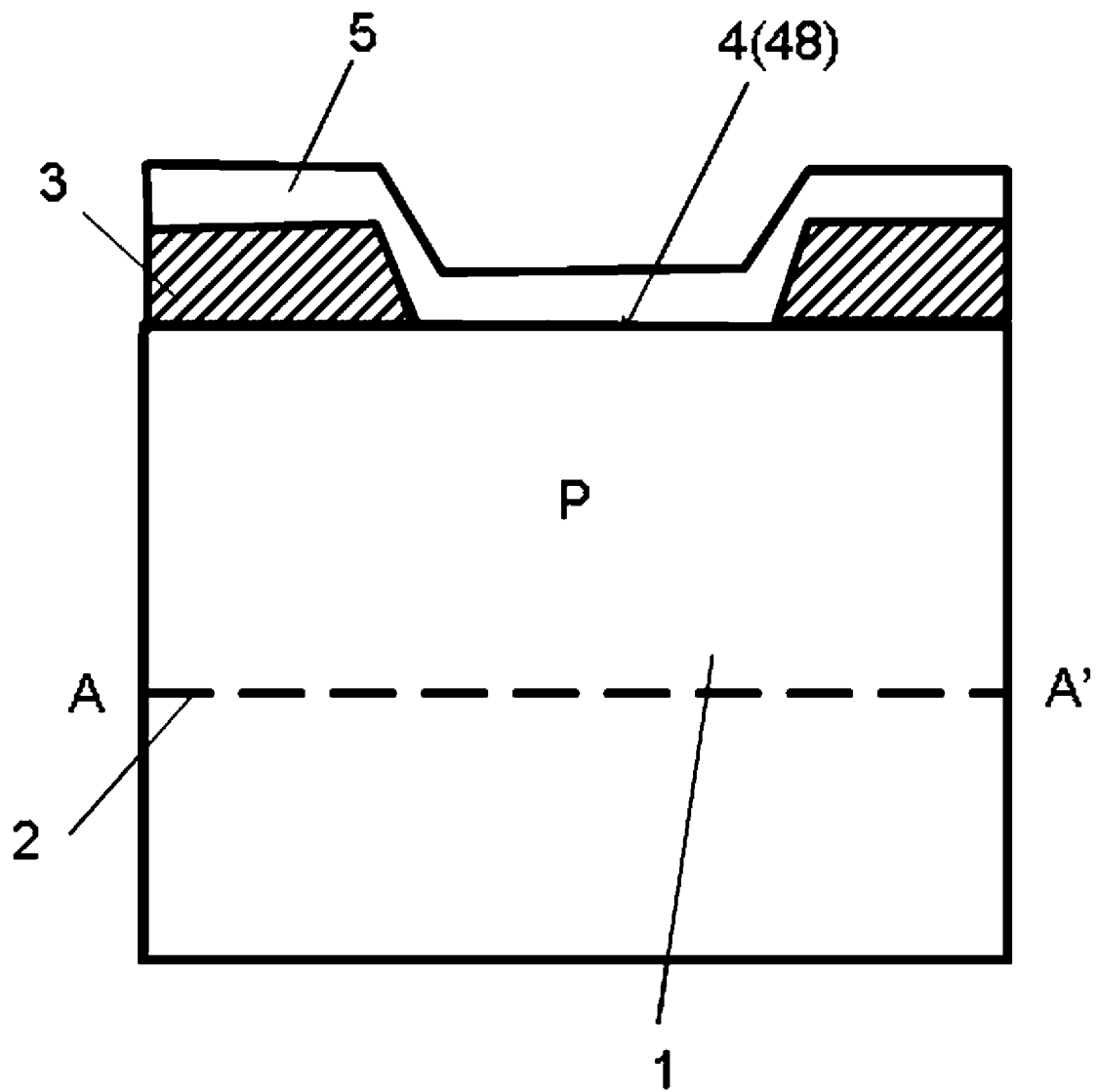
前記第 1 の半導体層は、前記複数の柱状半導体に亘って連続して繋

がるように形成されているとともに、前記第 1 の半導体層は、絶縁層に形成されたコンタクトホールを介して、所定のトランジスタのゲートに接続するための配線層に接続されている、ことを特徴とする半導体装置。

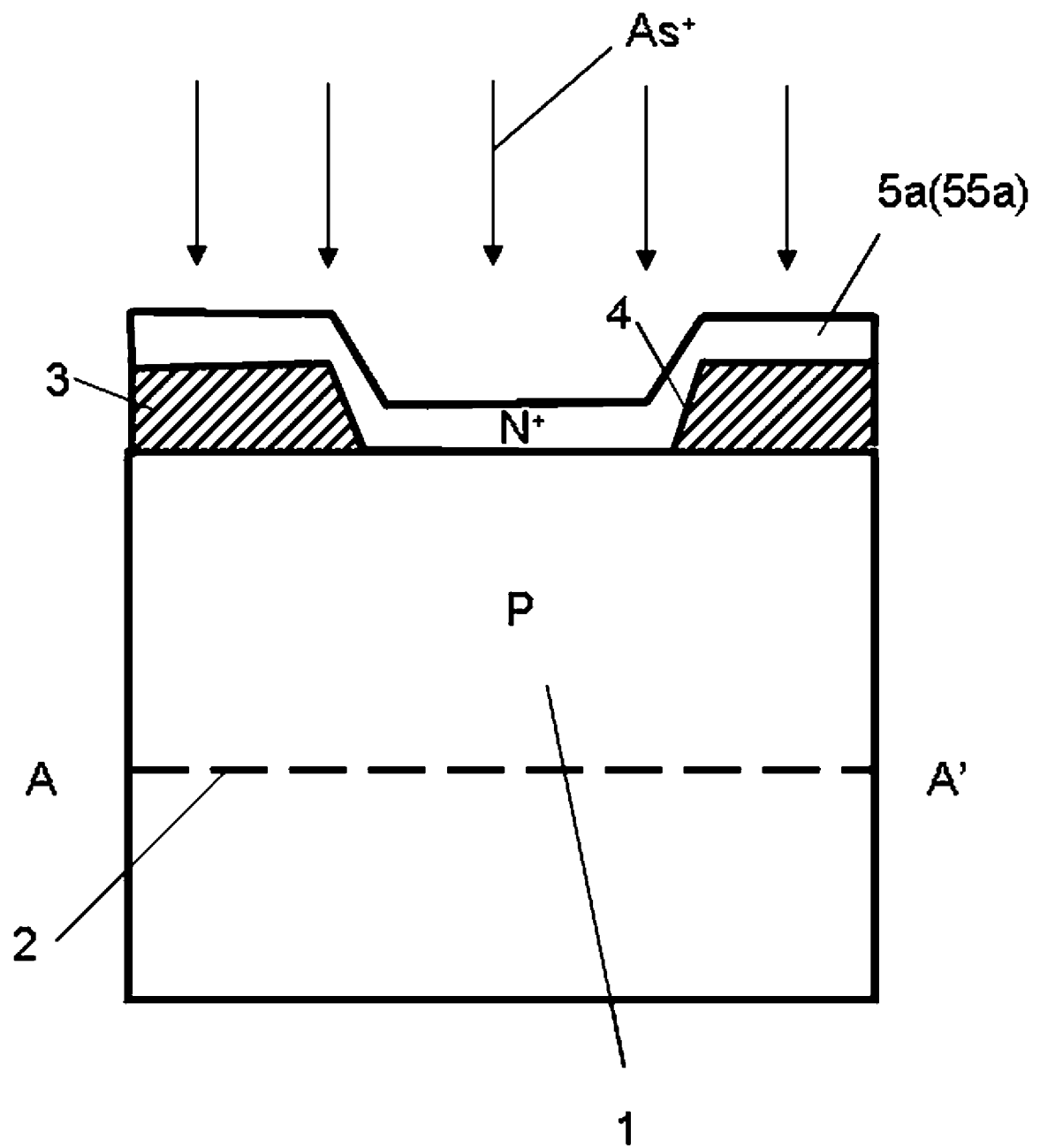
[図1A]



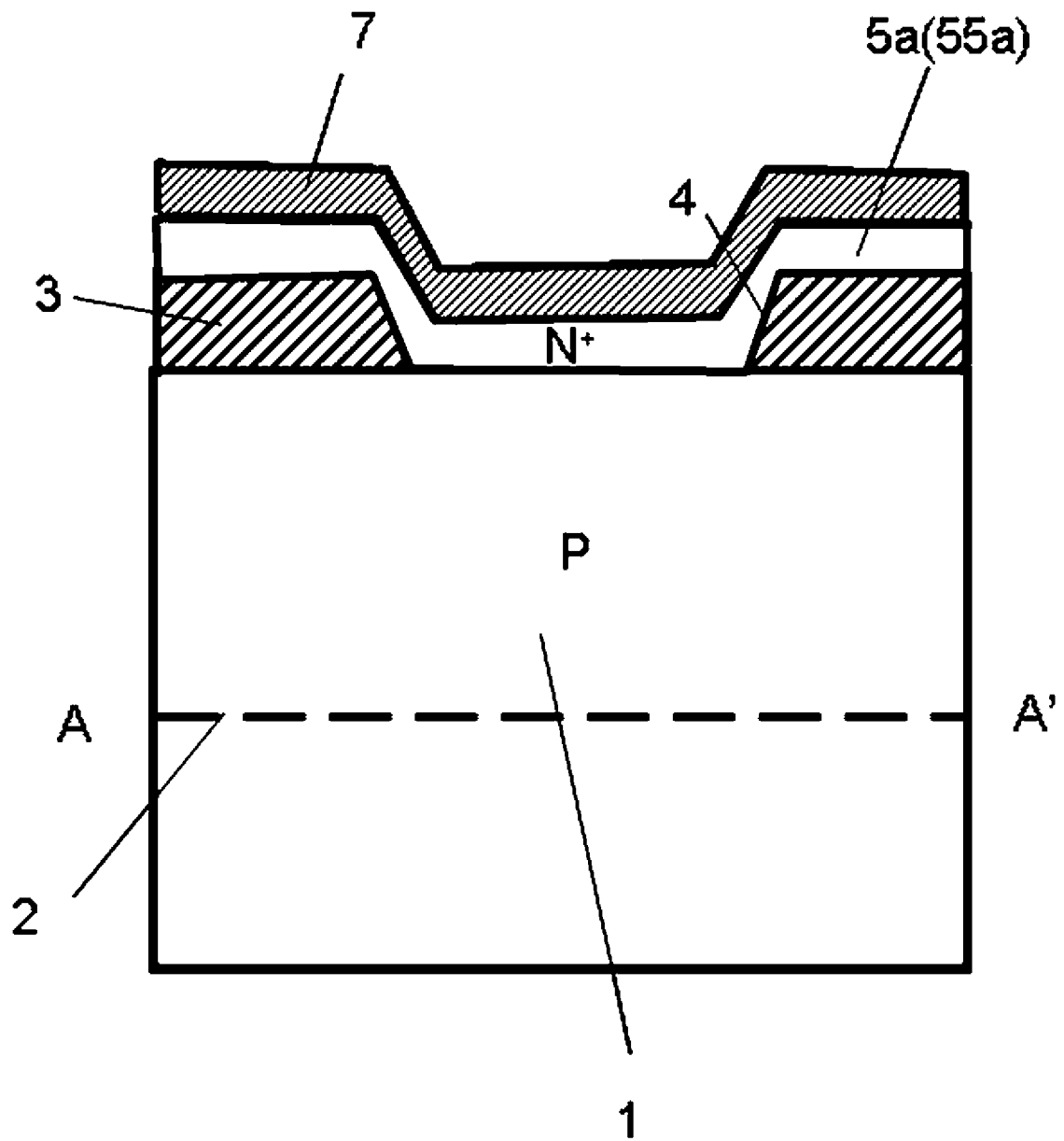
[図1B]



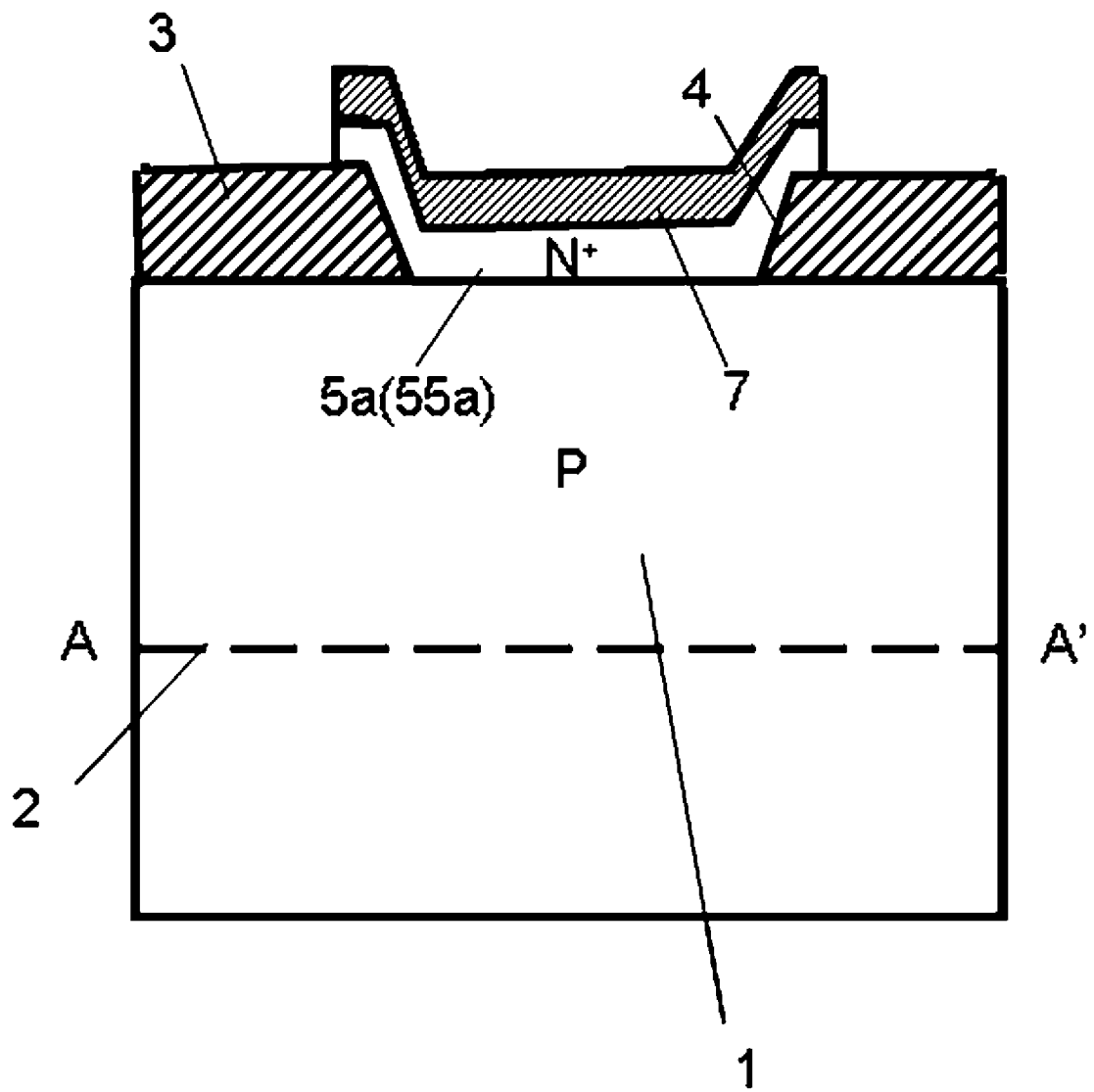
[図1C]



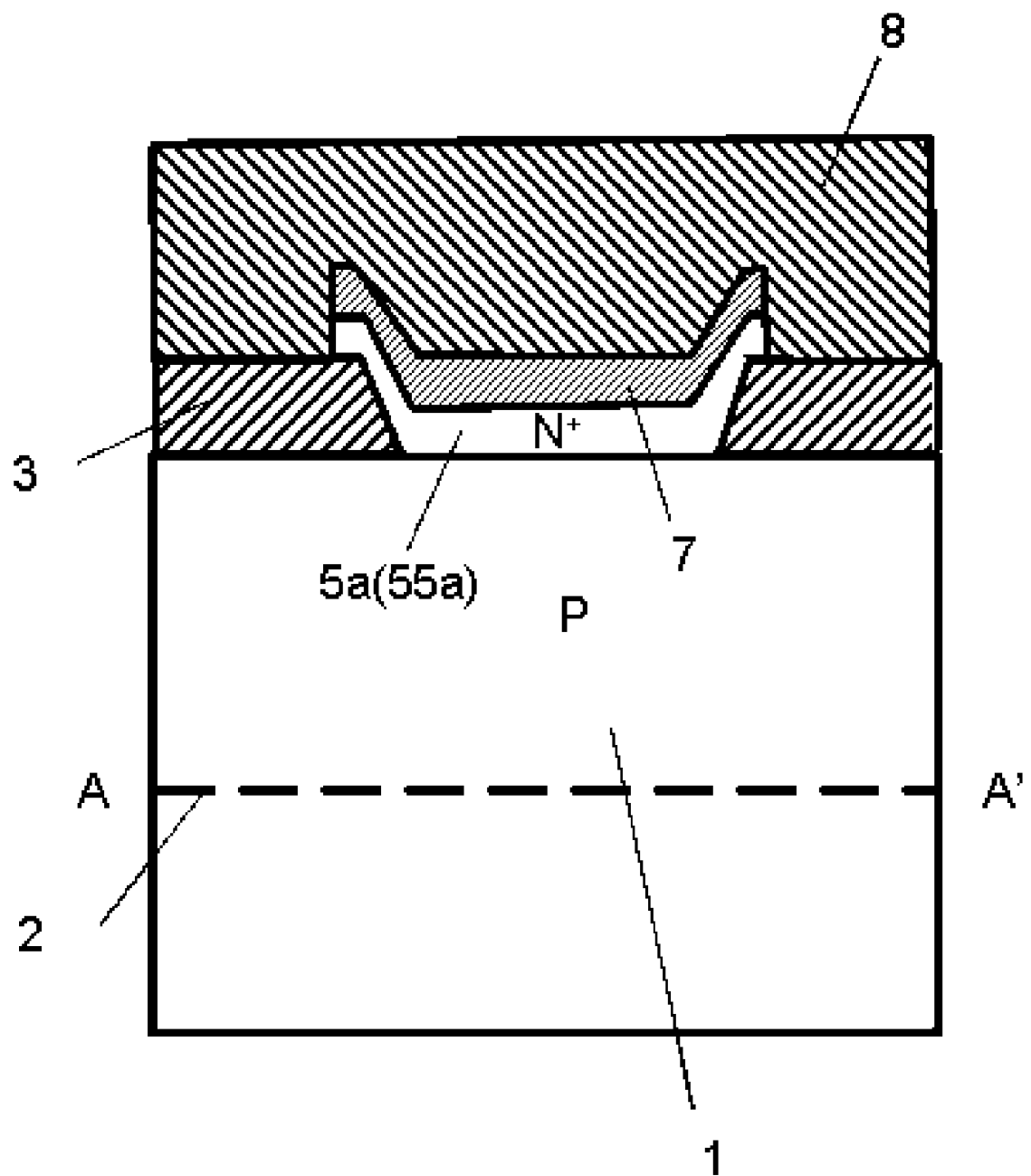
[図1D]



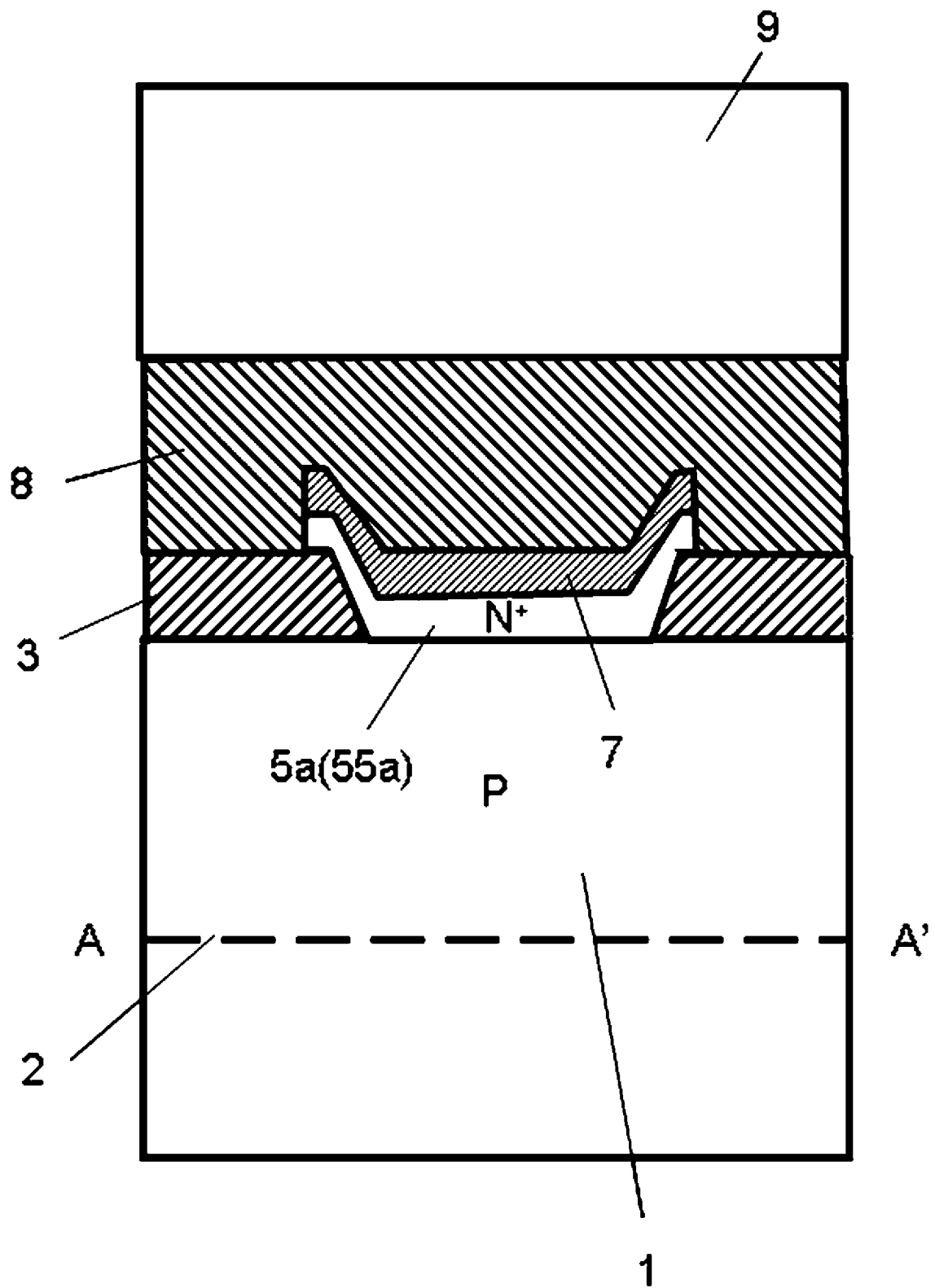
[図1E]



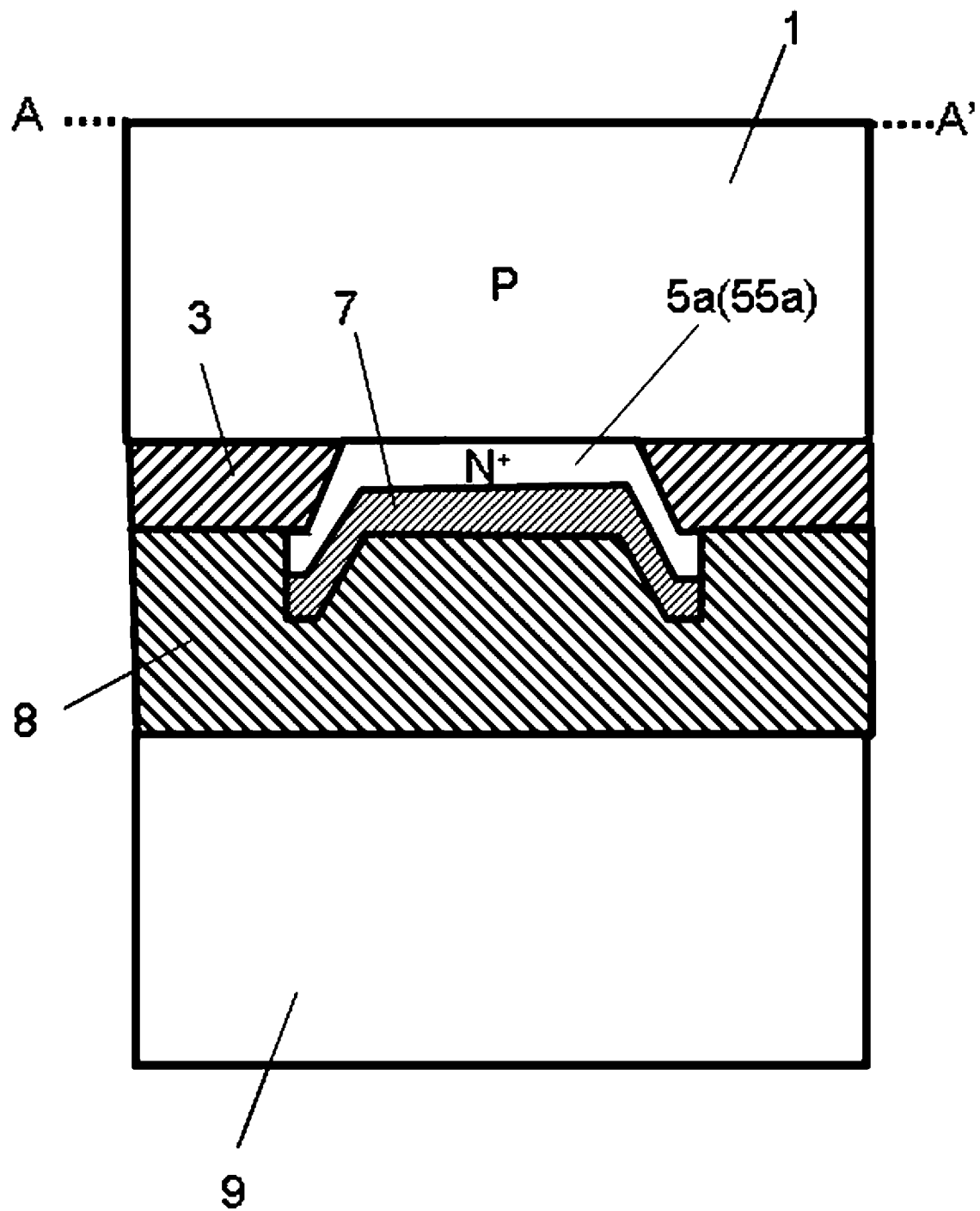
[図1F]



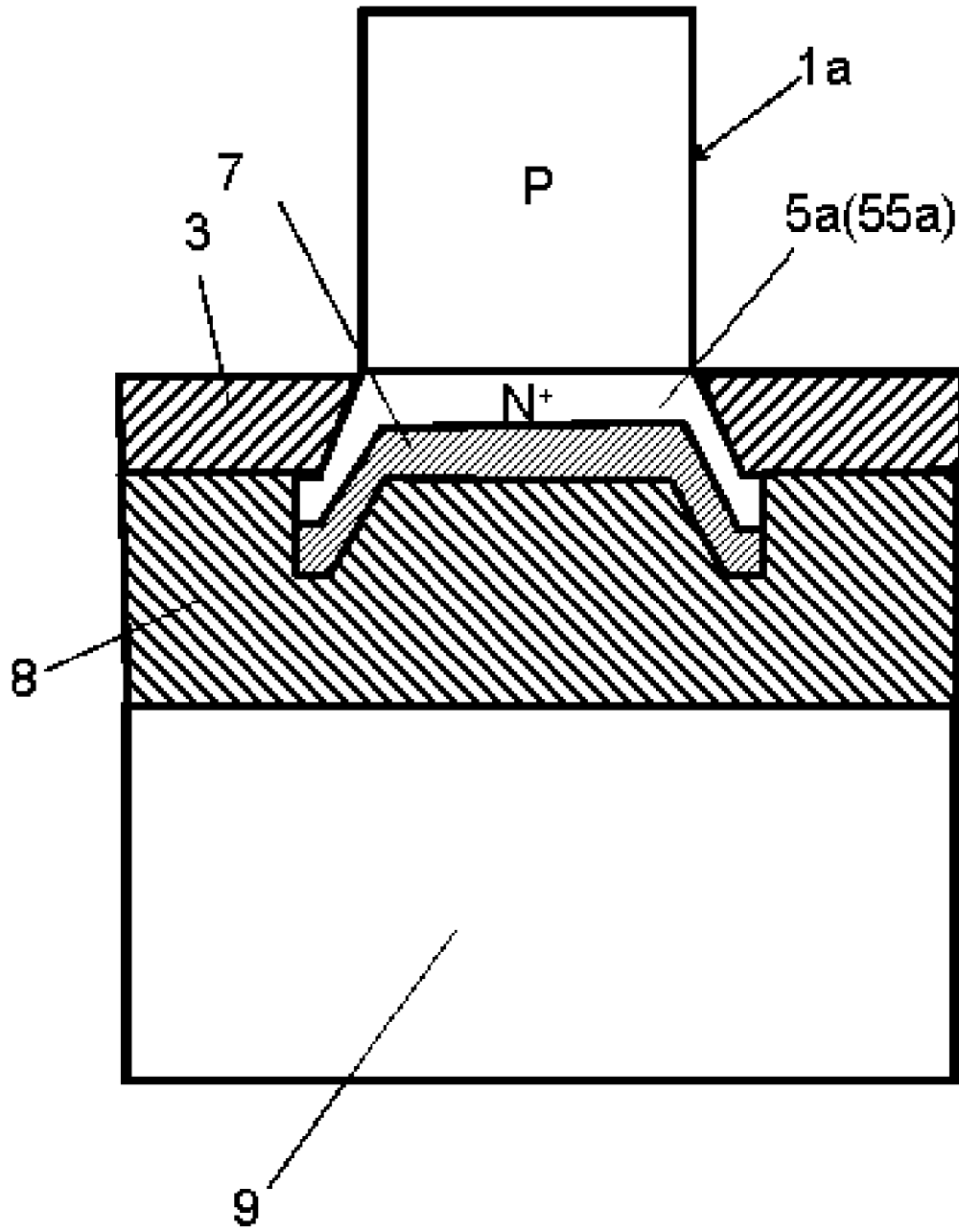
[図1G]



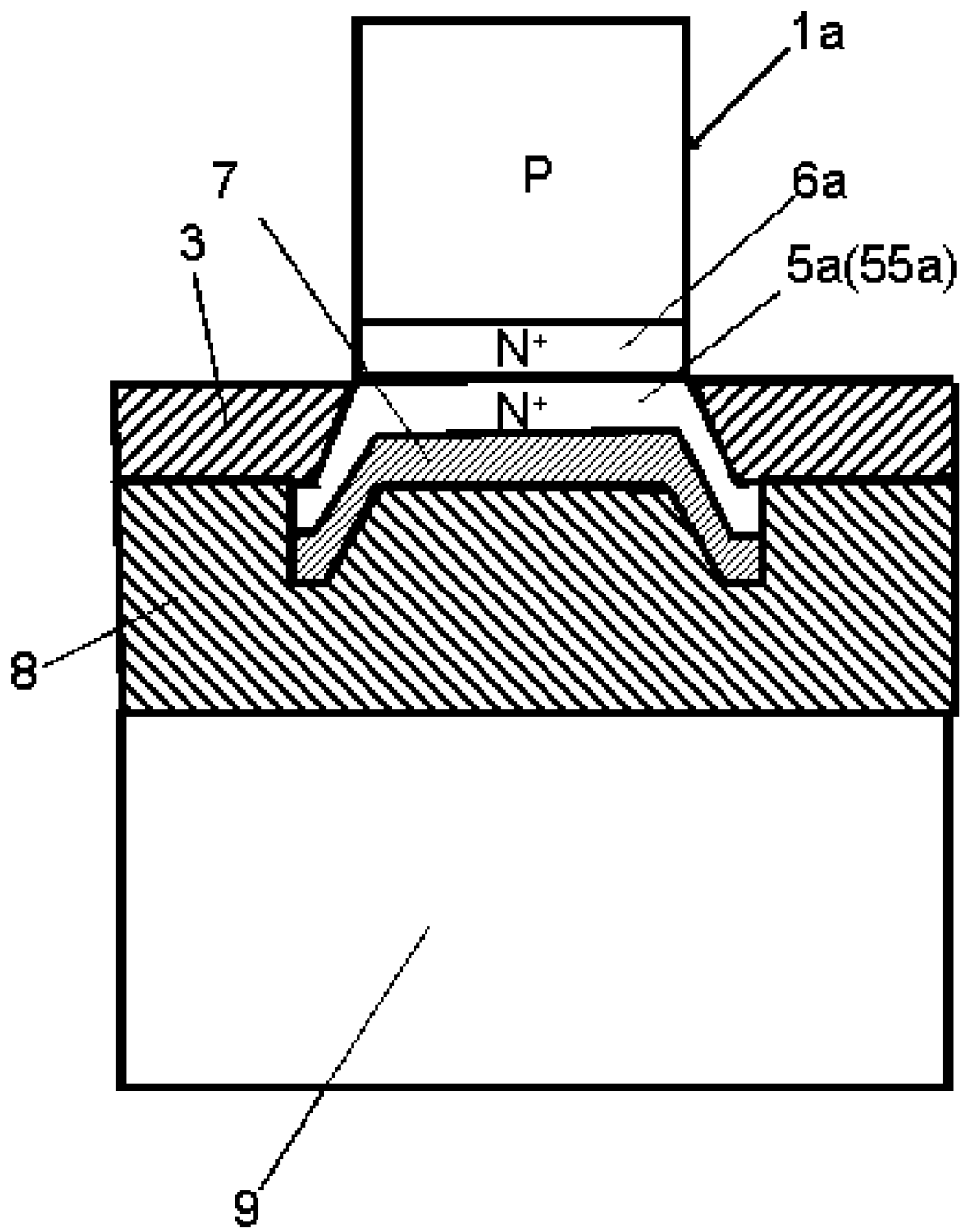
[図1H]



[図11]



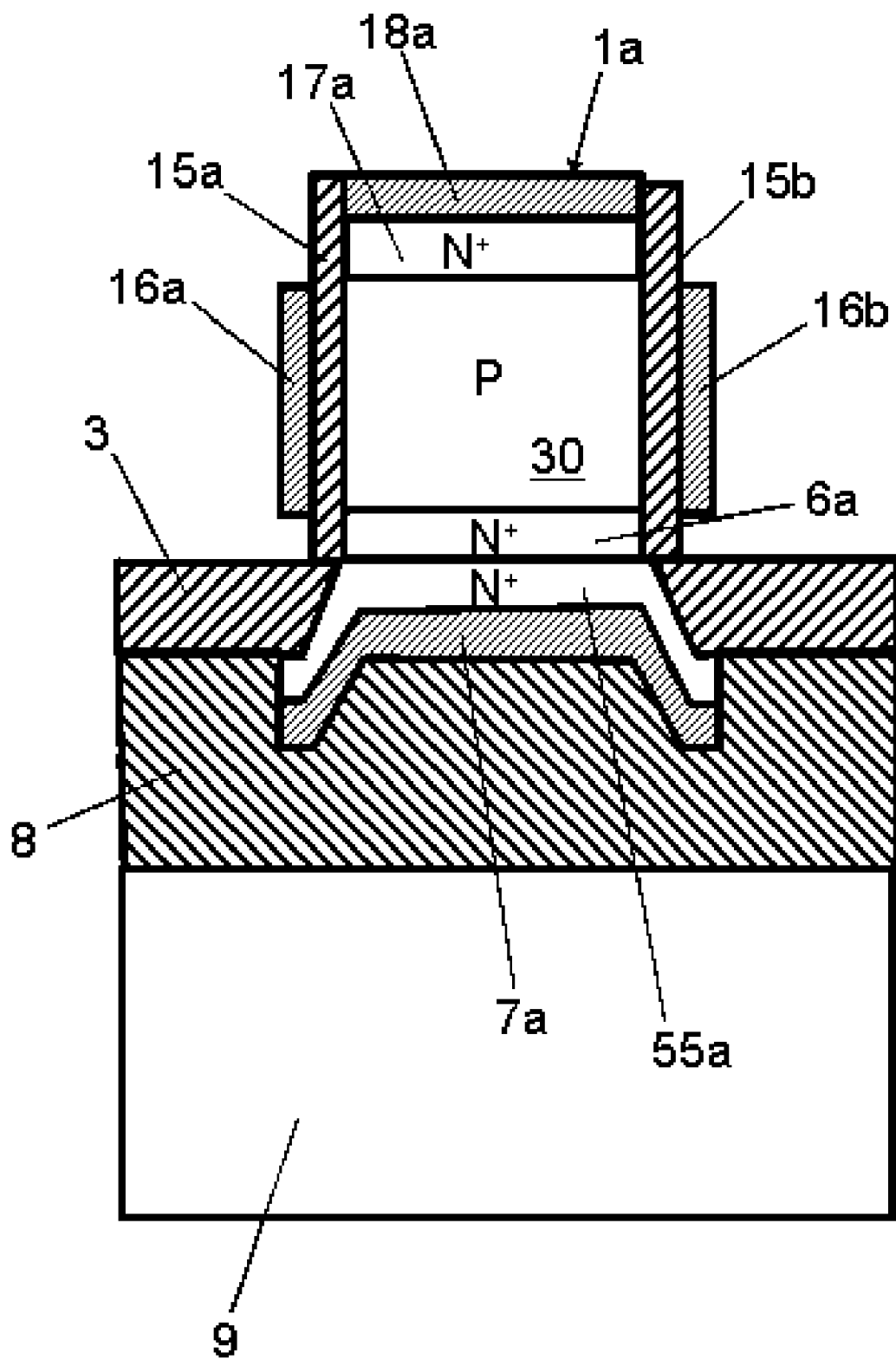
[図1J]



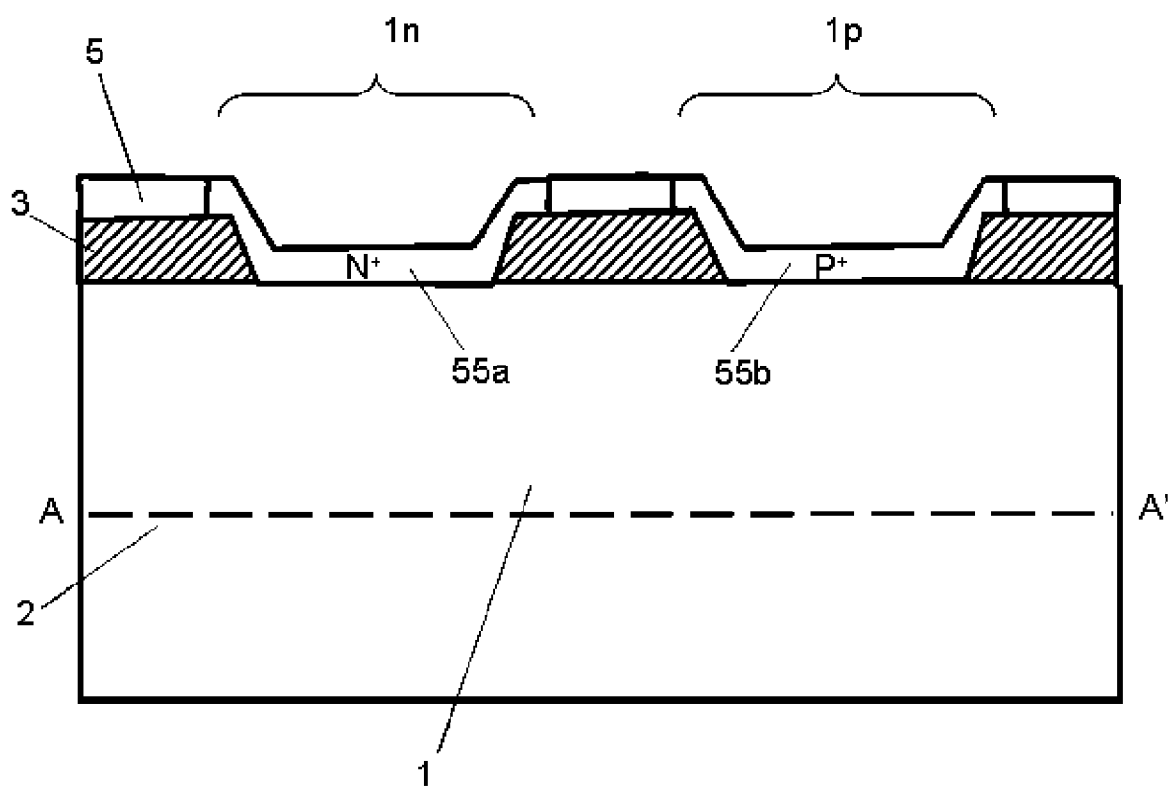




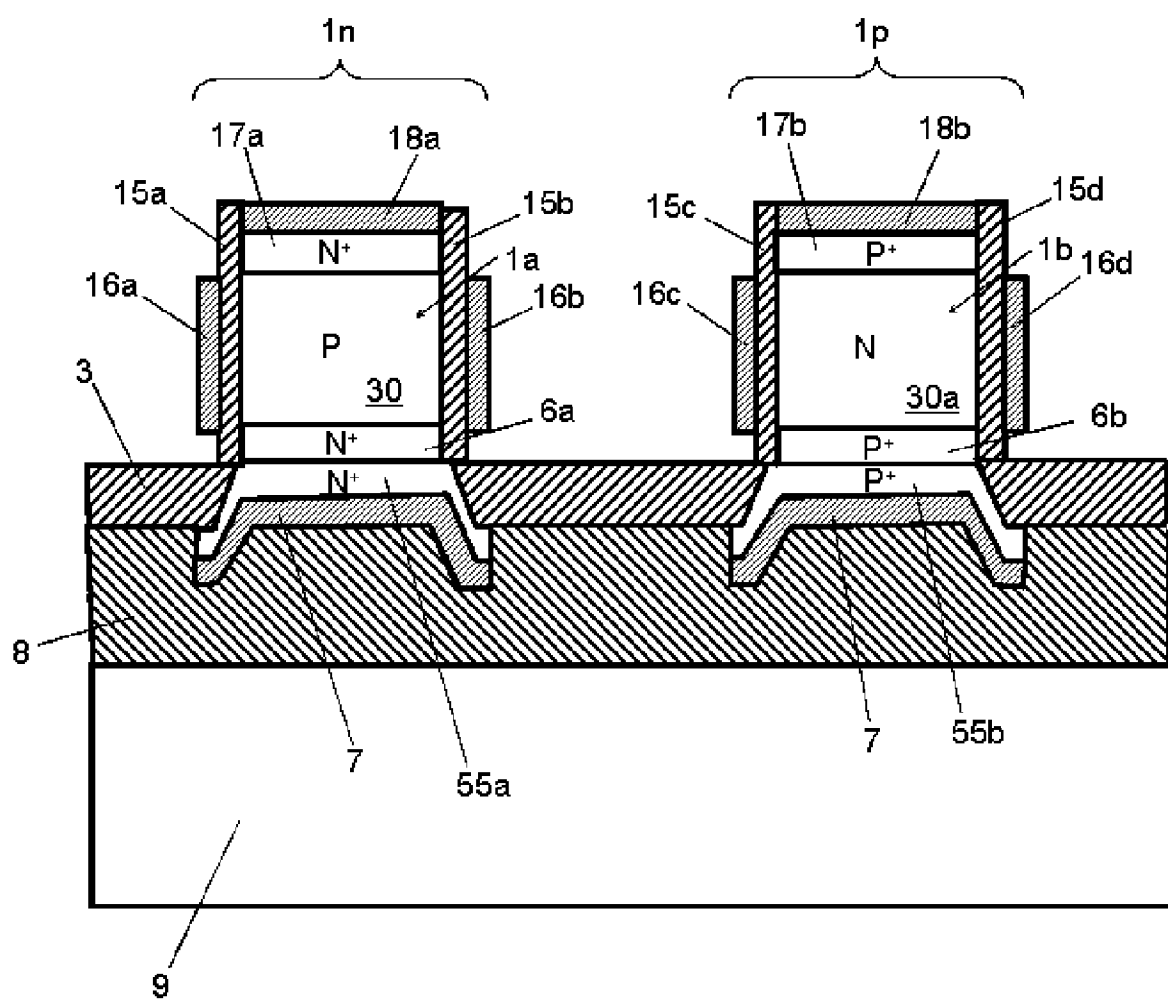
[図2]



[図3A]

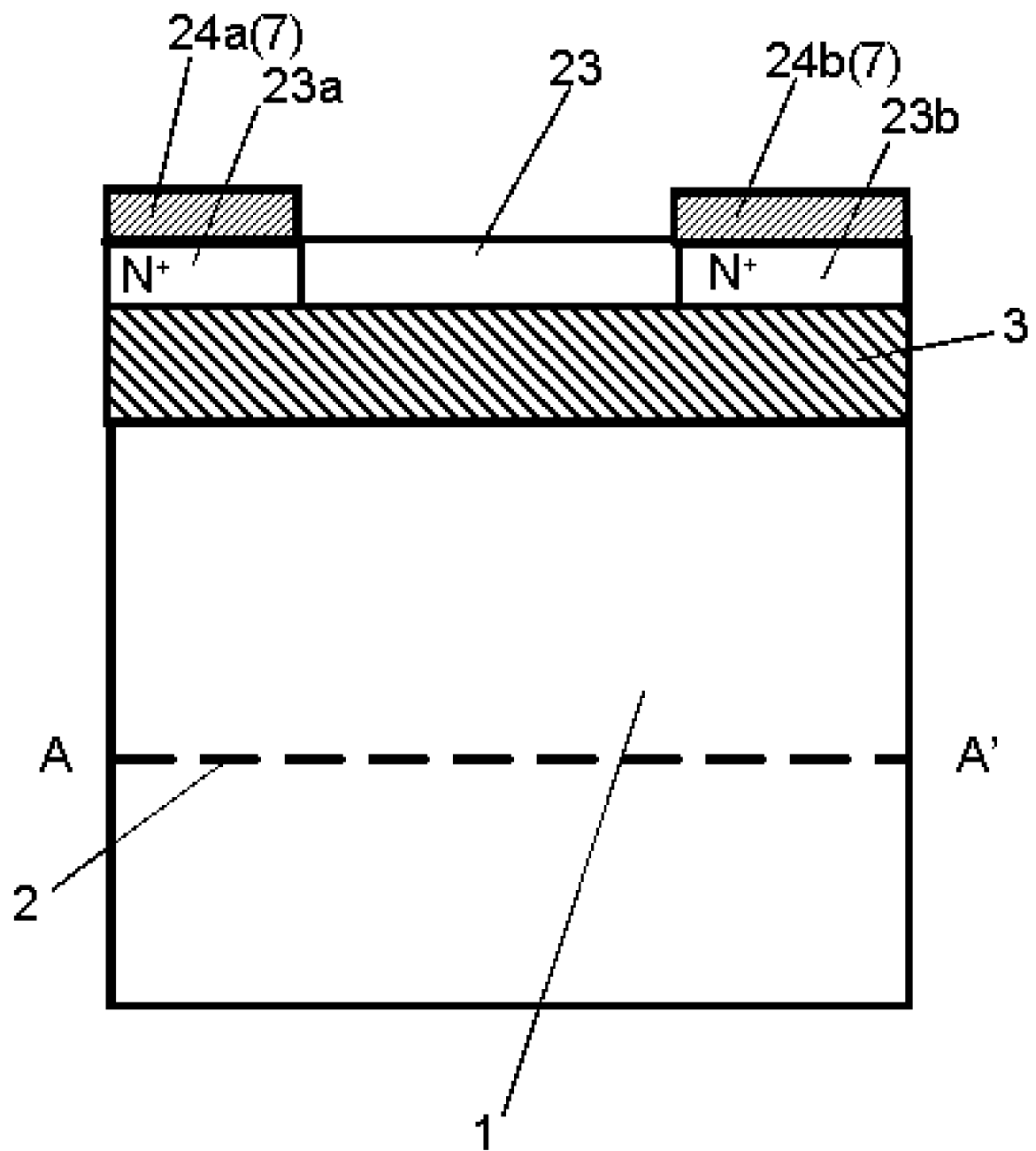


[図3B]

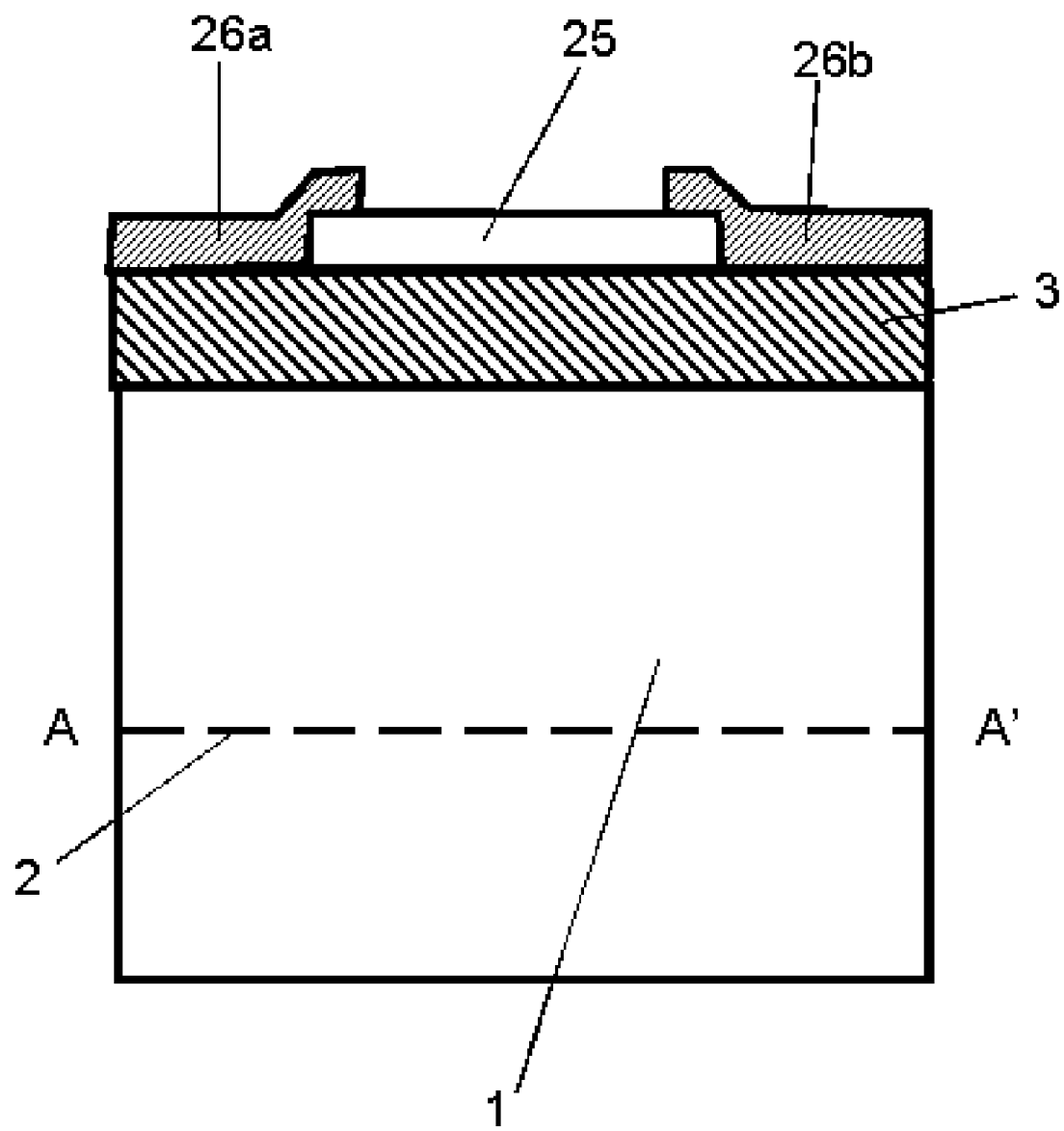




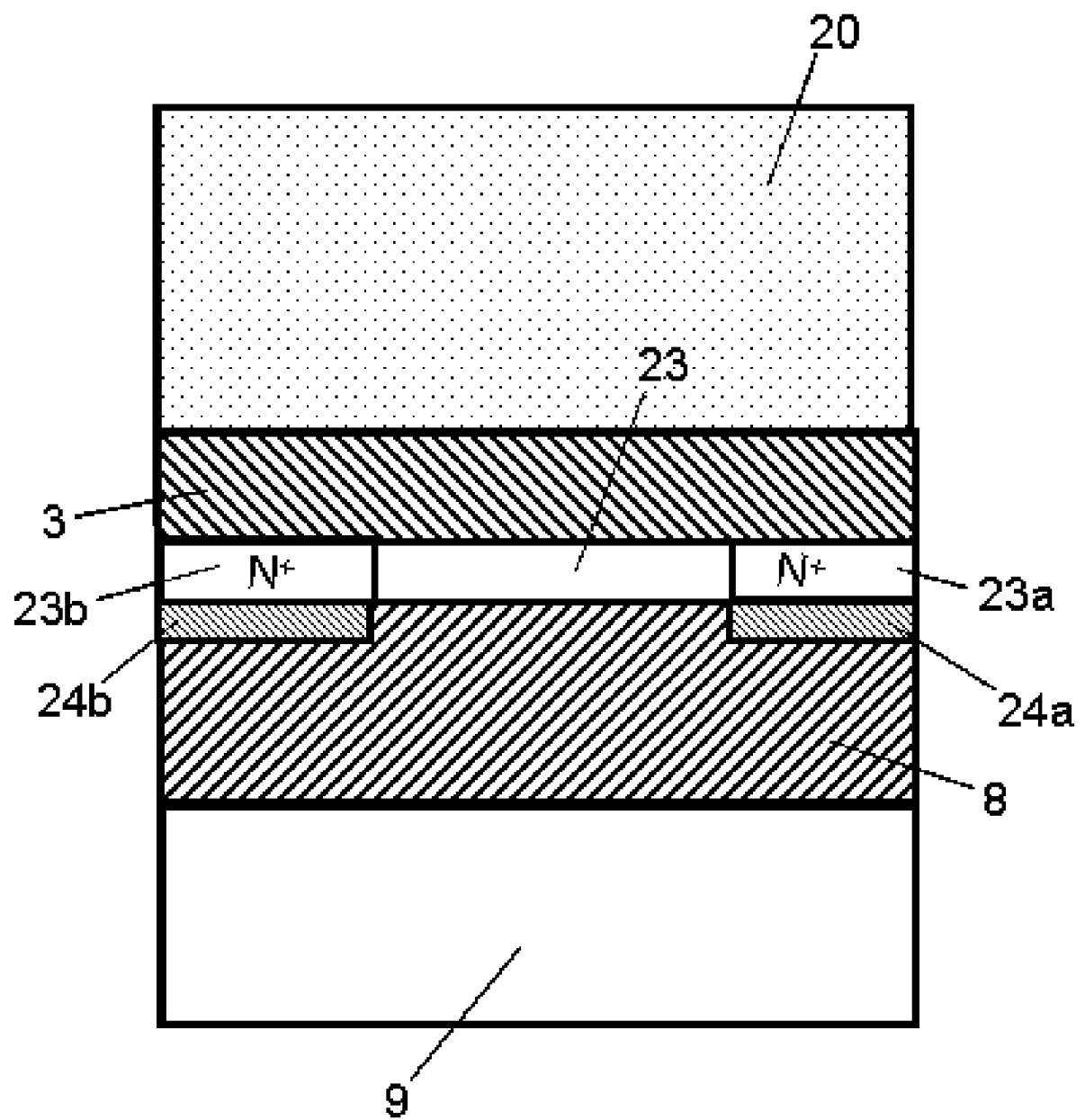
[図5A]



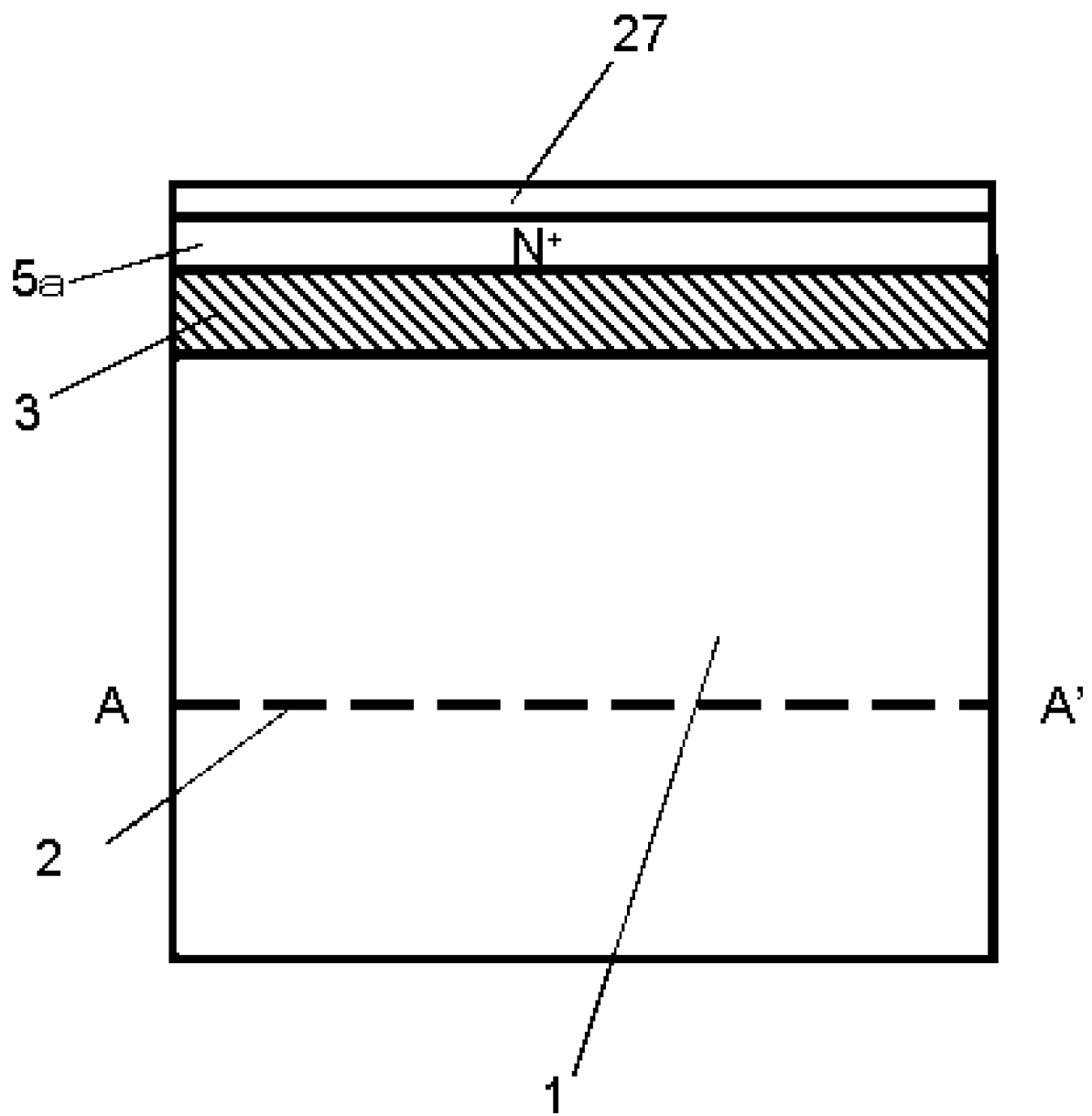
[図5B]



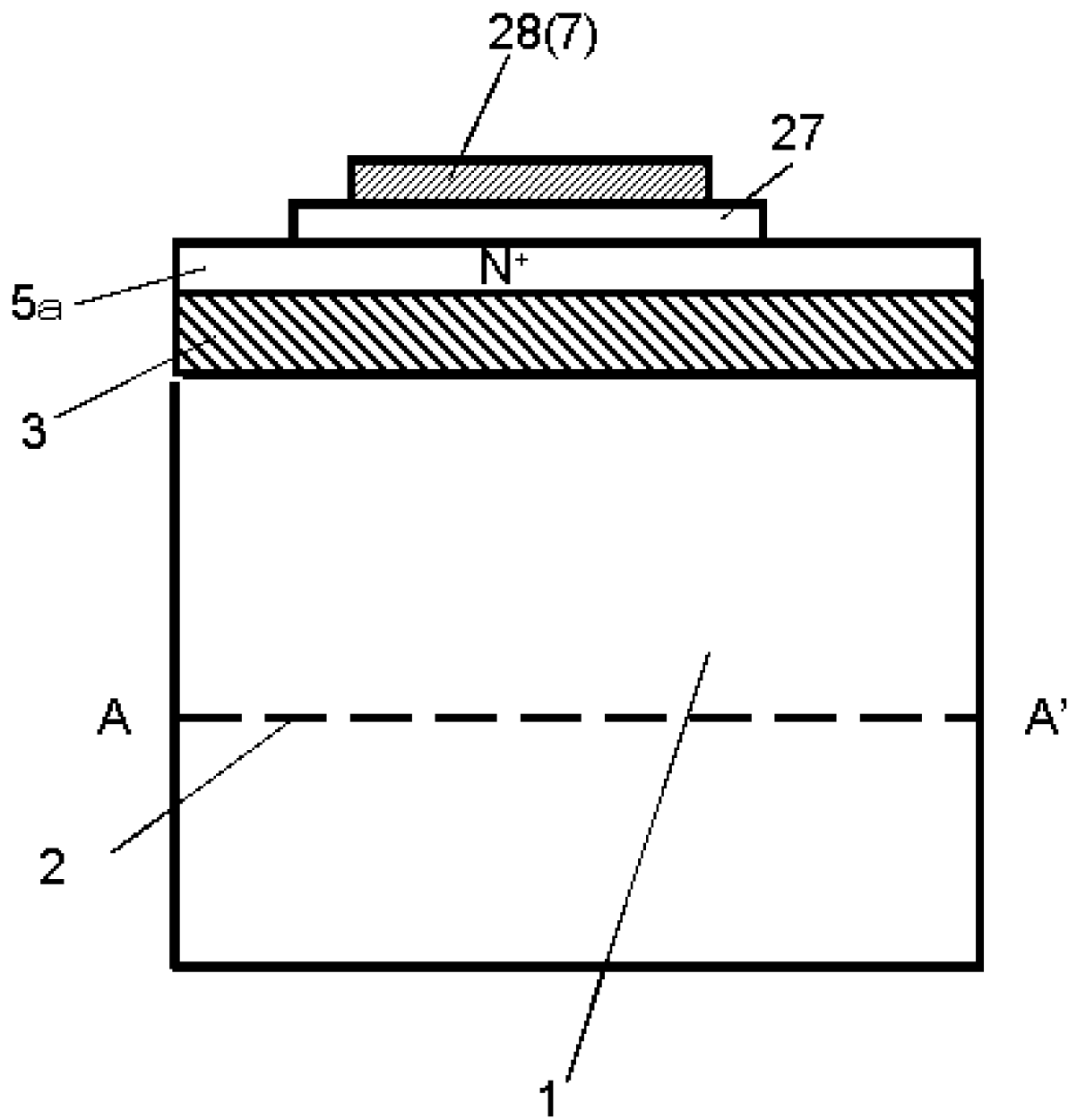
[図5C]



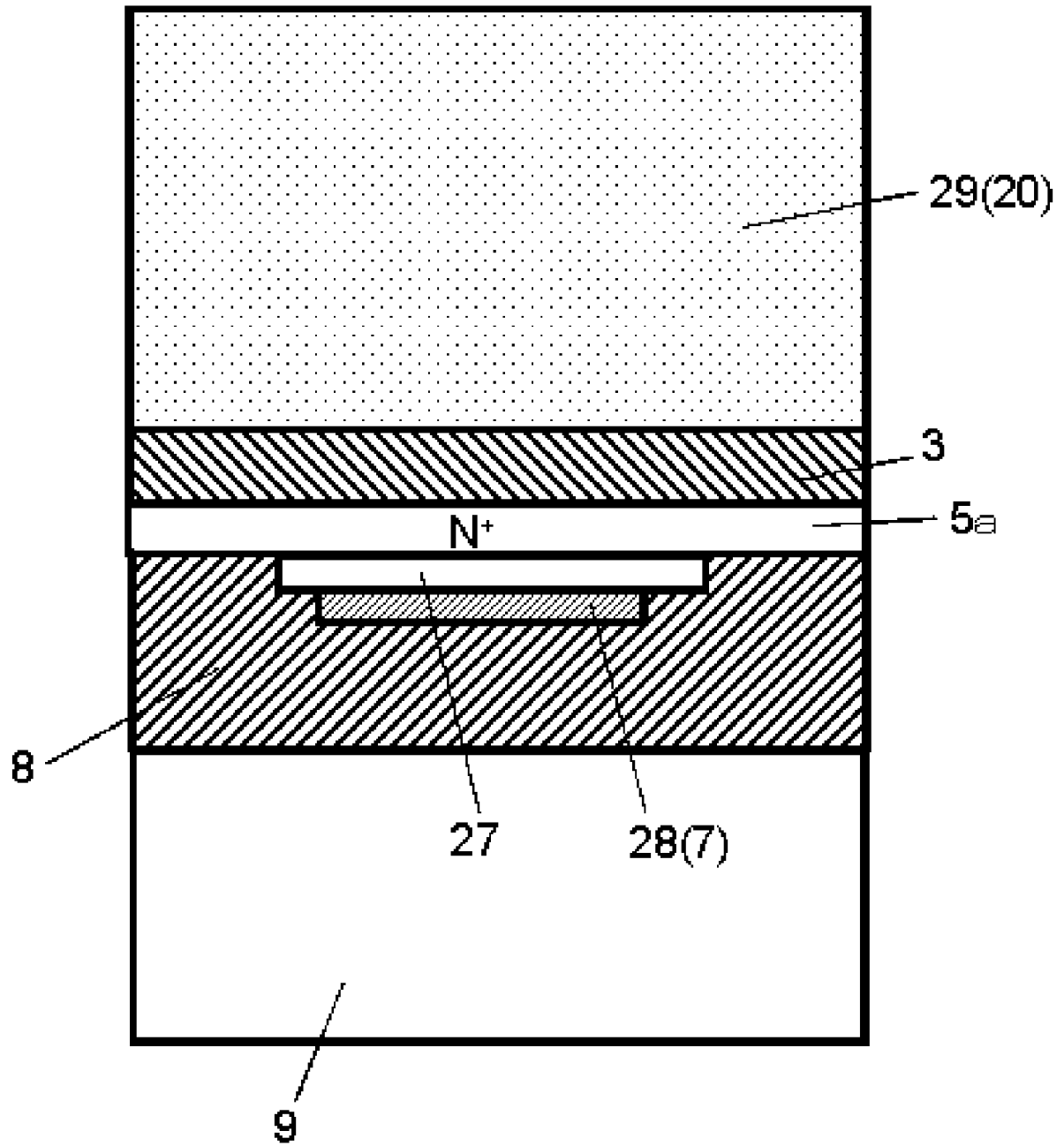
[図6A]



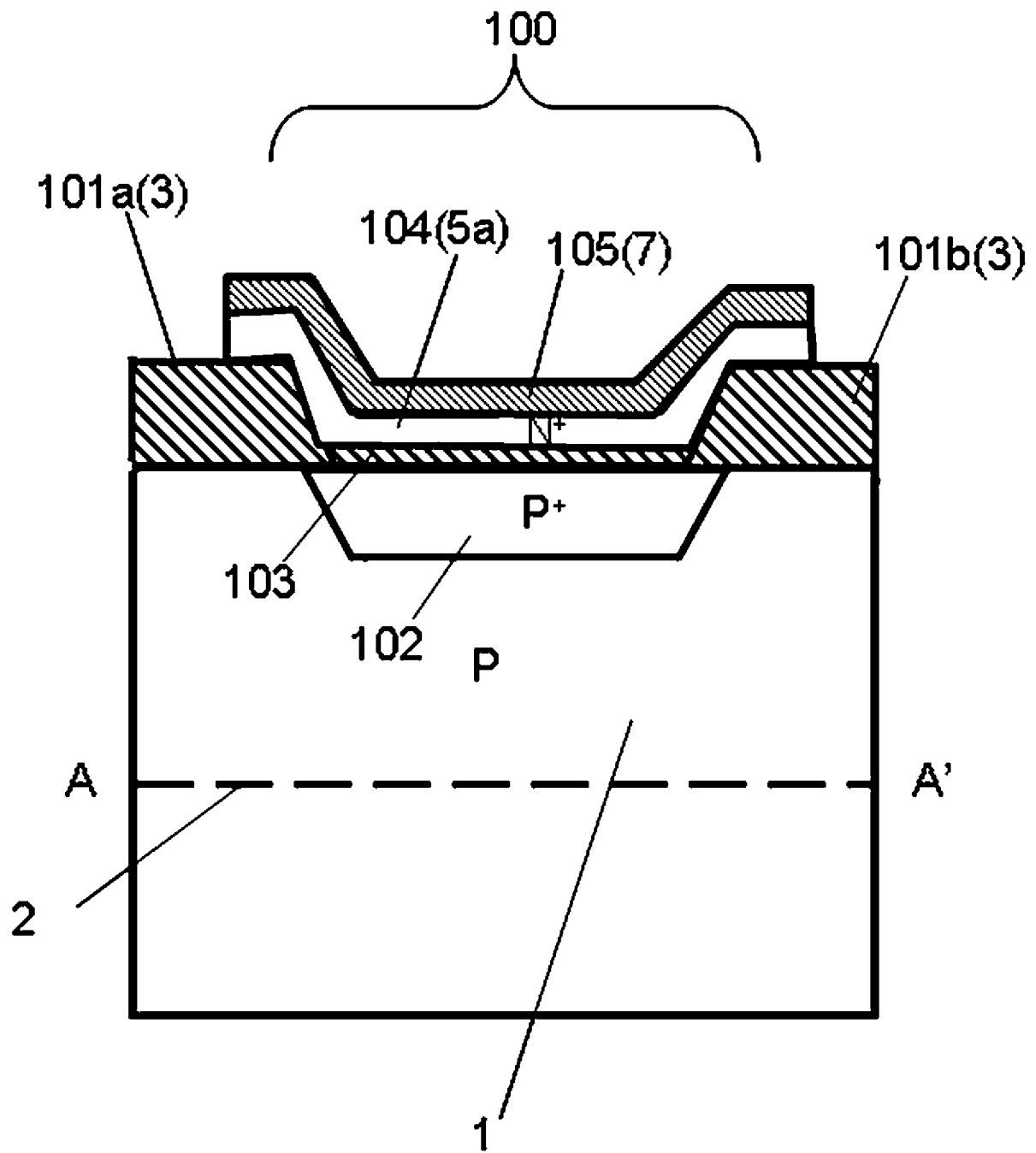
[図6B]



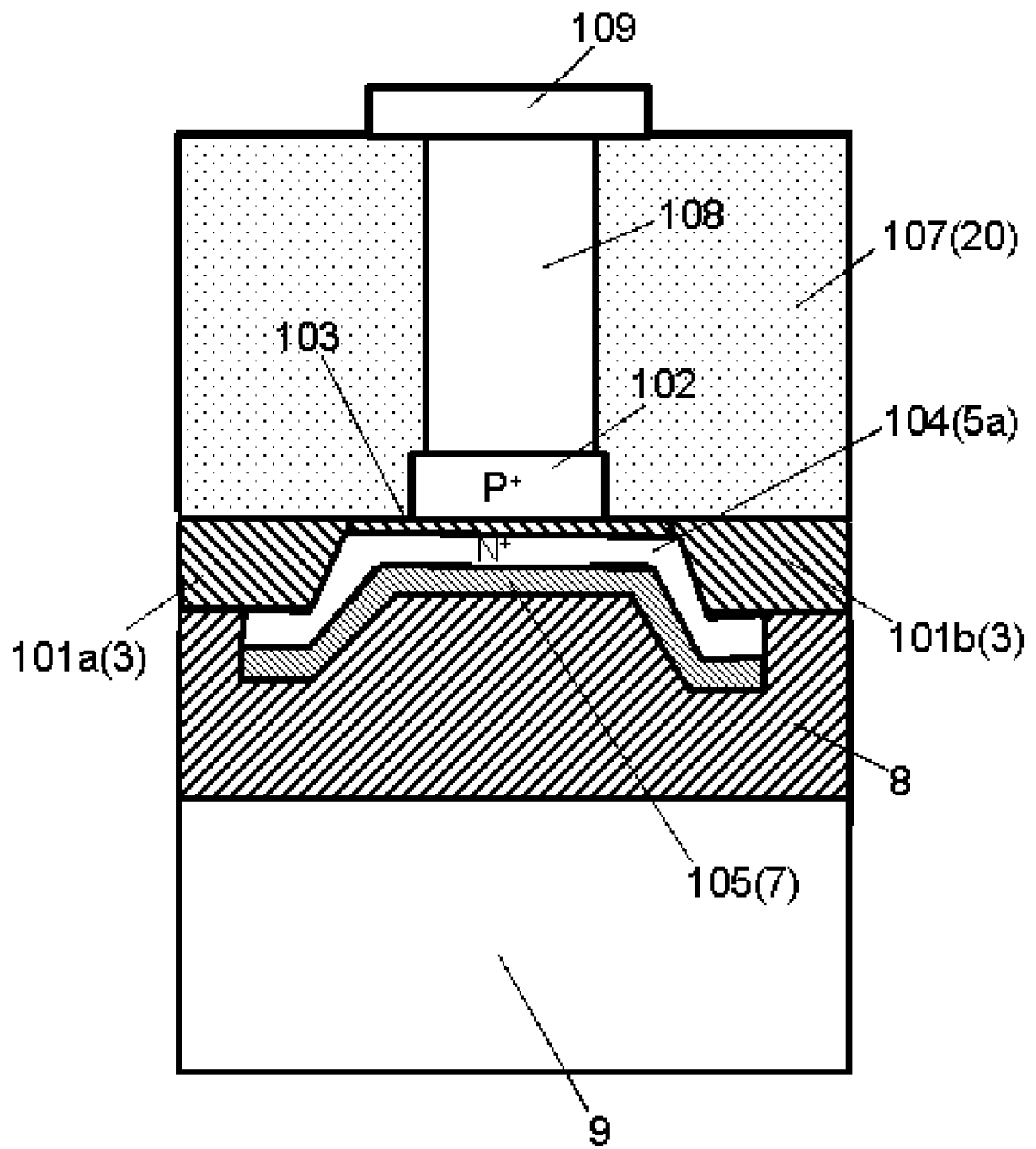
[図6C]



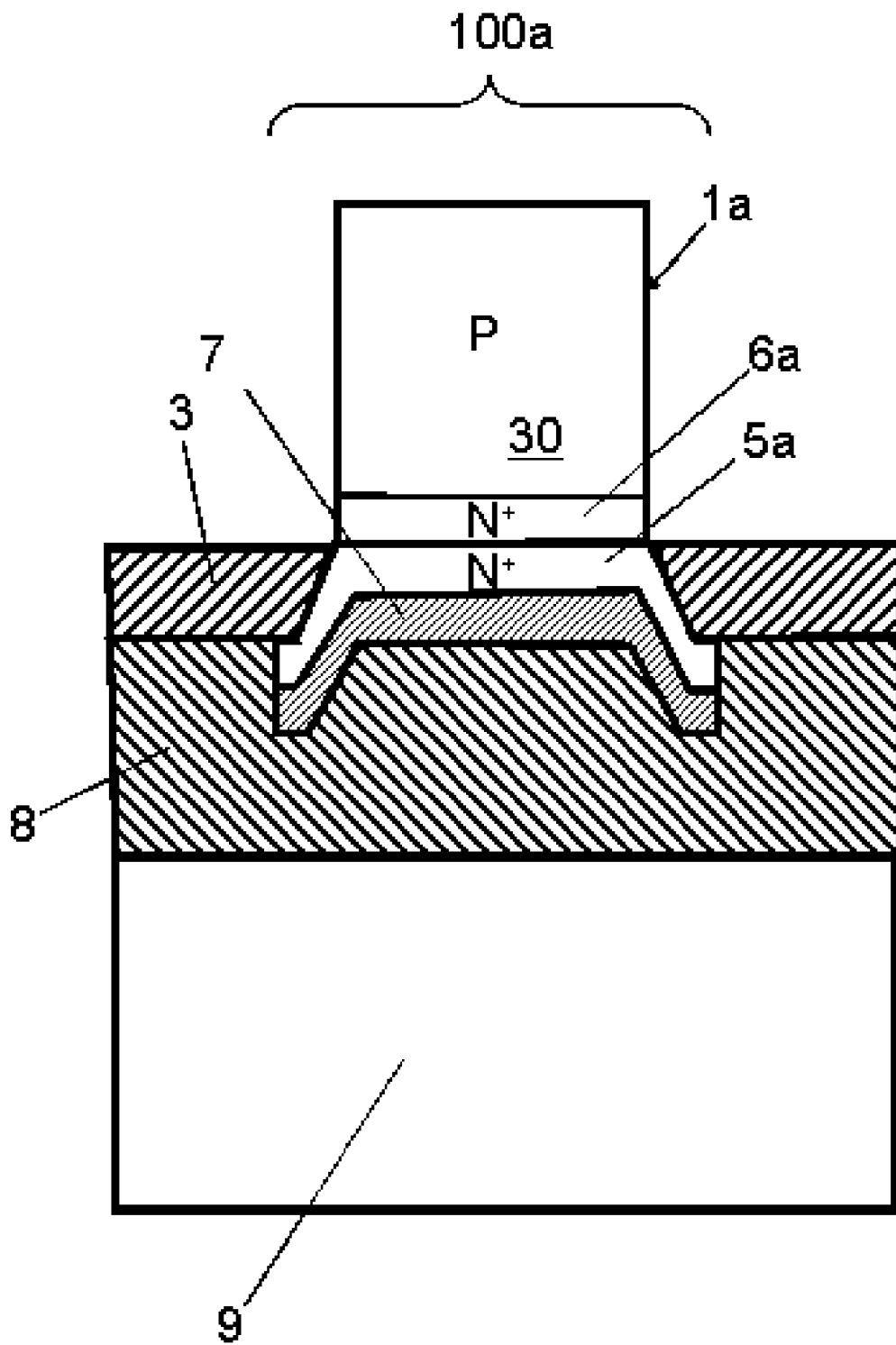
[図7A]



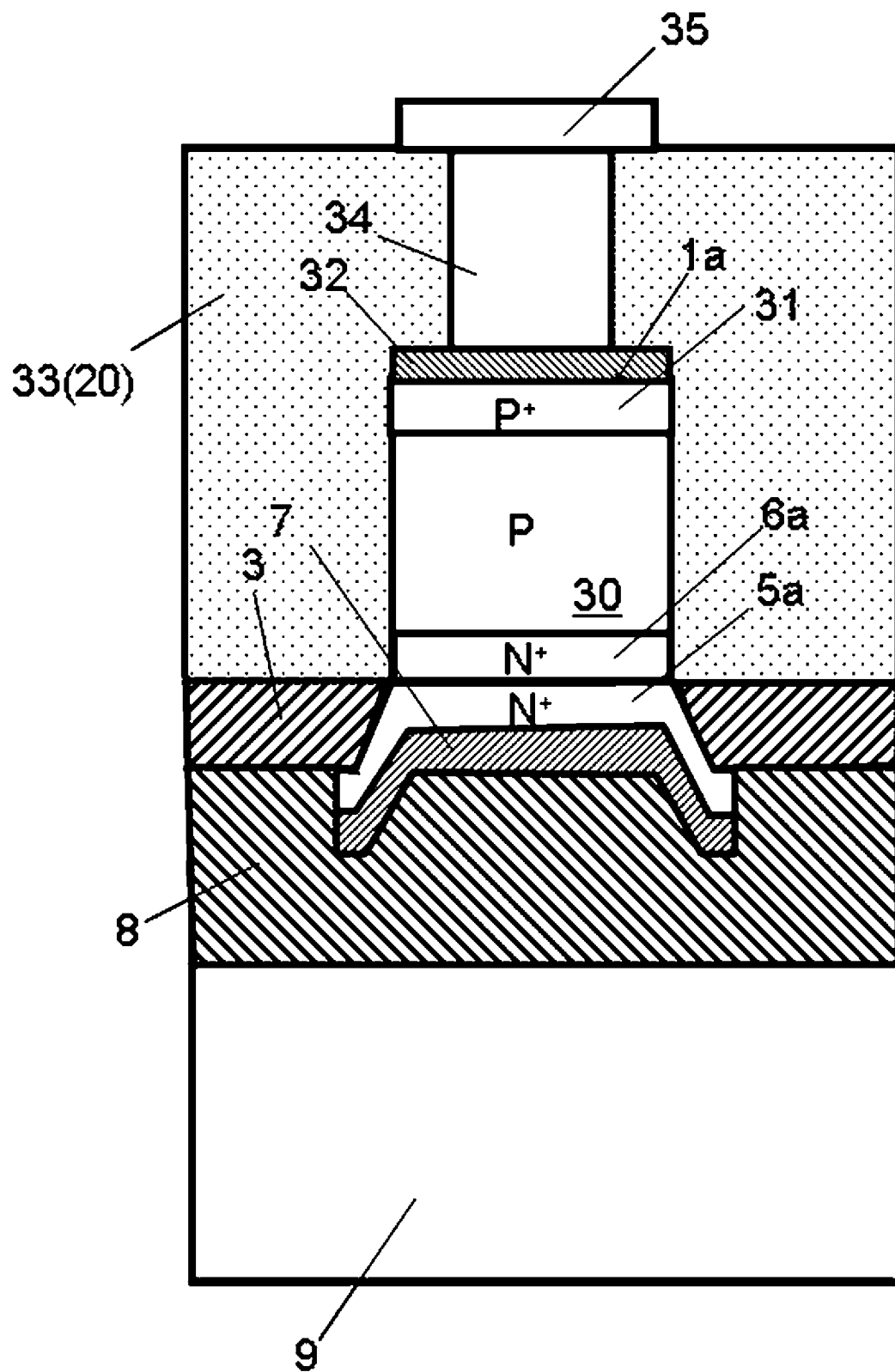
[図7B]



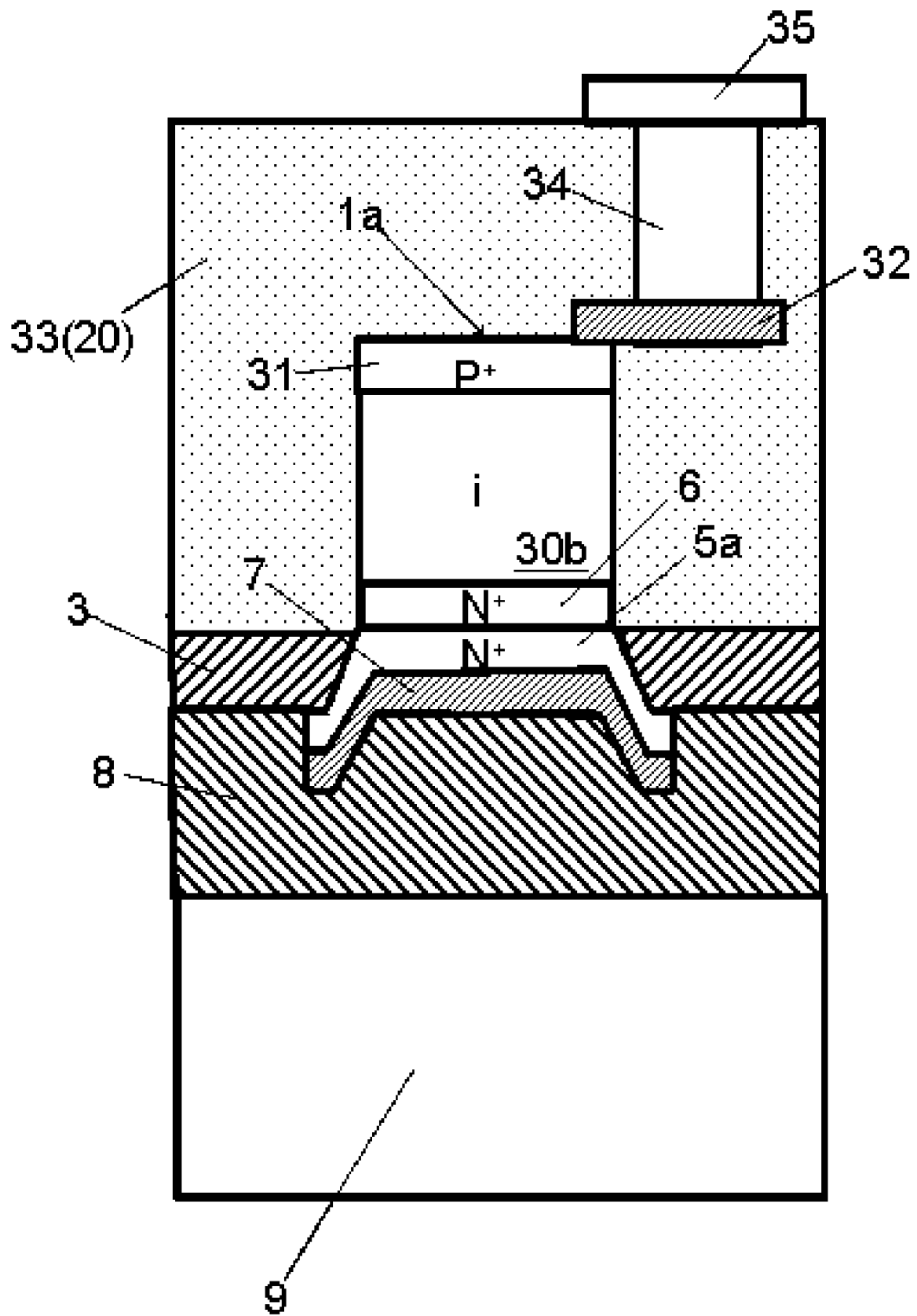
[図8A]



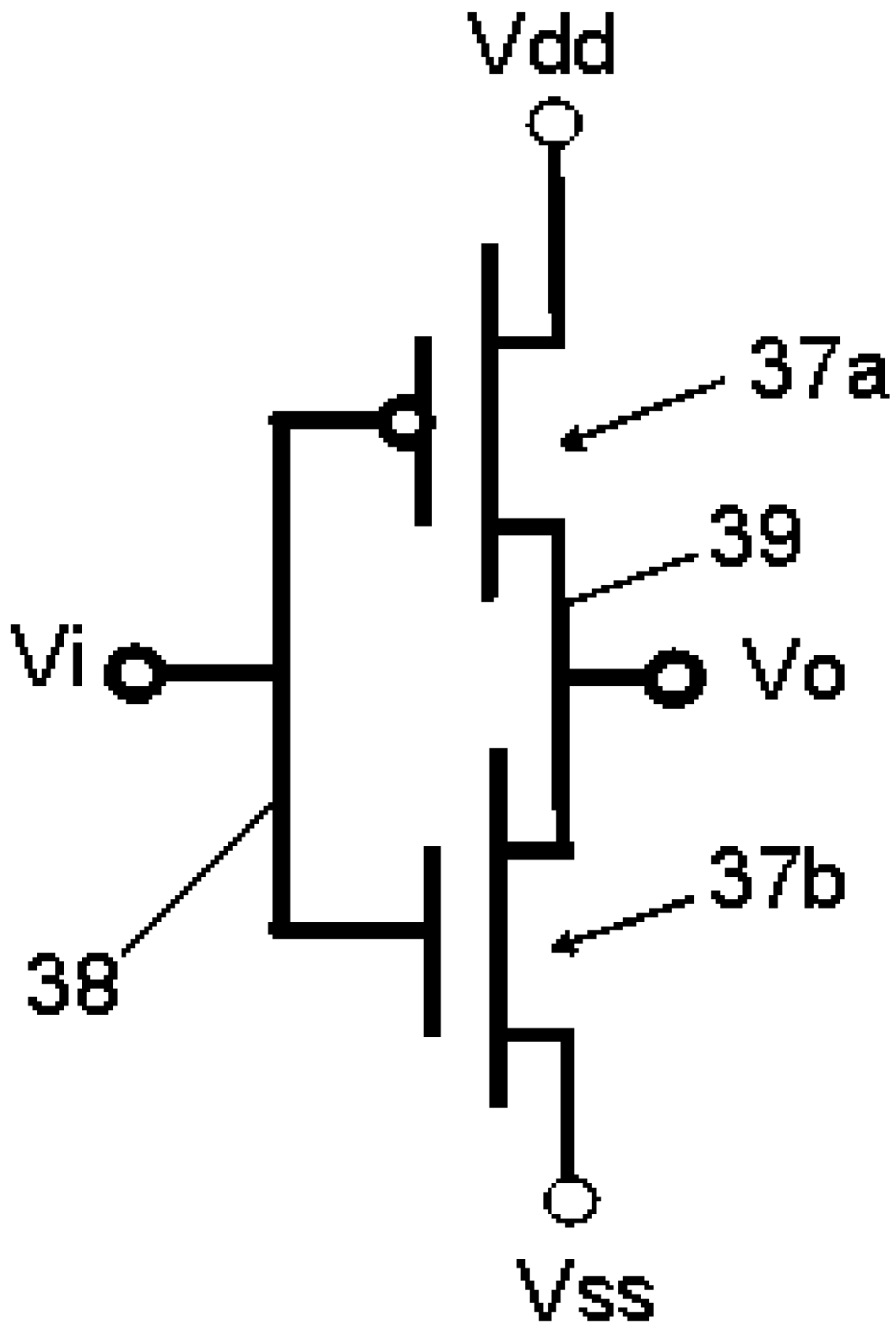
[図8B]



[図8C]

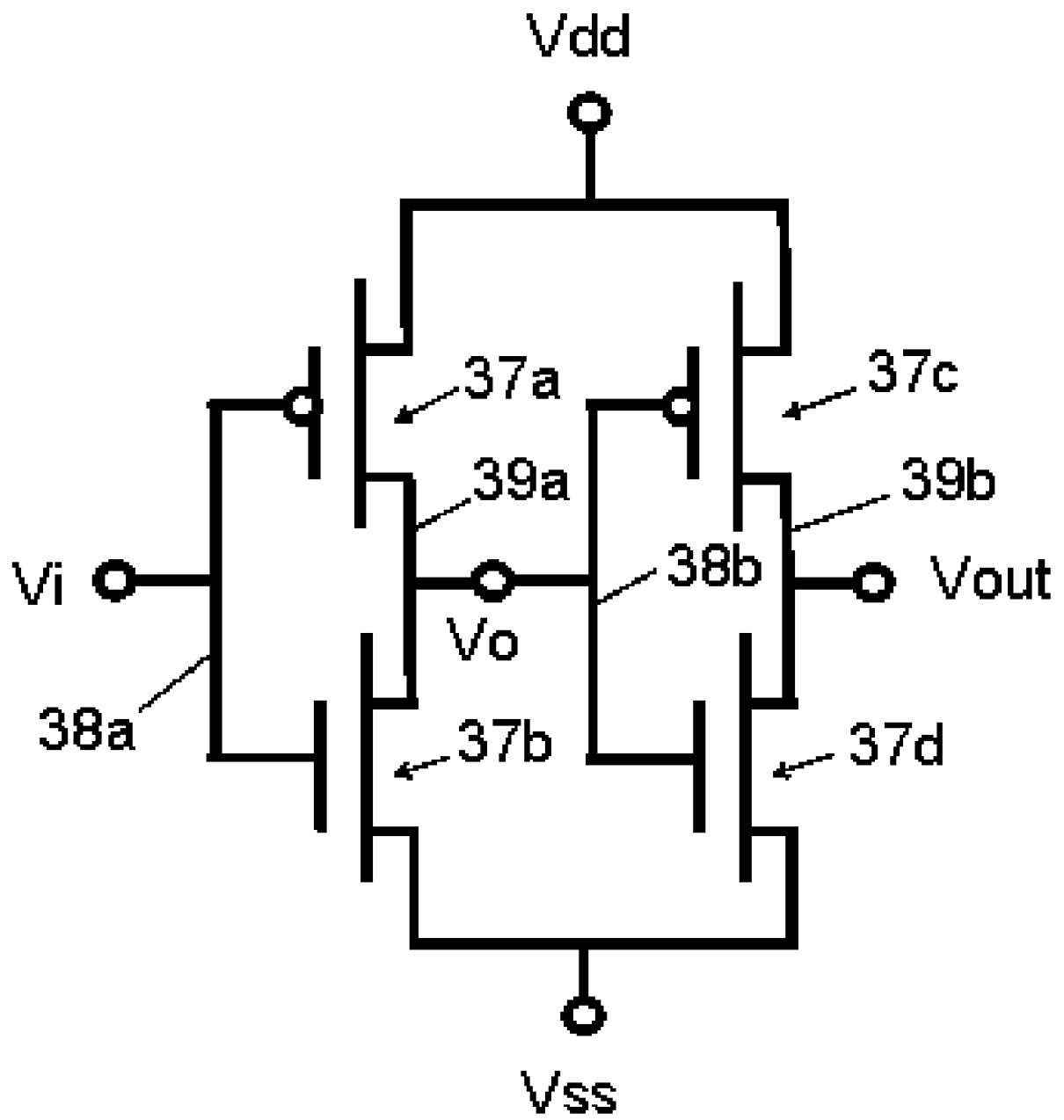


[図9A]



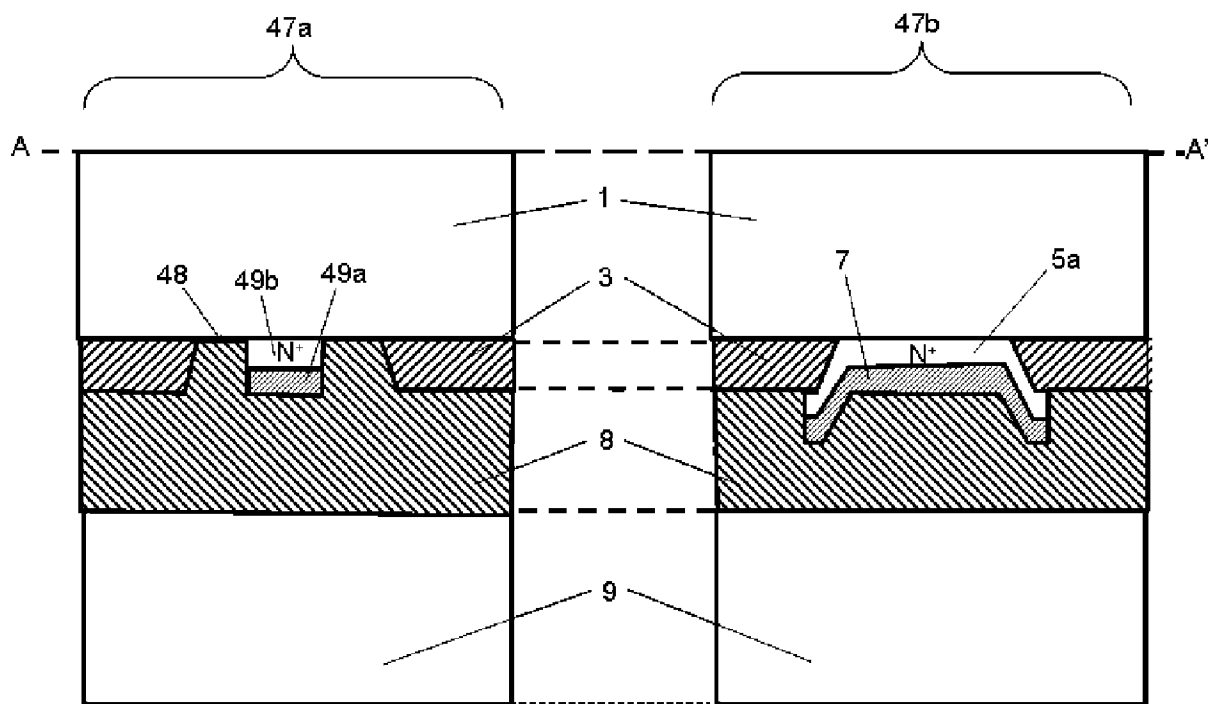


[図10A]

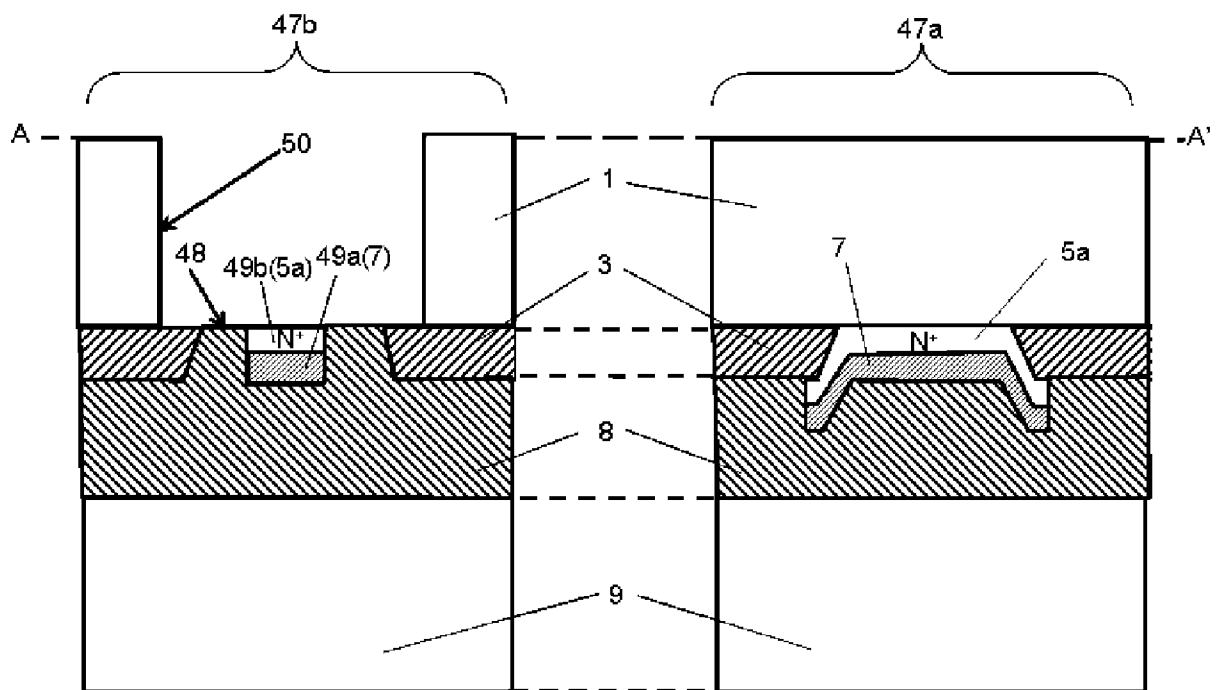




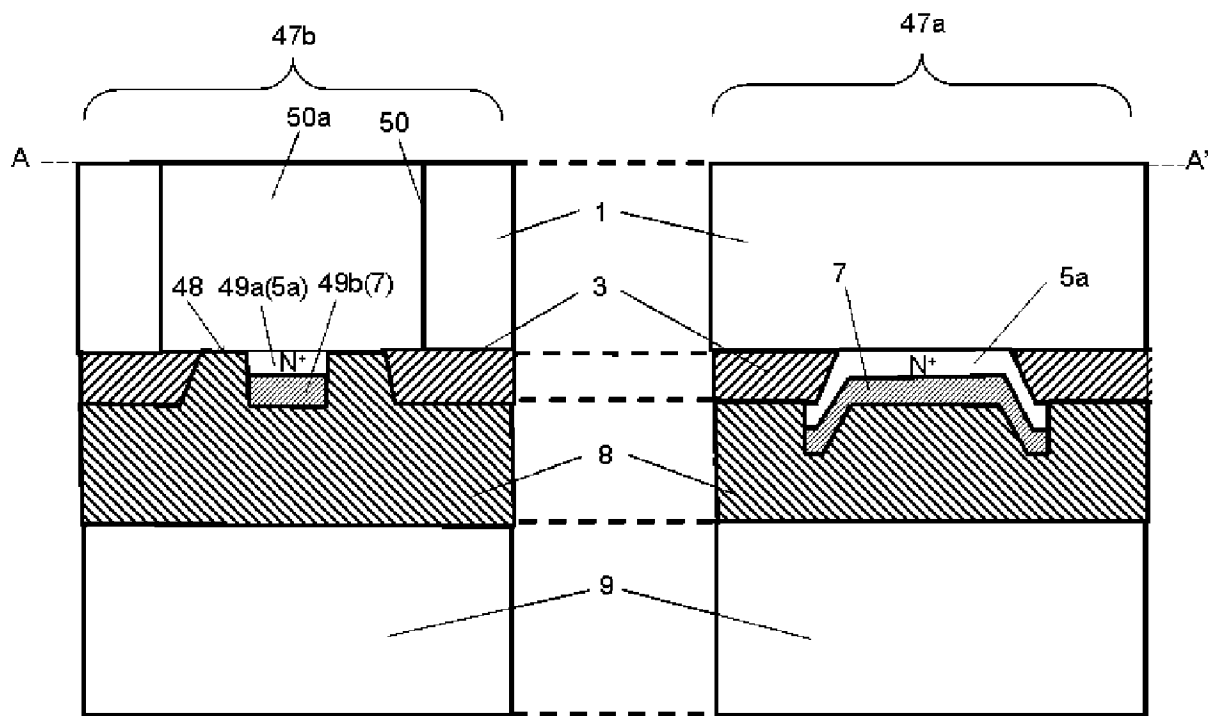
[図11A]



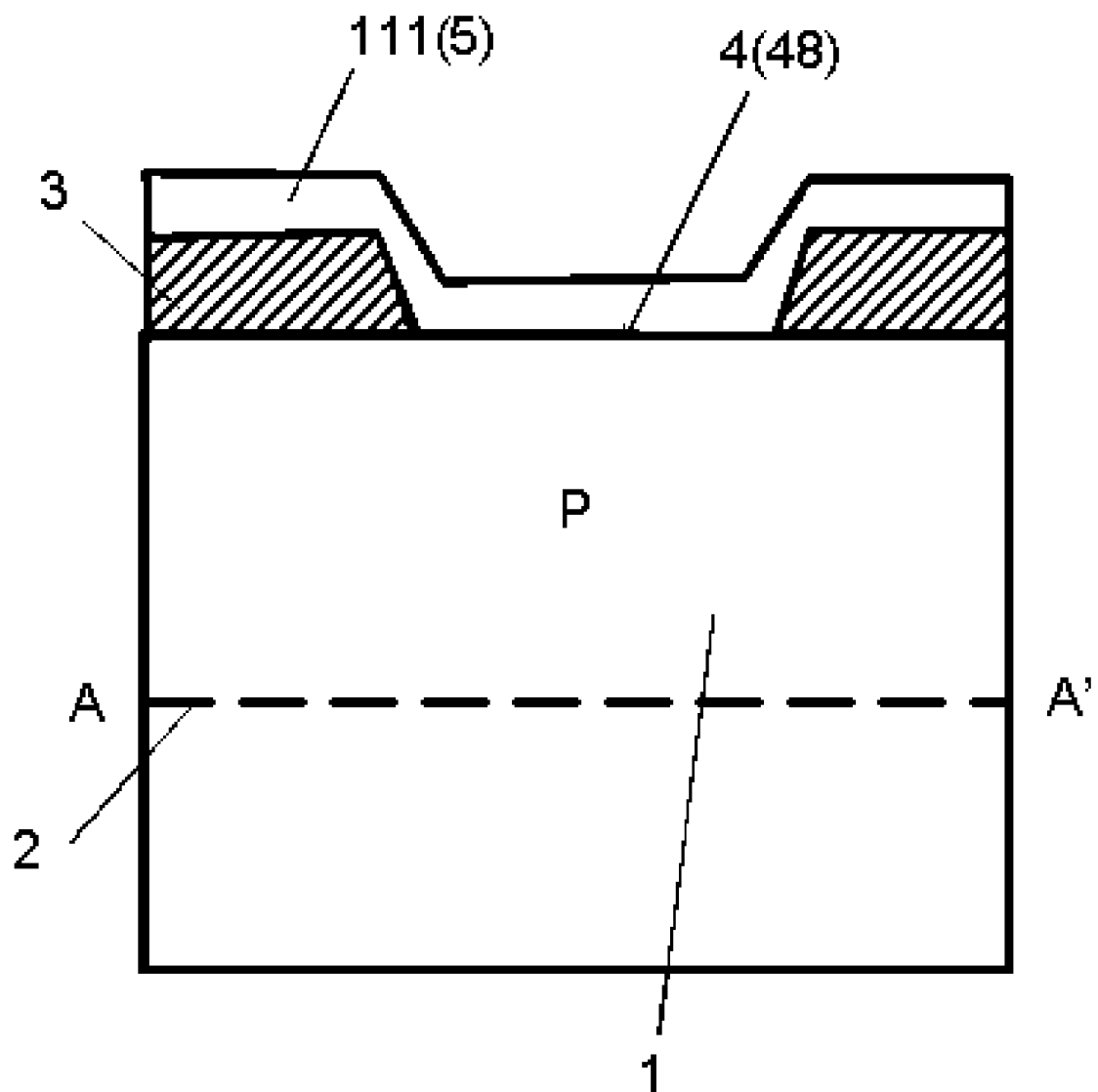
[図11B]



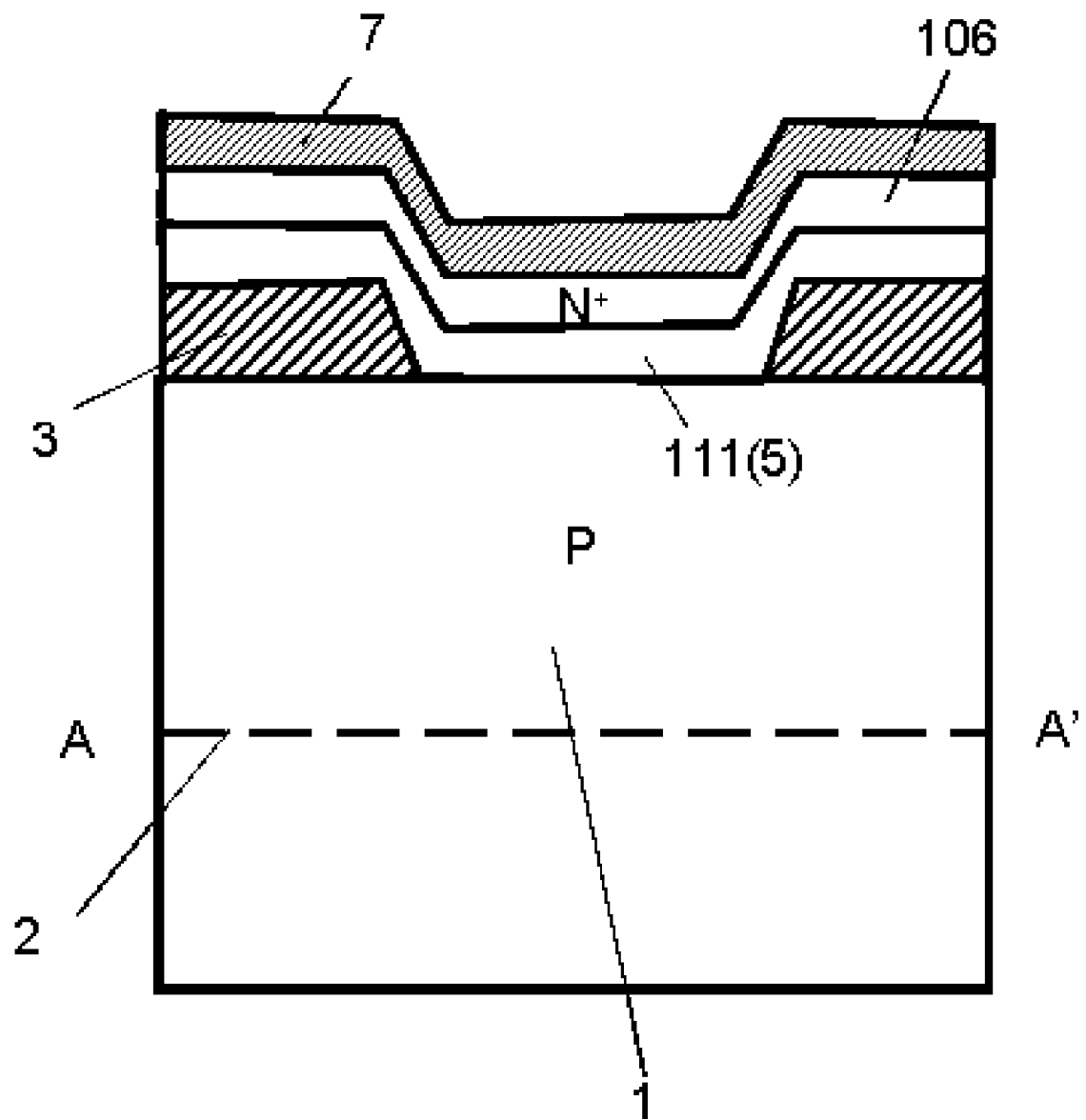
[図12]

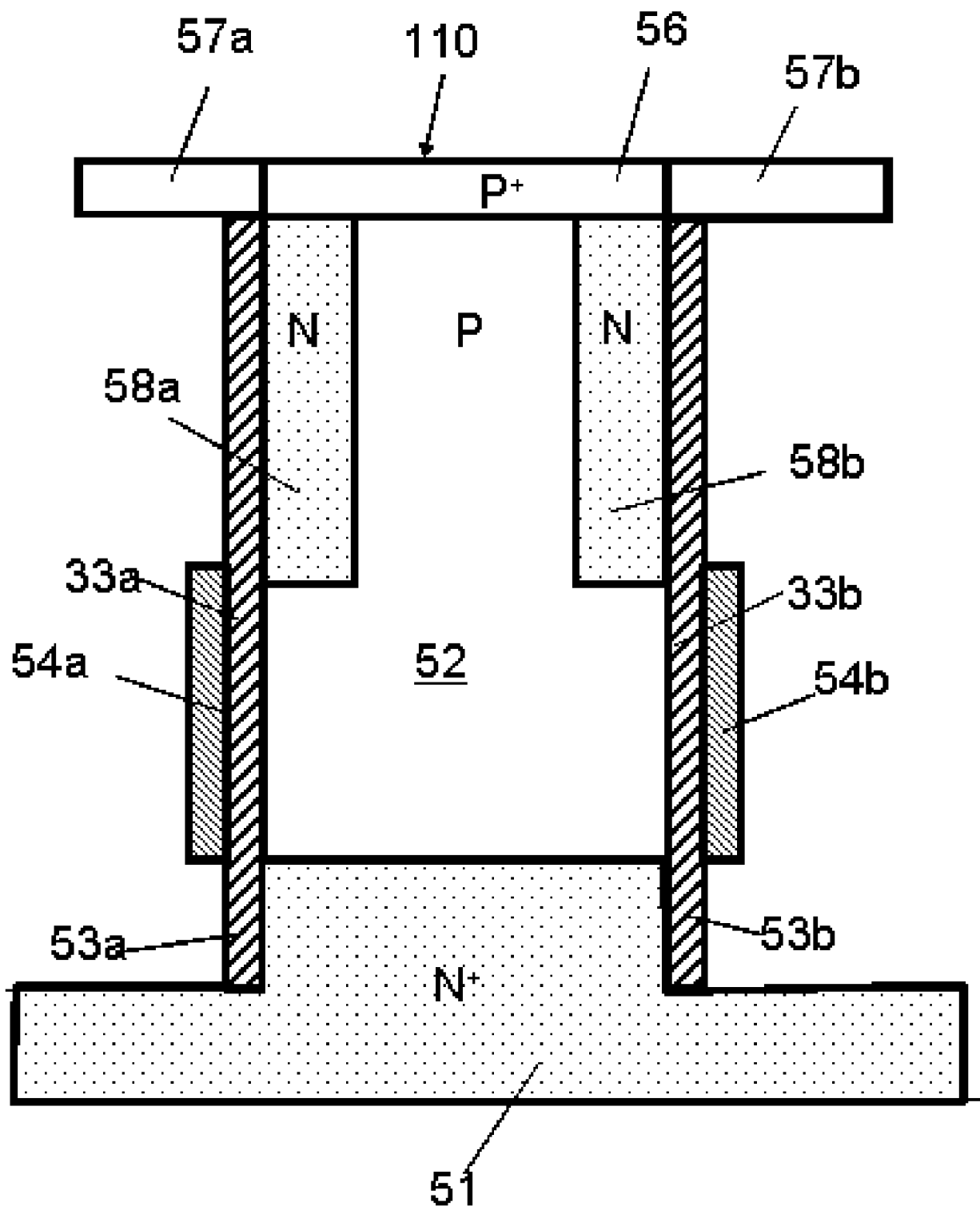


[図13A]

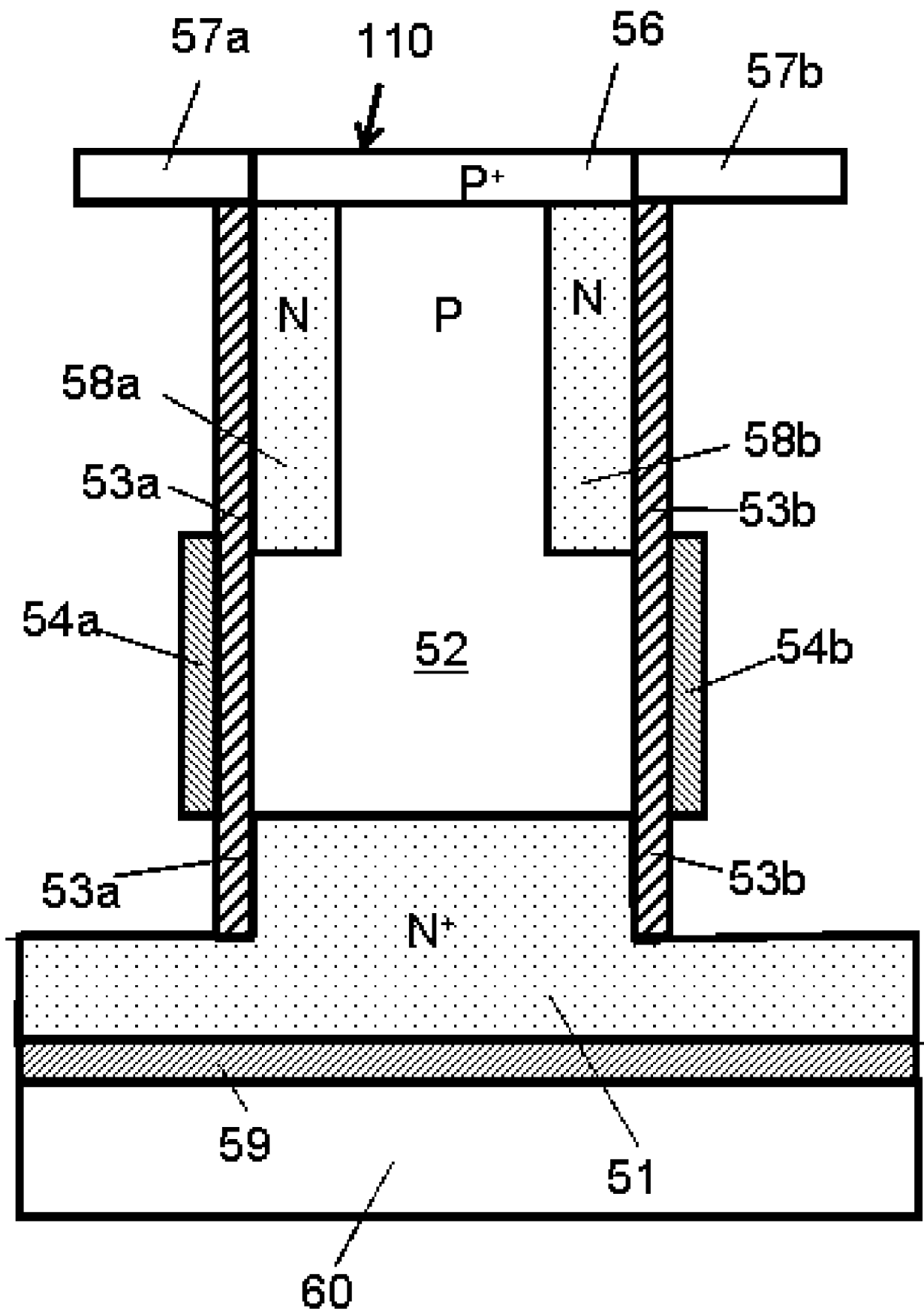


[図13B]

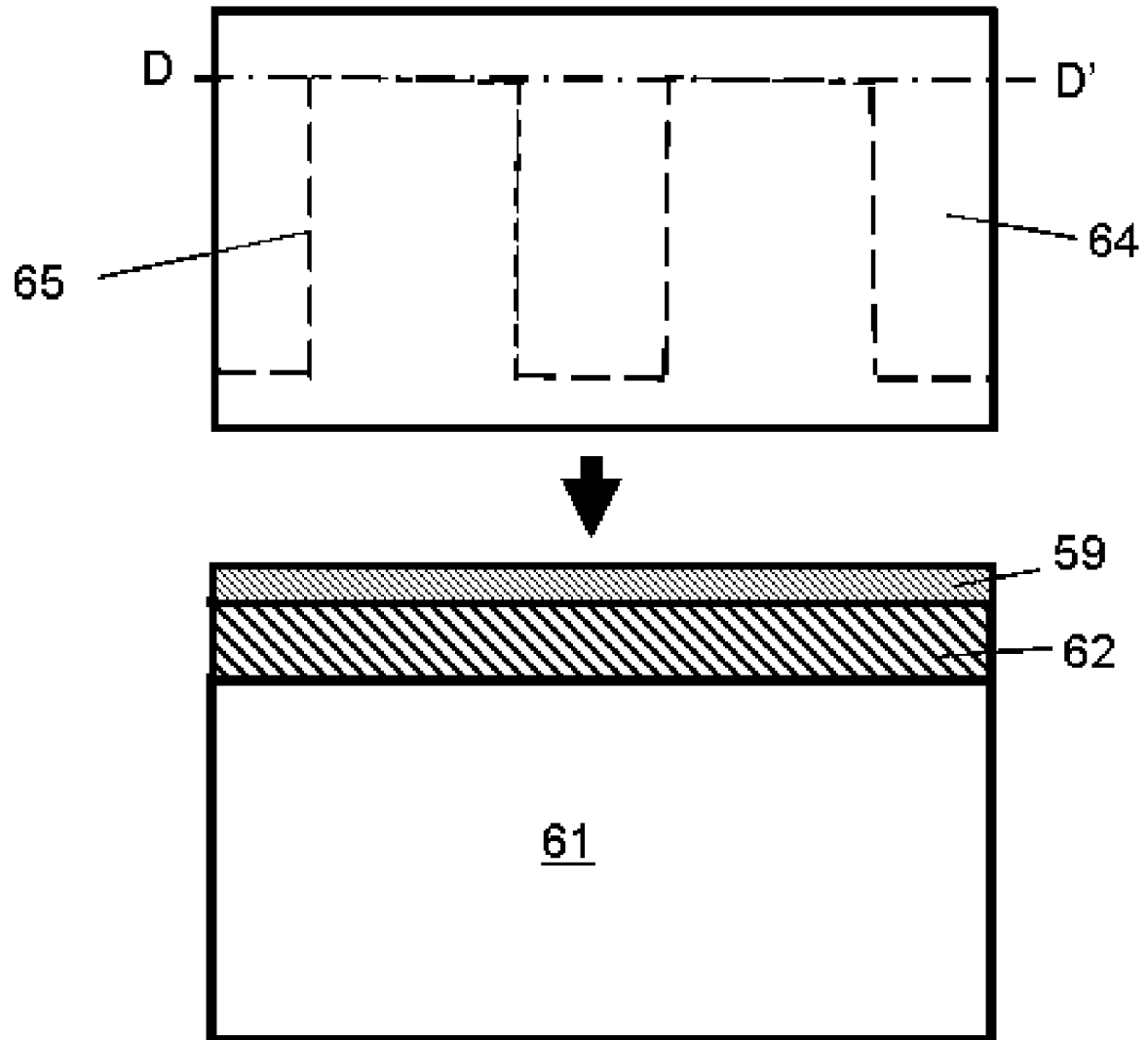




[図15A]



[図15B]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/055408

## A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i,  
H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/146(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/329, H01L21/336, H01L21/822, H01L27/04, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2011 |
| Kokai Jitsuyo Shinan Koho | 1971-2011 | Toroku Jitsuyo Shinan Koho | 1994-2011 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                      | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2005-026366 A (Toshiba Corp.),<br>27 January 2005 (27.01.2005),<br>paragraphs [0001] to [0057]; fig. 1 to 23<br>& US 2004/0262679 A1                                                                                 | 1-17                  |
| A         | JP 2009-164589 A (Elpida Memory, Inc.),<br>23 July 2009 (23.07.2009),<br>paragraphs [0001] to [0142]; fig. 1 to 49<br>& US 2009/0152611 A1                                                                              | 1-17                  |
| A         | WO 2009/034623 A1 (Unisantis Electronics<br>Japan Ltd.),<br>19 March 2009 (19.03.2009),<br>paragraphs [0001] to [0061]; fig. 1 to 47<br>& US 2009/0065832 A1 & KR 10-2009-0057351 A<br>& CN 101542733 A & EP 2190018 A1 | 1-17                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
01 June, 2011 (01.06.11)

Date of mailing of the international search report  
14 June, 2011 (14.06.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i,  
H01L27/04(2006.01)i, H01L27/146(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/329, H01L21/336, H01L21/822, H01L27/04, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 1 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 1 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 1 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                         | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | JP 2005-026366 A（株式会社東芝）2005.01.27,<br>段落 0001-0057, 図 1-23 & US 2004/0262679 A1                                                                          | 1-17           |
| A               | JP 2009-164589 A（エルピーダメモリ株式会社）2009.07.23,<br>段落 0001-0142, 図 1-49 & US 2009/0152611 A1                                                                    | 1-17           |
| A               | WO 2009/034623 A1（日本エサントスエレクトロニクス株式会社）2009.03.19,<br>段落 0001-0061, 図 1-47 & US 2009/0065832 A1<br>& KR 10-2009-0057351 A & CN 101542733 A & EP 2190018 A1 | 1-17           |

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 6 . 2 0 1 1

国際調査報告の発送日

1 4 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿引 隆

4 M

2 9 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2