(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0157798
(43) 공개일자 2021년12월29일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *C23C 16/26* (2006.01)
C23C 16/50 (2006.01) *C23C 16/52* (2018.01)
H01L 21/768 (2006.01) *H01L 21/8238* (2006.01)
(52) CPC특허분류
H01L 21/02115 (2013.01)
C23C 16/26 (2013.01)
(21) 출원번호 10-2020-0076059
(22) 출원일자 2020년06월22일
심사청구일자 2020년06월22일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
이종훈
울산광역시 울주군 언양읍 유니스트길 50
김의태
대전광역시 중구 태평로113번길 35 (태평동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

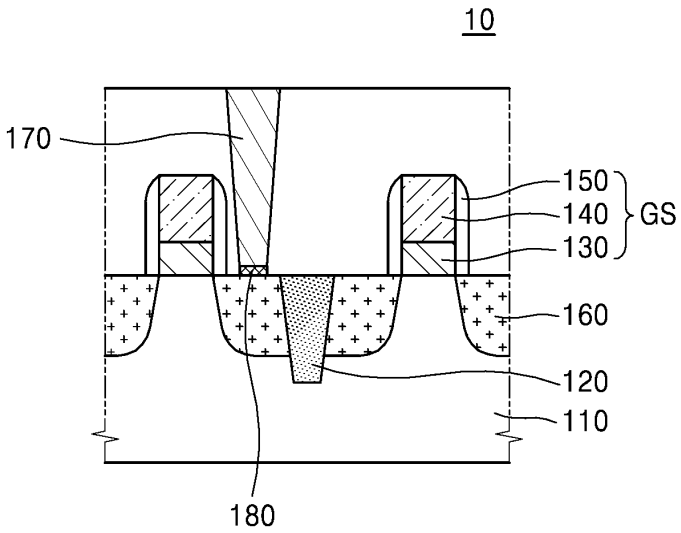
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **고유전 탄화수소 박막 및 이를 이용한 반도체 소자**

(57) 요 약

본 발명의 기술적 사상에 따른 반도체 소자는, 활성 영역을 정의하는 기판, 활성 영역 상에 배치되는 게이트 유전막, 게이트 유전막 상에 배치되는 게이트 전극, 게이트 전극의 양측의 활성 영역에 배치되는 소스/드레인 영역, 소스/드레인 영역에 전기적으로 연결되는 컨택 구조물, 및 소스/드레인 영역과 컨택 구조물의 계면에 형성되는 초박막 삽입층을 포함하고, 초박막 삽입층은 고유전 탄화수소 박막을 포함한다.

대 표 도 - 도8



(52) CPC특허분류
C23C 16/50 (2013.01)
C23C 16/52 (2018.01)
H01L 21/02274 (2013.01)
H01L 21/76831 (2013.01)
H01L 21/823871 (2013.01)

(72) 발명자
정홍식
울산광역시 울주군 언양읍 유니스트길 50
서준기
울산광역시 울주군 언양읍 유니스트길 50
임동혁
울산광역시 울주군 언양읍 유니스트길 50
이석우
울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711112273
과제번호	2018R1A2A2A05019598
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	실시간 투과전자현미경 분석을 이용한 이차원 재료의 구조물성학 연구
기 여 율	33/100
과제수행기관명	울산과학기술원
연구기간	2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711113889
과제번호	2020R1C1C1011219
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	지능형 열제어 회로 구현을 위한 비선형 및 방향성 열전달 소재 개발
기 여 율	33/100
과제수행기관명	울산과학기술원
연구기간	2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711116816
과제번호	2020-0-01336-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송혁신인재양성(R&D)
연구과제명	인공지능대학원지원(울산과학기술원)
기 여 율	34/100
과제수행기관명	울산과학기술원
연구기간	2020.04.01 ~ 2020.12.31

명 세 서

청구범위

청구항 1

플라즈마 반응기 내에 기판을 위치시키는 단계;

상기 플라즈마 반응기 내에 탄화수소 가스 및 수소 가스를 함께 주입하는 단계;

상기 플라즈마 반응기 내의 온도는 200℃ 내지 600℃로, 압력은 0.5Torr 내지 5Torr로 설정하는 단계; 및

상기 플라즈마 반응기에 플라즈마를 발생시켜, 상기 기판 상에 고유전 탄화수소 박막을 형성하는 단계;를 포함하며,

상기 고유전 탄화수소 박막은 비정질 구조로 유전 상수가 20 이상이 되도록 상기 플라즈마 반응기 내의 온도를 조절하는 고유전 탄화수소 박막의 제조 방법.

청구항 2

제1항에 있어서,

상기 고유전 탄화수소 박막의 등가 산화막 두께가 0.2㎚일 때,

1V에서의 누설 전류는 0.25A/㎠ 이하이고,

절연 강도는 5MV/㎝ 이상인 것을 특징으로 하는 고유전 탄화수소 박막의 제조 방법.

청구항 3

반도체 물질층;

금속 물질층; 및

상기 반도체 물질층과 상기 금속 물질층의 계면에 형성되는 초박막 삽입층;을 포함하고,

상기 초박막 삽입층은 제1항의 방법에 의해 제조된 고유전 탄화수소 박막을 포함하는 것을 특징으로 하는 반도체 구조물.

청구항 4

제3항에 있어서,

상기 초박막 삽입층은,

상기 반도체 물질층과 상기 금속 물질층 사이의 페르미 레벨 고정(Fermi level pinning) 현상을 방지하는 것을 특징으로 하는 반도체 구조물.

청구항 5

제3항에 있어서,

상기 초박막 삽입층은,

상기 반도체 물질층의 댕글링 본드를 억제하는 것을 특징으로 하는 반도체 구조물.

청구항 6

활성 영역을 정의하는 기판;

상기 활성 영역 상에 배치되는 게이트 유전막;

상기 게이트 유전막 상에 배치되는 게이트 전극;

상기 게이트 전극의 양측의 상기 활성 영역에 배치되는 소스/드레인 영역;

상기 소스/드레인 영역에 전기적으로 연결되는 컨택 구조물; 및

상기 소스/드레인 영역과 상기 컨택 구조물의 계면에 형성되는 초박막 삽입층;을 포함하고,

상기 초박막 삽입층은 제1항의 방법에 의해 제조된 고유전 탄화수소 박막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7

기판 상에서 제1 방향으로 연장되는 핀형 활성 영역;

상기 기판 상에서 상기 핀형 활성 영역과 교차하는 제2 방향으로 연장되는 게이트 구조물;

상기 게이트 구조물의 양측에 배치되는 소스/드레인 영역;

상기 소스/드레인 영역에 전기적으로 연결되는 컨택 구조물; 및

상기 소스/드레인 영역과 상기 컨택 구조물의 계면에 형성되는 초박막 삽입층;을 포함하고,

상기 초박막 삽입층은 제1항의 방법에 의해 제조된 고유전 탄화수소 박막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 8

기판으로부터 돌출되고 제1 방향으로 연장되는 핀형 활성 영역;

상기 핀형 활성 영역의 상면으로부터 서로 이격되어 배치되며 채널 영역을 가지는 복수의 반도체 패턴;

상기 복수의 반도체 패턴을 둘러싸며 상기 제1 방향에 수직한 제2 방향으로 연장되고, 상기 복수의 반도체 패턴의 최상부에 배치되며 상기 제2 방향으로 연장되는 메인 게이트 전극과 상기 복수의 반도체 패턴의 사이에 배치되는 서브 게이트 전극을 포함하는 게이트 전극;

상기 게이트 전극과 상기 복수의 반도체 패턴의 사이에 배치되는 게이트 유전막;

상기 메인 게이트 전극의 양 측벽 상에 배치되는 스페이서; 및

상기 게이트 전극의 양측에 배치되며 상기 복수의 반도체 패턴에 연결되고, 상기 스페이서의 하면과 접촉하는 소스/드레인 영역;

상기 소스/드레인 영역에 전기적으로 연결되는 컨택 구조물; 및

상기 소스/드레인 영역과 상기 컨택 구조물의 계면에 형성되는 초박막 삽입층;을 포함하고,

상기 초박막 삽입층은 제1항의 방법에 의해 제조된 고유전 탄화수소 박막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 9

제6항 내지 제8항 중 어느 하나에 있어서,

상기 초박막 삽입층은,

상기 소스/드레인 영역을 구성하는 물질과 상기 컨택 구조물을 구성하는 물질 사이의 페르미 레벨 고정 현상을 방지하는 것을 특징으로 하는 반도체 소자.

청구항 10

제6항 내지 제8항 중 어느 하나에 있어서,

상기 초박막 삽입층은,

상기 소스/드레인 영역을 구성하는 물질의 댕글링 본드를 억제하는 것을 특징으로 하는 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술분야는 유전 상수가 크고 누설 전류가 낮으며 절연 강도가 높아 고집적 소자의 제조에 유용한 고유전체의 제조 방법과 그 방법에 의해 제조된 고유전체, 그리고 상기 고유전체를 이용하는 반도체 소자에 관한 것이다.

배 경 기 술

[0002] 탄소 박막은 우수한 전기적, 기계적 특성으로 인해 기술적, 산업적 응용 분야에서 많은 주목을 받고 있다. 탄소 박막을 구성하는 탄소계 재료는 결합에 따라 다이아몬드, 그래핀, 및 비정질 탄소로 분류될 수 있다. 다이아몬드는 탄소 원자 간이 sp3 결합으로 연결되어 있기 때문에 전기 전도성을 띠지 않지만 경도가 매우 높으며, 그래핀은 sp2 결합으로만 이루어져 있어 전도성이 우수하다. 또한, 비정질 탄소는 sp3 결합과 sp2 결합을 모두 가지므로 그래핀에 비해서는 전도성이 낮다.

[0003] 탄소 박막의 제조 시 증착 온도를 조절하는 것에 의해 탄소 재료의 결합을 조절할 수 있음이 알려져 있다. 대표적으로, 화학 기상 증착법(CVD)은 탄소 박막 제조에 널리 이용되는 방법으로, 약 1000℃까지의 고온에서 고품질의 그래핀과 탄소 나노 튜브를 제조할 수 있다. 화학 기상 증착법에 의한 증착 시 약 700℃ 정도까지로 증착 온도가 낮아지면 나노 그래파이트 구조가 형성되며, 상온에서는 비정질 탄소가 형성된다.

[0004] 탄소계 재료에 대한 연구는 특히 높은 전도도 특성과 투명도에 의해 투명 전도체나 차세대 반도체로서의 높은 잠재성을 갖는 그래핀과 탄소 나노 튜브와 같은 고도로 정렬된 구조를 갖는 나노 구조체에 대한 연구에 초점이 맞춰져 있다. 이로 인해, 나노 그래파이트나 비정질 탄소 역시 흥미로운 여러 특성을 나타냄에도 주목을 덜 받았다.

[0005] 비정질 탄화수소 막은 균일한 두께의 박막 형성이 용이하다는 장점으로부터 식각 마스크로 사용되거나, 반도체 금속 배선의 층간 물질과 같은 저유전 절연체로 박막 결함을 방지하고 층간 밀착도를 증가시키기 위하여 사용되어 왔다.

[0006] 나노 그래파이트와 비정질 탄소에는 고정된 자유 라디칼을 의미하는 댕글링 본드(dangling bond)가 상당 비율 함유되어 있기 때문에 적절한 조건에서 수소 및/또는 HC 라디칼과 반응하여 탄화수소 구조를 형성한다. 그러나 나노 그래파이트나 비정질 탄소에서의 댕글링 본드를 활용하여 새로운 특성을 갖는 소재를 개발하고, 이를 응용하고자 하는 시도들은 제한적이었다.

[0007] 한편, 기억 소자나 논리 소자 등 고밀도 반도체 소자의 집적화는 높은 유전 상수와 낮은 누설 전류 및 큰 절연 강도를 갖는 고유전체를 요구하게 되었다. 예를 들어, MOSFET 트랜지스터의 게이트 길이는 과거 수십년 사이에 10㎛ 급에서 10㎚ 급으로 급격히 감소하였으며, 이에 따라 종래 절연막으로 사용되던 SiO_2 박막의 효용성은 한계에 도달하였다. SiO_2보다 높은 유전 상수를 갖는 물질을 통상적으로 고유전 물질로 지칭한다. 이에 SiO_2보다 높은 유전율을 갖는 새로운 고유전 물질의 개발이 활발하다. 고유전 물질로는 최근 100㎚ 이하의 노드에 대해 Hf- 또는 Zr- 기반 산화물들이 주목을 받고 있다. 현재는 Hf 소스(Source)를 대체할 물질(예를 들어, Al, Zr, Ta, STO, BST 등)을 찾거나, Hf 소스에 다른 물질을 추가하여 증착시키는 방법 등 여러 가지 방향으로 연구되고 있다.

[0008] 이들 고유전 물질들은 대부분 산화물 박막 형태로 소자에 적용이 가능하다. 그러나 금속 산화물의 고유전층은 산소 공공 등의 다수의 벌크 트랩을 포함하여 C-V 히스테리시스를 증가시키며, 문턱 전압의 불안정성 현상을 초래한다. 또한, 소자의 노드 크기가 10㎚ 단위로 감소하면, 등가 산화물 두께(equivalent oxide thickness)는 1㎚ 이하가 요구되며 해당 조건에서 Hf- 또는 Zr- 기반 산화물의 전자 터널링이 일어날 수 있다. 더구나 Hf- 또는 Zr- 기반 산화물은 결정화하기 쉽기 때문에 높은 누설 전류를 나타내며 계면 특성이 열화된다. 이에 10㎚ 이하의 노드를 갖는 기술을 위하여 새로운 고유전 물질의 개발이 요구된다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 종래 기술의 문제점을 해결하기 위하여, 유전 상수가 크고 누설 전류가 낮으며 절연 강도가 높아 고집적 소자의 제조에 유용한 고유전체의 제조 방법을 제공하는 것을 목적으로 한다.

[0010] 본 발명은 또한, 상기 방법에 의해 제조된 고유전체 및 상기 고유전체를 이용하는 반도체 소자를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0011] 전술한 목적을 달성하기 위하여 본 발명은, 플라즈마 반응기 내에 기판을 위치시키는 단계; 상기 반응기 내에 탄화수소 가스 및 수소 가스를 함께 주입하는 단계; 및 상기 반응기에 플라즈마를 발생시키는 단계;를 포함하며, 비정질 구조로서 유전 상수가 20 이상이 되도록 반응기 내의 온도 범위를 조절하는 것을 특징으로 하는 고유전 탄화수소 박막의 제조 방법에 관한 것이다.

[0012] 본 발명에서 플라즈마 반응기란 반응기 내에서 플라즈마를 발생시켜 반응 가스의 반응을 유도하는 것으로, 예를 들어, 플라즈마 보조 화학 기상 증착(PE-CVD) 또는 유도 결합 플라즈마 화학 기상 증착(ICP-CVD), 전자 싸이클로트론 공명 화학 기상 증착(ECR-CVD) 반응기를 예로 들 수 있다. 플라즈마는 반응 가스로부터 반응성이 높은 라디칼을 다량 생성하여 낮은 온도에서도 박막의 형성이 가능하다. 하기 실시예에서는 ICP-CVD를 예로 들어 설명하였으나, 이에 한정되는 것은 아니다.

[0013] 본 발명에서 기판은 통상 박막의 제조에 사용되는 기판 어느 것을 사용하여도 무방하다. 예를 들어, 실리콘, 유리, 금속, 금속 산화물 기판을 들 수 있으며, 별도의 촉매층을 필요로 하지 않는다. 상기 기판은 통상 반도체 소자의 제조를 위한 기판은 물론, 그 위에 활성층이 형성되어 있는 기판도 포함한다.

[0014] 반응기 내에는 반응 가스로 탄화수소 가스와 수소 가스를 주입한다. 탄화수소 가스는 플라즈마에 의해 탄화수소 박막을 형성할 수 있는 것이라면 어떤 것이라도 사용할 수 있으며, 통상 고온에서 화학 기상 증착에 의해 그래핀 제조에 사용될 수 있는 메탄, 에탄, 프로판, 에틸렌, 아세틸렌, 프로필렌, 및 벤젠으로부터 선택된 하나 이상을 사용할 수 있다. 다만, 이외의 탄화수소 가스를 제외하는 것은 아니다.

[0015] 탄화수소 가스와 수소 가스의 혼합 가스의 존재하에서 플라즈마를 가하면 기판 상에 탄화수소 박막이 형성되는데, 이때 고온에서는 고품질의 그래핀 박막이 형성되며 온도가 낮아짐에 따라 그래핀 박막의 결정성이 저하되는 것은 알려져 있다. 본 발명에서는 박막 제조 온도가 낮아짐에 따라 박막 내에 증가하는 댕글링 본드와 수소의 결합을 유도하기 위하여 반응 가스로 탄화수소 가스와 수소 가스의 혼합물을 사용한다. 물론, 탄화수소 가스 및 수소 가스 이외에 수송 가스로서 아르곤이나 헬륨과 같은 비활성 가스를 추가로 포함할 수 있다.

[0016] 탄화수소 가스와 수소 가스의 체적비는 1:2 내지 1:50 정도의 것이 바람직하다. 수소 가스의 비율이 너무 낮으면 표면이 거친 탄화수소 박막이 형성되고, 너무 높으면 탄화수소 박막 형성이 잘 되지 않았다.

[0017] 본 발명의 고유전 탄화수소 박막의 제조 시 온도에 따라 생성되는 박막의 특성이 변화하였다. 고온에서는 그래핀이 형성되며, 온도가 낮아짐에 따라 비정질 탄화수소 박막 내에 나노 그래핀 결정이 포함된 나노 그래파이트가 형성되고, 박막 제조 온도를 더 낮추면 본 발명의 고유전 탄화수소 박막이 형성되었다. 그보다 온도가 더 낮아지는 경우에는 저유전(low-k) 탄화수소 박막이 형성되었다. 하기 실시예에서는 200℃ 내지 600℃에서 제조된 탄화수소 박막의 고유전 특성을 나타내었으나, 반응 온도에서 사용하는 장비와 반응 조건에 따라 변동될 수 있으므로, 그 값을 특정 값으로 한정하는 것은 의미가 없다. 반응 온도에 영향을 미칠 수 있는 조건으로는 탄화수소 가스와 수소 가스의 체적비, 반응 압력, 플라즈마의 세기 등을 들 수 있다.

[0018] 상기 반응기 내 압력은 플라즈마 방전이 원활하게 이루어질 수 있도록 0.5Torr 내지 5Torr인 것이 바람직하다. 압력이 너무 높은 경우에는 플라즈마 유지가 힘들어 탄화수소 박막 증착 효율이 낮아지고, 압력이 너무 낮으면 공정 효율성이 저하된다.

[0019] 본 발명은 또한 상기 방법에 의해 제조되는 고유전 탄화수소 박막에 관한 것이다. 본 발명의 방법에 의해 제조되는 고유전 탄화수소 박막의 두께는 해당 조건에서 반응 시간을 조절하는 것에 의해 용이하게 제어할 수 있다. 본 발명의 박막에 의해 제조된 고유전 탄화수소 박막은 핀홀이 없이 매끈한 표면 구조를 가진다.

[0020] 본 발명의 방법에 의해 제조된 고유전 탄화수소 박막은 유전 상수가 20 이상이며, 하기 일 실시예에서는 90의 매우 높은 고유전 특성을 나타내어 10㎚ 이하의 노드를 갖는 반도체에 유용하게 적용될 수 있을 것으로 기대된다. 특히, 매우 높은 고유전 특성 이외에도 등가 산화막 두께가 0.2㎚일 때, 1V에서의 누설 전류는 0.25A/㎠ 이하이고, 절연 강도는 5MV/㎝ 이상으로 종래 고유전 산화물로 알려진 HfO_2, ZrO_2, $HfAlO_x$, $ZrAlO_x$ 등과 같은 Hf- 또는 Zr- 기반 산화물의 특성을 넘어서는 것이다.

[0021] 본 발명의 또 다른 일 실시예는 상기 고유전 탄화수소 박막을 이용하는 반도체 소자에 관한 것이다. 상기 고유

전 탄화수소 박막은 보다 상세하게는 고유전체를 요하는 초박막 삽입층으로 사용될 수 있다. 본 발명의 반도체 소자는 기억 소자 또는 논리 소자를 들 수 있다.

발명의 효과

[0022] 본 발명의 방법에 의해 제조된 고유전 탄화수소 박막에 의하면, 유전 상수가 SiO_2는 물론 종래의 Hf- 또는 Zr-기반 산화물보다 현저히 높으면서도 누설 전류가 매우 낮고, 높은 절연 강도 특성을 보여 10㎚ 노드 이하의 반도체에 보다 유용하게 사용될 수 있다.

[0023] 또한, 본 발명의 고유전 탄화수소 박막은 촉매층을 필요로 하지 않으므로, 전사 공정을 요하지 않고 필요로 하는 기판 위에 바로 증착될 수 있어 계면 특성이 우수하여 반도체 소자의 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0024] 도 1은 증착 온도에 따라 생성되는 박막의 모식도 및 TEM 이미지를 나타낸다.

도 2는 증착 온도에 따라 생성되는 박막의 라만 스펙트럼 및 EELS 스펙트럼을 나타낸다.

도 3은 400℃에서 제조되는 박막의 XPS 스펙트럼 및 EXAFS 스펙트럼을 나타낸다.

도 4는 본 발명의 일 실시예에 의한 반도체-고유전 탄화수소 박막-금속(MIS)의 모식도를 나타낸다.

도 5는 본 발명의 일 실시예에 의해 제조되는 고유전 탄화수소 박막의 전기적 특성을 보여주는 그래프를 나타낸다.

도 6은 고유전 탄화수소 박막을 이용한 반도체 구조물을 나타내는 단면도이다.

도 7은 도 6의 반도체 구조물의 페르미 레벨을 나타내는 도면이다.

도 8은 고유전 탄화수소 박막을 이용한 본 발명의 일 실시예에 의한 반도체 소자를 나타내는 단면도이다.

도 9는 고유전 탄화수소 박막을 이용한 본 발명의 일 실시예에 의한 반도체 소자를 나타내는 단면도이다.

도 10은 고유전 탄화수소 박막을 이용한 본 발명의 일 실시예에 의한 반도체 소자를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하 첨부된 실시예를 들어 본 발명을 보다 상세히 설명한다. 그러나 이러한 실시예는 본 발명의 기술적 사상의 내용과 범위를 쉽게 설명하기 위한 예시일 뿐, 이에 의해 본 발명의 기술적 범위가 한정되거나 변경되는 것은 아니다. 이러한 예시에 기초하여 본 발명의 기술적 사상의 범위 안에서 다양한 변형과 변경이 가능함은 당업자에게는 당연할 것이다.

[0026] 실시예 1: 탄화수소 박막의 제조

[0027] Si 웨이퍼 또는 $Si/SiO_2/Ag$ 기판 상에 하기 조건에서 CH_4 가스와 수소 가스를 사용하여 ICP-CVD(Inductively-coupled plasma chemical vapor deposition)에 의해 탄화수소 박막을 증착하였다. 구체적으로, 반응기 내로 1sccm의 CH_4 가스와 100sccm의 수소와 Ar 혼합 가스(수소 10%)를 주입하였고, 압력은 1Torr, 플라즈마 파워는 600W로 고정하였다. 증착 시간은 30초에서 1시간까지 변화시켰다.

[0028] 실시예 2: 증착 온도에 따른 탄화수소 박막의 특성 평가

[0029] 증착 온도에 따라 형성된 탄화수소 박막을 일탈 교정 투과 전자 현미경(Aberration-corrected TEM, Titan G2 Cube 60-300kV, FEI)으로 확인하고, 그 결과를 도 1에 도시하였다. 도 1의 b는 950℃에서 증착된 박막의 TEM 이미지로 탄소 원자가 고도로 정렬된 육방정계(hexagonal) 배열을 갖는 것을 보여준다. 내부 도면은 FFT(fast Fourier transformed) digital diffractogram을 나타낸 것으로 고품질 그래핀의 전형적인 특성인 육방정계의 패턴을 나타낸다. 도 2의 a의 라만 스펙트럼에서도 I2D/IG가 약 3 정도로 높은 값을 나타내고, 2D 피크의 최대 반값폭이 $32cm^{-1}$로 작아 고품질의 그래핀이 형성되었음을 확인할 수 있었다.

[0030] 증착 온도가 700℃로 내려가면 생성된 박막은 비정질 매트릭스 내에 부분적으로 육방정계 격자의 나노 결정이 존재하는 나노 그래파이트 모폴로지(도 1의 c 참조)를 나타내었다. FFT는 어두운 점(원으로 표시)을 갖는 확산된 고리 형태를 보여준다. 점들간의 간격은 0.246㎚로 탄소 동소체 헥사고나이트(carbon allotrope hexagonit

e)에 해당한다. 증착 온도가 400℃ 또는 50℃로 더욱 낮아지면, 박막은 나노 결정성을 상실하고 비정질 구조를 나타내며, halo FFT 패턴(도 1의 d와 e 참조)을 보여주었다. 도 2의 a에 도시된 라만 스펙트럼 역시 비정질 탄소 구조의 전형적인 양상을 보여주었다.

[0031] 도 2의 b와 c는 각각 저손실(low-loss) 영역 및 탄소 K-edge 영역의 EELS(electron energy-loss spectroscopy) 스펙트럼으로, 증착 온도에 따른 탄화수소 박막의 결합 양상을 확인할 수 있다. 도 2의 b에서 그래핀은 두 개의 특징적인 피크를 보여주었는데, 5eV의 강한 피크는 탄소의 sp2 결합에 의한 $\pi \rightarrow \pi^*$ 전이와 관련된 π 플라즈몬 피크이며, 15.5eV 부근의 브로드한 피크는 (π+σ) 플라즈몬 피크이다. (π+σ) 플라즈몬 피크의 위치는 원자가 전자의 밀도, 즉 탄소 박막의 질량 밀도에 비례한다. 증착 온도가 700℃로 낮아지면 π 플라즈몬 피크의 세기는 현저히 감소하여, 이는 비정질 매트릭스 내에 sp2 결합을 갖는 나노 결정성 헥사고나이트가 존재함을 보여주는 TEM 이미지의 결과와 일치하였다. 400℃ 및 50℃에서 제조된 박막에서는 (π+σ) 플라즈몬 피크만이 관측되었다. 50℃, 400℃, 및 700℃에서 제조된 박막에서 (π+σ) 플라즈몬 피크의 에너지는 각각 25.0eV, 24.5eV, 및 25.8eV로 sp3 결합이 다량 함유된 탄소 박막보다는 약 5eV 정도가 낮아, sp3 결합의 비율이 적을 것임을 시사하였다. 700℃에서 제조된 박막에서 에너지가 상대적으로 큰 값을 나타내는 것은 밀도가 높은 결정 상태가 함유되었기 때문으로 해석된다.

[0032] 박막 내에 π 결합의 존재는 도 2의 c에 도시된 탄소 K-edge 영역의 EELS 스펙트럼에서도 확인할 수 있다. 50℃ 및 400℃에서 제조된 박막은 281eV에서 첫 피크가 관측되며, 이는 1s 상태에서 페르미 레벨 위의 π^* 상태로의 전이(1s→π^* 전이)에 해당한다. 해당 영역에서 강하게 피크가 관측되는 것으로부터 비정질 박막 내에 상당한 양의 sp2 결합이 존재함을 확인할 수 있다. 두 번째 피크는 290eV 내지 305eV 영역에서 매우 브로드하게 관측되었는데, 이는 1s→σ^* 전이에 해당한다. 증착 온도를 700℃로 높이면, 289.5eV까지 첫 번째 피크가 관측되어 나노 결정화에 의해 에너지 밴드가 좁아진 것을 알 수 있었다. 이 피크는 950℃에서 제조된 그래핀에서 더욱 확실히 관측되었다. EELS 스펙트럼에 의하면, 50℃와 400℃에서 제조된 박막은 종래 보고된 비정질 탄화수소와 유사하였다. 산화 그래핀의 EELS 스펙트럼은 탄화수소와는 다른 양상을 나타내었다.

[0033] 400℃에서 제조된 탄화수소 박막 중 화학 결합 특성을 XPS(X-ray photoelectron spectroscopy)와 EXAFS(extended X-ray absorption fine structure)로 확인하였다. 도 3의 a는 XPS 스펙트럼으로 지방족 탄화수소 C_xH_y에 해당하는 285.3eV가 관측되며, Ar^+ 플라즈마를 사용하여 에칭함에 따라서 해당 피크의 위치가 변하지 않아 탄화수소 박막의 조성이 균일함을 확인할 수 있었다. 도시하지는 않았지만, 그래핀 박막의 XPS 스펙트럼에서는 표면의 에칭에 따라 피크의 위치가 285.0eV에서 284.4eV로 이동하였다. 공기 중에 노출된 그래핀 표면은 다양한 종류의 탄화수소가 흡착될 수 있어, 그 결과 285.0eV의 높은 결합 에너지를 보여준다. 에칭에 따라 표면의 탄화수소가 제거되면 그래핀 그 자체의 결합 에너지인 284.4eV를 보여준다.

[0034] 도 3의 b는 1s 코어 레벨의 EXAFS 스펙트럼이며, c는 페르미 레벨 근처에서의 EXAFS 스펙트럼이다. 도 2의 b에서 285.1eV의 강한 피크는 XPS 스펙트럼의 285.3eV 피크에 대응된다. 탄화수소 박막 중에 수소가 상당량 함유되어 있는 것을 확인하기 위하여 박막을 제조 후 인시추(in-situ)로 700℃에서 열처리하였다.

[0035] 열처리 후 피크의 위치는 284.7eV로 적색 편이하여 지방족 탄화수소 C_xH_y로부터 수소가 탈착되었음을 나타내었다. 그 결과, 탈착된 시료는 확장 상태의 밀도가 높아져 페르미 레벨 근처 영역에서의 강도가 증가하는 것을 나타낸다.

[0036] 실시예 3 : 탄화수소 박막의 전기적 특성 평가

[0037] 유전층으로서 본 발명에 의한 탄화수소 박막을 사용한 도 4의 구조를 갖는 MIS 소자를 제조하여 상기 탄화수소 박막의 전기적 특성을 평가하였다.

[0038] 탄화수소 박막은 기판 상에 직접 성장하거나, 전사하여 MIS 소자를 제조하였다. 보다 구체적으로는, Si 웨이퍼 상에 직접 성장하기 위해서는 Si 웨이퍼를 10% 불산 용액에 침지하여 자연 산화막을 제거한 후 세척하였다. 세척된 기판은 ICP-CVD 반응기에 인입 후 실시예 1에 기술된 조건에 따라 각각 200℃, 250℃, 300℃, 350℃, 400℃에서 탄화수소 박막을 30분간 증착하였다. 탄화수소 박막의 전사를 위해서는 Si/SiO2/Ag 기판을 ICP-CVD 반응기에 인입한 후 직접 성장과 동일한 조건에서 탄화수소 박막을 5분간 증착하였다. 증착된 탄화수소 박막 위에 PMMA를 스핀 코팅한 후 $FeCl_3$ 수용액에 침지하여 Ag 촉매층을 식각하여 탄화수소/PMMA 막을 분리하였다. 분리된 탄화수소/PMMA 막을 Si 웨이퍼 상에 전사한 후 아세톤에 침지하여 PMMA를 제거하였다.

[0039] 전술한 바와 같이, Si 웨이퍼 상에 직접 성장하거나 혹은 전사한 탄화수소 박막 위에 100㎛ 직경의 Au 전극을

형성하여 MIS 소자를 제조하였다.

[0040] 본 MIS 소자에서 단면 TEM과 AFM(Asylum Research, MFP-3D)으로부터 측정한 탄화수소 박막의 두께는 성장 온도 200℃, 250℃, 300℃, 350℃, 400℃에서 각각 2.6nm, 2.4nm, 3.1nm, 5.0nm, 6.5nm이었다. Ag 촉매층이 없는 Si 웨이퍼 그 자체 상에 성장한 탄화수소의 AFM 이미지는 균일하고, 핀홀이 없으며, 매끄러운 표면을 갖는 것을 보여주었다. 각각의 방법에 의해 제조된 탄화수소 박막의 rms 거칠기는 각각 3.06nm와 1.61nm였다.

[0041] 도 5는 제조된 MIS 소자에 대해 측정한 전기적 특성을 보여주는 그래프들이다. 도 5의 a는 Si 웨이퍼 상에 직접 성장한 탄화수소 박막의 C-V 곡선으로, ■은 -4V에서 +4V까지 측정된 값이며, □은 +4V에서 -4V까지 측정된 값이다. C-V 곡선에서 중요한 특성은 모든 시료에 대한 C-V 루프에서 히스테리시스가 5mV 미만으로 거의 0에 가깝다는 것으로, 이는 고유전 게이트 유전체의 기준(약 30mV 이하)에 부합한다. 축적(accumulation)과 공핍(depletion)으로부터의 전이가 빠르고, 히스테리시스 값이 매우 작다는 것은 박막 및 박막과 Si 계면에 트랩된 전하 밀도가 매우 작음을 의미한다. 이에 비해, Si에 전사된 탄화수소 박막은 상당한 히스테리시스를 나타내었으며, 축적과 공핍으로부터의 전이가 상대적으로 느렸다. 이는 전사 과정에서의 계면 특성의 열화와 전사 중 Ag 촉매 박막의 에칭 과정에서의 오염에 기인하는 것으로 평가된다. 도 5의 a의 내부 도면에서 확인할 수 있듯이, C-V 곡선이 이상적인 형태를 나타낸 것에 비하여 탄화수소 박막의 플랫 밴드 전압은 고정된 양 전하로 인하여 -전압쪽으로 약간 이동하였다. 시료간 플랫 밴드 전압의 차이는 크지 않았으며, 모두 -0.3V 내지 0.4V 범위에 속하였다.

[0042] 탄화수소 박막의 유전 상수(k)는 하기 수식으로부터 계산될 수 있다.

[0043] C=E/T: 여기서, C는 집적 캐패시턴스, E는 탄화수소 박막의 유전율, T는 탄화수소 박막의 두께를 나타낸다.

[0044] 도 5의 b는 각각의 온도에서 제조된 박막의 유전 상수를 도시한 그래프로, Si 웨이퍼 상에 직접 성장한 탄화수소 박막의 유전율은 최대 90으로 고유전 게이트 산화물로 알려진 Hf- 및 Zr- 기반 산화물의 유전 상수 20 내지 30보다 우수하였다. 박막 성장 온도가 증가할수록 유전 상수는 점차 증가하여 350℃에서 최대 90을 나타내었으며, 온도가 더욱 증가하여 400℃가 되면 유전 상수는 13으로 저하되었다. Si 웨이퍼 상에 전사된 탄화수소 박막은 직접 성장된 탄화수소 박막과 박막 성장 온도에 대한 경향성은 유사하여, 증착 온도의 증가에 따라 유전 상수 역시 점차 증가하여 500℃에서 최대 61에 도달하였으며, 이후 온도가 더욱 증가하여 600℃가 되면 다시 감소하였다. 이는 낮은 온도에서 증착된 탄화수소 박막에서는 무질서하게 배열된 다이폴 모멘트가 서로 상쇄되어 상대적으로 낮은 k 값을 나타내며, 온도가 증가함에 따라 탄소 골격 구조의 구조화가 증가되어 다이폴 모멘트 역시 증가하기 때문에 유전 상수가 증가하는 것으로 볼 수 있다. 임계 온도 이상이 되면, 댕글링 본드에 수소와 탄화수소가 포획되기 어렵게 되어 탄화수소 구조가 붕괴되고 고유전율 유전체로서의 특성을 상실하게 된다.

[0045] 고유전율 유전체로서의 중요한 특징의 하나는 누설 전류 밀도가 낮고 절연 강도가 높아야 한다는 것이다. 도 5의 c는 I-V 곡선으로 유전 상수가 각각 82 및 90인 300℃ 및 350℃에서 제조된 박막은 등가 산화막 두께 0.15nm 및 0.2nm에 대해 1V에서의 누설 전류가 0.15A/㎠이었다. 누설 전류는 400℃에서 증착된 박막에서 가장 낮은 값을 나타내었는데 그 두께는 약 6.5nm로 박막 중 가장 두꺼웠다. 모든 시료들은 5V까지 항복 현상(breakdown)을 나타내지 않아 절연 강도가 적어도 10MV/cm 이상으로 높은 값을 갖는 것을 알 수 있었다. 이러한 누설 전류 및 절연 강도는 종래 고유전율 산화물과 적어도 동등하거나 이들보다 우수하다.

[0046] 도 6은 고유전 탄화수소 박막을 이용한 반도체 구조물을 나타내는 단면도이고, 도 7은 도 6의 반도체 구조물의 페르미 레벨을 나타내는 도면이다.

[0047] 도 6 및 도 7을 함께 참조하면, 반도체 물질층(160M), 금속 물질층(170M), 및 초박막 삽입층(180)을 포함하는 반도체 구조물을 나타낸다.

[0048] 후술하는 반도체 소자에서 컨택 구조물과 같은 반도체 구조물에, 반도체 물질층(160M)과 금속 물질층(170M)의 계면에 초박막 삽입층(180)을 배치한다.

[0049] 반도체 물질층(160M)과 금속 물질층(170M)의 계면에서 피할 수 없는 페르미 레벨 고정 현상으로 인하여, 유효 금속 일함수(Φ)가 이상적인 진공 일함수와는 다른 레벨에 고정되어, 비이상적인 쇼트키 배리어(Schottky barrier)가 형성되는 문제점이 있다. 이는 반도체 물질층(160M)과 금속 물질층(170M)의 계면에서 전자 주입(electron injection) 효율의 감소와 이에 따른 소자의 성능 저하를 유발하는 문제점이 있다.

[0050] 본 발명의 기술적 사상에서는, 반도체 물질층(160M)과 금속 물질층(170M)의 계면에 초박막 삽입층(180)을 컨포멀하게 형성하여, 페르미 레벨 고정 현상을 제거함으로써, 이상적이며 효율적인 전자 주입 효율을 달성할 수 있

다.

[0051] 초박막 삽입층(180)은 원자층 두께로 형성될 수 있으며, 앞서 설명한 고유전 탄화수소 박막을 이용하여 형성될 수 있다. 즉, 상기 초박막 삽입층(180)은 누설 전류 밀도가 낮고 절연 강도가 높은 특성을 가질 수 있다.

[0052] 상기 초박막 삽입층(180)은 비록 절연 물질이나 원자층 두께로 형성됨으로 인하여, 터널링 현상으로 전자의 이동으로 인한 전기적 연결이 가능함이 발명자들에 의하여 확인되었다.

[0053] 또한, 상기 초박막 삽입층(180)은 반도체 물질층(160M)에 포함되는 댕글링 본드(DB)를 치유하는 역할을 수행할 수 있다.

[0054] 도 8은 고유전 탄화수소 박막을 이용한 본 발명의 일 실시예에 의한 반도체 소자를 나타내는 단면도이다.

[0055] 도 8을 참조하면, 기판(110), 소자 분리막(120), 게이트 구조물(GS), 소스/드레인 영역(160), 컨택 구조물(170), 및 초박막 삽입층(180)을 포함하는 반도체 소자(10)가 제공된다.

[0056] 기판(110)은 반도체 기판일 수 있다. 일부 실시예들에서, 상기 기판(110)은 실리콘(Si), 저머늄(Ge) 등과 같은 반도체를 포함할 수 있고, 또는 SiGe, SiC, GaAs, InAs, InP 등과 같은 화합물 반도체를 포함할 수 있다. 다른 실시예들에서, 상기 기판(110)은 SOI(silicon on insulator) 구조를 가질 수 있다.

[0057] 소자 분리막(120)은 하나의 절연막으로 형성될 수도 있지만, 외부 절연막 및 내부 절연막을 포함할 수도 있다. 외부 절연막 및 내부 절연막은 서로 다른 물질로 형성될 수 있다. 예를 들어, 외부 절연막은 산화막으로 형성되고, 내부 절연막은 질화막으로 형성될 수 있다. 다만, 소자 분리막(120)의 구성이 상기 내용에 한정되는 것은 아니다. 상기 소자 분리막(120)으로 인해, 상기 기판(110)에 활성 영역이 정의될 수 있다.

[0058] 게이트 구조물(GS)은 게이트 유전막(130), 게이트 전극(140), 및 스페이서(150)를 포함할 수 있다.

[0059] 게이트 유전막(130)은 저유전 물질막 또는 고유전 물질막으로 형성될 수 있다. 상기 게이트 유전막(130)은 예를 들어, 실리콘 산화막, 실리콘 산질화막, 하프늄 산화막, 지르코늄 산화막, 탄탈륨 산화막, 및 티타늄 산화막 중에서 선택된 물질로 구성될 수 있으나, 이에 한정되는 것은 아니다.

[0060] 게이트 전극(140)은 하나의 게이트 막으로 이루어질 수 있으며, 다중막으로 형성될 수도 있다. 일부 실시예들에서, 상기 게이트 전극(140)은 불순물이 도핑된 반도체, 금속, 도전성 금속 질화물, 또는 금속 실리사이드 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다.

[0061] 스페이서(150)가 게이트 유전막(130) 및 게이트 전극(140)의 측벽에 형성될 수 있다. 상기 스페이서(150)는 실리콘 산화물, 실리콘 질화물, 및 실리콘 산질화물 중 적어도 하나로 형성될 수 있다. 본 실시예에서는 상기 스페이서(150)가 단일층으로 이루어진 경우를 도시하였으나, 본 발명의 기술적 사상은 이에 한정되지 않으며, 스페이서(150)는 이중층 또는 삼중층으로 이루어질 수 있다.

[0062] 소스/드레인 영역(160)은 상기 게이트 구조물(GS) 양측의 상기 기판(110) 내에 형성되고, 상기 게이트 구조물(GS)의 아래에는 상기 소스/드레인 영역(160) 사이에 개재되는 채널 영역이 정의된다.

[0063] 컨택 구조물(170)이 소스/드레인 영역(160)에 전기적으로 연결될 수 있다. 일부 실시예들에서, 상기 컨택 구조물(170)은 소스/드레인 컨택으로 지칭될 수 있다. 상기 컨택 구조물(170)은 도전성을 갖는 금속막, 금속 질화막, 금속 산화막, 금속 산질화막, 및 불순물이 도핑된 폴리실리콘막 중에서 선택된 하나로 형성될 수 있다.

[0064] 초박막 삽입층(180)은 앞서 설명한 고유전 탄화수소 박막을 이용하여 형성될 수 있다. 즉, 상기 초박막 삽입층(180)은 누설 전류 밀도가 낮고 절연 강도가 높은 특성을 가질 수 있다. 상기 초박막 삽입층(180)은 비록 절연 물질이나, 그 두께가 원자층 두께로 형성됨에 따라, 터널링 현상으로 전자가 이동할 수 있어, 상기 소스/드레인 영역(160)과 상기 컨택 구조물(170)의 전기적 연결을 가능케 한다.

[0065] 도 9는 고유전 탄화수소 박막을 이용한 본 발명의 일 실시예에 의한 반도체 소자를 나타내는 단면도이다.

[0066] 도 9를 참조하면, 핀형 활성 영역(AR)을 포함하는 기판(110), 소자 분리막(120), 소스/드레인 영역(160), 컨택 구조물(170), 및 초박막 삽입층(180)을 포함하는 반도체 소자(20)가 제공된다.

[0067] 기판(110) 및 소자 분리막(120)을 구성하는 물질은 앞서 도 8에서 설명한 바와 실질적으로 동일할 수 있다. 다만, 상기 기판(110)으로부터 돌출되고 제1 방향으로 연장하는 복수의 핀형 활성 영역(AR)을 포함할 수 있다. 상기 소자 분리막(120)은 상기 핀형 활성 영역(AR)의 상부 영역을 노출할 수 있다.

[0068] 소스/드레인 영역(160)이 게이트 구조물(미도시)의 양측의 상기 핀형 활성 영역(AR) 상에 각각 개재될 수 있다. 상기 소스/드레인 영역(160)은 상기 게이트 구조물을 사이에 두고 이격될 수 있다. 상기 소스/드레인 영역(160)은 상기 핀형 활성 영역(AR)을 시드(seed)로 이용하여 형성된, 선택적 에피택셜 성장층일 수 있다.

[0069] 컨택 구조물(170)을 구성하는 물질은 앞서 도 8에서 설명한 바와 실질적으로 동일할 수 있다. 상기 컨택 구조물(170)은 복수의 소스/드레인 영역(160)에 접촉할 수 있다.

[0070] 초박막 삽입층(180)은 앞서 설명한 고유전 탄화수소 박막을 이용하여 형성될 수 있다. 즉, 상기 초박막 삽입층(180)은 누설 전류 밀도가 낮고 절연 강도가 높은 특성을 가질 수 있다. 상기 초박막 삽입층(180)은 비록 절연 물질이나, 그 두께가 원자층 두께로 형성됨에 따라, 터널링 현상으로 전자가 이동할 수 있어, 상기 소스/드레인 영역(160)과 상기 컨택 구조물(170)의 전기적 연결을 가능케 한다.

[0071] 도 10은 고유전 탄화수소 박막을 이용한 본 발명의 일 실시예에 의한 반도체 소자를 나타내는 단면도이다.

[0072] 도 10을 참조하면, 핀형 활성 영역을 포함하는 기판(110), 소자 분리막(120), 게이트 유전막(130), 메인 게이트 전극(140M)과 서브 게이트 전극(140S)을 포함하는 게이트 전극(140), 스페이서(150), 컨택 구조물(170), 및 초박막 삽입층(180)을 포함하는 반도체 소자(30)가 제공된다.

[0073] 기판(110) 및 소자 분리막(120)을 구성하는 물질은 앞서 도 8에서 설명한 바와 실질적으로 동일할 수 있다. 다만, 상기 기판(110)으로부터 돌출되고 제1 방향으로 연장하는 복수의 핀형 활성 영역을 포함할 수 있다. 상기 소자 분리막(120)은 상기 핀형 활성 영역의 상부 영역을 노출할 수 있다.

[0074] 복수의 반도체 패턴(NS)은 핀형 활성 영역 상에서 기판(110)의 상면으로부터 수직하는 방향으로 이격되어 배치될 수 있다.

[0075] 상기 복수의 반도체 패턴(NS)은 예를 들어, 나노시트(nanosheet)의 형상을 가질 수 있다.

[0076] 게이트 전극(140)은 복수의 반도체 패턴(NS)을 둘러싸며 핀형 활성 영역 및 소자 분리막(120) 상에서 연장될 수 있다. 상기 게이트 전극(140)은 메인 게이트 전극(140M) 및 복수의 서브 게이트 전극(140S)을 포함할 수 있다.

[0077] 게이트 유전막(130)은 게이트 전극(140)과 복수의 반도체 패턴(NS)의 사이에 배치될 수 있다. 게이트 유전막(130)은 복수의 반도체 패턴(NS)의 상면과 측벽 상에 컨포멀하게 배치될 수 있다. 상기 게이트 유전막(130)을 구성하는 물질은 앞서 도 8에서 설명한 바와 실질적으로 동일할 수 있다.

[0078] 소스/드레인 영역(160)은 상기 핀형 활성 영역을 시드로 이용하여 형성된, 선택적 에피택셜 성장층일 수 있다.

[0079] 컨택 구조물(170)을 구성하는 물질은 앞서 도 8에서 설명한 바와 실질적으로 동일할 수 있다. 상기 컨택 구조물(170)은 복수의 소스/드레인 영역(160)에 접촉할 수 있다.

[0080] 초박막 삽입층(180)은 앞서 설명한 고유전 탄화수소 박막을 이용하여 형성될 수 있다. 즉, 상기 초박막 삽입층(180)은 누설 전류 밀도가 낮고 절연 강도가 높은 특성을 가질 수 있다. 상기 초박막 삽입층(180)은 비록 절연 물질이나, 그 두께가 원자층 두께로 형성됨에 따라, 터널링 현상으로 전자가 이동할 수 있어, 상기 소스/드레인 영역(160)과 상기 컨택 구조물(170)의 전기적 연결을 가능케 한다.

[0081] 이상, 첨부된 도면들을 참조하여 본 발명의 기술적 사상의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형상으로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0082] 10, 20, 30: 반도체 소자

110: 기판 120: 소자 분리막

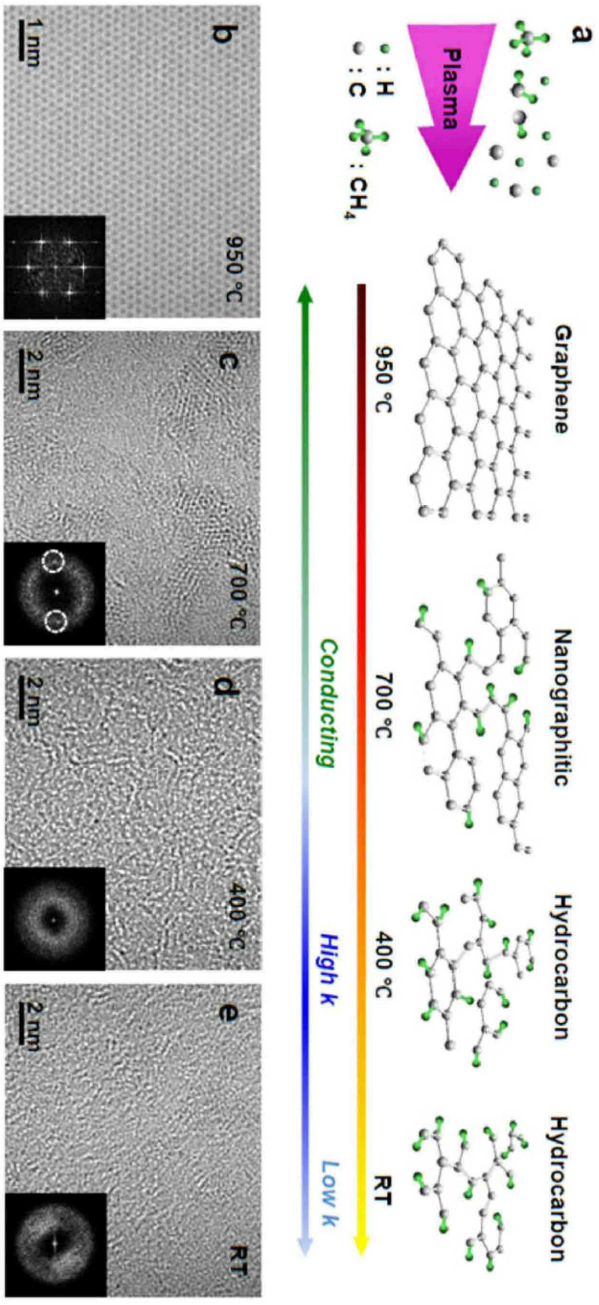
130: 게이트 유전막 140: 게이트 전극

150: 스페이서 160: 소스/드레인 영역

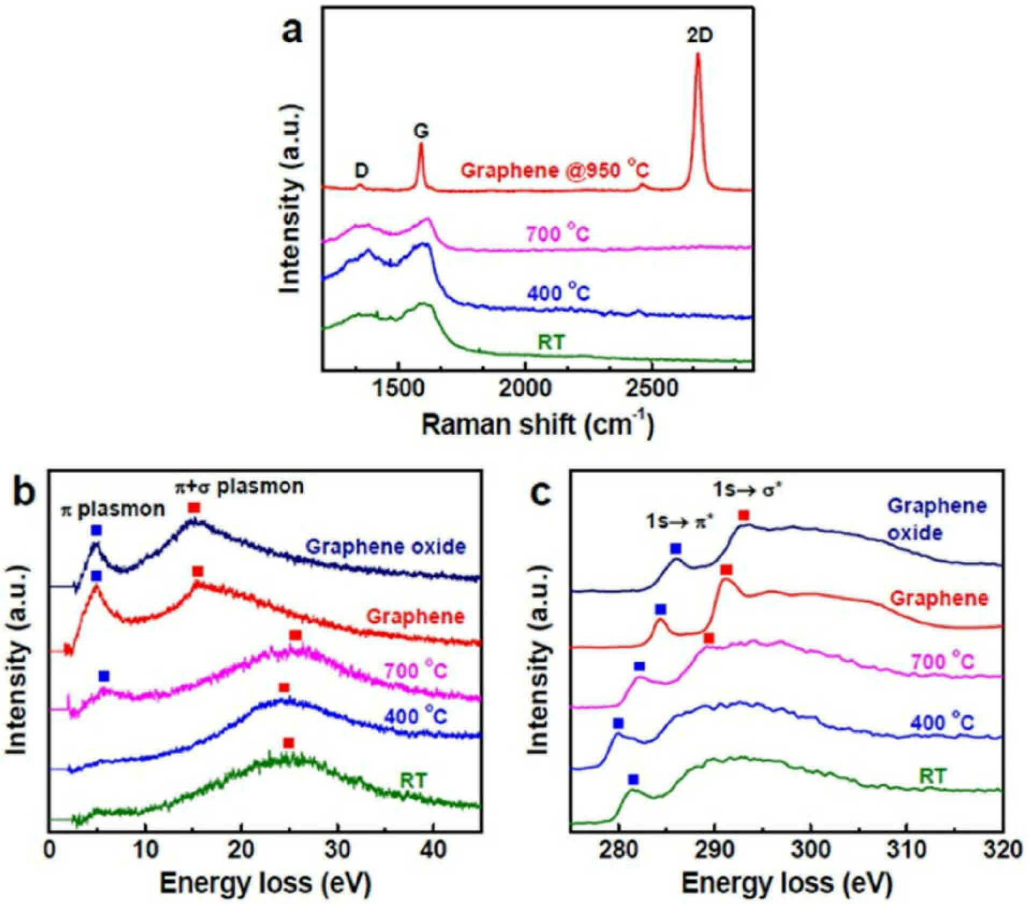
170: 컨택 구조물 180: 초박막 삽입층

도면

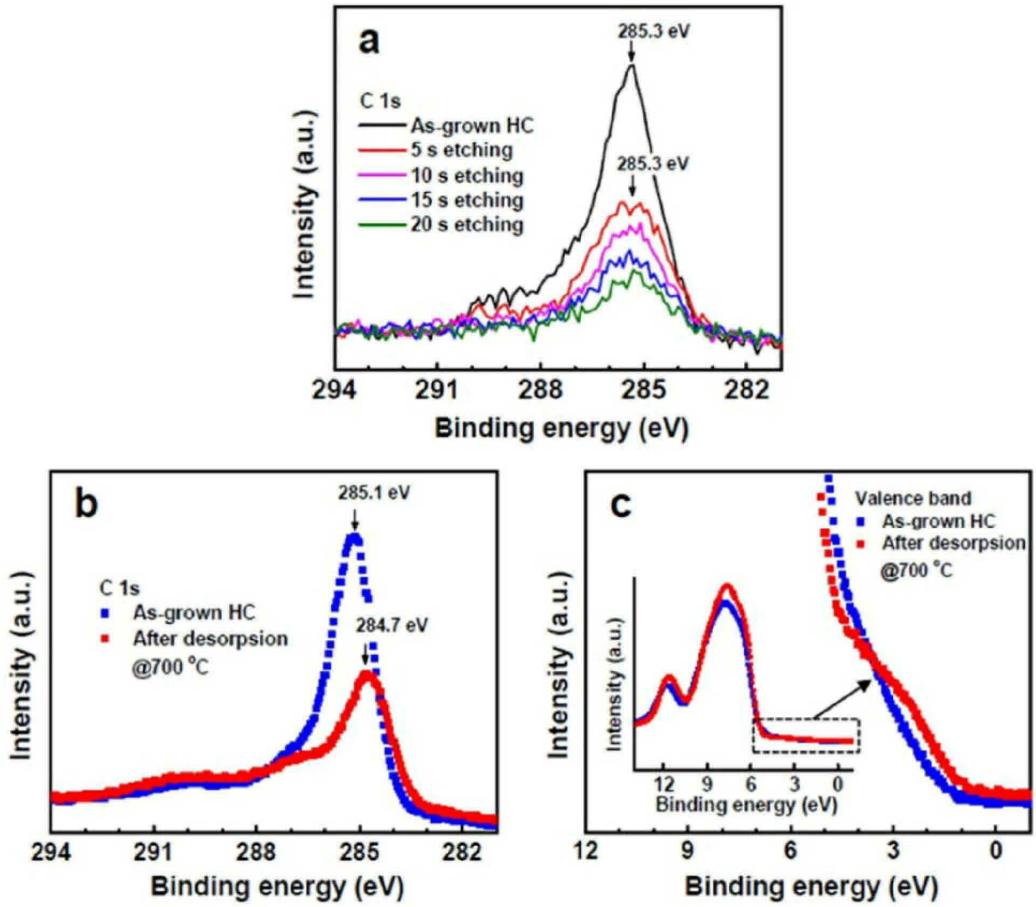
도면1


a
Plasma
: H
: C
: CH_4
Graphene
Nanographitic
Hydrocarbon
Hydrocarbon
950 °C
700 °C
400 °C
RT
Conducting
High k
Low k
b
950 °C
1 nm
c
700 °C
2 nm
d
400 °C
2 nm
e
RT
2 nm

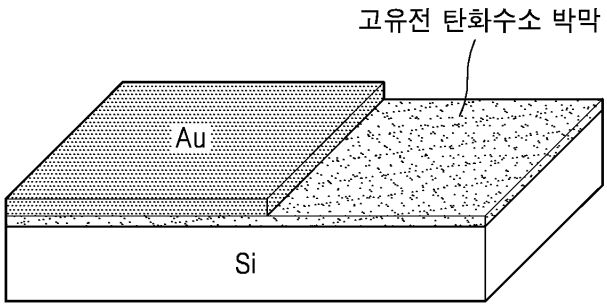
도면2


a
2D
G
D
Graphene @950 °C
700 °C
400 °C
RT
Intensity (a.u.)
1500
2000
2500
Raman shift (cm-1)
b
π plasmon
π+σ plasmon
Graphene oxide
Graphene
700 °C
400 °C
RT
Intensity (a.u.)
0
10
20
30
40
Energy loss (eV)
c
1s→ σ*
1s→ π*
Graphene oxide
Graphene
700 °C
400 °C
RT
Intensity (a.u.)
280
290
300
310
320
Energy loss (eV)

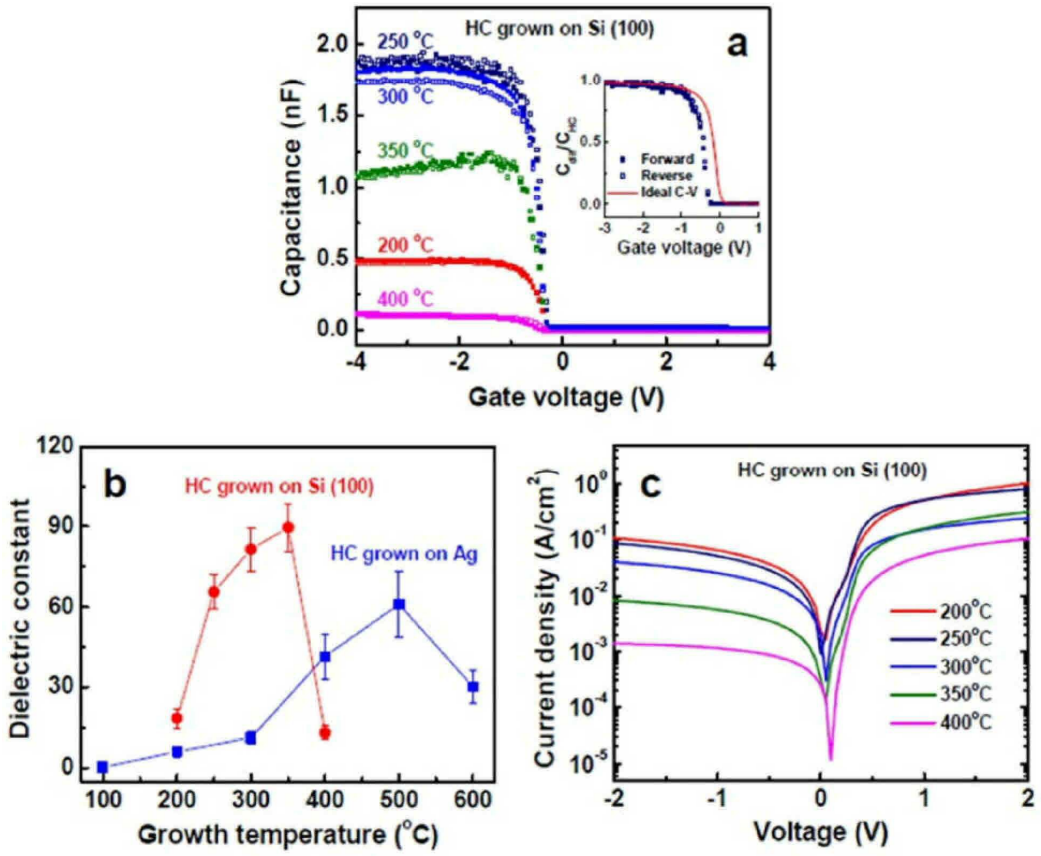
도면3


a
285.3 eV
C 1s
As-grown HC
5 s etching
10 s etching
15 s etching
20 s etching
285.3 eV
Intensity (a.u.)
294
291
288
285
282
Binding energy (eV)
b
285.1 eV
C 1s
As-grown HC
After desorpsion
@700 °C
284.7 eV
Intensity (a.u.)
294
291
288
285
282
Binding energy (eV)
c
Valence band
As-grown HC
After desorpsion
@700 °C
Intensity (a.u.)
12
9
6
3
0
Binding energy (eV)
Intensity (a.u.)
12
9
6
3
0
Binding energy (eV)

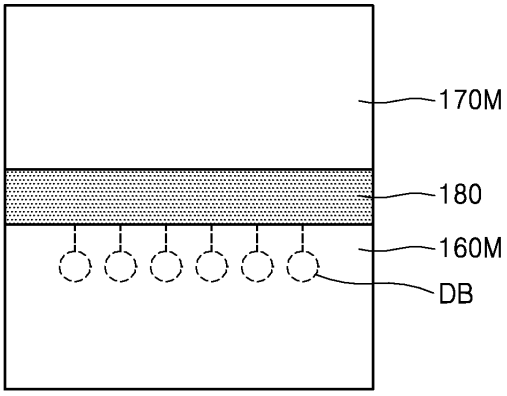
도면4


고유전 탄화수소 박막
Au
Si

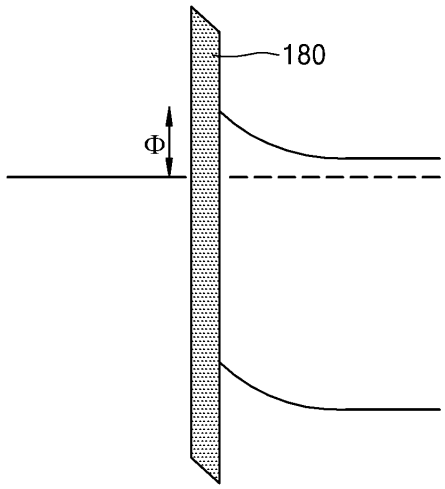
도면5


HC grown on Si (100)
a
250 °C
300 °C
350 °C
200 °C
400 °C
Capacitance (nF)
Gate voltage (V)
Forward
Reverse
Ideal C-V
Gate voltage (V)
b
HC grown on Si (100)
HC grown on Ag
Dielectric constant
Growth temperature (°C)
c
HC grown on Si (100)
Current density (A/cm²)
200°C
250°C
300°C
350°C
400°C
Voltage (V)

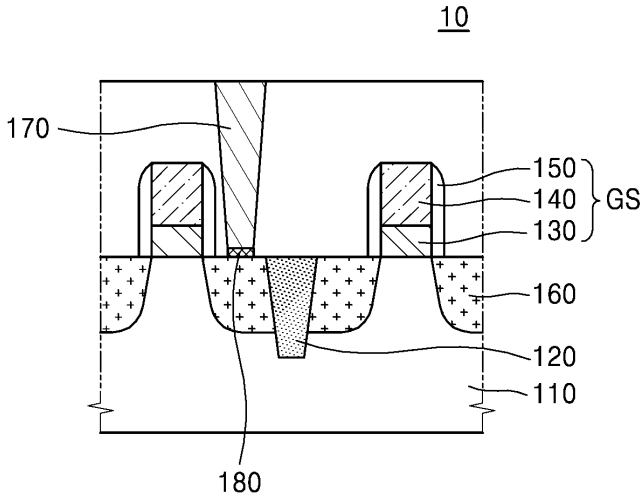
도면6


170M
180
160M
DB

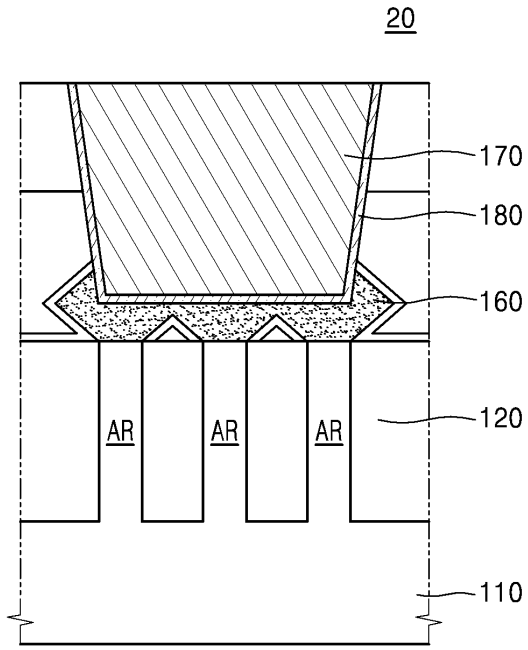
도면7



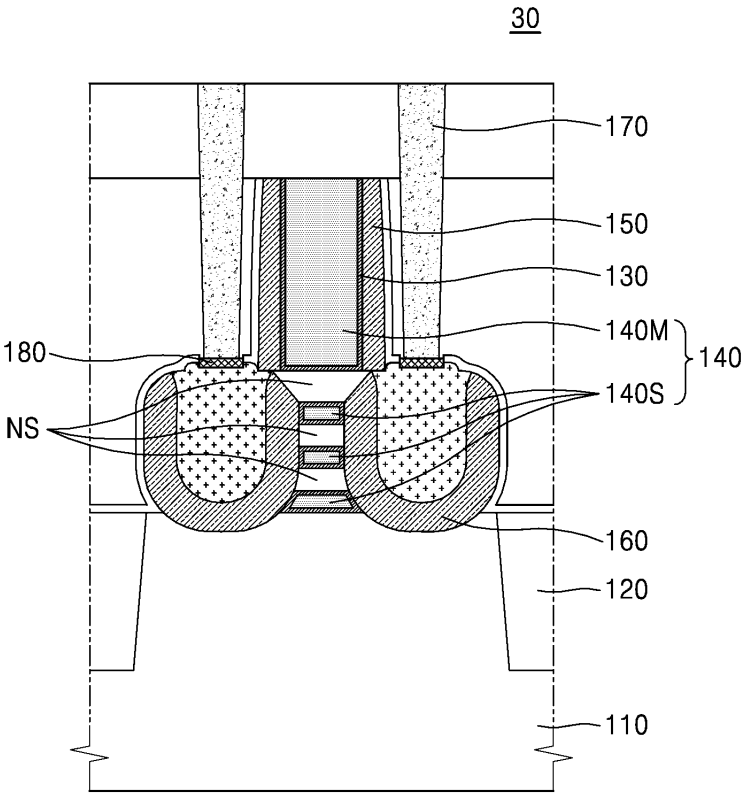
도면8



도면9


20
170
180
160
AR
AR
AR
120
110

도면10


30
170
150
130
140M
140
180
140S
NS
160
120
110