(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0101756
(43) 공개일자 2025년07월04일

(51) 국제특허분류(Int. Cl.)
G06N 10/60 (2022.01) *G06N 10/20* (2022.01)
G06N 10/40 (2022.01) *B82Y 10/00* (2017.01)
(52) CPC특허분류
G06N 10/60 (2025.05)
G06N 10/20 (2025.05)
(21) 출원번호 10-2024-0011107
(22) 출원일자 2024년01월24일
심사청구일자 2024년01월24일
(30) 우선권주장
1020230193145 2023년12월27일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
허준
서울특별시 강남구 광평로10길 6 (일원동, 한솔마을아파트)
민건식
서울시 서대문구 세무서8길 30, 홍제영해링턴플레이스아파트 109동 1305호
(74) 대리인
특허법인위솔

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **양자 근사 최적화 기반의 그래프 다중 채색 문제 수행 방법 및 장치**

(57) 요 약

일 실시예에 따른 그래프 다중 채색 문제 수행 장치는 노드 및 간선으로 구성된 그래프 다중 채색 문제를 획득하는 동작; 각 노드 i(i는 노드의 식별 정보)에 채색 가능한 색상의 경우의 수 j(j는 경우의 수의 식별 정보)를 조합한 식별 정보 i, j 각각에 큐비트를 할당하는 동작; 동일한 노드의 식별 정보를 갖는 모든 큐비트 간에 W-State 게이트를 연결하는 동작; 서로 인접한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 Cost Function Hamiltonian 게이트를 연결하는 동작; 동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 XY Hamiltonian 게이트를 연결하는 동작; 및 상기 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 양자 회로를 동작시켜 상기 큐비트로부터 상기 그래프 다중 채색 문제의 해답을 도출하는 동작을 수행할 수 있다.

대 표 도 - 도2



(52) CPC특허분류
G06N 10/40 (2025.05)
B82Y 10/00 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711193089
과제번호 2021-0-01810-003
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 정보통신방송혁신인재양성
연구과제명 양자세계를 연결하는 초신뢰 양자인터넷 요소 기술 개발
과제수행기관명 고려대학교산학협력단
연구기간 2021.07.01 ~ 2028.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711189199
과제번호 2019R1A2C2010061
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)
연구과제명 복잡한 무선 통신 환경에서 적용 가능한 양자 알고리즘 개발 및 구현
과제수행기관명 고려대학교
연구기간 2019.03.01 ~ 2024.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1711195702
과제번호 00225385
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 SW컴퓨팅산업원천기술개발
연구과제명 NISQ 환경에서 저부하, 고효율 양자 오류 경감 기술 개발 및 응용
과제수행기관명 서울시립대학교산학협력단
연구기간 2023.04.01 ~ 2026.12.31

명 세 서

청구범위

청구항 1

프로세서에 의해 동작하는 그래프 다중 채색 문제 수행 장치가 수행하는 동작의 방법에 있어서,

노드 및 간선으로 구성된 그래프 다중 채색 문제를 획득하는 동작;

각 노드 i(i는 노드의 식별 정보)에 채색 가능한 색상의 경우의 수 j(j는 경우의 수의 식별 정보)를 조합한 식별 정보 i, j 각각에 큐비트를 할당하는 동작;

동일한 노드의 식별 정보를 갖는 모든 큐비트 간에 W-State 게이트를 연결하는 동작;

서로 인접한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 Cost Function Hamiltonian 게이트를 연결하는 동작;

동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 XY Hamiltonian 게이트를 연결하는 동작; 및

상기 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 양자 회로를 동작시켜 상기 큐비트로부터 상기 그래프 다중 채색 문제의 해답을 도출하는 동작을 포함하는,

방법.

청구항 2

제1항에 있어서,

상기 그래프 다중 채색 문제는

노드 및 간선으로 구성된 그래프 구조에 대한 정보, 채색 가능한 색상의 수에 대한 정보 및 상기 그래프 구조에서 간선으로 연결된 노드 간 상이한 색상을 채색하는 규칙에 대한 정보를 포함하는

방법.

청구항 3

제2항에 있어서,

상기 그래프 구조에 대한 정보는

상기 노드에 대한 정보 V={v_1, v_2, ..., v_n}(밑첨자 n은 노드 개수), 상기 간선에 대한 정보 E={e_1, e_2, ..., e_m}(밑첨자 m은 간선 개수)을 포함하고,

상기 채색 가능한 색상에 대한 정보는

색상에 대한 정보 K={k_1, k_2, ..., k_k}(밑첨자 k는 채색 가능한 색상의 수)를 포함하고,

상기 규칙에 대한 정보는

노드 v_i에 칠할 수 있는 색상의 세트가 $\emptyset_{v_i}^{K} = \{\emptyset_{v_i}^{k_1}, \emptyset_{v_i}^{k_2}, \ldots, \emptyset_{v_i}^{k_k}\}$로 정의되고, 노드 v_i에 색상 k_1이 채색된 경우 $\emptyset_{v_i}^{k_1}$의 값이 1이고, 채색되지 않은 경우 $\emptyset_{v_i}^{k_1}$의 값이 0으로 정의되며, 간선으로 연결된 노드 v_i, v_j에 대하여 $\emptyset_{v_i} \neq \emptyset_{v_j}$인 조건에 대한 정보로 설정되는,

방법.

청구항 4

제1항에 있어서,

상기 각각에 큐비트를 할당하는 동작은

노드의 수에 채색 가능한 색상의 수를 곱한 개수만큼 큐비트를 생성하는 동작; 및

상기 식별 정보 i, j 각각에 상기 생성된 큐비트를 매칭시켜 할당하는 동작을 포함하는,

방법.

청구항 5

제1항에 있어서,

상기 큐비트는,

채색 가능한 상태일 때 $|1\rangle$, 채색할 수 없는 상태일 때 $|0\rangle$인 것으로 설정되는

방법.

청구항 6

제5항에 있어서,

상기 W-State 게이트는

어느 하나의 노드를 기준으로 채색할 수 있는 색상의 모든 경우의 수를 양자화 상태로 출력하는 양자 회로의 설계를 포함하는,

방법.

청구항 7

제6항에 있어서,

상기 W-State 게이트는

특정 노드에 채색할 수 있는 색상이 1가지 색상인 경우부터 k가지(k는 채색 가능한 색상의 수) 색상인 경우에 대한 경우의 수를 양자화 상태의 큐비트로 출력하는 양자 회로의 설계를 포함하는,

방법.

청구항 8

제1항에 있어서,

상기 Cost Function Hamiltonian 게이트는

동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 Controlled ZZ 연산을 수행하는 양자 회로의 설계를 포함하는,

방법.

청구항 9

제1항에 있어서,

상기 XY Hamiltonian 게이트는

동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 아래 수학식 1의 연산을 수행하는 양자 회로의 설계를 포함하는,

[수학식 1]

$$H_{XY} = \frac{1}{2}\sum_{i,j\in T} \sigma_i^x \sigma_j^x + \sigma_i^y \sigma_j^y$$

(i는 노드의 식별 정보, j는 채색 가능한 색상의 경우의 수의 식별 정보, T는 식별 정보 i, j의 모든 조합, x는 Pauli X gate, y는 Pauli Y gate)

방법.

청구항 10

명령어를 포함하는 메모리; 및

상기 명령어를 기초로 소정의 동작을 수행하는 프로세서를 포함하고,

상기 프로세서의 동작은,

노드 및 간선으로 구성된 그래프 다중 채색 문제를 획득하는 동작;

각 노드 i(i는 노드의 식별 정보)에 채색 가능한 색상의 경우의 수 j(j는 경우의 수의 식별 정보)를 조합한 식별 정보 i, j 각각에 큐비트를 할당하는 동작;

동일한 노드의 식별 정보를 갖는 모든 큐비트 간에 W-State 게이트를 연결하는 동작;

서로 인접한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 Cost Function Hamiltonian 게이트를 연결하는 동작;

동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 XY Hamiltonian 게이트를 연결하는 동작; 및

상기 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 양자 회로를 동작시켜 상기 큐비트로부터 상기 그래프 다중 채색 문제의 해답을 도출하는 동작을 포함하는,

그래프 다중 채색 문제 수행 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 양자 근사 최적화 알고리즘을 이용하여 NISQ(Noisy Intermediate-Scale Quantum) 기반 양자 컴퓨터에서 그래프 다중 채색 문제를 수행하여 자원 할당 문제를 해결하는 기술에 관한 것이다.

배 경 기 술

[0002] 현재 양자 컴퓨터의 기술은 소규모 큐비트를 사용하여 화학 구조 분석, 빅데이터 분석 등 복잡한 데이터 분석에서 고전 컴퓨터를 보조하는 역할로 사용되고 있다. 대규모의 큐비트를 사용하는 양자 컴퓨터는 양자 알고리즘 및 양자 머신러닝을 수행할 수 있으므로 다양한 데이터 분석에 사용될 것을 기대할 수 있다.

[0003] 한편, 양자 근사 최적화 알고리즘((Quantum Approximate Optimization Algorithm, QAOA)은 조합 최적화 문제를 해결하기 위한 변분 최적화 기법을 의미한다. 조합 최적화 문제는 유한한 목적 함수에 대한 비용 함수를 최대화 또는 최소화하는 문제로서 자원 할당, 공급망 최적화 문제 등을 포함한 다양한 분야에서 응용되고 있다.

[0004] 특히, 그래프 다중 채색 문제(Graph Multi Coloring Problem)는 NP-complete 문제 중 하나로, 그래프 다중 채색 문제를 양자 컴퓨팅으로 해결하기 위해서는 매우 고차원의 입력 양자 상태가 요구된다는 한계가 있었다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 대한민국 등록특허공보 제10-2023-0174676호

비특허문헌

[0006] (비특허문헌 0001) 서영진, 강유진, 박정훈, 허준. Single Graph Coloring Problem에 적용한 양자 검색 알고리즘의 복잡도 감소 기법. 2020년도 한국통신학회 하계종합학술발표회 논문집. VOL 70, NO. 01, PP. 0355

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 기존의 기술보다 상대적으로 적은 차원의 입력 양자 상태가 요구되는 양자 근사 최적화 알고리즘을 설계하여 그래프 다중 채색 문제를 해결하는 기술을 제공하는 것이다.

[0008] 한편, 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 일 실시예에 따른 프로세서에 의해 동작하는 그래프 다중 채색 문제 수행 장치가 수행하는 동작의 방법에 있어서, 노드 및 간선으로 구성된 그래프 다중 채색 문제를 획득하는 동작; 각 노드 i(i는 노드의 식별 정보)에 채색 가능한 색상의 경우의 수 j(j는 경우의 수의 식별 정보)를 조합한 식별 정보 i, j 각각에 큐비트를 할당하는 동작; 동일한 노드의 식별 정보를 갖는 모든 큐비트 간에 W-State 게이트를 연결하는 동작; 서로 인접한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 Cost Function Hamiltonian 게이트를 연결하는 동작; 동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 XY Hamiltonian 게이트를 연결하는 동작; 및 상기 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 양자 회로를 동작시켜 상기 큐비트로부터 상기 그래프 다중 채색 문제의 해답을 도출하는 동작을 포함할 수 있다.

[0010] 또한, 상기 그래프 다중 채색 문제는 노드 및 간선으로 구성된 그래프 구조에 대한 정보, 채색 가능한 색상의 수에 대한 정보 및 상기 그래프 구조에서 간선으로 연결된 노드 간 상이한 색상을 채색하는 규칙에 대한 정보를 포함할 수 있다.

[0011] 또한, 상기 그래프 구조에 대한 정보는 상기 노드에 대한 정보 V={v_1, v_2, ..., v_n}(밑첨자 n은 노드 개수), 상기 간선에 대한 정보 E={e_1, e_2, ..., e_m}(밑첨자 m은 간선 개수)을 포함하고, 상기 채색 가능한 색상에 대한 정보는 색상에 대한 정보 K={k_1, k_2, ..., k_k}(밑첨자 k는 채색 가능한 색상의 수)를 포함하고, 상기 규칙에 대한 정보는 노드 v_i에 칠할 수 있는 색상의 세트가 $\emptyset_{v_i}^{K} = \{\emptyset_{v_i}^{k_1}, \emptyset_{v_i}^{k_2}, \ldots, \emptyset_{v_i}^{k_k}\}$로 정의되고, 노드 v_i에 색상 k_1이 채색된 경우 $\emptyset_{v_i}^{k_1}$의 값이 1이고, 채색되지 않은 경우 $\emptyset_{v_i}^{k_1}$의 값이 0으로 정의되며, 간선으로 연결된 노드 v_i, v_j에 대하여 $\emptyset_{v_i} \neq \emptyset_{v_j}$인 조건에 대한 정보로 설정될 수 있다.

[0012] 또한, 상기 각각에 큐비트를 할당하는 동작은 노드의 수에 채색 가능한 색상의 수를 곱한 개수만큼 큐비트를 생성하는 동작; 및 상기 식별 정보 i, j 각각에 상기 생성된 큐비트를 매칭시켜 할당하는 동작을 포함할 수 있다.

[0013] 또한, 상기 큐비트는 채색 가능한 상태일 때 $|1\rangle$, 채색할 수 없는 상태일 때 $|0\rangle$인 것으로 설정될 수 있다.

[0014] 또한, 상기 W-State 게이트는 어느 하나의 노드를 기준으로 채색할 수 있는 색상의 모든 경우의 수를 양자화 상태로 출력하는 양자 회로의 설계를 포함할 수 있다.

[0015] 또한, 상기 W-State 게이트는 특정 노드에 채색할 수 있는 색상이 1가지 색상인 경우부터 k가지(k는 채색 가능한 색상의 수) 색상인 경우에 대한 경우의 수를 양자화 상태의 큐비트로 출력하는 양자 회로의 설계를 포함할 수 있다.

[0016] 또한, 상기 Cost Function Hamiltonian 게이트는 동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 Controlled ZZ 연산을 수행하는 양자 회로의 설계를 포함할 수 있다.

[0017] 또한, 상기 XY Hamiltonian 게이트는 동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 아래 수학식 1의 연산을 수행하는 양자 회로의 설계를 포함할 수 있다.

[0018] [수학식 1]

[0019] $$H_{XY} = \frac{1}{2}\sum_{i,j\in T} \sigma_i^x \sigma_j^x + \sigma_i^y \sigma_j^y$$

[0020] (i는 노드의 식별 정보, j는 채색 가능한 색상의 경우의 수의 식별 정보, T는 식별 정보 i, j의 모든 조합)

[0021] 일 실시예에 따른 그래프 다중 채색 문제 수행 장치는 명령어를 포함하는 메모리; 및 상기 명령어를 기초로 소정의 동작을 수행하는 프로세서를 포함하고, 상기 프로세서의 동작은 노드 및 간선으로 구성된 그래프 다중 채색 문제를 획득하는 동작; 각 노드 i(i는 노드의 식별 정보)에 채색 가능한 색상의 경우의 수 j(j는 경우의 수의 식별 정보)를 조합한 식별 정보 i, j 각각에 큐비트를 할당하는 동작; 동일한 노드의 식별 정보를 갖는 모든 큐비트 간에 W-State 게이트를 연결하는 동작; 서로 인접한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 Cost Function Hamiltonian 게이트를 연결하는 동작; 동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 XY Hamiltonian 게이트를 연결하는 동작; 및 상기 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 양자 회로를 동작시켜 상기 큐비트로부터 상기 그래프 다중 채색 문제의 해답을 도출하는 동작을 포함할 수 있다.

발명의 효과

[0022] 본 발명은 그래프 다중 채색 문제에 포함된 각 노드에 채색 가능한 색상의 경우의 수를 조합한 식별 정보 각각에 큐비트를 할당하고, 큐비트와 연결된 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 양자 회로를 설계하여, k^n (k는 채색 가능한 색상의 수, n은 노드의 수)의 입력 양자 상태의 차원이 요구되는 양자 근사 최적화 알고리즘을 설계할 수 있다. 이에 따라, 본 발명은 그래프 다중 채색 문제의 연산을 요구하는 소규모의 양자 컴퓨터에서 낮은 복잡도로 자원 할당 알고리즘 연산을 수행할 수 있게 한다.

[0023] 한편, 본 발명에 의한 효과는 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0024] 도 1은 일 실시예에 따른 그래프 다중 채색 문제 수행 장치의 구성도이다.

도 2는 일 실시예에 따른 그래프 다중 채색 문제 수행 장치가 수행하는 동작의 단계를 나타낸 흐름도이다.

도 3은 일 실시예에 따른 W-State 게이트의 예시도이다.

도 4은 일 실시예에 따른 Cost Function Hamiltonian 게이트의 예시도이다.

도 5는 일 실시예에 따른 Cost Function Hamiltonian 게이트의 예시도이다.

도 6은 일 실시예에 따라 큐비트와 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 예시도이다.

도 7은 일 실시예에 따른 양자 회로에 그래프 다중 채색 문제를 입력한 경우 도출되는 해답의 예시도이다.

도 8은 그래프 다중 채색 문제의 노드 개수에 따른 본 문서의 실시예의 성능을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명의 목적과 기술적 구성 및 그에 따른 작용 효과에 관한 자세한 사항은 본 발명의 명세서에 첨부된 도면에 의거한 이하의 상세한 설명에 의해 보다 명확하게 이해될 것이다. 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세하게 설명한다.

[0026] 본 명세서에서 개시되는 실시예들은 본 발명의 범위를 한정하는 것으로 해석되거나 이용되지 않아야 할 것이다. 이 분야의 통상의 기술자에게 본 명세서의 실시예를 포함한 설명은 다양한 응용을 갖는다는 것이 당연하다. 따라서, 본 발명의 상세한 설명에 기재된 임의의 실시예들은 본 발명을 보다 잘 설명하기 위한 예시적인 것이며 본 발명의 범위가 실시예들로 한정되는 것을 의도하지 않는다.

[0027] 도면에 표시되고 아래에 설명되는 기능 블록들은 가능한 구현의 예들일 뿐이다. 다른 구현들에서는 상세한 설명의 사상 및 범위를 벗어나지 않는 범위에서 다른 기능 블록들이 사용될 수 있다. 또한, 본 발명의 하나 이상의 기능 블록이 개별 블록들로 표시되지만, 본 발명의 기능 블록들 중 하나 이상은 동일 기능을 실행하는 다양한 하드웨어 및 소프트웨어 구성들의 조합일 수 있다.

[0028] 또한, 어떤 구성요소들을 포함한다는 표현은 “개방형”의 표현으로서 해당 구성요소들이 존재하는 것을 단순히 지칭할 뿐이며, 추가적인 구성요소들을 배제하는 것으로 이해되어서는 안 된다.

[0029] 나아가 어떤 구성요소가 다른 구성요소에 “연결되어” 있다거나 “접속되어” 있다고 언급될 때에는, 그 다른 구성요소에 직접적으로 연결 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 한다.

[0030] 이하, 본 발명의 다양한 실시예가 첨부된 도면을 참조하여 기재된다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 실시예의 다양한 변경(modification), 균등물(equivalent), 및/또는 대체물(alternative)을 포함하는 것으로 이해되어야 한다.

[0031] 도 1은 일 실시예에 따른 그래프 다중 채색 문제 수행 장치(100)(이하, '장치(100)'로 지칭)의 구성도이다.

[0032] 도 1을 참조하면, 일 실시예에 따른 장치(100)는 각각 메모리(110), 프로세서(120), 입출력 인터페이스(130) 및 통신 인터페이스(140)를 포함할 수 있다.

[0033] 메모리(110)는 외부 장치로부터 획득한 데이터 또는 스스로 생성한 데이터를 저장할 수 있다. 메모리(110)는 프로세서(120)의 동작을 수행시킬 수 있는 명령어들을 저장할 수 있다. 또한, 메모리(110)는 후술할 그래프 다중 채색 문제에 대한 정보를 저장할 수 있다.

[0034] 프로세서(120)는 전반적인 동작을 제어하는 연산 장치이다. 프로세서(120)는 메모리(110)에 저장된 명령어들을 실행할 수 있다. 본 문서의 실시예에 따라 후술할 도 3의 장치(100) 동작은 프로세서(120)에 의해 수행되는 동작으로 이해될 수 있다.

[0035] 입출력 인터페이스(130)는 정보를 입력하거나 출력하는 하드웨어 인터페이스 또는 소프트웨어 인터페이스를 포함할 수 있다.

[0036] 통신 인터페이스(140)는 통신망을 통해 정보를 송수신 할 수 있게 한다. 이를 위해, 통신 인터페이스(140)는 무선 통신모듈 또는 유선 통신모듈을 포함할 수 있다.

[0037] 장치(100)는 프로세서(120)를 통해 연산을 수행하고 네트워크를 통해 정보를 송수신할 수 있는 다양한 형태의 장치로 구현될 수 있다. 예를 들면, 서버, 컴퓨터 장치, 양자 컴퓨팅 장치, 휴대용 통신 장치, 스마트 폰, 휴대용 멀티미디어 장치, 노트북, 태블릿 PC 등의 형태로 구현될 수 있으나, 이러한 예시에 한정되는 것은 아니다. 여기서, 양자 컴퓨팅 장치는 양자 얽힘(quantum entanglement), 양자 중첩(quantum superposition) 등의 양자역학과 관련된 현상을 이용하여 데이터를 처리하는 컴퓨팅 장치이다. 양자 얽힘은 둘 이상의 상태가 양자적으로 서로 연결되어 있어, 각각의 상태로 따로 다룰 수 없는 상태를 의미할 수 있다. 양자 중첩은 양자 상태를 측정하기 전에 측정에 의한 여러 결과 상태가 확률적으로 동시에 존재하는 것을 의미할 수 있다. 양자 컴퓨팅 장치는 양자역학과 관련된 현상을 이용하여 데이터를 처리하기 위한 정보의 기본 단위로 큐비트(qubit)를 사용할 수 있다.

[0038] 큐비트는 양자 중첩 상태를 이용하여 여러 비트에 대응되는 값을 동시에 표현이 가능할 수 있다. 예를 들어, 큐비트는 '20%의 확률로 0, 80%의 확률로 1'과 같이 각각의 값들을 확률로 표현할 수 있다. 큐비트는 관측될 때 양자 중첩 상태가 풀리면서 하나의 상태로 결정될 수 있다. 각각의 큐비트는 큐비트의 입력 상태를 기초로 연산을 수행하는 양자 게이트를 통해 소정의 연산이 수행될 수 있고, 큐비트와 양자 게이트로 이루어진 설계를 양자 회로라 한다. 다음 도 2에서는 장치(100)가 그래프 다중 채색 문제를 해결하기 위해 큐비트와 양자 게이트로 구성된 양자 회로를 설계하는 동작을 설명한다.

[0039] 도 2는 일 실시예에 따른 장치(100)가 수행하는 동작의 흐름도이다. 도 2의 실시예에 따른 장치(100)의 동작은 프로세서(120)에 의해 수행되는 동작으로 이해될 수 있다.

[0040] 도 2에 개시된 각 단계는 본 발명의 목적을 달성함에 있어서 바람직한 실시예일 뿐이며, 필요에 따라 일부 단계가 추가 또는 삭제될 수 있음은 물론이고, 어느 한 단계가 다른 단계에 포함되어 수행될 수도 있다. 도 2에 개시된 각 동작의 순서는 이해의 편의를 위해 배치된 순서일 뿐, 이러한 순서가 시계열적인 순서로 한정되는 것이 아니며, 설계자의 선택에 따라 순서가 다르게 변경되어 동작될 수 있다.

[0041] S1010 단계에서, 장치(100)는 노드 및 간선으로 구성된 그래프 다중 채색 문제를 획득할 수 있다. 그래프 다중 채색 문제란 노드 및 간선으로 구성된 그래프 구조와 기 설정된 개수의 색상이 주어졌을 때, 간선으로 연결된 노드 간에 동일한 색상을 칠하지 않고 그래프 구조에 포함된 모든 노드에 채색을 수행하는 문제이다. 장치(10

0)는 노드 및 간선으로 구성된 그래프 구조에 대한 정보, 채색 가능한 색상의 수에 대한 정보 및 그래프 구조에서 간선으로 연결된 노드 간 상이한 색상을 채색하는 규칙에 대한 정보를 입력 받을 수 있다.

[0042] 일 예로, 그래프 구조에 대한 정보는 노드에 대한 정보 V={v_1, v_2, ..., v_n}(밑첨자 n은 노드 개수), 간선에 대한 정보 E={e_1, e_2, ..., e_m}(밑첨자 m은 간선 개수)를 포함할 수 있다. 채색 가능한 색상에 대한 정보는 색상에 대한 정보 K={k_1, k_2, ..., k_k}(밑첨자 k는 채색 가능한 색상의 수)를 포함할 수 있다. 그래프 다중 채색 문제의 규칙에 대한 정보는 노드 v_i에 칠할 수 있는 색상의 세트가 $\emptyset_{v_i}^{K} = \{\emptyset_{v_i}^{k_1}, \emptyset_{v_i}^{k_2}, \ldots, \emptyset_{v_i}^{k_k}\}$로 정의되고, 노드 v_i에 색상 k_1이 채색된 경우 $\emptyset_{v_i}^{k_1}$의 값이 1이고, 채색되지 않은 경우 $\emptyset_{v_i}^{k_1}$의 값이 0으로 정의되며, 간선으로 연결된 노드 v_i, v_j에 대하여 $\emptyset_{v_i} \neq \emptyset_{v_j}$인 조건에 대한 정보로 설정될 수 있다.

[0043] 이하, 본 문서의 설명에서는 이해의 편의를 위해, 그래프 다중 채색 문제가 노드 2개 V={v_1, v_2}이고, 노드 2개를 연결하는 간선 1개 E={e_1}, 채색 가능한 색상이 3개 K={k_1, k_2, k_3}인 경우로 예시하여 설명한다. 본 문서의 실시예는 다양한 경우의 노드 개수, 간선 개수, 채색 가능한 색상의 경우에도 후술할 원리와 동일한 방식으로 적용될 수 있다.

[0044] S1020 단계에서, 장치(100)는 각 노드 i(i는 노드의 식별 정보)에 채색 가능한 색상의 경우의 수 j(j는 경우의 수의 식별 정보)를 조합한 식별 정보 i, j 각각에 큐비트를 할당할 수 있다. 예를 들어, 장치(100)는 노드의 수에 채색 가능한 색상의 수를 곱한 개수만큼 큐비트를 생성하고, 식별 정보 i, j 각각에 생성된 큐비트를 매칭시켜 할당할 수 있다.

[0045] 일 예로, 노드가 2개 V={v_1, v_2}이고 채색 가능한 색상이 3개 K={k_1, k_2, k_3}인 경우, 6개의 큐비트를 생성하고, 식별 정보 i, j에 따라서 v_{11}, v_{12}, v_{13}, v_{21}, v_{22}, v_{23}를 생성된 큐비트에 매칭시켜 할당할 수 있다. 장치(100)는 각 큐비트의 상태 정보를 다음과 같이 설정할 수 있다. 예를 들어, 장치(100) 특정 큐비트가 '$|\mathbf{1}\rangle$'일 때 채색 가능한 상태임을 나타내며, '$|\mathbf{0}\rangle$'일 때 채색 불가능한 상태임을 나타내는 것으로 설정할 수 있다. 예를 들어, 노드가 v_1에 k_1, k_2가 채색 가능하고, 노드가 v_2에 k_3이 채색 가능한 상태를 나타내는 경우라면, 장치(100)는 $\{v_{11}, v_{12}, v_{13}, v_{21}, v_{22}, v_{23}\}$에 대한 큐비트의 상태가 $|\mathbf{110\,001}\rangle$인 것으로 설정할 수 있다.

[0046] S1030 단계에서, 장치(100)는 동일한 노드의 식별 정보를 갖는 모든 큐비트 간에 W-State 게이트를 연결할 수 있다.

[0047] 도 3은 일 실시예에 따른 W-State 게이트의 예시도이다.

[0048] 도 3을 참조하면, 노드가 2개 V={v_1, v_2}이고 채색 가능한 색상이 3개 K={k_1, k_2, k_3}인 경우, 장치(100)는 동일한 노드 정보 v_1를 가지는 큐비트 v_{11}, v_{12}, v_{13} 간에 W-State 게이트를 연결하고, 동일한 노드 정보 v_2를 가지는 큐비트 v_{21}, v_{22}, v_{23} 간에 W-State 게이트를 연결할 수 있다. 큐비트 간의 W-State 게이트 연결 방식은 W-State에 대한 공지 기술을 참조할 수 있다.

[0049] 도 3의 W-State 게이트에 의하면, 큐비트는 어느 하나의 노드를 기준으로 채색할 수 있는 색상의 모든 경우의 수가 양자화된 상태로 출력될 수 있다. 즉, W-State 게이트는 특정 노드에 채색할 수 있는 색상이 1가지 색상인 경우부터 k가지(k는 채색 가능한 색상의 수) 색상인 경우에 대한 경우의 수를 양자화 상태의 큐비트로 출력할 수 있다.

[0050] S1040 단계에서, 장치(100)는 서로 인접한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 Cost Function Hamiltonian 게이트를 연결할 수 있다.

[0051] 도 4은 일 실시예에 따른 Cost Function Hamiltonian 게이트의 예시도이다.

[0052] 도 4를 참조하면, 노드가 2개 V={v_1, v_2}이고 채색 가능한 색상이 3개 K={k_1, k_2, k_3}인 경우, 장치(100)는 서로 다른 인접 노드의 식별 정보를 갖는 두가지 큐비트 간(ex. v_{11}과 v_{21}, v_{12}과 v_{22}, v_{13}과 v_{23})에 Cost Function Hamiltonian 게이트를 연결할 수 있다. 큐비트 간의 Cost Function Hamiltonian 게이트 연결 방식은 Cost Function Hamiltonian 에 대한 공지 기술을 참조할 수 있다.

[0053] 도 4의 Cost Function Hamiltonian 게이트는 서로 다른 노드의 큐비트 각에 controlled ZZ 연산을 수행할 수 있다. 여기서, controlled ZZ 연산이란, ising Hamiltonain을 이루는 양자 연산자이다.

[0054] S1050 단계에서, 장치(100)는 동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 XY Hamiltonian 게이트를 연결할 수 있다.

[0055] 도 5는 일 실시예에 따른 Cost Function Hamiltonian 게이트의 예시도이다.

[0056] 도 5를 참조하면, 노드가 2개 V={v_1, v_2}이고 채색 가능한 색상이 3개 K={k_1, k_2, k_3}인 경우, 장치(100)는 동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간(ex. v_{11}과 v_{12}, v_{11}과 v_{13}, v_{12}과 v_{13}, v_{21}과 v_{22}, v_{21}과 v_{23}, v_{22}과 v_{23})에 XY Hamiltonian 게이트를 연결할 수 있다. 큐비트 간의 XY Hamiltonian 게이트 연결 방식은 XY Hamiltonian에 대한 공지 기술을 참조할 수 있다.

[0057] 도 5의 XY Hamiltonian 게이트에 의하면 동일한 노드의 식별 정보를 갖는 서로 다른 두가지 큐비트 간에 아래 수학식 1의 연산이 수행될 수 있다.

[0058] [수학식 1]

[0059] $$H_{XY} = \frac{1}{2}\sum_{i,j\in T} \sigma_i^x \sigma_j^x + \sigma_i^y \sigma_j^y$$

[0060] (i는 노드의 식별 정보, j는 채색 가능한 색상의 경우의 수의 식별 정보, T는 식별 정보 i, j의 모든 조합, x는 양자 연산 게이트 종류 중 하나인 Pauli X gate 이며 $\begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$ 로 표현된다. y는 양자 연산 게이트 종류 중 하나인 Pauli Y gate이며 $\begin{bmatrix} 0 & -i \\ i & 0 \end{bmatrix}$ 로 표현된다.)

[0061] 도 6은 일 실시예에 따라 큐비트와 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 예시도이다.

[0062] 도 6을 참조하면, S1060 단계에서, 장치(100)는 상술한 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 양자 회로를 동작시켜, 그래프 다중 채색 문제를 기초로 할당된 큐비트로부터 그래프 다중 채색 문제의 해답을 도출할 수 있다.

[0063] 도 7은 일 실시예에 따른 양자 회로에 그래프 다중 채색 문제를 입력한 경우 도출되는 해답의 예시도이다.

[0064] 도 7을 참조하면, 노드가 A, B, C 3개가 있고, A-B 및 A-C를 연결하는 2개의 간선이 존재하고, 채색 가능한 색상이 K={1, 2, 3, 4, 5} 5개가 존재하는 경우, 본 문서의 실시예에 따르면 해답 $|\mathbf{11100\ 00010\ 00011}\rangle$ 과 $|\mathbf{00111\ 10000\ 11000}\rangle$을 도출할 수 있다.

[0065] 도 8은 그래프 다중 채색 문제의 노드 개수에 따른 본 문서의 실시예의 성능을 설명하는 도면이다.

[0066] 도 8을 참조하면, IBM Qiskit를 통해 분 문서의 실시예를 적용하여 그래프 다중 채색 문제를 해결하였다. 여기서, n은 그래프의 노드 개수이며 p는 알고리즘의 단계이다. 알고리즘의 단계는 연산 반복 횟수를 의미하며 양자 회로 연산과 classical parameter 최적화를 몇 번 반복했는지를 의미한다. Ratio 는 approximation ratio로 풀고자 하는 문제의 해답이 되는 양자 상태에 얼마나 가까워 졌는지를 비율로 표현한 것이며 이 값이 1에 가까워 질수록 문제의 해답에 가까워 짐을 의미한다.

[0067] 상술한 실시예에 따르면, 본 발명은 그래프 다중 채색 문제에 포함된 각 노드에 채색 가능한 색상의 경우의 수

를 조합한 식별 정보에 큐비트를 할당하고, 큐비트와 연결된 W-state, Cost Function Hamiltonian, XY Hamiltonian 게이트가 연결된 양자 회로를 설계하여, k^n(k는 채색 가능한 색상의 수, n은 노드의 수)의 입력 양자 상태의 차원이 요구되는 양자 근사 최적화 알고리즘을 설계할 수 있다. 이에 따라, 본 발명은 그래프 다중 채색 문제의 연산을 요구하는 소규모의 양자 컴퓨터에서 낮은 복잡도로 자원 할당 알고리즘 연산을 수행할 수 있게 한다.

[0068] 본 문서의 다양한 실시예들 및 이에 사용된 용어들은 본 문서에 기재된 기술적 특징들을 특정한 실시예들로 한정하려는 것이 아니며, 해당 실시예의 다양한 변경, 균등물, 또는 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 또는 관련된 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다. 아이템에 대응하는 명사의 단수 형은 관련된 문맥상 명백하게 다르게 지시하지 않는 한, 아이템 한 개 또는 복수 개를 포함할 수 있다.

[0069] 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나,""A, B 또는 C," "A, B 및 C 중 적어도 하나,"및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다. " 1", "제2", 또는 "첫째" 또는 "둘째"와 같은 용어들은 단순히 해당 구성요소를 다른 해당 구성요소와 구분하기 위해 사용될 수 있으며, 해당 구성요소들을 다른 측면(예: 중요성 또는 순서)에서 한정하지 않는다. 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에, "기능적으로" 또는 "통신적으로"라는 용어와 함께 또는 이런 용어 없이, "커플드" 또는 "커넥티드"라고 언급된 경우, 그것은 어떤 구성요소가 다른 구성요소에 직접적으로(예: 유선으로), 무선으로, 또는 제3 구성요소를 통하여 연결될 수 있다는 것을 의미한다.

[0070] 본 문서에서 사용된 용어 "모듈"은 하드웨어, 소프트웨어 또는 펌웨어로 구현된 유닛을 포함할 수 있으며, 예를 들면, 로직, 논리 블록, 부품, 또는 회로 등의 용어와 상호 호환적으로 사용될 수 있다. 모듈은, 일체로 구성된 부품 또는 하나 또는 그 이상의 기능을 수행하는, 부품의 최소 단위 또는 그 일부가 될 수 있다. 예를 들면, 일 실시예에 따르면, 모듈은 ASIC(application-specific integrated circuit)의 형태로 구현될 수 있다.

[0071] 본 문서의 다양한 실시예들은 기기(예: 전자 장치)에 의해 읽을 수 있는 저장 매체(예: 메모리)에 저장된 하나 이상의 명령어들을 포함하는 소프트웨어(예: 프로그램)로서 구현될 수 있다. 저장 매체는 RAM(random access memory), 메모리 버퍼, 하드 드라이브, 데이터베이스, EPROM(erasable programmable read-only memory), EEPROM(electrically erasable read-only memory), ROM(read-only memory) 및/또는 등등을 포함할 수 있다.

[0072] 또한, 본 문서의 실시예들의 프로세서는, 저장 매체로부터 저장된 하나 이상의 명령어들 중 적어도 하나의 명령을 호출하고, 그것을 실행할 수 있다. 이것은 기기가 호출된 적어도 하나의 명령어에 따라 적어도 하나의 기능을 수행하도록 운영되는 것을 가능하게 한다. 이러한 하나 이상의 명령어들은 컴파일러에 의해 생성된 코드 또는 인터프리터에 의해 실행될 수 있는 코드를 포함할 수 있다. 프로세서는 범용 프로세서, FPGA(Field Programmable Gate Array), ASIC(Application Specific Integrated Circuit), DSP(Digital Signal Processor) 및/또는 등등 일 수 있다.

[0073] 기기로 읽을 수 있는 저장매체는, 비일시적(non-transitory) 저장매체의 형태로 제공될 수 있다. 여기서, '비일시적'은 저장매체가 실재(tangible)하는 장치이고, 신호(예: 전자기파)를 포함하지 않는다는 것을 의미할 뿐이며, 이 용어는 데이터가 저장매체에 반영구적으로 저장되는 경우와 임시적으로 저장되는 경우를 구분하지 않는다.

[0074] 본 문서에 개시된 다양한 실시예들에 따른 방법은 컴퓨터 프로그램 제품(computer program product)에 포함되어 제공될 수 있다. 컴퓨터 프로그램 제품은 상품으로서 판매자 및 구매자 간에 거래될 수 있다. 컴퓨터 프로그램 제품은 기기로 읽을 수 있는 저장 매체(예: compact disc read only memory (CD-ROM))의 형태로 배포되거나, 또는 어플리케이션 스토어(예: 플레이 스토어)를 통해 또는 두 개의 사용자 장치들(예: 스마트폰들) 간에 직접, 온라인으로 배포(예: 다운로드 또는 업로드)될 수 있다. 온라인 배포의 경우에, 컴퓨터 프로그램 제품의 적어도 일부는 제조사의 서버, 어플리케이션 스토어의 서버, 또는 서버의 메모리와 같은 기기로 읽을 수 있는 저장 매체에 적어도 일시 저장되거나, 임시적으로 생성될 수 있다.

[0075] 다양한 실시예들에 따르면, 기술한 구성요소들의 각각의 구성요소(예: 모듈 또는 프로그램)는 단수 또는 복수의 개체를 포함할 수 있다. 다양한 실시예들에 따르면, 전술한 해당 구성요소들 중 하나 이상의 구성요소들 또는 동작들이 생략되거나, 또는 하나 이상의 다른 구성요소들 또는 동작들이 추가될 수 있다. 대체적으로 또는 추가적으로, 복수의 구성요소들(예: 모듈 또는 프로그램)은 하나의 구성요소로 통합될 수 있다. 이런 경우, 통합된

구성요소는 복수의 구성요소들 각각의 구성요소의 하나 이상의 기능들을 통합 이전에 복수의 구성요소들 중 해당 구성요소에 의해 수행되는 것과 동일 또는 유사하게 수행할 수 있다. 다양한 실시예들에 따르면, 모듈, 프로그램 또는 다른 구성요소에 의해 수행되는 동작들은 순차적으로, 병렬적으로, 반복적으로, 또는 휴리스틱하게 실행되거나, 동작들 중 하나 이상이 다른 순서로 실행되거나, 생략되거나, 또는 하나 이상의 다른 동작들이 추가될 수 있다.

부호의 설명

[0076] 100: 장치

110: 메모리

120: 프로세서

130: 입출력 인터페이스

140: 통신 인터페이스

도면

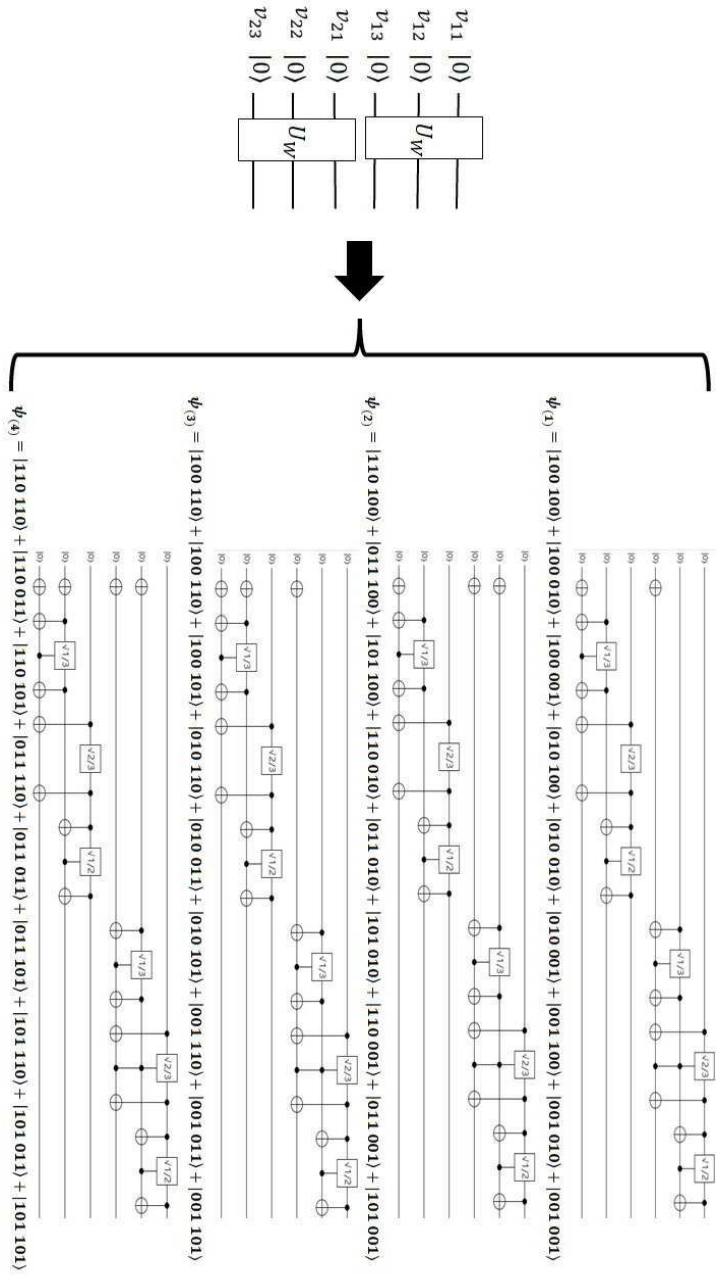
도면1



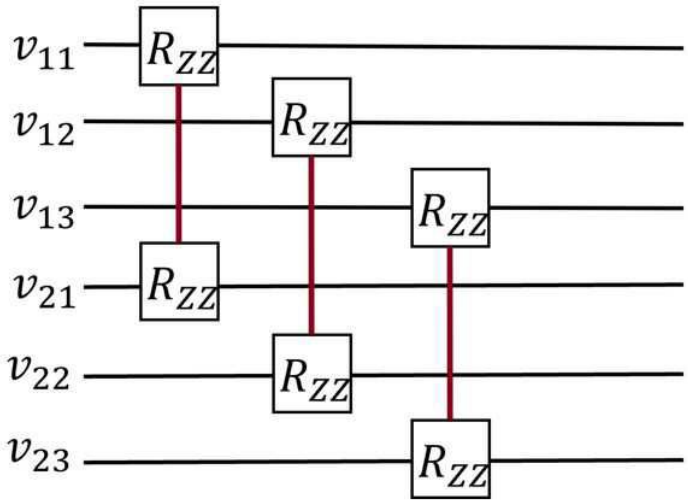
도면2


시 작
S1010
노드 및 간선으로 구성된 그래프 다중 채색 문제를 획득
S1020
각 노드 i에 채색 가능한 색상의 경우의 수 j를 조합한
식별 정보 i, j 각각에 큐비트를 할당
S1030
동일한 노드의 식별 정보를 갖는 모든 큐비트 간에
W-State 게이트를 연결
S1040
서로 인접한 노드의 식별 정보를 갖는 서로 다른 두가지
큐비트 간에 Cost Function Hamiltonian 게이트를 연결
S1050
동일한 노드의 식별 정보를 갖는 서로 다른 두가지
큐비트 간에 XY Hamiltonian 게이트를 연결
S1060
W-state, Cost Function Hamiltonian, XY Hamiltonian
게이트가 연결된 양자 회로를 동작시켜 큐비트로부터
그래프 다중 채색 문제의 해답 도출
종 료

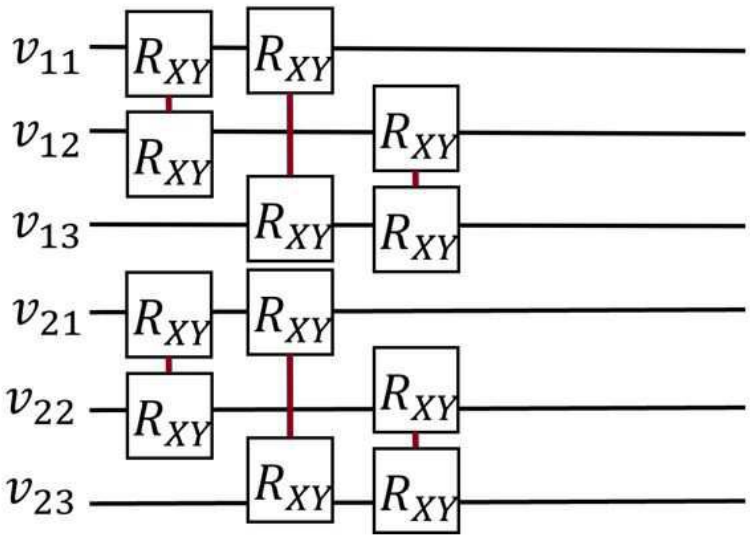
도면3


v_{11} |0⟩
v_{12} |0⟩
v_{13} |0⟩
v_{21} |0⟩
v_{22} |0⟩
v_{23} |0⟩
U_W
U_W
$\psi_{(1)}$ = |101 001⟩ + |100 010⟩ + |100 001⟩ + |010 010⟩ + |010 001⟩ + |001 100⟩ + |001 010⟩ + |001 001⟩
$\psi_{(2)}$ = |110 100⟩ + |011 100⟩ + |101 100⟩ + |110 010⟩ + |011 010⟩ + |101 010⟩ + |110 001⟩ + |011 001⟩ + |101 001⟩
$\psi_{(3)}$ = |100 110⟩ + |100 101⟩ + |010 110⟩ + |010 101⟩ + |001 110⟩ + |001 011⟩ + |001 101⟩
$\psi_{(4)}$ = |110 110⟩ + |110 011⟩ + |101 110⟩ + |110 101⟩ + |011 110⟩ + |110 011⟩ + |101 011⟩ + |101 101⟩

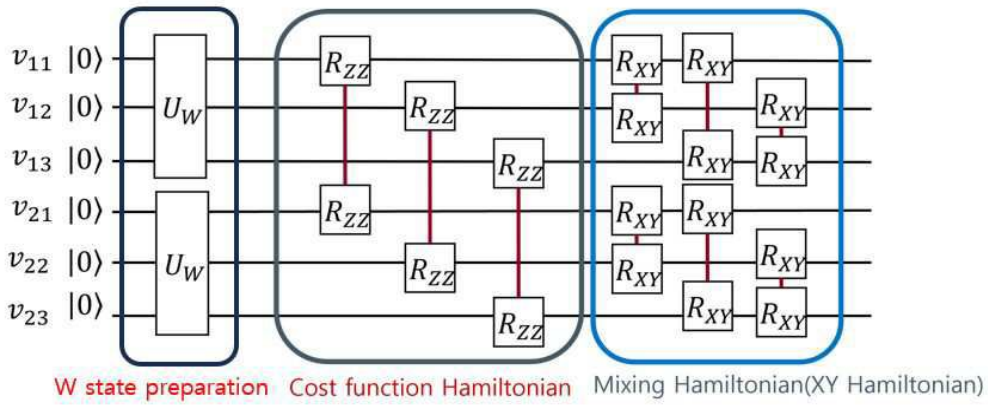
도면4



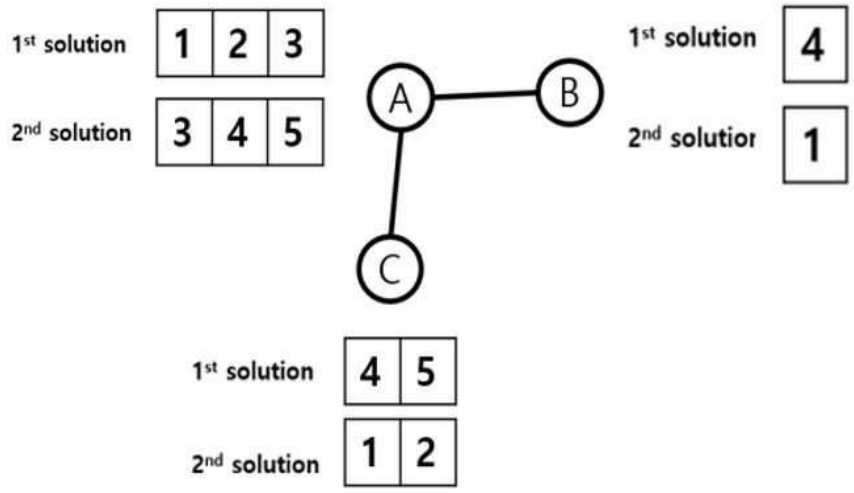
도면5



도면6

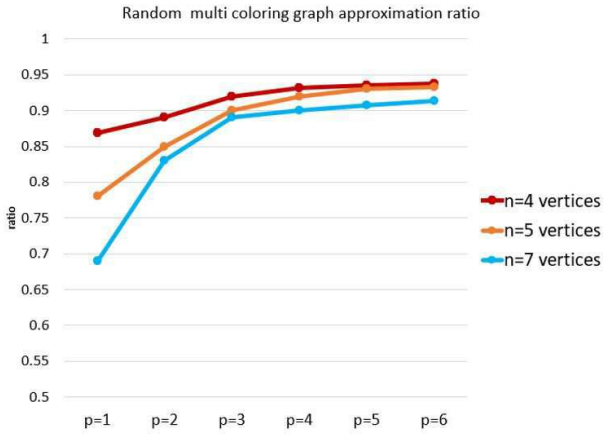


도면7



Quantum state 1^{st}solution : $|11100\ 00010\ 00011\rangle$
Quantum state 2^{nd}solution : $|00111\ 10000\ 11000\rangle$

도면8



	n=4	n=5	n=7
p=1	0.868932	0.78101	0.69943
p=2	0.893452	0.85658	0.83248
p=3	0.926123	0.97132	0.89733
p=4	0.932488	0.92486	0.90114
p=5	0.935771	0.93325	0.90888
p=6	0.937353	0.93394	0.91310