(19) Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 35 809 A1** 2005.03.10

(12) # Offenlegungsschrift

(21) Aktenzeichen: **103 35 809.9**
(22) Anmeldetag: **05.08.2003**
(43) Offenlegungstag: **10.03.2005**

(51) Int Cl.[7]: **G01R 31/3193**
G01R 31/3183, G01R 31/3185

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Viering, Jentschura & Partner, 80538 München

(72) Erfinder:
Ossimitz, Peter, 81377 München, DE; Arnold, Ralf, 85586 Poing, DE

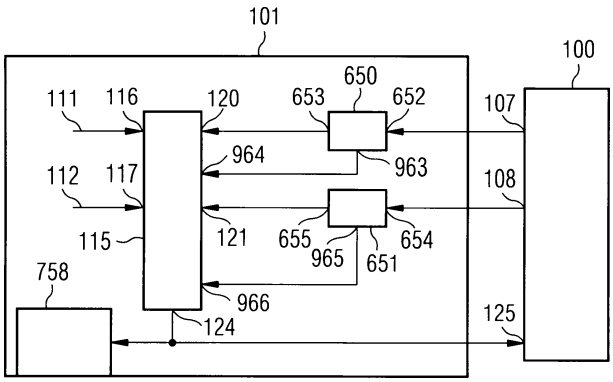
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 195 36 226 A1
WO 01/59 466 A1
TIETZE,U., SCHENK,Ch.: Halbleiterschaltungstechnik 8., überarbeitete Auflage, Berlin (u.a.): Springer-Verlag, 1986, S. 207f;
GERNER,M., MÜLLER,B., SANDWEG,G.: Selbsttest digitaler Schaltungen. München (u.a.): Oldenburg, 1990, S. 56-59, 74-82, 120-124;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Elektronisches Element mit einem zu testenden elektronischen Schaltkreis und Testsystem-Anordnung zum Testen des elektronischen Elements**

(57) Zusammenfassung: Ein elektronisches Element weist einen zu testenden elektronischen Schaltkreis und eine Vergleicherschaltung auf. Die Vergleicherschaltung weist erste Eingangsanschlüsse, wobei jeder der Ausgangsanschlüsse des zu testenden elektronischen Schaltkreises mit einem ersten Eingangsanschluss gekoppelt ist, auf sowie zweite Eingangsanschlüsse zum Zuführen von Soll-Wert-Signalen und mindestens einen Ausgangsanschluss. Die Vergleicherschaltung ist derart eingerichtet, dass sie die Ist-Wert-Signale mit den Soll-Wert-Signalen vergleicht, und wobei das elektronische Element ferner derart eingerichtet ist, dass es Signale einer 3-wertigen Logik verarbeitet. Die Ergebnisse des Vergleiches sind an dem mindestens einen Ausgangsanschluss der Vergleicherschaltung bereitstellbar.



Beschreibung

[0001] Die Erfindung betrifft ein elektronisches Element mit einem zu testenden elektronischen Schaltkreis und einer Testsystem-Anordnung zum Testen des elektronischen Elements.

Stand der Technik

[0002] Bei der Herstellung von hochintegrierten Halbleiterchips werden insbesondere durch die immer weiter steigende Miniaturisierung der Strukturen auf dem Halbleiterchip immer höhere Anforderungen an die für die Herstellung der Halbleiterchips verwendeten Fertigungsanlagen und Herstellungsprozesse auftreten. Die Stabilität und Reproduzierbarkeit sowohl der Fertigungsanlagen als auch der Herstellungsprozesse beeinflussen maßgeblich die Ausbeute und Produktivität im Rahmen der Halbleiterchip-Fertigung. Schon kleine Abweichungen von einem Soll-Verhalten einer Chip-Fertigungsanlage im Rahmen der Produktion können zu einer erheblichen Verschlechterung der Ausbeute, das heißt zu einer erheblichen Erhöhung der Fehlerrate bei den hergestellten Halbleiterchips führen.

[0003] Um die Qualität der Halbleiterchips sicherzustellen und eventuelle Fehler eines Halbleiterchips festzustellen, müssen alle prozessierten Halbleiterchips Tests unterzogen werden. Bislang verwendet man unter anderem funktionale Tests, die den Halbleiterchip wie in der Applikation betreiben und damit auf Fertigungsfehler abprüfen. Da Halbleiterchips aus sehr vielen elektronischen Einzelkomponenten bestehen, sind die einzelnen elektronischen Komponenten schwer prüfbar, in dem jede einzelne elektronische Komponenten getrennt mit einem Testsignal von außen angesteuert wird, da dies viel zu viele Anschlüsse auf dem Chip erfordern würde.

[0004] Um dieses Problem zu lösen, wurde ein so genannter Scantest eingeführt. Beim Scantest, werden alle Komponenten, d.h. digitale Gatter, aller produzierten Chips geprüft. Hierzu wird eine Vielzahl der speichernden Komponenten eines Chips (Flip Flops) zu einer so genannten Scankette gekoppelt, d.h. die einzelnen Elemente (Flip Flops) einer Scankette sind miteinander in Reihe geschaltet, wobei für die gesamte Scankette ein Eingangsanschluss bzw. ein Ausgangsanschluss zur Verfügung steht, mit welchem die Scankette von außen angesteuert werden kann bzw. ausgelesen werden kann. Während einer ersten Phase des Scantests, einer so genannten „Shiftphase", wird mittels eines Testsystems eine Testsignalfolge an den Eingangsanschluss der Scankette angelegt, wobei eine Testsignalfolge getaktet durch die Scankette geschoben wird. Insgesamt ist die Anzahl der Takte der Shiftphase genau so groß wie die Anzahl der speichernden Komponenten (Flip Flops) in der Scankette. Nach dem Ende der Shiftphase steht so an jeder speichernden Komponente der Scankette ein Testsignal zur Verfügung.

[0005] In einer zweiten Phase des Scantests wird der zu testende Chip mindestens einen Takt im so genannten „Normalmode" betrieben, d.h. der Chip wird gemäß seiner Funktion betrieben. Hierbei wird mittels des an den jeweiligen speichernden Komponenten der Scankette bereitgestellten Testsignals ein jeweiliges Teil-Ist-Wert-Signal an einem jeweiligen Funktionseingang einer speichernden Komponente der Scankette erzeugt, wobei die Teil-Ist-Wert-Signale aller speichernden Komponenten der Scankette ein Ist-Wert-Signal bilden.

[0006] Während einer dritten Phase des Scantests werden diese Ausgangssignale der Elemente, d.h. der speichernden Komponenten der Scankette, getaktet durch die Scankette geschoben und am Ausgangsanschluss der Scankette ausgelesen. Die dritte Phase des Scantests weist wiederum genau die Anzahl von Takten auf, wie die Anzahl der speichernden Komponenten in der Scankette ist.

[0007] Nach Ende eines solchen Zyklus aus den oben beschriebenen drei Phasen kann das an dem Ausgangsanschluss der Scankette ausgelesene Ist-Wert-Signal an das Testsystem zurückgeleitet werden. Das Testsystem hatte vorher die Signale der Testsignalfolge gespeichert, d.h. die Eingangsdaten (Stimuli), welche an die speichernden Komponenten der Scankette angelegt wurden, und das dazugehörigen ermittelte Soll-Wert-Signal, d.h. die Ausgangsdaten (Expected Responses), welche die Reaktion der zu testenden elektronischen Komponenten (digitale Gatter) auf die Signale der Testsignalfolge darstellen. Ferner wird von dem Testsystem das Ist-Wert-Signal mit einem Soll-Wert-Signal verglichen, um auf diese Weise eventuell fehlerhafte elektronische Komponenten des Halbleiterchips festzustellen.

[0008] Mittels des vorher beschriebenen Standard-Scantests kann somit mit nur einem Eingangsanschluss und einem Ausgangsanschluss je Scankette eine große Anzahl von elektronischen Komponenten (digitale Gatter) eines Halbleiterchips getestet werden.

[0009] Ferner sind gemäß dem Stand der Technik Verfahren bekannt, die beim Funktional bzw. Scan basierenden Test von einer auf dem elektrischen Schaltkreis befindlichen Eingangsdaten Generierung, Umverteilung bzw. Dekompression ausgehen.

[0010] In **Fig.** 5 ist schematisch ein Testsystem **500** mit einem zu testenden Halbleiterchip **501** im Standard-Scantest dargestellt. Das Testsystem **500** weist einen Vektorspeicher **502**, Ausgangsanschlüsse **503** und Eingangsanschlüsse **504** auf. Auf dem Halbleiterchip **501** sind schematisch vier Scanketten **505** dargestellt, von denen jede einen Eingangsanschluss **506** und einen Ausgangsanschluss **507** aufweist. Jeder Ausgangsanschluss **503** des Testsystems **500** ist beim Standard-Scantest mit einem Eingangsanschluss **506** der Scanketten **505** des Halbleiterchips **501** gekoppelt und jeder Ausgangsanschluss **507** der Scanketten **505** des Halbleiterchips **501** ist beim Standard-Scantest mit einem Eingangsanschluss **504** des Testsystems **500** gekoppelt.

[0011] Wenn mittels der Ausgangsanschlüsse **503** des Testsystems **500** den Eingangsanschlüssen **506** der Scanketten **505** des Halbleiterchips **501** während der ersten Shiftphase des Scantests Testsignale zugeführt werden, erzeugt der Halbleiterchip **501** während der nachfolgenden Normalphase Teil-Ist-Wert-Signale, welche gemeinsam das Ist-Wert-Signal bilden. Die Teil-Ist-Wert-Signale werden dann in der zweiten Shiftphase mittels der Ausgangsanschlüsse **507** der Scanketten **505** des Halbleiterchips **501** in den Eingangsanschlüssen **504** des Testsystems **500** mit dem vorher abgespeicherten ermittelte Soll-Wert-Signal (Expected Responses) aus dem Vektorspeicher **502** in dem Testsystem **500** verglichen. Im Vektorspeicher **502** wurden sowohl die Signale der Testsignalfolge als auch das Soll-Wert-Signal des Halbleiterchips **501** gespeichert. Weiter werden in dem Testsystem **500** Informationen über den Unterschied Soll-Wert-Signal zu Ist-Wert-Signal zur Analyse abgelegt. Die Analyse wird mittels des Testsystems **500** durchgeführt.

[0012] Als ein Problem des Scantestes gemäß dem Stand der Technik ergibt sich, dass das Testsystem im Fehlerfall, d.h. wenn der Vergleich mit den Expected Responses aus dem Vectorspeicher **502** ergibt, dass ein Ist-Wert-Signal nicht mit dem entsprechenden Soll-Wert-Signal übereinstimmt, nur langsam reagieren kann. Dies wird durch Signallaufzeiten zwischen dem Halbleiterchip **501** und dem Testsystem **500**, dem so genannten Roundtrip Delay verursacht.

[0013] Ferner muss eine Testsystem-Pipeline des Vektorspeichers erst vollständig abgearbeitet werden, bevor das Testsystem **500** feststellen kann, ob ein Fehler aufgetreten ist und darauf reagieren kann.

[0014] Eine möglichst schnelle Reaktion ist aber nötig, damit noch alle Daten, welche für eine Fehleranalyse erforderlich sind, zur Verfügung stehen, sobald ermittelt wird, dass ein Fehler aufgetreten ist. Anders ausgedrückt muss vermieden werden, dass die speichernden Komponenten des Halbleiterchips **501** in einen anderen Zustand übergehen verglichen mit dem Zustand, der einen Fehler in der jeweiligen elektronischen Komponente repräsentiert. Dies kann mittels des oben beschriebenen Testsystems **500** gemäß dem Stand der Technik nicht gewährleistet werden, da in dem Zeitintervall zwischen dem Erzeugen des einen Fehler repräsentierenden Teil-Ist-Signals bis zu dem Feststellen eines Fehlers und Reagieren durch das Testsystem **500** die speichernden Komponenten ihre Zustände schon verändert haben.

Aufgabenstellung

[0015] Der Erfindung liegt das Problem zugrunde, ein elektronisches Element mit einem zu testenden elektronischen Schaltkreis und ein Testsystem zum Testen des elektronischen Elements zu schaffen, mittels welchem ein Test zeit- und kostensparender durchzuführen ist.

[0016] Das Problem wird mittels eines elektronischen Elements und eines Testsystems mit Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

[0017] Ein elektronisches Element weist einen zu testenden elektronischen Schaltkreis, welcher Eingangsanschlüsse zum Zuführen einer Testsignalfolge, welche zum Testen des elektronischen Schaltkreises verwendet wird, und Ausgangsanschlüsse auf, wobei an den Ausgangsanschlüssen in Reaktion auf die Testsignalfolge Ist-Wert-Signale des zu testenden elektronischen Schaltkreises bereitgestellt werden. Ferner weist das elektronische Element mindestens eine Vergleicherschaltung auf. Die mindestens eine Vergleicherschaltung weist erste Eingangsanschlüsse auf, wobei jeder der Ausgangsanschlüsse des zu testenden elektronischen Schaltkreises mit einem der ersten Eingangsanschlüsse gekoppelt ist. Ferner weist die Vergleicherschaltung zweite Eingangsanschlüsse zum Zuführen von Soll-Wert-Signalen und mindestens einen Ausgangsanschluss auf. Die Vergleicherschaltung ist derart eingerichtet, dass sie die Ist-Wert-Signale mit den Soll-Wert-Signalen vergleicht. Die Ergebnisse des Vergleiches sind an dem mindestens einen Ausgangsanschluss der Vergleicher-

schaltung bereitstellbar.

[0018] Eine Testsystem-Anordnung gemäß der Erfindung weist einen Vektorspeicher und ein elektronisches Element mit den oben beschriebenen Merkmalen auf. Ferner weist das Testsystem erste Ausgangsanschlüsse, welche mit den Eingangsanschlüssen des zu testenden elektronischen Schaltkreises gekoppelt sind und zweite Ausgangsanschlüsse auf, welche mit den zweiten Eingangsanschlüssen der Vergleicherschaltung gekoppelt sind. Zusätzlich weist das Testsystem mindestens einen Eingangsanschluss auf, wobei für jeden der Ausgangsanschlüsse der Vergleicherschaltung ein Eingangsanschluss des Testsystems vorgesehen ist, welcher mit dem entsprechenden Ausgangsanschluss der Vergleicherschaltung gekoppelt ist.

[0019] Mittels des erfindungsgemäßen elektronischen Elements lässt sich ein Test eines elektronischen Schaltkreises besonders schnell und kostengünstig durchführen. Da der Vergleich zwischen Ist-Wert-Signalen und Soll-Wert-Signalen direkt auf dem elektronischen Element durchgeführt wird, entfallen ferner Signallaufzeiten zwischen dem elektronischen Schaltkreis und dem Testsystem, die sogenannten „Round Trip Delays" und darüber hinaus die Zeiten zum Abarbeiten der Testsystem-Pipeline. Hierdurch wird die für einen Test benötigte Zeitdauer verkürzt und damit ist es ermöglicht, den elektronischen Schaltkreis in dem Fehlerzustand „einzufrieren". Ferner ist erfindungsgemäß vorzugsweise nur noch ein Ausgangsanschluss für das elektronische Element nötig, da der Vergleich in der Vergleicherschaltung auf dem elektronischen Element stattfindet. Dadurch stehen praktisch alle Anschlüsse des elektronischen Schaltkreises als Eingangsanschlüsse zur Verfügung, was die Möglichkeiten einer Parallelisierung der Tests des elektronischen Schaltkreises erhöht.

[0020] Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen. Die weiteren Ausgestaltungen der Erfindung betreffen sowohl das elektronische Element als auch die Testsystem-Anordnung zum Testen des elektronischen Elements.

[0021] Vorzugsweise ist der elektronische Schaltkreis ein Halbleiterchip.

[0022] Ferner ist der elektronische Schaltkreis vorzugsweise derart eingerichtet, dass als Testsignalfolge eine beliebige Variation einer Scantest-Signalfolge verwendet werden kann.

[0023] Vorzugsweise ist der elektronische Schaltkreis derart eingerichtet ist, dass ein Funktionaltest durchgeführt werden kann, d.h. ein beliebiger funktionaler Test für die funktionelle Überprüfung der Schaltung.

[0024] Der elektronische Schaltkreis kann derart eingerichtet sein, dass ein Analogtest mit digitalem Ausgang durchgeführt werden kann, d.h. ein Test einer Analogstufe, welcher digitale Ist-Wert- Signale liefert.

[0025] Das Verwenden eines Scantests ist für einen Test für eventuell vorhandene Fehler eines Halbleiterchips besonders vorteilhaft, da bei einem Halbleiterchip viele einzelne elektronische Komponenten getestet werden müssen, welche nicht alle einzeln von außen mit Testsignalen angesteuert werden können.

[0026] Die Vergleicherschaltung kann derart eingerichtet sein, dass sie Signale einer zweiwertigen (binären) Logik verarbeiten kann.

[0027] In einer bevorzugten Weiterbildung weist die getaktete Testsignalfolge ein derartig vorgegebenes Signalmuster auf, dass jedes Teil-Ist-Wert-Signal einen definierten Zustand einer speichernden Komponente und somit jedes Ist-Wert-Signal einen definierten Zustand einer getesteten elektronischen Schaltung charakterisiert.

[0028] Das Verwenden eines derartigen Signalmusters weist den Vorteil auf, dass eine zweiwertige Logik verwendet werden kann, ohne dass beim Vergleich ein Ist-Wert-Signal eines undefinierten Zustands einer oder mehrerer speichernden Komponenten des elektronischen Schaltkreises erzeugt wird. Insbesondere beim Verwenden einer Kompression von Signalen würde es sonst dazu kommen, dass beim Auftreten eines undefinierten Zustandes bei einer einzelnen speichernden Komponente alle Information an den anderen speichernden Komponenten, die zur Abprüfung von Fehlern und damit zur Erhöhung der Testabdeckung beitragen, ignoriert werden müssen.

[0029] Besonders bevorzugt weist das elektronische Element ferner ein Steuerelement auf, welches derart eingerichtet ist, dass es abhängig vom Ergebnis des Vergleichs ein Zustand des zu testenden elektronischen Schaltkreises unverändert halten kann.

[0030] Gemäß einer Ausgestaltung der Erfindung wird das unverändert Halten des Zustandes einer oder mehrerer speichernden Komponenten oder der gesamten getesteten elektronischen Schaltung mittels eines ebenfalls vorzugsweise auf dem Halbleiterchip integrierten und mit dem Steuerelement gekoppelten Taktgebers realisiert, wobei vorzugsweise der Taktgeber mittels eines von dem Steuerelement erzeugten und dem Taktgeber zugeführten Stoppsignals, mittels welchem der Taktgeber gestoppt wird und somit keine Taktsignale mehr erzeugt, zumindest nicht für die speichernden Komponenten, die gerade mittels des Testsystems getestet werden. Anders ausgedrückt bedeutet dies, dass der Taktgeber, welcher den Takt zur Verfügung stellt, mittels des Steuerelements angehalten und dadurch der Zustand der einzelnen jeweiligen speichernden Komponenten (möglicherweise alle getesteten speichernden Komponenten des getesteten elektronischen Schaltkreises) „eingefroren" wird.

[0031] Gemäß einem zusätzlichen Aspekt der Erfindung weist ein" elektronisches Element einen zu testenden elektronischen Schaltkreis, welcher Eingangsanschlüsse zum Zuführen einer Testsignalfolge, welche zum Testen des elektronischen Schaltkreises verwendet wird, und Ausgangsanschlüsse auf, wobei an den Ausgangsanschlüssen in Reaktion auf die Testsignalfolge Ist-Wert-Signale des zu testenden elektronischen Schaltkreises bereitgestellt werden. Ferner weist das elektronische Element mindestens eine Vergleicherschaltung auf. Die mindestens eine Vergleicherschaltung weist erste Eingangsanschlüsse auf, wobei jeder der Ausgangsanschlüsse des zu testenden elektronischen Schaltkreises mit einem der ersten Eingangsanschlüsse gekoppelt ist. Ferner weist die Vergleicherschaltung zweite Eingangsanschlüsse zum Zuführen von Soll-Wert-Signalen und mindestens einen Ausgangsanschluss auf. Die Vergleicherschaltung ist derart eingerichtet, dass sie die Ist-Wert-Signale mit den Soll-Wert-Signalen vergleicht. Ferner ist das elektronische Element derart eingerichtet, dass es Signale einer 3-wertigen Logik verarbeitet. Die Ergebnisse des Vergleiches sind an dem mindestens einen Ausgangsanschluss der Vergleicherschaltung bereitstellbar.

[0032] Eine Testsystem-Anordnung gemäß der Erfindung weist einen Vektorspeicher und ein elektronisches Element mit den oben beschriebenen Merkmalen auf. Ferner weist das Testsystem erste Ausgangsanschlüsse, welche mit den Eingangsanschlüssen des zu testenden elektronischen Schaltkreises gekoppelt sind und zweite Ausgangsanschlüsse auf, welche mit den zweiten Eingangsanschlüssen der Vergleicherschaltung gekoppelt sind. Zusätzlich weist das Testsystem mindestens einen Eingangsanschluss auf, wobei für jeden der Ausgangsanschlüsse der Vergleicherschaltung ein Eingangsanschluss des Testsystems vorgesehen ist, welcher mit dem entsprechenden Ausgangsanschluss der Vergleicherschaltung gekoppelt ist.

[0033] Mittels des zusätzlichen Aspekts der Erfindung ist es möglich, beim Test auftretende undefinierte Ist-Wert-Signale durch die Interpretation eines Signals einer 3-wertigen Logik zu maskieren, ohne dass die Testabdeckung gesenkt wird oder zusätzlichen Anschlusspins an dem elektronischen Element bereitgestellt werden müssen. Hierdurch wird die Anzahl der parallel testbaren elektronischen Elemente gegenüber dem Verwenden einer zweiwertigen Logik erhöht. Ferner wird gemäß dem zusätzlichen Aspekt der Erfindung auch die auf dem Testsystem abzuspeichernden Steuerungsinformationen nicht erhöht, d.h. auf dem Testsystem wird der benötigte Speicherbedarf nicht erhöht.

[0034] Beim Verwenden einer zweiwertigen Logik gibt es primär zwei Möglichleiten zum Maskieren von undefinierten Ist-Wert-Signalen.

[0035] Die erste Möglichkeit ist es, alle Ist-Wert-Signale, welche an den ersten Eingangsanschlüssen der Vergleicherschaltung anliegen, gleichzeitig mittels eines gemeinsamen Maskierungssignals zu maskieren, wenn an einem ersten Eingangsanschluss der Vergleicherschaltung ein undefinierter Zustand anliegt. Dies führt zu einer Reduktion der Testabdeckung, da auch die Ist-Wert-Signale, welche einen definierten Zustand aufweisen, ausgeblendet werden. Bei verwenden dieser ersten Möglichkeit wird nur ein zusätzlicher Anschlusspin an dem elektronischen Element benötigt.

[0036] Die zweite Möglichkeit ist es nur die Ist-Wert-Signale, welche einen undefinierten Zustand aufweisen, an der Vergleicherschaltung zu maskieren. Dies führt zu einer Erhöhung der Testabdeckung, erfordert jedoch für jeden ersten Eingangsanschluss, d.h. jede Scankette, einen zugehörigen zusätzlichen Anschlusspin an dem elektronischen Element, über welchen ein individuelles Maskierungssignal für jede einzelne Scankette bereitgestellt werden kann. Ferner wird hierbei auch die doppelte Anzahl von Steuerungsinformationen im Speicher benötigt.

[0037] Die weiteren Ausgestaltungen der Erfindung betreffen sowohl das elektronische Element als auch die Testsystem-Anordnung zum Testen des elektronischen Elements.

[0038] Einer der Logik-Pegel der 3-wertigen Logik kann als Maskier-Logik-Pegel ausgebildet sein, mittels welchem auftretende undefinierte Zustände der Ist-Wert-Signale in der Vergleicherschaltung maskiert werden.

[0039] Vorzugsweise sind die zweiten Eingangsanschlüsse während des Tests als Eingangspads ausgebildet, wobei die Eingangspads jeweils einen funktionellen Block aufweisen, welcher derart eingerichtet ist, dass er das Signal des Maskier-Logik-Pegels verarbeitet.

[0040] Hierdurch ist es möglich die Anzahl der benötigten zweiten Eingangsanschlüsse an dem elektronischen Element minimal zu halten. Die funktionellen Blöcke der einzelnen Eingangspads übernehmen die Interpretation des Maskier-Logik-Pegels, d.h. des dritten Logik-Pegels. Es ist nur jeweils ein zweiter Eingangsanschluss des elektronischen Elements je Scankette notwendig.

[0041] Besonders bevorzugt weist die Vergleicherschaltung dritte Eingangsanschlüsse auf, welche jeweils mit den funktionellen Blöcken gekoppelt sind.

[0042] In einer Weiterbildung ist das elektronische Element derart eingerichtet, dass mittels diesem aus einem Signal der 3-wertigen Logik zwei Signale der zweiwertigen Logik erzeugbar sind.

[0043] Das Testsystem der Testsystem-Anordnung ist vorzugsweise derart eingerichtet, dass es Signale einer 3-wertigem Logik erzeugt, welche an den zweiten Ausgangsanschlüssen abgreifbar sind.

[0044] Das Testsystem der Testsystem-Anordnung kann eine resistive Last aufweisen, welche zum Ausbilden eines der Logik-Pegel verwendbar ist.

[0045] Mittels der Erfindung lässt sich ein Scantest an elektronischen Schaltkreisen einfacher, schneller und kostengünstiger durchführen. Der elektronische Schaltkreis weist eine Vergleicherschaltung auf, so dass ein Vergleich zwischen Teil-Ist-Wert-Signalen von speichernden Komponenten und Teil-Soll-Wert-Signalen direkt mittels dieser Vergleicherschaltung auf dem Halbleiterchip durchgeführt werden kann. Hierdurch reduziert sich die Menge der von dem Halbleiterchip zu dem Testsystem zu übertragenden Daten. Weiterhin stehen die Ergebnisse des Vergleichs auch direkt auf dem Halbleiterchip zur Verfügung, d.h. die Ist-Wert-Signale müssen nicht erst durch eine Pipeline eines Vektorspeichers des Testsystems geschoben werden. Dies hat den Vorteil, dass bei der Shiftphase, welche dem Auslesen dient, des Scantests diese Shiftphase angehalten werden und der Zustand des Systems, d.h. der speichernden Komponenten des elektronischen Schaltkreises eingefroren werden kann, wenn beim Vergleich ein Fehler einer oder mehrerer speichernden Komponenten erkannt wird. Mittels einer Rückkopplung des Ausgangs der Vergleicherschaltung zu einem vorzugsweise auf dem Halbleiterchip ebenfalls integrierten Steuerelement ist es möglich, neben dem Einfrieren des Zustandes einer oder mehrerer speichernden Komponenten ferner eine zusätzliche Auslese von Ist-Wert-Signalen vorzunehmen, welche noch nicht mittels der Vergleicherschaltung verglichen und/oder komprimiert wurden. Hierdurch stehen noch alle Daten zur Verfügung, welche für eine Diagnose des Fehlers benötigt werden. Die Fehlerdiagnose wird also vereinfacht bzw. überhaupt erst sinnvoll möglich. In einem Scantest gemäß dem Stand der Technik kann der Vergleich erst so spät durchgeführt werden, dass ein Einfrieren des Systems in dem Zustand, der den erkannten Fehler verursacht hat, nicht mehr möglich ist. Die zur Fehlerdiagnose benötigten Werte gehen verloren. Eine Fehlerdiagnose ist somit bei einem Scantest gemäß dem Stand der Technik erschwert.

[0046] Der Test kann ein beliebiger funktionaler Test für eine funktionale Überprüfung der Schaltung, ein Test einer Analogschaltung der digitale Ist-Wert-Signale liefert (Mixed Signal Test), oder eine beliebige Variation des Scantests sein.

[0047] Anschaulich stellt das erfindungsgemäße Verfahren also ein Verfahren zum verstärkten Parallelisieren eines Tests dar. Mittels des erfindungsgemäßen Verfahrens lassen sich Eingangsdaten besser und/oder mehrfach nutzen, wodurch die Parallelisierung des Tests verbessert werden kann. Verfahren zum Parallelisieren von Tests sind auch gemäß dem Stand der Technik bekannt, diese unterscheiden sich jedoch von dem erfindungsgemäßen Verfahren. D.h. eine eins zu eins Zuordnung von Testsystemanschlüssen zu Ein/Ausgängen von Blöcken der zu testenden elektronischen Schaltung ist wie beim Standard-Scantest nicht unbedingt gegeben.

[0048] Anschaulich besteht der zusätzlichen Aspekt der Erfindung darin, dass eine 3-wertige Logik zur Datenübermittlung, d.h. der Übermittlung von Soll-Wert-Signalen, zwischen einem Testsystem und einem zu testenden elektronischen Schaltkreis verwendet wird. Das Testsystem kann Signale für die 3-wertige Logik, welche anschaulich einer 3-wertigen Information entspricht, ohne Mehraufwand von Testkanälen, d.h. Eingangs-

anschlüssen des elektronischen Elements oder Ausgangsanschlüssen des Testsystems, erzeugen und das elektronische Element damit betreiben. Bereits vorhandene Eingangspads werden nur um einen Funktionsblock zur Interpretation des dritten Logik-Pegels erweitert. Dieser dritte Logik-Pegel ist dann zum Maskieren von undefinierten Zuständen der Ist-Wert-Signale an der Vergleicherschaltung verwendbar. Der Funktionsblock des Eingangspads ist hierbei derart eingerichtet, dass er aus einem Signal einer 3-wertigen Logik zwei Signale einer zweiwertigen Logik erzeugen kann, wobei ein Signal der zweiwertigen Logik als Maskierungssignal verwendet werden kann. Durch diese Ausgestaltung ist es möglich, dass das elektronische Element in einem „Normalmode" betrieben werden kann. In diesem „Normalmode" reagiert es in üblicher Weise auf Signale einer zweiwertigen Logik. Gleichzeitig kann das elektronische Element jedoch auch mittels Verwendens von Signalen einer 3-wertigen Logik in einem „Testmode" betrieben werden. Anschaulich kann also zwischen einem „Normalmodus" und einem „Testmodus" umgeschaltet werden.

[0049] Somit kann ein elektronisches Element oder eine Testsystem-Anordnung gemäß dem zusätzlichen Aspekt der Erfindung Ist-Wert-Signale, welche einem undefinierten Zustand entsprechen, maskieren, ohne dass die Anzahl der benötigten Testsystemkanäle vergrößert wird. Auch die im Testsystem abzuspeichernde Steuerungsinformation wird hierbei nicht vergrößert, wie es bei einem Maskieren mittels eigens vom Testsystem an das elektronische Element zu übertragende Maskierungssignalen der Fall wäre. Die Testabdeckung, d.h. die Anzahl der verwertbaren Testinformationen, ist bei gleicher Anzahl von Testsystemkanäle gegenüber dem ersten Aspekt der Erfindung vergrößert, da ohne zusätzlich benötigte Testsystemkanäle jeweils individuell die Ist-Wert-Signale, welche einem undefinierten Zustand entsprechen, ausgeblendet werden können. Es können also ohne Erhöhung der benötigten Testerkanäle und ohne Erhöhung des Speicherbedarfs die Ist-Wert-Signale, welche einem undefinierten Zustand entsprechen, bitweise an der Vergleicherschaltung des elektronischen Elements ausgeblendet werden. Hierdurch ist eine Voraussetzung zum Einsatz von kostengünstiger Testhardware, wie zum Beispiel des ATE-Testsystems, gegeben. Es lassen sich kostengünstige Testsysteme mit Testerkanälen ohne Komparator, d.h. ohne Komparator im Testsystem, einsetzen.

[0050] Ferner können das elektronische Element und die Testsystem-Anordnung gemäß dem zusätzlichen Aspekt der Erfindung auch besser für funktionelle Test, d.h. ein Test, bei welchem als Testsignalfolge keine speziellen Scantest-Signalfolge verwendet wird, eingesetzt werden. Die bessere Einsetzbarkeit kommt daher, dass bei solchen funktionellen Tests wesentlich mehr Ist-Wert-Signale mit undefinierten Zustand auftreten, als bei speziellen Scantest-Signalfolgen. Dies führt dazu, dass die Testabdeckung bei dem elektronischen Element und der Testsystem-Anordnung gemäß dem ersten Aspekt der Erfindung bei funktionellen Tests verringert ist.

[0051] Die zu vergleichenden Daten, z.B. die Ist-Wert-Signale, sind in vielen Fällen Ergebnisse aus einem Scantest. Das erfindungsgemäße Verfahren ist jedoch auch zum Vergleichen von Daten, z.B. die Ist-Wert-Signale, von funktionellen Testmustern ohne Einsatz von Scanketten anwendbar. Ebenso ist das Vergleichen von digitalen Datenströmen, wie sie bei Analogtests benutzt werden, möglich.

Ausführungsbeispiel

[0052] Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

[0053] Es zeigen:

[0054] Fig. 1 eine schematische Darstellung eines erfindungsgemäßen Testsystems mit einem elektronischen Element gemäß einem Ausführungsbeispiel der Erfindung;

[0055] Fig. 2 eine schematische Darstellung einer nicht X-toleranten Vergleicherschaltung gemäß einem Ausführungsbeispiel der Erfindung, welche auf dem elektrischen Element angeordnet sein kann;

[0056] Fig. 3 eine schematische Darstellung einer anderen, nicht X-toleranten Vergleicherschaltung gemäß einem Ausführungsbeispiel der Erfindung, welche auf dem elektrischen Element angeordnet sein kann;

[0057] Fig. 4 eine schematische Darstellung eines X-toleranten Kompressors gemäß einem Ausführungsbeispiel der Erfindung, welcher auf dem elektronischen Element angeordnet werden kann;

[0058] Fig. 5 eine schematische Darstellung eines Testsystems und eines elektronischen Elements gemäß dem Stand der Technik.

[0059] **Fig.** 6 eine zweite schematische Darstellung des in **Fig.** 1 gezeigten erfindungsgemäßen Testsystems mit einem elektronischen Element gemäß einem Ausführungsbeispiel der Erfindung;

[0060] **Fig.** 7 eine schematische Darstellung einer erfindungsgemäßen Testsystem-Anordnung, bei welcher ein zusätzlicher Anschlusspin zum Bereitstellen eines Signals zum Maskieren von Ist-Wert-Signalen mit undefinierten Zustand ausgebildet ist;

[0061] **Fig.** 8 eine schematische Darstellung einer erfindungsgemäßen Testsystem-Anordnung, bei welcher je zweiten Eingangsanschluss ein zusätzlicher Anschlusspin zum Bereitstellen eines Signals zum Maskieren von Ist-Wert-Signalen mit undefinierten Zustand ausgebildet ist;

[0062] **Fig.** 9 eine schematische Darstellung einer Testsystem-Anordnung gemäß einem zusätzlichen Aspekt der Erfindung;

[0063] **Fig.** 10 eine schematische Darstellung eines Testsystems mit einer resistiven Last, welche zum Ausbilden eines dritten Logik-Pegels verwendbar ist; und

[0064] **Fig.** 11 eine schematische Darstellung einer Testsystem-Anordnung gemäß dem zusätzlichen Aspekt der Erfindung.

[0065] In der folgenden detaillierten Beschreibung der Figuren beziehen sich gleiche oder ähnliche Bezugszeichen auf gleiche oder ähnliche Merkmale.

[0066] **Fig.** 1 zeigt eine schematische Darstellung eines erfindungsgemäßen Testsystems **100** und eines mit diesem gekoppelten zu testenden elektronischen Elements **101**.

[0067] Das Testsystem **100** weist einen Vektorspeicher **102** auf, welcher zum Speichern von Testsignalen (Stimuli) und Soll-Wert-Signalen (Expected Responses) verwendet wird. Ferner weist das Testsystem **100** für jedes zu testendes elektronisches Element eine Mehrzahl von ersten Ausgangsanschlüssen **103**, **104**, **105** und **106** auf. In der **Fig.** 1 sind der Übersichtlichkeit wegen nur vier erste Ausgangsanschlüsse **103**, **104**, **105** und **106** dargestellt. Zusätzlich weist das Testsystem **100** eine Mehrzahl von zweiten Ausgangsanschlüssen **107**, **108**, **109** und **110** auf. Die Anzahl der ersten Ausgangsanschlüsse und die Anzahl der zweiten Ausgangsanschlüsse des Testsystems ist beim Standard-Scantest gleich, muss jedoch bei anderen Scantest-Varianten nicht gleich sein. Z.B. bei Test-Variaten, bei denen ausgehend von auf dem elektrischen Schaltkreis befindlichen Eingangsdaten eine Generierung, Umverteilung bzw. Dekompression vorgenommen wird. Ferner weist das Testsystem mindestens einen Eingangsanschluss **125** auf. Allgemein kann eine beliebige Anzahl erster Ausgangsanschlüsse und zweiter Ausgangsanschlüsse vorgesehen sein.

[0068] Das zu testenden elektronische Element **101** hier im Beispiel beim Standard-Scantest, gemäß dem Ausführungsbeispiel ein Halbleiterchip, weist eine Vielzahl von elektronischen Komponenten auf, von denen ein Teil speichernden Komponenten (Flip-Flops) sind, ein anderer Teil Logikgatter bzw. digitale Logik, wie beispielsweise UND-Gatter, ODER-Gatter, EXKLUSIV-ODER-Gatter, NICHT-Gatter, etc. Eine Mehrzahl von speichernden Komponenten sind zum Durchführen eines Scantest zu Scanketten **111**, **112**, **113** und **114** gekoppelt. Zur besseren Übersichtlichkeit sind nur vier Scanketten **111**, **112**, **113** und **114** dargestellt. Die vier Scanketten **111**, **112**, **113** und **114** weisen beim Standard-Scantest jeweils einen Eingangsanschluss **126**, **127**, **128**, **129** auf, wobei jeder der Eingangsanschlüsse **126**, **127**, **128**, **129** jeweils mit einem der ersten Ausgangsanschlüsse **103**, **104**, **105** bzw. **106** des Testsystems **100** gekoppelt ist.

[0069] Ferner weist der Halbleiterchip **101** eine Vergleicherschaltung **115** auf. Die Vergleicherschaltung **115** weist erste Eingangsanschlüsse **116**, **117**, **118** und **119** und zweite Eingangsanschlüsse **120**, **121**, **122** und **123** auf. Jeweils ein erster Eingangsanschluss ist mit jeweils einem Ausgangsanschluss der Scanketten **111**, **112**, **113** und **114** gekoppelt, während jeweils ein zweiter Eingangsanschluss **120**, **121**, **122** und **123** der Vergleicherschaltung **115** mit jeweils einem zweiten Ausgangsanschluss **107**, **108**, **109** und **110** des Testsystems **100** gekoppelt ist.

[0070] Zusätzlich weist die Vergleicherschaltung **115** einen Ausgangsanschluss **124** auf, welcher mit dem Eingangsanschluss **125** des Testsystems **100** gekoppelt ist.

[0071] Mittels der ersten Ausgangsanschlüsse **103**, **104**, **105** und **106** kann während eines Scantests den Eingangsanschlüssen **126**, **127**, **128**, **129** der Scanketten **111**, **112**, **113** und **114** ein Signal zur Verfügung gestellt

werden. Die Scanketten **111**, **112**, **113** und **114** werden also von außen angesteuert. Während einer ersten Phase des Scantests, der „Shiftphase", wird mittels des Testsystems **100** eine im Vektorspeicher **102** des Testsystems **100** gespeicherte Scantest-Signalfolge zur Verfügung gestellt, d.h. den Eingangsanschlüssen **126**, **127**, **128**, **129** der Scanketten **111**, **112**, **113** und **114** zugeführt. Dies geschieht getaktet, d.h. jeweils ein Scantest-Signal liegt an jeweils einem ersten Ausgangsanschluss **103**, **104**, **105** bzw. **106** und damit an den mit den ersten Ausgangsanschlüssen **103**, **104**, **105** bzw. **106** gekoppelten Einganganschlüssen **126**, **127**, **128**, **129** des Halbleiterchips **101** an. Mit dem nächsten Takt wird dieses Signal eine Komponente der Scankette **111**, **112**, **113** und **114** weitergeschoben und liegt somit an den zweiten speichernden Komponenten der Scanketten **111**, **112**, **113** und **114** an, während an den ersten Komponenten der Scankette **111**, **112**, **113** und **114** ein neues Scantest-Signal angelegt ist. Insgesamt ist die Anzahl der Takte der Shiftphase genau so groß wie die Anzahl der in der Scankette **111**, **112**, **113** und **114** enthaltenen speichernden Komponenten. Wenn die Scanketten **111**, **112**, **113** und **114** z.B. 500 Elemente aufweisen, dann weist die Shiftphase **500** Takte auf. Nach dem Ende der Shiftphase liegt somit an jeder speichernden Komponente der Scankette **111**, **112**, **113** und **114** ein Scantest-Signal an.

[0072] In einer zweiten Phase des Scantest wird der zu testende Chip genau einen Takt im so genannten „Normalmodus" betrieben, d.h. der Chip **101** wird gemäß seiner normalen Funktion betrieben. Hierbei wird mittels des an den jeweiligen speichernden Komponenten der Scankette **111**, **112**, **113** und **114** bereitgestellten Scantest-Signals ein jeweiliges Teil-Ist-Wert-Signal an einem jeweiligen Funktionseingang einer speichernden Komponente der Scankette **111**, **112**, **113** und **114** erzeugt. Alle Teil-Ist-Wert-Signale einer Scankette **111**, **112**, **113** und **114** zusammen bilden ein Ist-Wert-Signal einer Scankette **111**, **112**, **113** und **114**.

[0073] Während einer dritten Phase des Scantests werden die Teil-Ist-Wert-Signale der elektronischen Komponenten getaktet durch die jeweilige Scankette **111**, **112**, **113** und **114** geschoben und stehen an dem Ausgangsanschluss der jeweiligen Scankette **111**, **112**, **113** und **114** bzw. an den mit diesen gekoppelten ersten Eingangsanschlüssen **116**, **117**, **118**, **119** der Vergleicherschaltung **115** bereit. D.h. am jeweiligen Ausgangsanschluss der Scankette **111**, **112**, **113** und **114** werden die Teil-Ist-Wert-Signale und damit das jeweilige Ist-Wert-Signal ausgelesen, welche während der zweiten Phase des Scantests erzeugt wurden.

[0074] Die Ist-Wert-Signale der einzelnen Scanketten **111**, **112**, **113** und **114** stehen, da die Ausgangsanschlüsse der Scanketten **111**, **112**, **113** und **114** mit den ersten Eingangsanschlüssen **116**, **117**, **118**, **119** der Vergleicherschaltung **115** gekoppelt sind, in der Vergleicherschaltung **115** zur Verfügung. Gleichzeitig werden, getaktet mit dem gleichen Takt, den zweiten Eingangsanschlüssen **120**, **121**, **122**, **123** der Vergleicherschaltung **115** von dem Testsystem Soll-Wert-Signale zugeführt, welche an den zweiten Ausgängen **107**, **108**, **109**, **110** des Testsystems **100** aus dem Vektorspeicher **102** ausgelesen und der Vergleicherschaltung **115** zur Verfügung gestellt werden.

[0075] Der Vergleicherschaltung **115** stehen somit gleichzeitig die Ist-Wert-Signale der Scanketten **111**, **112**, **113** und **114** und Soll-Wert-Signale, welche im Vektorspeicher **102** gespeichert sind, zur Verfügung. Die Vergleicherschaltung **115** vergleicht die Ist-Wert-Signale mit den Soll-Wert-Signalen und stellt an ihrem Ausgangsanschluss **124** das Ergebnis des jeweiligen Vergleichs bereit.

[0076] Das erfindungsgemäße Verfahren weist den Vorteil auf, dass die Vergleicherschaltung wesentlich weniger Ausgangsdaten erzeugt als bei einem Scantest, hier im Beispiel dem Standard-Scantest, gemäß dem Stand der Technik erzeugt würden. Auch ist das erfindungsgemäße Verfahren und die erfindungsgemäße Testsystem-Anordnung besser als das Verfahren und die Testsystem-Anordnung gemäß dem Stand der Technik für eine verstärkte Parallelisierung des Tests geeignet, da es für das elektronische Element **101**, d.h. für den Halbleiterchip praktisch nur Eingangsdaten gibt und Eingangsdaten mittels bekannter Verfahren besser für eine parallelisierte Verarbeitung eignen als Ausgangsdaten.

[0077] In **Fig.** 2 ist schematisch eine erste Vergleicherschaltung **200** in dem erfindungsgemäßen elektronischen Element **101** gemäß einem ersten Ausführungsbeispiel der Erfindung dargestellt. Das dargestellte Ausführungsbeispiel ist nur beispielhaft, wobei jede bekannte Komparatorschaltung verwendet werden kann.

[0078] Im Falle von vier Scanketten **111**, **112**, **113** und **114** weist die Vergleicherschaltung die vier ersten Eingangsanschlüsse **116**, **117**, **118** und **119** bzw. die vier zweiten Eingangsanschlüsse **120**, **121**, **122** und **123** auf, welche mit den Ausgangsanschlüssen der Scanketten **111**, **112**, **113** und **114** bzw. den zweiten Ausgangsanschlüssen **107**, **108**, **109** und **110** des Testsystems **100** gekoppelt sind.

[0079] Eine erste Stufe der Vergleicherschaltung **105** weist vier EXOR-Schaltungen **226**, **227**, **228** und **229**

(EXKLUSIV-ODER-Gatter) auf. Die EXOR-Schaltungen **226**, **227**, **228** und **229** weisen jeweils zwei Eingangsanschlüsse auf, von denen jeweils ein Eingangsanschluss mit einem ersten Eingangsanschluss **116**, **117**, **118** und **119** der Vergleicherschaltung **200** gekoppelt ist, während jeweils der zweite Eingangsanschluss der EX-OR-Schaltungen **226**, **227**, **228** und **229** mit jeweils einem zweiten Eingangsanschluss **120**, **121**, **122** und **123** der Vergleicherschaltung **200** gekoppelt ist. Ferner weist jede EXOR-Schaltung einen Ausgangsanschluss auf.

[0080] Die Vergleicherschaltung **200** weist als zweite Stufe zwei OR-Schaltungen **230** und **231** (ODER-Gatter) auf, wobei jede OR-Schaltung zwei Eingangsanschlüsse und einen Ausgangsanschluss aufweist. Die Eingangsanschlüsse der OR-Schaltungen der zweiten Stufe sind mit den Ausgängen der EXOR-Schaltungen **226**, **227**, **228** und **229** der ersten Stufe gekoppelt.

[0081] Als dritte Stufe weist die Vergleicherschaltung **200** eine OR-Schaltung **232** (ODER-Gatter) mit zwei Eingangsanschlüssen und einem Ausgangsanschluss auf. Dieser Ausgangsanschluss ist der Ausgangsanschluss **124** der Vergleicherschaltung **200**.

[0082] Dieser dreistufige Aufbau ist exemplarisch für den Fall von vier Scanketten **111**, **112**, **113** und **114** dargestellt. Im Falle von mehr als vier Scanketten muss die Anzahl der Stufen der Vergleicherschaltung entsprechend erhöht werden, wenn erreicht werden soll, dass nur ein Ausgangsanschluss der Vergleicherschaltung benötigt wird.

[0083] Wenn in der zweiten Shiftphase des Scantests, d.h. der Auslesephase der Ist-Wert-Signale, die Teil-Ist-Wert-Signale an den ersten Eingangsanschlüssen **116**, **117**, **118** und **119** anliegen und gleichzeitig an den zweiten Eingangsanschlüssen **120**, **121**, **122** und **123** die Teil-Soll-Wert-Signale, so vergleicht die Vergleicherschaltung jeweils ein Teil-Soll-Wert-Signal mit dem entsprechenden Teil-Ist-Wert-Signal. In dem Fall, dass alle Teil-Soll-Wert-Signale mit den entsprechenden Teil-Ist-Wert-Signalen übereinstimmen liegt am Ausgang **124** der Vergleicherschaltung **200** ein Wert logisch „0" an, d.h. alle Scanketten **111**, **112**, **113** und **114** liefern ein erwartetes Ergebnis und keine der speichernden Komponenten liefert einen Fehler. Im Gegenzug liegt am Ausgangsanschluss **124** der Vergleicherschaltung **200** ein Wert logisch „1" an, wenn auch nur in einer Scankette **111**, **112**, **113** und **114** das Teil-Ist-Wert-Signal nicht mit dem entsprechenden Teil-Soll-Wert-Signal übereinstimmt.

[0084] Die in **Fig.** 2 dargestellte Vergleicherschaltung ist nicht X-tolerant. D.h. wenn ein Teil-Ist-Wert-Signal einen Wert hat, welcher nicht definiert ist, d.h. ein X-Signal, dann ergibt sich am Ausgangsanschluss **124** der Vergleicherschaltung auch ein X-Zustand, d.h. in diesem Fall ist der Zustand ebenfalls nicht definiert.

[0085] Dies ist in einem Scantest nicht gewünscht, da bei einem X-Zustand nicht entschieden werden kann, ob ein Fehler vorliegt oder nicht und dadurch nicht zur Erhöhung der Testabdeckung beiträgt.

[0086] Eine Möglichkeit, eine solche nicht X-tolerante Vergleicherschaltung in einem Scantest zu verwenden ist beispielsweise darin zu sehen, eine derart vorgegebene Scantest-Signalfolge zu verwenden, dass sichergestellt ist, dass es an keiner der speichernden Komponenten des elektronischen Schaltkreises zu einem X-Zustand kommt. Somit kann es zu keinem X-Zustand bei den Teil-Ist-Wert-Signalen kommen und damit erzeugt auch die Vergleicherschaltung **200** keinen X-Zustand an ihrem Ausgang.

[0087] In **Fig.** 3 ist schematisch die Vergleicherschaltung **200** aus **Fig.** 2 dargestellt, wobei gemäß diesem Ausführungsbeispiel das Ausgangssignal, welches am Ausgangsanschluss **124** der Vergleicherschaltung **200** anliegt, jedoch nicht an den Eingangsanschluss **125** des Testsystems **100** weitergeleitet wird.

[0088] Das elektronische Element, d.h. der Halbleiterchip, weist zusätzlich ein Steuerelement **333** auf. Ein Steuereingang des Steuerelements **333** ist mit dem Ausgangsanschluss **124** der Vergleicherschaltung **200** gekoppelt. An das Steuerelement **333** wird somit das Ausgangssignal der Vergleicherschaltung **200** angelegt. Wenn das Ausgangssignal anzeigt, dass ein Fehler einer speichernden Komponente beim Scantest aufgetreten ist, hält das Steuerelement **333** die weitere Taktfolge des Auslesezykluses an. Der Zustand zumindest der getesteten speichernden Komponenten des elektronischen Schaltkreises wird eingefroren und kann detailliert ausgelesen werden, damit eine Diagnose durchgeführt werden kann. Es kann noch auf die einzelnen Teil-Ist-Wert-Signale aller Ketten **111**, **112**, **113** und **114** zugegriffen werden, da der Vergleich mittels der integrierten Vergleicherschaltung **200** gleichzeitig mit dem Auslesen der Daten aus den Scanketten **111**, **112**, **113** und **114** durchgeführt wird. Dies bedeutet, dass auch noch die einzelne jeweilige Scankette **111**, **112**, **113** und **114**, in welcher ein Fehler aufgetreten ist, d.h. bei der ein Teil-Ist-Wert-Signal nicht mit dem betreffenden Teil-Soll-Wert-Signal übereinstimmt, bestimmt werden kann. Somit kann eine Diagnose daraufhin durchgeführt

werden, ob zum Beispiel die diesen Fehler erzeugende speichernden Komponente gehäuft einen Fehler erzeugt.

[0089] Es findet also eine Rückkopplung zwischen dem Ausgang der Vergleicherschaltung **200** und dem Eingang der Vergleicherschaltung **200** statt auf die Weise, dass, wenn ein Signal am Ausgangsanschluss der Vergleicherschaltung **200** anliegt, das Zuführen der Ist-Wert-Signalfolge und die Soll-Wert-Signalfolge angehalten werden können. Ohne eine solche Rückkopplung wäre eine spezielle Fehlerdiagnose, welche der Scanketten **111**, **112**, **113** und **114** einen Fehler liefert, nicht mehr möglich. Diese Rückkopplung und die damit verbundene Einfrierung des Zustandes der speichernden Komponenten ist in der Praxis vor allem deshalb wichtig, weil ein tatsächlicher Halbleiterchip wesentlich mehr Scanketten als die hier exemplarisch dargestellten vier Scanketten **111**, **112**, **113** und **114** aufweist. Somit weist eine Vergleicherschaltung **200** in der Praxis auch wesentlich mehr Stufen als die hier dargestellten drei Stufen auf. Dies bedeutet, dass mittels der erfindungsgemäßen Vergleicherschaltung eine stärkere Parallelisierung des Tests durchgeführt werden kann. Es wird jedoch eine Aussage erschwert, in welcher Scankette **111**, **112**, **113** und **114** das Teil-Ist-Wert-Signal nicht mit dem Teil-Soll-Wert-Signal übereinstimmt, wenn ein Signal, welches einen Fehler signalisiert, am Ausgang anliegt. Hierdurch wird eine Diagnose einer möglichen Fehlerquelle stark erschwert.

[0090] In **Fig.** 4 ist eine schematische Darstellung einer X-toleranten Vergleicherschaltung **400** gemäß einem zweiten Ausführungsbeispiel der Erfindung, in diesem Falle eines Kompressors, dargestellt. Auch die X-tolerante Vergleicherschaltung **400** ist wiederum beispielhaft für eine elektronische Schaltung mit vier Scanketten **111**, **112**, **113** und **114** gezeigt.

[0091] Im Falle von vier Scanketten **111**, **112**, **113** und **114** weist die Vergleicherschaltung die vier ersten Eingangsanschlüsse **116**, **117**, **118** und **119** bzw. die vier zweiten Eingangsanschlüsse **120**, **121**, **122** und **123** auf, welche mit den Ausgangsanschlüssen der Scanketten **111**, **112**, **113** und **114** bzw. den zweiten Ausgangsanschlüssen **107**, **108**, **109** und **110** des Testsystems **100** gekoppelt sind.

[0092] Eine erste Stufe der Vergleicherschaltung **400** weist vier AND-Schaltungen **434**, **435**, **436** und **437** (UND-Gatter) auf. Die AND-Schaltungen **434**, **435**, **436** und **437** weisen jeweils zwei Eingangsanschlüsse auf, von denen jeweils ein Eingangsanschluss mit einem der ersten Eingangsanschlüsse der Vergleicherschaltung **400** gekoppelt ist. Der jeweils zweite Eingangsanschluss der AND-Schaltungen **434**, **435**, **436** und **437** ist mit jeweils einem der zweiten Eingangsanschlüsse der Vergleicherschaltung **400** gekoppelt. Ferner weist jede AND-Schaltung einen Ausgangsanschluss auf.

[0093] Die Vergleicherschaltung **400** weist als zweite Stufe zwei EXOR-Schaltungen **438** und **439** (EXKLUSIV-ODER-Gatter) auf, wobei jede EXOR-Schaltung **438** und **439** zwei Eingangsanschlüsse und einen Ausgangsanschluss aufweist. Die Eingangsanschlüsse der EXOR-Schaltungen **438** und **439** der zweiten Stufe sind mit den Ausgängen der AND-Schaltungen der ersten Stufe gekoppelt.

[0094] Als dritte Stufe weist die Vergleicherschaltung **400** eine EXOR-Schaltung **440** (EXKLUSIV-ODER-Gatter) mit zwei Eingangsanschlüssen und einem Ausgangsanschluss auf. Dieser Ausgangsanschluss ist der Ausgangsanschluss **124** der Vergleicherschaltung **400**.

[0095] Die in **Fig.** 4 dargestellte Vergleicherschaltung stellt einen Kompressor dar, welcher gleichzeitig als Komparator verwendet werden kann. Wenn in der zweiten Shiftphase des Scantests, d.h. der Auslesephase der Ist-Wert-Signale, die Ist-Wert-Signale an den ersten Eingangsanschlüssen **116**, **117**, **118** und **119** anliegen und gleichzeitig an den zweiten Eingangsanschlüssen **120**, **121**, **122** und **123** die Soll-Wert-Signale, so komprimiert die Vergleicherschaltung **400** die Signale, d.h. sie reduziert die vier Signale der vier Scanketten auf ein einziges Signal. Ferner vergleicht sie gleichzeitig jeweils ein Soll-Wert-Signal mit dem entsprechenden Ist-Wert-Signal. Im Falle dass alle Soll-Wert-Signale mit den entsprechenden Ist-Wert-Signalen übereinstimmen liegt am Ausgang **124** der Vergleicherschaltung **400** ein Signal an, welches anzeigt, dass alle Scanketten **111**, **112**, **113** und **114** ein erwartetes Ergebnis geliefert haben und keine der elektronischen Komponenten einen Fehler geliefert haben.

[0096] Im Gegensatz zu der in **Fig.** 2 dargestellten Vergleicherschaltung **200** liegt jedoch am Ausgang **125** der in **Fig.** 4 dargestellten Vergleicherschaltung **400** das Signal, welches anzeigt, dass kein Fehler in der Scankette **111**, **112**, **113** und **114** aufgetreten ist, auch dann an, wenn in einer geraden Anzahl von Scanketten **111**, **112**, **113** und **114** ein Fehler aufgetreten ist. Mittels der in **Fig.** 4 dargestellten Vergleicherschaltung lässt sich folglich nur eine ungerade Anzahl von Fehlern erkennen. Wobei auch wiederum nur entschieden werden kann, ob ein Fehler vorlag, nicht jedoch in welcher Scankette der Fehler vorlag.

[0097] Dafür weist diese Vergleicherschaltung **400** den Vorteil auf, dass sie X-tolerant ist, d.h, auch ein nicht definierter Zustand eines Ist-Wert-Signals verhindert nicht die Verwendbarkeit des am Ausgang der Vergleicherschaltung anliegenden Signals.

[0098] In **Fig.** 6 ist eine zweite schematische Darstellung des in

[0099] **Fig.** 1 gezeigten erfindungsgemäßen Testsystems **100** und des mit diesem gekoppelten zu testenden elektronischen Elements **101** gezeigt. Der Übersichtlichkeit wegen sind in **Fig.** 6 nur zwei Scanketten **111** und **112** schematisch dargestellt, welche an erste Eingangsanschlüsse **116** und **117** der Vergleicherschaltung **115** gekoppelt sind. Die Anzahl der Scanketten kann jedoch wesentlich höher oder gleich eins sein. Ferner sind auch nur zwei zweite Eingangsanschlüsse **120** und **121** der Vergleicherschaltung **115** dargestellt. Auch das Testsystem **100** weist in **Fig.** 6 nur zwei zweite Ausgangsanschlüsse **107** und **108** des Testsystems **100** auf. In **Fig.** 6 weist jedoch das elektronische Element **101** zusätzlich ein erstes Eingangspad **650** und ein zweites Eingangspad **651** auf. Das erste Eingangspad **650** weist einen Eingangsanschluss **652**, welcher mit dem zweiten Ausgangsanschluss **107** des Testsystems **100** gekoppelt ist und einen Ausgangsanschluss **653** auf, welcher an den zweiten Eingangsanschluss **120** der Vergleicherschaltung gekoppelt ist. Das zweite Eingangspad **651** weist einen Eingangsanschluss **654**, welcher an den zweiten Ausgangsanschluss **108** des Testsystems **100** gekoppelt ist, und einen Ausgangsanschluss **655** auf, welcher an den zweiten Eingangsanschluss **121** der Vergleicherschaltung gekoppelt ist. Ferner ist in **Fig.** 6 der Ausgangsanschluss **124** der Vergleicherschaltung **115** und der Eingangsanschluss **125** des Testsystems **100** dargestellt, welche miteinander gekoppelt sind.

[0100] Gemäß der Ausgestaltung der Testsystem-Anordnung, wie sie in **Fig.** 1 und **Fig.** 6 dargestellt ist, kann das Testsystem Ist-Signal-Werte, welche einen undefinierten Zustand entsprechen und welche am Ausgang des elektronischen Elements anliegen, ignorieren. Hierzu weist das Testsystem Komparatoren auf.

[0101] In **Fig.** 7 ist im wesentlichen nochmals das in **Fig.** 6 gezeigte erfindungsgemäße Testsystem **100** und ein mit diesem gekoppeltes elektronisches Element **101** gezeigt. Der Übersichtlichkeit wegen sind in **Fig.** 7 wiederum nur zwei Scanketten **111** und **112** schematisch dargestellt, welche an erste Eingangsanschlüsse **116** und **117** der Vergleicherschaltung **115** gekoppelt sind. Ferner sind auch nur zwei zweite Eingangsanschlüsse **120** und **121** der Vergleicherschaltung **115** dargestellt. Auch für das Testsystem **100** in **Fig.** 7 sind nur zwei zweite Ausgangsanschlüsse **107** und **108** des Testsystems **100** dargestellt. Wie in **Fig.** 6 weist das elektronische Element **101** zusätzlich ein erstes Eingangspad **650** und ein zweites Eingangspad **651** auf. Das erste Eingangspad **650** weist einen Eingangsanschluss **652**, welcher mit dem zweiten Ausgangsanschluss **107** des Testsystems **100** gekoppelt ist und einen Ausgangsanschluss **653** auf, welcher an den zweiten Eingangsanschluss **120** der Vergleicherschaltung gekoppelt ist. Wohingegen das zweite Eingangspad **651** einen Eingangsanschluss **654**, welcher an den zweiten Ausgangsanschluss **108** des Testsystems **100** gekoppelt ist, und einen Ausgangsanschluss **655** aufweist, welcher an den zweiten Eingangsanschluss **121** der Vergleicherschaltung gekoppelt ist. Ferner ist in **Fig.** 7 der Ausgangsanschluss **124** der Vergleicherschaltung **115** und der Eingangsanschluss **125** des Testsystems **100** dargestellt, welche miteinander gekoppelt sind.

[0102] Zusätzlich weist das in **Fig.** 7 gezeigte Testsystem **100** jedoch einen zusätzlichen Ausgangsanschluss **756** (auch als Anschlusspin bezeichnet) auf, welcher mit einem zusätzlichen Eingangsanschluss **757** der Vergleicherschaltung **115** gekoppelt ist. Mittels dieses zusätzlichen Ausgangsanschlusses **756** ist es möglich der Vergleicherschaltung **115** ein Signal bereitzustellen, welches dazu verwendbar ist alle Ist-Wert-Signale zu maskieren, wenn ein Ist-Wert-Signal einen undefinierten Zustand aufweist. Hierbei werden die an jeder Scankette anliegende Information verworfen, sobald zumindest ein Ist-Wert-Signal einen undefinierten Zustand aufweist. In der in **Fig.** 7 gezeigten Ausgestaltung kann die Vergleicherschaltung **115** den Vergleich der Informationsbits aller Scanketten gleichzeitig ausblenden. Hierdurch wird jedoch die Testabdeckung (Testcoverage) reduziert, da schon beim Auftreten eines einzelnen nicht definierten Wertes innerhalb eines Taktes die Information, welche in diesen Takt an jeder einzelnen Scankette anliegt, verworfen wird. Ferner wird hierbei zum Übertragen der Steuerungsfunktion, innerhalb welchen Taktes ein Vergleich ausgeblendet werden muss, vom Testsystem zum elektronischen Element **101** noch der zusätzliche digitale Eingangsanschluss **757** am elektrischen Element **101** und der zusätzliche digitale Ausgangsanschluss **756** am Testsystem **100** benötigt.

[0103] Ferner weist das elektronische Element **101** ein Steuerelement **758** auf, welches derart eingerichtet ist, dass abhängig vom Ergebnis des Vergleichs der Vergleicherschaltung ein Zustand eines zu testenden elektronischen Schaltkreises des elektronischen Elements unverändert gehalten werden kann. Das Steuerelement **758** dient somit anschaulich dazu den Zustand des zu testenden elektronischen Schaltkreises einzufrieren.

[0104] In **Fig.** 8 sind im wesentlichen nochmals das in **Fig.** 7 gezeigte Testsystem **100** und ein mit diesem

gekoppeltes elektronisches Element **101** gezeigt. Der Übersichtlichkeit wegen sind in **Fig.** 8 wiederum nur zwei Scanketten **111** und **112** schematisch dargestellt, welche an erste Eingangsanschlüsse **116** und **117** der Vergleicherschaltung **115** gekoppelt sind. Ferner sind auch nur zwei zweite Eingangsanschlüsse **120** und **121** der Vergleicherschaltung **115** dargestellt. Auch das Testsystem **100** in **Fig.** 8 weist nur zwei zweite Ausgangsanschlüsse **107** und **108** auf. Wie in **Fig.** 7 weist das elektronische Element **101** zusätzlich ein erstes Eingangspad **650** und ein zweites Eingangspad **651** auf. Das erste Eingangspad **650** weist einen Eingangsanschluss **652**, welcher mit dem zweiten Ausgangsanschluss **107** des Testsystems **100** gekoppelt ist und einen Ausgangsanschluss **653** auf, welcher an den zweiten Eingangsanschluss **120** der Vergleicherschaltung gekoppelt ist. Wohingegen das zweite Eingangspad **651** einen Eingangsanschluss **654**, welcher an den zweiten Ausgangsanschluss **108** des Testsystems **100** gekoppelt ist, und einen Ausgangsanschluss **655** aufweist, welcher an den zweiten Eingangsanschluss **121** der Vergleicherschaltung gekoppelt ist. Ferner ist in **Fig.** 8 der Ausgangsanschluss **124** der Vergleicherschaltung **115** und der Eingangsanschluss **125** des Testsystems **100** dargestellt, welche miteinander gekoppelt sind.

[0105] Zusätzlich weist das Testsystem **100** jedoch zusätzliche Ausgangsanschlüsse **859** und **860** auf, welche mit zusätzlichen Eingangsanschlüssen **861** und **862** der Vergleicherschaltung **115** gekoppelt sind. Im Allgemeinen ist die Anzahl der zusätzlichen Ausgangsanschlüsse des Testsystems und der zusätzlichen Eingangsanschlüsse der Vergleicherschaltung gleich der Anzahl der Scanketten, welche das elektronische Element **101** aufweist, d.h. sie ist wesentlich höher als die in der **Fig.** 8 dargestellten Anzahl von zwei. Prinzipiell gibt es elektrische Schaltkreise mit größer gleich einer Scankette. Mittels dieser zusätzlichen Ausgangsanschlüsse **859** und **860** ist es möglich der Vergleicherschaltung **115** Signale bereitzustellen, welche dazu verwendbar sind, individuelle Ist-Wert-Signale zu maskieren, wenn das jeweilige individuelle Ist-Wert-Signal einen undefinierten Zustand aufweist. Hierbei wird nur die an jeder individuellen Scankette anliegende Information verworfen. In der in **Fig.** 8 gezeigten Ausgestaltung kann die Vergleicherschaltung **115** also den Vergleich der Informationsbits einzelnen Scanketten ausblenden. Hierdurch wird die Testabdeckung (Testcoverage) gegenüber der in **Fig.** 7 gezeigten Ausgestaltung erhöht. Jedoch wird hierbei zum Übertragen der Steuerungsfunktionen, innerhalb welchen Taktes ein Vergleich ausgeblendet werden muss, noch die zusätzlichen digitale Eingangsanschlüsse **859** und **860** und die zusätzlichen digitale Ausgangsanschlüsse **861** und **862** vom Testsystem zum elektronischen Element **101** benötigt. Dies verdoppelt sowohl die benötigten Testerkanäle zwischen Testsystem **100** und dem elektronischen Element **101**, als auch den im Testsystem benötigten Vektorspeicher, da zusätzliche Steuerungsinformationen gespeichert werden müssen.

[0106] Ferner weist das elektronische Element **101** ein Steuerelement **758** auf, welches derart eingerichtet ist, dass abhängig vom Ergebnis des Vergleichs der Vergleicherschaltung ein Zustand des zu testenden elektronischen Schaltkreises unverändert gehalten werden kann. Das Steuerelement **754** dient somit anschaulich dazu, den Zustand des zu testenden elektronischen Schaltkreises einzufrieren.

[0107] In **Fig.** 9 ist eine Testsystem-Anordnung gemäß dem zweiten Aspekt der Erfindung gezeigt, welche ein Testsystem **100** und ein mit diesem gekoppeltes elektronisches Element **101** aufweist. Der Übersichtlichkeit wegen sind in **Fig.** 9 wiederum nur zwei Scanketten **111** und **112** schematisch dargestellt, welche an erste Eingangsanschlüsse **116** und **117** der Vergleicherschaltung **115** gekoppelt sind. Ferner sind auch nur zwei zweite Eingangsanschlüsse **120** und **121** der Vergleicherschaltung **115** dargestellt. Auch das Testsystem **100** weist in **Fig.** 9 nur zwei zweite Ausgangsanschlüsse **107** und **108** des Testsystems **100** auf. Wie in **Fig.** 8 weist das elektronische Element **101** zusätzlich ein erstes Eingangspad **650** und ein zweites Eingangspad **651** auf. Das erste Eingangspad **650** weist einen Eingangsanschluss **652**, welcher mit dem zweiten Ausgangsanschluss **107** des Testsystems **100** gekoppelt ist und einen Ausgangsanschluss **653** auf, welcher an den zweiten Eingangsanschluss **120** der Vergleicherschaltung **115** gekoppelt ist. Wohingegen das zweite Eingangspad **651** einen Eingangsanschluss **654**, welcher an den zweiten Ausgangsanschluss **108** des Testsystems **100** gekoppelt ist, und einen Ausgangsanschluss **655** aufweist, welcher an den zweiten Eingangsanschluss **121** der Vergleicherschaltung gekoppelt ist. Zusätzlich weist das erste Eingangspad **650** noch einen zweiten Ausgangsanschluss **963** auf, welcher mit einem zusätzlichen Eingangsanschluss **964** der Vergleicherschaltung **115** gekoppelt ist. Das zweite Eingangspad **651** weist einen zweiten Ausgangsanschluss **965** auf, welcher mit einem zusätzlichen Eingangsanschluss **966** der Vergleicherschaltung **115** gekoppelt ist.

[0108] Ferner ist in **Fig.** 9 der Ausgangsanschluss **124** der Vergleicherschaltung **115** und der Eingangsanschluss **125** des Testsystems **100** dargestellt, welche miteinander gekoppelt sind.

[0109] Mittels dieser zusätzlichen Ausgangsanschlüsse **963** und **965** des ersten Eingangspads **650** bzw. des zweiten Eingangspads **651** ist es möglich der Vergleicherschaltung **115** Signale bereitzustellen, welche dazu verwendbar sind, individuelle Ist-Wert-Signale zu maskieren, wenn das jeweilige individuelle Ist-Wert-Signal

einen undefinierten Zustand aufweist. Hierbei wird nur die an jeder individuellen Scankette anliegende Information verworfen. In der in **Fig.** 9 gezeigten Ausgestaltung kann die Vergleicherschaltung **115** also den Vergleich der Informationsbits einzelnen Scanketten ausblenden. Die Testabdeckung (Testcoverage) ist bei einer Testsystem-Anordnung wie sie in **Fig.** 9 schematisch dargestellt ist genauso hoch wie bei einer Testsystem-Anordnung wie sie in **Fig.** 8 dargestellt ist. Die Anzahl der benötigten Testerkanäle, d.h. der zweiten Ausgangsanschlüsse des Testsystems **100**, ist jedoch in einer Testsystem-Anordnung gemäß dem zusätzlichen Aspekt der Erfindung geringer. Somit lässt sich eine gemäß der in **Fig.** 9 dargestellten Testsystem-Anordnung die Parallelität eines Scantests gegenüber dem Stand der Technik erhöhen. Zur Erzeugung der Maskierungssignale, welche die Eingangspads der Vergleicherschaltung **115** zur Verfügung stellen, wird ein dritter Logikpegel der Soll-Wert-Signale verwendet, welche an den zweiten Ausgangsanschlüssen des Testsystems **100** bereitgestellt werden. Die Erzeugung und Erkennung dieses dritten Logikpegels wird in den nachfolgenden Figuren genauer erläutert.

[0110] In **Fig.** 10 ist schematisch ein Teil eines beispielhaften Testsystems **100** dargestellt, mittels dessen anstelle eines Soll-Wert-Signals einer 2-wertigen Logik (Hoch-Pegel und Niedrig-Pegel) ein Soll-Wert-Signal einer 3-wertigen Logik (Hoch-Pegel, Niedrig-Pegel und ein Zwischen-Pegel) erzeugt werden kann. Das Testsystem **100** weist einen Treiber **1070** auf, welcher dazu verwendet wird, den Hoch-Pegel und den Niedrig-Pegel der 3-wertigen Logik bereitzustellen. Ein Ausgang **1071** des Treibers **1070** ist mit einem ersten Knoten **1072** des Testsystems **100** gekoppelt. Der erste Knoten **1072** ist mit einem zweiten Knoten **1073** gekoppelt. Der zweite Knoten ist mit einem Komparator **1074** gekoppelt. Ferner ist der zweite Knoten **1073** mit einer emulierten resistiven Last **1075** gekoppelt, welche zum Bereitstellen des Zwischen-Pegels verwendet wird.

[0111] Diese simulierte resistive Last **1075** kann zum Beispiel mittels einer Dioden-Brücke oder Brückengleichrichters ausgebildet sein. Die Diodenbrücke weist vier Knoten **1076**, **1077**, **1078** und **1079** und vier Dioden (nicht gezeigt) auf. Der Knoten **1076** der Dioden-Brücke ist mit dem Knoten **1077** der Dioden-Brücke mittels einer ersten Diode gekoppelt. Der Knoten **1076** der Dioden-Brücke ist ferner mit dem Knoten **1079** der Dioden-Brücke mittels einer vierten Diode gekoppelt. Der Knoten **1077** der Dioden-Brücke ist mit dem Knoten **1078** der Dioden-Brücke mittels einer zweiten Diode gekoppelt. Ferner ist der Knoten **1077** der Dioden-Brücke mit einer ersten programmierbaren Stromquelle gekoppelt. Der Knoten **1079** der Dioden-Brücke ist mit dem Knoten **1078** der Dioden-Brücke mittels einer dritten Diode gekoppelt. Ferner ist der Knoten **1079** der Dioden-Brücke mit einer zweiten programmierbaren Stromquelle gekoppelt.

[0112] Im Rahmen einer 3-wertigen Logik werden die Pegel „Logik 0" (V_{Low}), "Logik 1" (V_{High}) und „Logik Mitte" ($V_{Threashold}$) verarbeitet.

[0113] Durch $V_{Threshold}$ am Knoten **1078** kann ein Pegel eingespeist werden, der im eingeschwungenen Zustand der Dioden-Brücke auch am Knoten **1076** eingestellt wird und somit als Zwischen-Pegel der 3-wertigen Logik verwendet werden kann.

[0114] Somit können vom Testsystem **100** am ersten Knoten **1072** Signale einer 3-wertigen Logik bereitgestellt werden. Der Treiber **1070** stellt das Signal, welches dem logischen Wert „1" entspricht und das Signal, welches dem logischen Wert „0" entspricht bereit. Wenn der Treiber **1070** des Testsystems abgeschaltet wird, übernimmt die resistive Last des Testsystems das Treiben des Mitten-Pegels (Zwischen-Pegels = $V_{Threshold}$) der 3-wertigen Logik. Der erste Knoten **1072** stellt gleichzeitig einen der zweiten Ausgangsanschlüsse des Testsystems dar, welche jeweils mit einem Eingangspad des elektronischen Elements gekoppelt sind.

[0115] Die in **Fig.** 10 schematisch dargestellten Teile eines Testsystems sind nur beispielhaft zu verstehen. Es gibt zahlreiche Möglichkeiten wie das Testsystem eingerichtet sein kann, dass es Signale einer 3-wertigen Logik bereitstellen kann. Auch ist in **Fig.** 10 nur ein Testsystem mit einem zweiten Ausgangsanschluss dargestellt, wohingegen ein in einer Testsystem-Anordnung verwendetes Testsystem eine Mehrzahl von zweiten Ausgangsanschlüssen aufweist, welche mit einer Mehrzahl von zweiten Eingangsanschlüssen des elektronischen Elements gekoppelt sind.

[0116] Alternativ zur programmierbaren Lastschaltung, welche anhand von **Fig.** 10 erläutert wurde, kann das Testsystem auch mit einer erweiterten Funktionalität den dritten logischen Pegel erzeugen. Solche Schaltungen werden zum Beispiel zum Programmieren von nicht flüchtigen Speichern verwendet. Die technische Realisierung ist dabei auf vielfältige Weise möglich.

[0117] In **Fig.** 11 ist schematisch ein Teil der Testsystem-Anordnung gemäß dem zusätzlichen Aspekt der Erfindung dargestellt. Auf der linken Seite ist nochmals das schematische Testsystem der **Fig.** 10 dargestellt. Der

erste Knoten **1072** des Testsystems **100**, d.h. ein zweiter Ausgangsanschluss des Testsystems **100**, ist hier mit einem ersten Knoten **1180** eines Eingangspads **650** des elektronischen Elements gekoppelt. Das Eingangspad **650** ist eingerichtet um Signale einer 3-wertigen Logik zu verarbeiten. Die Anpassung des Eingangspads, um Signale einer 3-wertigen Logik verarbeiten zu können, besteht in der Implementierung eines funktionellen Blocks **1181**, welcher den dritten Logik-Pegel interpretiert. Der funktionelle Block **1181** ist in **Fig.** 11 schematisch dargestellt und kann zum Beispiel mittels zwei Invertern ausgeführt sein. Der funktionelle Block **1181** stellt durch die Interpretation des dritten Logik-Pegels ein Maskierungssignal bereit. Dieses Maskierungssignal wird an einem zweiten Ausgangsanschluss **963** des Eingangspads **650** bereitgestellt. Der zweite Ausgangsanschluss **963** ist mit einem zusätzliche Eingangsanschluss **964** der Vergleicherschaltung **115** gekoppelt ist. Die Vergleicherschaltung **115** ist typischerweise eine Ein-Bit-Vergleicherschaltung, welche Signale jeweils bitweise miteinander vergleicht. Zusätzlich zu dem funktionellen Block **1181**, welcher wie gesagt der Interpretation des dritten Logik-Pegels dient, weist das Eingangspad **650** noch einen zusätzliche funktionellen Block **1182** auf, welcher der Interpretation des Niedrig-Pegel und des Hoch-Pegels dient. Der zusätzliche funktionelle Block **1182** kann in bekannter Weise ausgebildet sein und stellt das von ihm erzeugte Signal an einem ersten Ausgangsanschluss **653** des Eingangspads **650** bereit. Der erste Ausgangsanschluss **653** des Eingangspads **650** ist mit einem zweiten Eingangsanschluss **120** der Vergleicherschaltung **115** gekoppelt.

[0118] Die Anpassung der Eingangspads an eine 3-wertige Logik kann wie oben erläutert mittels des Verwendens eines funktionellen Blocks geschehen. Dieser funktionelle Block kann auf einfache Weise mittels zwei Invertern ausgeführt sein. Dies bedeutet nur eine geringfügige Steigerung des Platzbedarfes des Eingangspads in der Größenordnung von etwa 1%.

[0119] Zu beachten ist hierbei, dass das Eingangspad auch nach der Anpassung für die Interpretation von Signalen einer 3-wertigen Logik im Normalbetrieb, d.h. wenn beispielsweise gerade kein Scantest durchgeführt wird, normal und uneingeschränkt betrieben werden kann. Die Ausgabe, d.h. die Bereitstellung der Ausgangssignale des Eingangspads, funktioniert wie bei einem Eingangspad, welches nicht für die Interpretation von Signalen einer 3-wertigen Logik angepasst ist. Auch die Eingangssignale für das Eingangspad im Normalbetrieb sind identisch zu den Eingangssignalen für ein Eingangspad, welches nicht für die Interpretation von Signalen einer 3-wertigen Logik angepasst ist. Im eigentlichen Scantest, welches ein eigener Testmodus ist, wird das Eingangspad von zweiwertiger Logik auf 3-wertige Logik umgeschaltet, d.h. es kann die Pegel „Logik 0" (V_{Low}), „Logik 1" (V_{High}) und „Logik Mitten" ($V_T$hreashold) interpretieren, welche das Testsystem zur Verfügung stellt. Diese drei Pegel können wie schon beschreiben auf einfache Wiese durch das Testsystem erzeugt werden.

[0120] Im elektronischen Element, z.B. ein Chip, wird die Information der einzelnen Logik-Pegel, zum Beispiel im Eingangspad, auf zwei Signale (2-wertige Logik) aufgeteilt, welche dann über getrennte Pfade an die Vergleicherschaltung des elektronischen Elements weitergegeben werden.

[0121] Beispielhaft ist in Tabelle 1 eine 3-wertige Interpretationslogik des Testmodus angegeben.

Testsystem	Pfad1 (2-wertig)	Pfad2 (2-wertig)
3-wertige Log 0	Log 0*	Gültig = Log 0
3-wertige Log 1	Log 1*	Gültig = Log 0
3-wertige Log M	Log 0* = $V_{Threashold}$ < z.B. ~1,5V Log 1* = $V_{Threashold}$ > z.B. ~1,5V	Maskieren = Log 1

Tabelle 1

[0122] Anhand der Tabelle 1 erkennt man wie die Maskierungsinformation, welche über einen zweiten Pfad, d.h. eine Kopplung zwischen dem zweiten Ausgangsanschluss der Eingangspads und einem zusätzlichen Eingangsanschluss der Vergleicherschaltung, an die Vergleicherschaltung übertragen werden.

[0123] Im Ausführungsbeispiel wird als Eingangsschwelle für ein Signal der zweiwertigen Logik ein Signal mit einem Referenzwert von 1,5 V angenommen, d.h. ein Signal mit einem Spannungswert von < 1,5 V wird als ein Niedrig-Pegel interpretiert, wohingegen ein Signal mit einem Spannungswert von > 1,5 V als ein Hoch-Pegel interpretiert wird.

[0124] Eine mögliche Realisierung der verschiedenen Eingangspegel der 3-wertigen Logik kann wie folgt aussehen. Ein Signal von 0 V bis 0,8 V wird als Signal, welches den logischen Wert „0" einer 3-wertigen Logik darstellt, interpretiert. Ein Signal von 1,0 V bis 2,0 V wird als Signal, welches den logischen Wert „M" einer 3-wertigen Logik darstellt, interpretiert. Ein Signal von 2,0 V bis 3,3 V wird als Signal, welches den logischen Wert „1" einer 3-wertigen Logik darstellt, interpretiert.

[0125] Stellt das Testsystem ein Signal, welches dem logischen Pegel „0" (Niedrig-Pegel) der 3-wertigen Logik entspricht bereit, wird dies von dem Eingangspad wie folgt auf zwei Signale einer zweiwertigen Logik aufgeteilt. Über einen ersten Pfad, welcher den ersten Ausgangsanschluss des Eingangspads mit einem zweiten Eingangsanschluss der Vergleicherschaltung koppelt, wird ein logischer Wert „0" an die Vergleicherschaltung übermittelt. Auch über den zweiten Pfad wird ein logischer Wert „0" übermittelt.

[0126] Stellt das Testsystem ein Signal, welches dem logischen Pegel „1" der 3-wertigen Logik entspricht bereit, wird dies von dem Eingangspad wie folgt auf zwei Signale einer zweiwertigen Logik aufgeteilt. Über den ersten Pfad, wird ein logischer Wert „1" an die Vergleicherschaltung übermittelt, wohingegen über den zweiten Pfad ein logischer Wert „0" übermittelt wird.

[0127] Stellt das Testsystem ein Signal, welches dem logischen Pegel „M" der 3-wertigen Logik, d.h. dem Mitten-Pegel, entspricht bereit, wird dies von dem Eingangspad wie folgt auf zwei Signale einer zweiwertigen Logik aufgeteilt. Im Falle, dass das Signal des Testsystem einen Spannungswert von weniger als 1,5 V aufweist, wird über den ersten Pfad ein logischer Wert „0" an die Vergleicherschaltung übermittelt und wird über den zweiten Pfad ein logischer Wert „1" übermittelt. Im Falle, dass das Signal des Testsystem einen Spannungswert von mehr als 1,5 V aufweist, wird über den ersten Pfad ein logischer Wert „1" an die Vergleicherschaltung übermittelt und wird über den zweiten Pfad ein logischer Wert „1" übermittelt. Im Falle, dass über den zweiten Pfad der logische Wert „1" an die Vergleicherschaltung übermittelt wird, bedeutet dies für die Vergleicherschaltung, dass der betreffende Ist-Wert-Signal zu maskieren ist. Zur Interpretation, ob ein betreffender Ist-Wert-Signal maskiert werden muss, muss nicht der Mitten-Pegel der 3-wertigen Logik verwendet werden.

[0128] Wie anhand der Tabelle leicht zu sehen ist, kann bei dieser Ausgestaltung der Eingangspegel und dieser Wahl der Eingangspegel, das Eingangspad im Normalbetrieb ohne Funktionsbeeinträchtigung betrieben werden, da die Ausgangssignale des Eingangspads bei Eingangssignalen einer zweiwertigen Logik den Ausgangssignalen des Eingangspads bei Eingangssignalen einer 3-wertigen Logik entsprechen.

[0129] Anzumerken ist ferner, dass die gewählten Eingangspegel frei wählbar sind, da das Testsystem die Pegel der Signale auf einfache Weise und genau erzeugen kann. Bei der Ausbildung des funktionellen Blocks des Eingangspads kann also eher Wert auf einfache und flächensparende Implementierung gelegt werden als auf das Verwenden hochgenauer Bauteile. Ferner ist anzumerken, dass die Schaltgeschwindigkeit des Eingangspads bei der Implementierung gemäß dem Ausführungsbeispiel nicht verlangsamt wird.

[0130] Zusammenfassend schafft die Erfindung ein elektronisches Element, z.B. einen Halbleiterchip, mit einem zu testenden elektronischen Schaltkreis, wobei ein Vergleich und/oder Kompression von Ist-Wert-Signalen eines Scantests oder Funktionaltests oder Analogtest mit digitalem Ausgang direkt mittels einer Vergleicherschaltung auf dem elektronischen Element durchgeführt wird. Hierdurch wird die anfallende Datenmenge welche von dem elektronischen Element zu einem Testsystem zu übertragen ist stark reduziert. Das elektronische Element benötigt nur noch einen Ausgangsanschluss, welcher für einen Scantest verwendet wird. Alle anderen Anschlüsse des elektronischen Elements stellen Eingangsanschlüsse für das elektronische Element dar. Die Signale, welche über diese Eingangsanschlüsse angelegt werden stellen Eingangsdaten dar. Eingangsdaten eignen sich wesentlich besser für eine Parallelisierung als Ausgangsdaten, d.h. mittels der verstärkten Verwendung von Eingangsdaten lässt sich der Test wesentlich stärker parallelisieren, da Eingangsdaten eventuell mehrfach innerhalb des Tests verwendet werden können.

[0131] Erfindungsgemäß erfolgt eine Testbewertung in Echtzeit, d.h. während der Durchführung des Tests, auf einem elektronischen Element, welches sogleich seinen Fehler-Zustand einfrieren kann. Nachfolgend ist dann vom Testsystem gesteuert eine Auswertung des Fehler-Zustandes möglich. Da erfindungsgemäß in Echtzeit auf Fehler reagiert wird, kann somit auch eine Volumenproduktion, d.h. Massenproduktion, eines elek-

tronischen Bausteins überwacht werden. Damit können die Ausbeute (Yield) beeinflussende Daten zu statistischen Zwecken auch während der Produktion von elektronischen Bausteinen aufgezeichnet werden. Dies gilt auch, wenn Komprimierer verwendet werden.

[0132] Der elektronische Schaltkreis kann auch, bei beliebigen funktionalen Tests für die funktionale Überprüfung der Schaltung bzw. bei Test einer Analogschaltung, der digitale Ist-Wert-Signale liefert, angewendet werden.

[0133] Mittels einer Ausbildung der Testsystem-Anordnung gemäß dem zusätzlichen Aspekt der Erfindung ist es möglich die Parallelität beim Testen von zu testenden elektronischen Schaltkreisen eines elektronischen Elements zu erhöhen ohne hierbei die Anzahl der notwendigen Eingangsanschlüsse des elektronischen Elements zu erhöhen. Hierdurch lassen sich mehr elektronische Schaltkreise eines elektrischen Elements gleichzeitig testen, wodurch sich einerseits die Herstellzeiten andererseits auch die Herstellkosten reduzieren lassen.

Bezugszeichenliste

100 Testsystem
101 Halbleiterchip
102 Vektorspeicher
103 erster Ausgangsanschluss des Testsystems
104 erster Ausgangsanschluss des Testsystems
105 erster Ausgangsanschluss des Testsystems
106 erster Ausgangsanschluss des Testsystems
107 zweiter Ausgangsanschluss des Testsystems
108 zweiter Ausgangsanschluss des Testsystems
109 zweiter Ausgangsanschluss des Testsystems
110 zweiter Ausgangsanschluss des Testsystems
111 erste Scankette
112 zweite Scankette
113 dritte Scankette
114 vierte Scankette
115 Vergleicherschaltung
116 erster Eingangsanschluss des Komparators
117 erster Eingangsanschluss des Komparators
118 erster Eingangsanschluss des Komparators
119 erster Eingangsanschluss des Komparators
120 zweiter Eingangsanschluss des Komparators
121 zweiter Eingangsanschluss des Komparators
122 zweiter Eingangsanschluss des Komparators
123 zweiter Eingangsanschluss des Komparators
124 Ausgangsanschluss des Komparators
125 Eingangsanschluss des Testsystems
126 Eingangsanschluss erste Scannkette
127 Eingangsanschluss zweite Scannkette
128 Eingangsanschluss dritte Scannkette
129 Eingangsanschluss vierte Scannkette
200 Vergleicherschaltung
226 EXOR-Schaltung
227 EXOR-Schaltung
228 EXOR-Schaltung
229 EXOR-Schaltung
230 OR-Schaltung der zweiten Stufe
231 OR-Schaltung der zweiten Stufe
232 OR-Schaltung der dritten Stufe
333 Steuerschaltung
400 Vergleicherschaltung
434 AND-Schaltung
435 AND-Schaltung
436 AND-Schaltung

437 AND-Schaltung
438 EXOR-Schaltung
439 EXOR-Schaltung
440 EXOR-Schaltung
500 Testsystem
501 Halbleiterchip
502 Vektorspeicher
503 Ausgangsanschluss des Testsystems
504 Eingangsanschluss des Testsystems
505 Scankette des Halbleiterchips
506 Eingangsanschluss Halbleiterchips
507 Ausgangsanschluss des Halbleiterchips
650 erstes Eingangspad
651 zweites Eingangspad
652 Eingangsanschluss des ersten Eingangspads
653 Ausgangsanschluss des ersten Eingangspads
654 Eingangsanschluss des zweiten Eingangspads
655 Ausgangsanschluss des zweiten Eingangspads
756 zusätzlicher Ausgangsanschluss des Testsystems
757 zusätzlicher Eingangsanschluss der Vergleicherschaltung
758 Steuerelement
859 zusätzlicher Ausgangsanschluss des Testsystems
860 zusätzlicher Ausgangsanschluss des Testsystems
861 zusätzlicher Eingangsanschluss der Vergleicherschaltung
862 zusätzlicher Eingangsanschluss der Vergleicherschaltung
963 zweiter Ausgangsanschluss des ersten Eingangspads
964 zusätzlicher Eingangsanschluss der Vergleicherschaltung
965 zweiter Ausgangsanschluss des zweiten Eingangspads
966 zusätzlicher Eingangsanschluss der Vergleicherschaltung
1070 Treiber
1071 Ausgangsanschluss des Treibers
1072 erster Knoten
1073 zweiter Knoten
1074 Komparator
1075 resistive Last
1076 Knoten der Diodenbrücke
1077 Knoten der Diodenbrücke
1078 Knoten der Diodenbrücke
1079 Knoten der Diodenbrücke
1180 erster Knoten des Eingangspads
1181 funktioneller Block

1182 zusätzlicher funktioneller Block

Patentansprüche

1. Elektronisches Element, welches aufweist:
– einen zu testenden elektronischen Schaltkreis, welcher Eingangsanschlüsse zum Zuführen einer Testsignalfolge, welche zum Testen des elektronischen Schaltkreises verwendet wird, und Ausgangsanschlüsse aufweist, wobei an den Ausgangsanschlüssen in Reaktion auf die Testsignalfolge Ist-Wert-Signale des zu testenden elektronischen Schaltkreises bereitgestellt werden; und
– mindestens eine Vergleicherschaltung, welche erste Eingangsanschlüsse aufweist, wobei jeder der Ausgangsanschlüsse des zu testenden elektronischen Schaltkreises mit einem ersten Eingangsanschluss gekoppelt ist, wobei die Vergleicherschaltung ferner zweite Eingangsanschlüsse zum Zuführen von Soll-Wert-Signalen aufweist, und wobei die Vergleicherschaltung mindestens einen Ausgangsanschluss aufweist;
– wobei die Vergleicherschaltung derart eingerichtet ist, dass sie die Ist-Wert-Signale mit den Soll-Wert-Signalen vergleicht;
– wobei das elektronische Element ferner derart eingerichtet ist, dass es Signale einer 3-wertigen Logik verar-

beitet; und
– wobei die Ergebnisse des Vergleiches an dem mindestens einen Ausgangsanschluss der Vergleicherschaltung bereitstellbar sind.

2. Elektronisches Element gemäß Anspruch 1, wobei das elektronische Element ein Halbleiterchip ist.

3. Elektronisches Element gemäß Anspruch 1 oder 2, wobei einer der Logik-Pegel der 3-wertigen Logik als Maskier-Logik-Pegel ausgebildet ist, mittels welchem auftretende undefinierte Zustände der Ist-Wert-Signale in der Vergleicherschaltung maskiert werden.

4. Elektronisches Element gemäß einem der Ansprüche 1 bis 3, wobei die zweiten Eingangsanschlüsse als Eingangspads ausgebildet sind.

5. Elektronisches Element gemäß Anspruch 4, wobei die Eingangspads jeweils einen funktionellen Block aufweisen, welcher derart eingerichtet ist, dass er das Signal des Maskier-Logik-Pegels verarbeitet.

6. Elektronisches Element gemäß Anspruch 5, wobei die Vergleicherschaltung zusätzliche Eingangsanschlüsse aufweist, welche jeweils mit den funktionellen Blöcken gekoppelt sind.

7. Elektronisches Element gemäß einem der Ansprüche 1 bis 6, wobei der elektronische Schaltkreis derart eingerichtet ist, dass als Testsignalfolge eine Scantest-Signalfolge verwendet werden kann.

8. Elektronisches Element gemäß einem der Ansprüche 1 bis 6, wobei der elektronische Schaltkreis derart eingerichtet ist, dass ein Funktionaltest durchgeführt werden kann.

9. Elektronisches Element gemäß einem der Ansprüche 1 bis 6, wobei der elektronische Schaltkreis derart eingerichtet ist, dass ein Analogtest mit digitalem Ausgang durchgeführt werden kann.

10. Elektronisches Element gemäß einem der Ansprüche 1 bis 9, wobei das elektronische Element derart eingerichtet ist, dass mittels diesem aus einem Signal der 3-wertigen Logik zwei Signale der zweiwertigen Logik erzeugbar sind.

11. Elektronisches Element gemäß einem der Ansprüche 1 bis 10, welches ferner ein Steuerelement aufweist, welches derart eingerichtet ist, dass abhängig vom Ergebnis des Vergleichs ein Zustand des zu testenden elektronischen Schaltkreises unverändert gehalten werden kann.

12. Elektronisches Element gemäß Anspruch 11, mit einem mit dem Steuerelement gekoppelten Taktgeber zum Takten des elektronischen Schaltkreises, wobei das Steuerelement derart eingerichtet ist, dass abhängig vom Ergebnis des Vergleichs ein dem Taktgeber ein Stoppsignal zugeführt werden kann, mit dem der Taktgeber gestoppt wird.

13. Testsystem-Anordnung mit einem zu testenden elektronischen Element gemäß einem der Ansprüche 1 bis 12 und
einem Testsystem, wobei das Testsystem aufweist:
– einen Vektorspeicher;
– erste Ausgangsanschlüsse, welche mit den Eingangsanschlüssen des zu testenden elektronischen Schaltkreises des zu testenden elektronischen Elements gekoppelt sind;
– zweite Ausgangsanschlüsse, welche mit den zweiten Eingangsanschlüssen der Vergleicherschaltung des zu testenden elektronischen Elements gekoppelt sind; und
– mindestens einen Eingangsanschluss, wobei für jeden der Ausgangsanschlüsse der Vergleicherschaltung des zu testenden elektronischen Elements ein Eingangsanschluss vorgesehen ist, welcher mit dem entsprechenden Ausgangsanschluss der Vergleicherschaltung gekoppelt ist.

14. Testsystem-Anordnung gemäß Anspruch 13, wobei das Testsystem derart eingerichtet ist, dass es Signale einer 3-wertigen Logik erzeugt, welche an den zweiten Ausgangsanschlüssen des Testsystems abgreifbar sind.

15. Testsystem-Anordnung gemäß Anspruch 13 oder 14, wobei das Testsystem eine resistive Last aufweist, welche zum Ausbilden eines der Logik-Pegel verwendbar ist.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

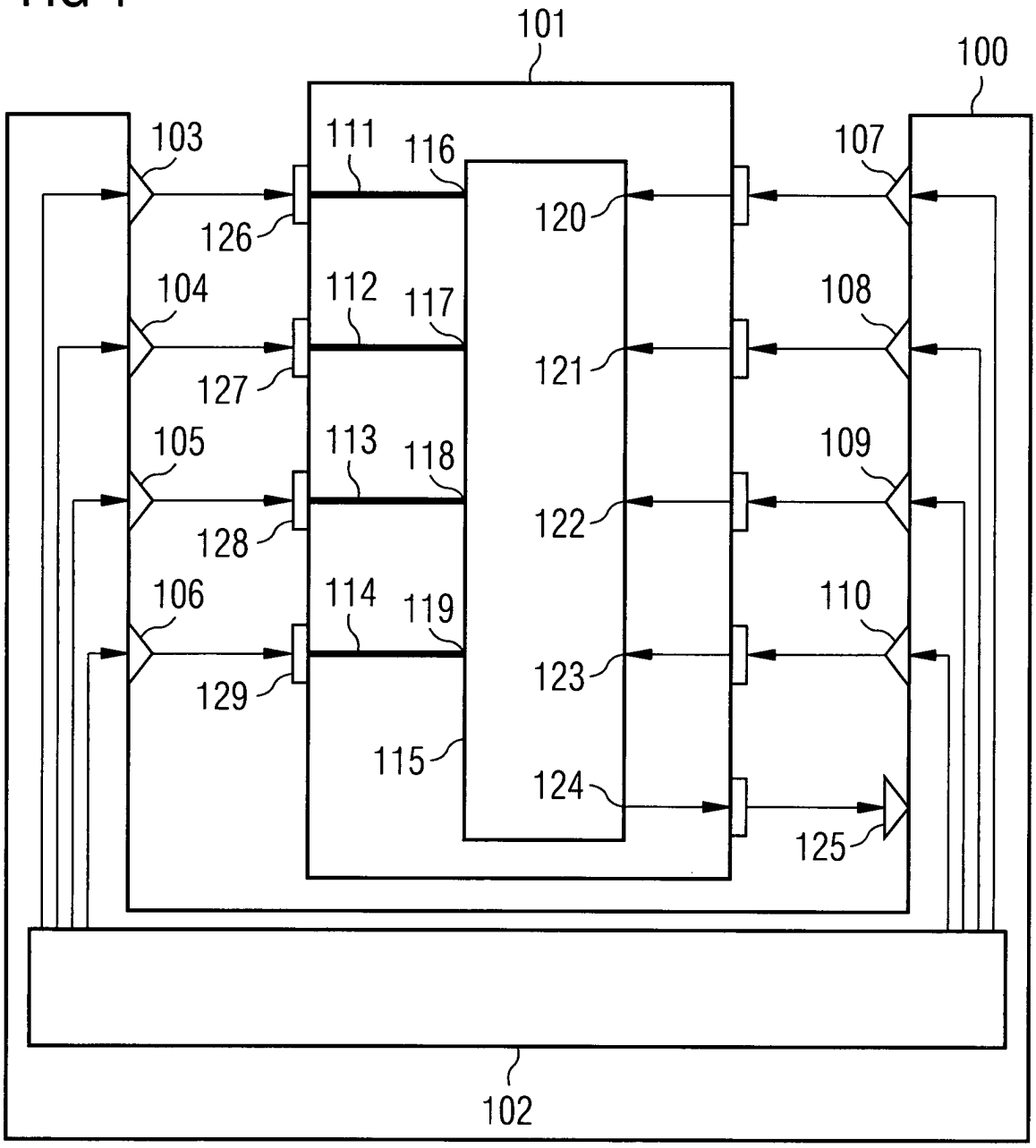


FIG 2

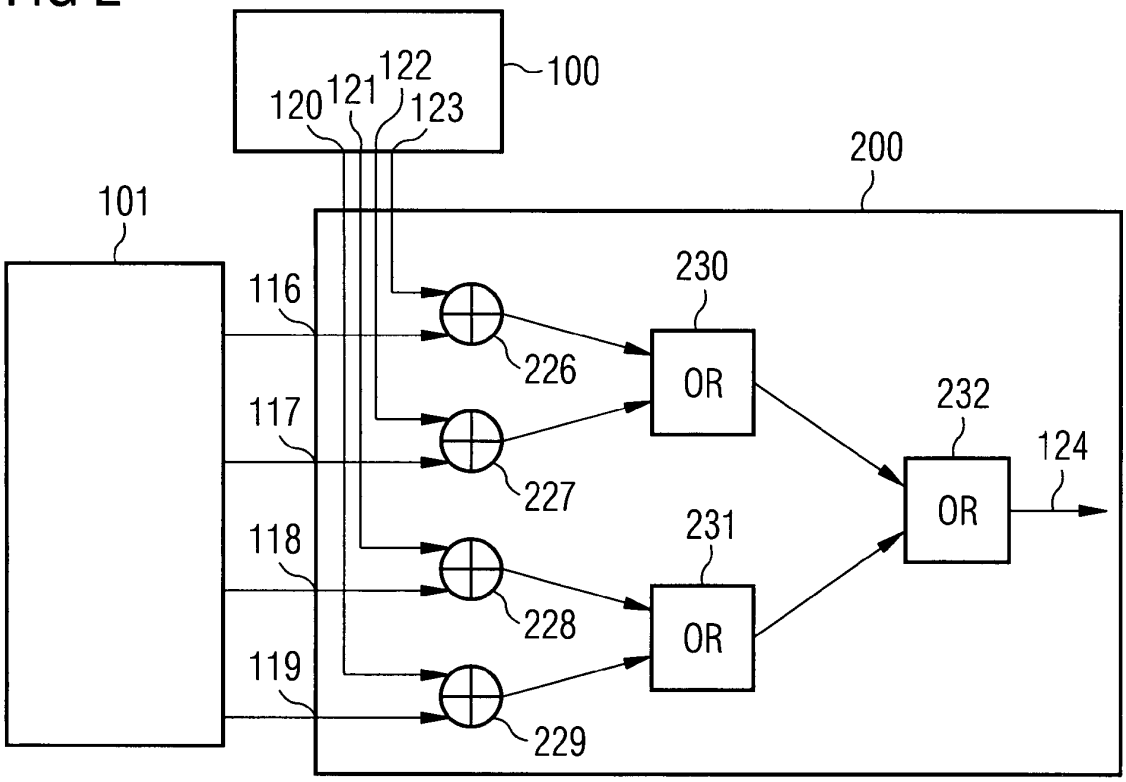

100
120
121
122
123
200
101
116
117
118
119
226
227
228
229
230
231
232
OR
OR
OR
124

FIG 3

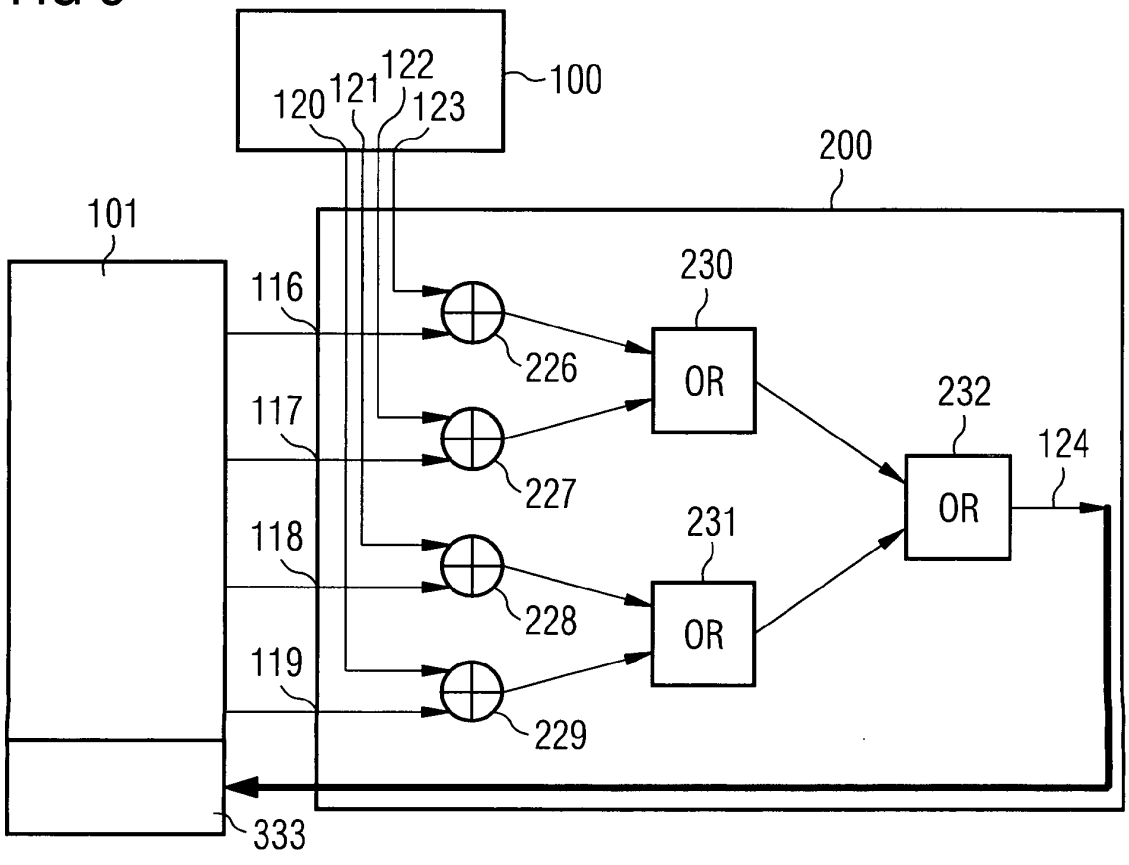

100
120
121
122
123
200
101
116
117
118
119
226
227
228
229
230
231
232
OR
OR
OR
124
333

FIG 4

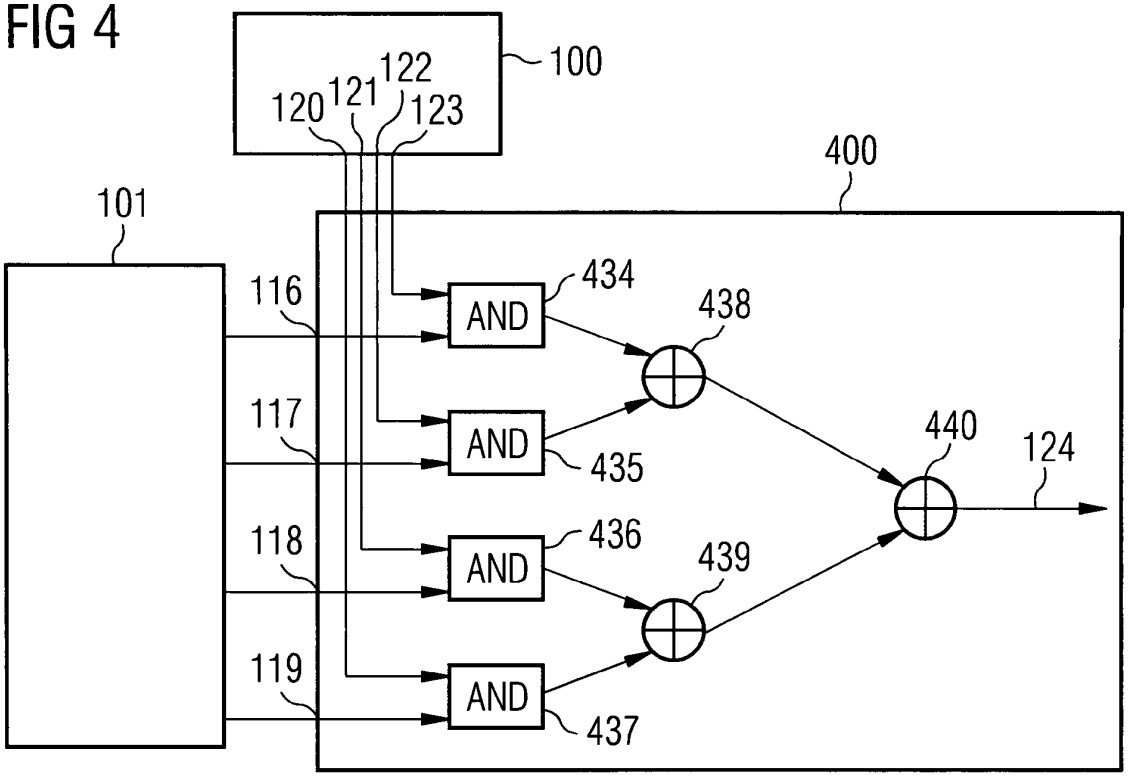

100
120
121
122
123
400
101
116
117
118
119
AND
AND
AND
AND
434
435
436
437
438
439
440
124

FIG 5

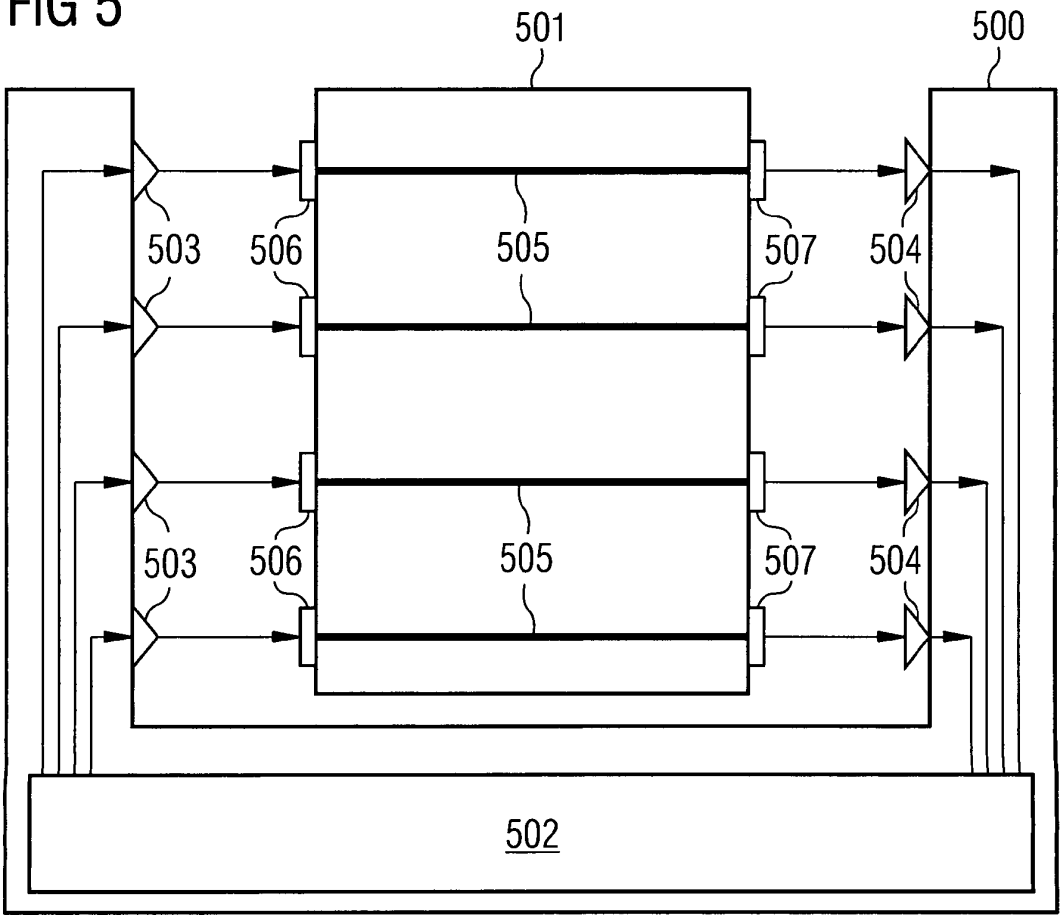

501
500
503
506
505
507
504
503
506
505
507
504
502

FIG 6

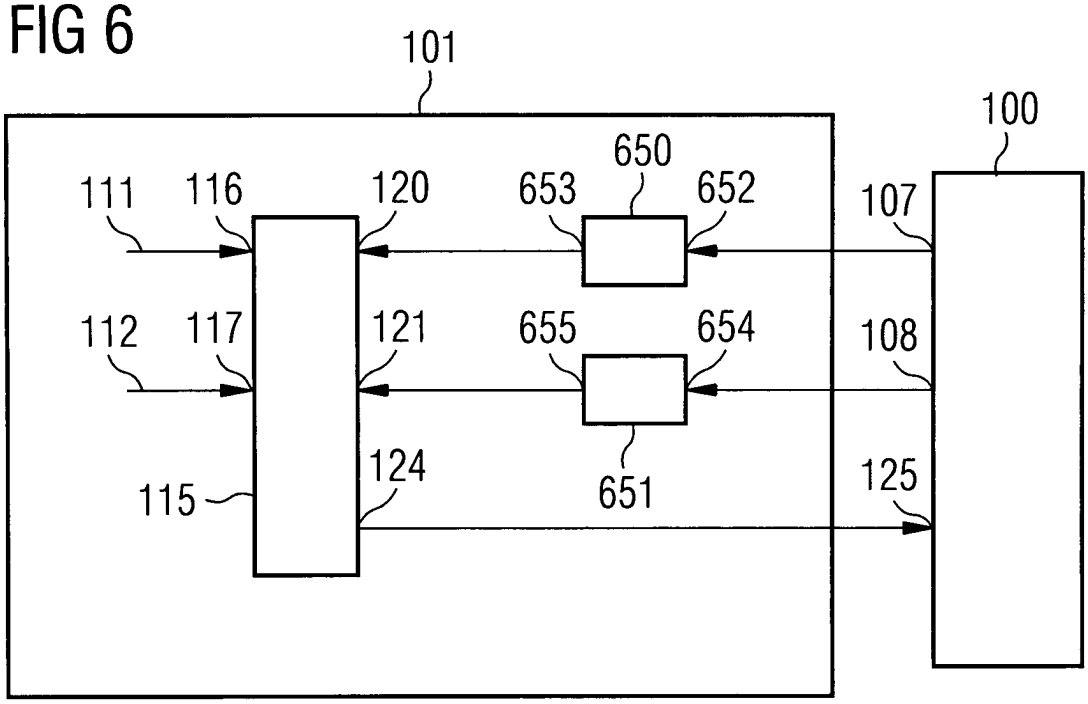

101
100
650
111
116
120
653
652
107
112
117
121
655
654
108
124
115
651
125

FIG 7

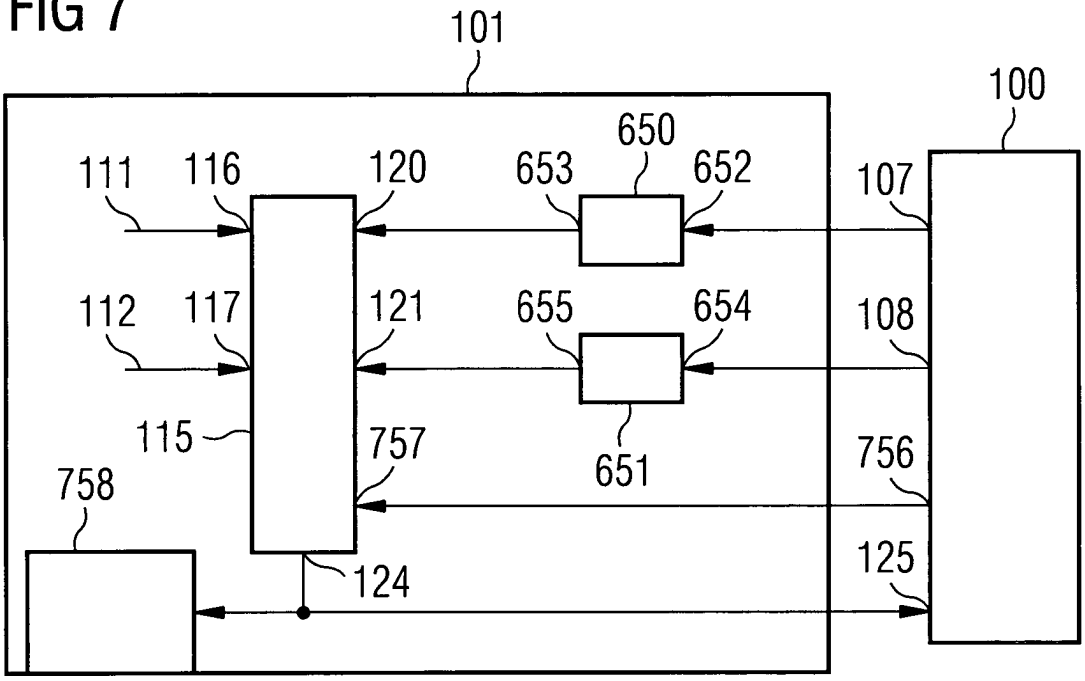

101
100
650
111
116
120
653
652
107
112
117
121
655
654
108
115
757
651
756
758
124
125

FIG 8

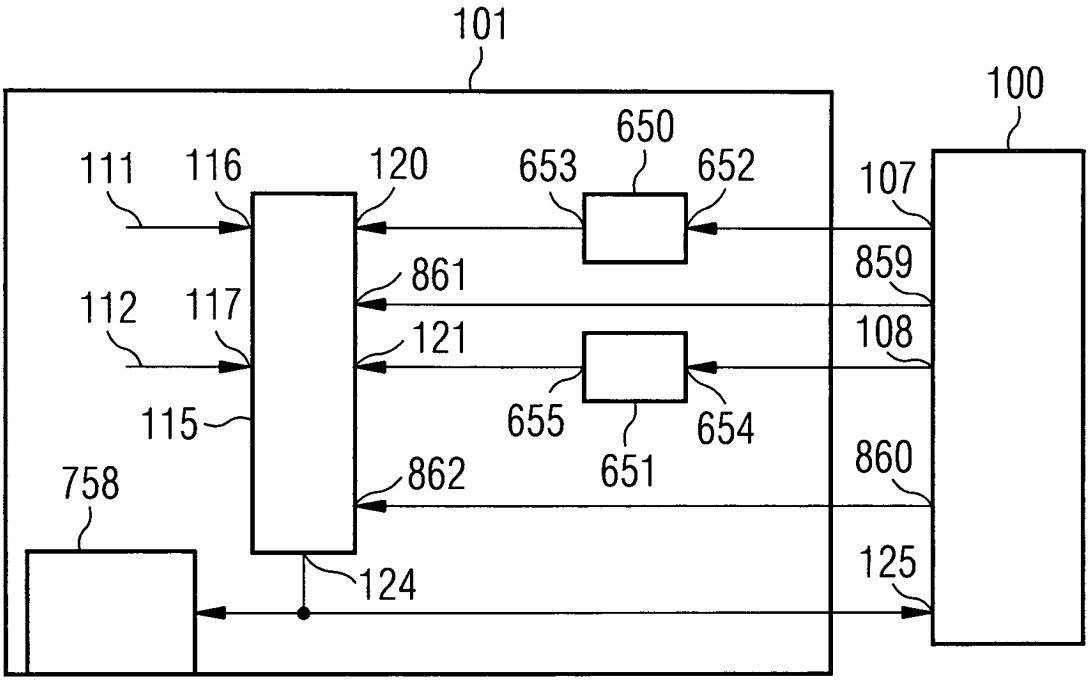

101
100
650
111
116
120
653
652
107
861
859
112
117
121
108
115
655
654
651
758
862
860
124
125

FIG 9

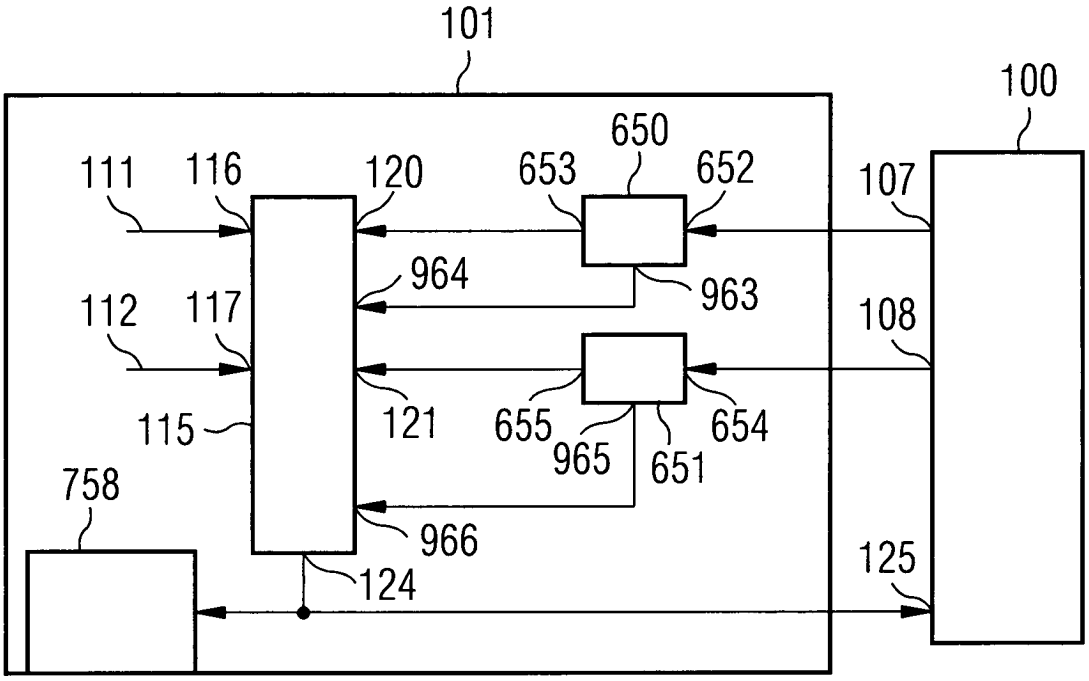

101
100
650
111
116
120
653
652
107
964
963
112
117
108
121
655
654
115
965
651
758
966
125
124

FIG 10

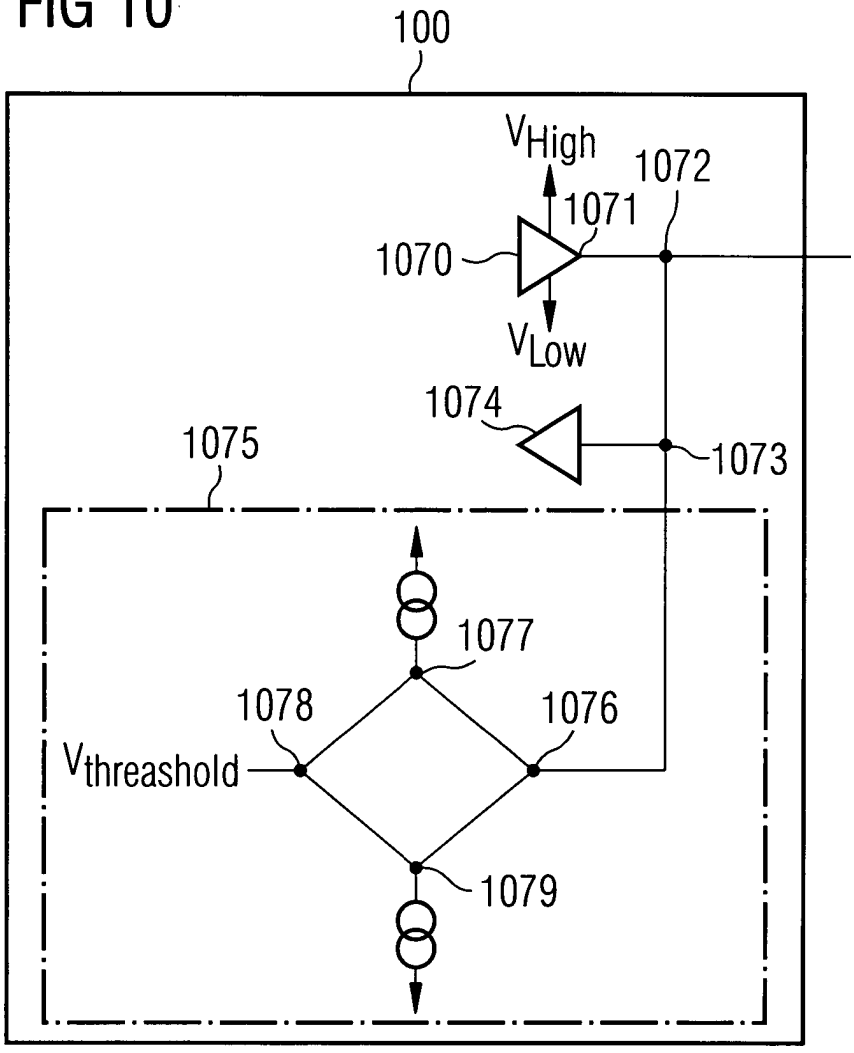
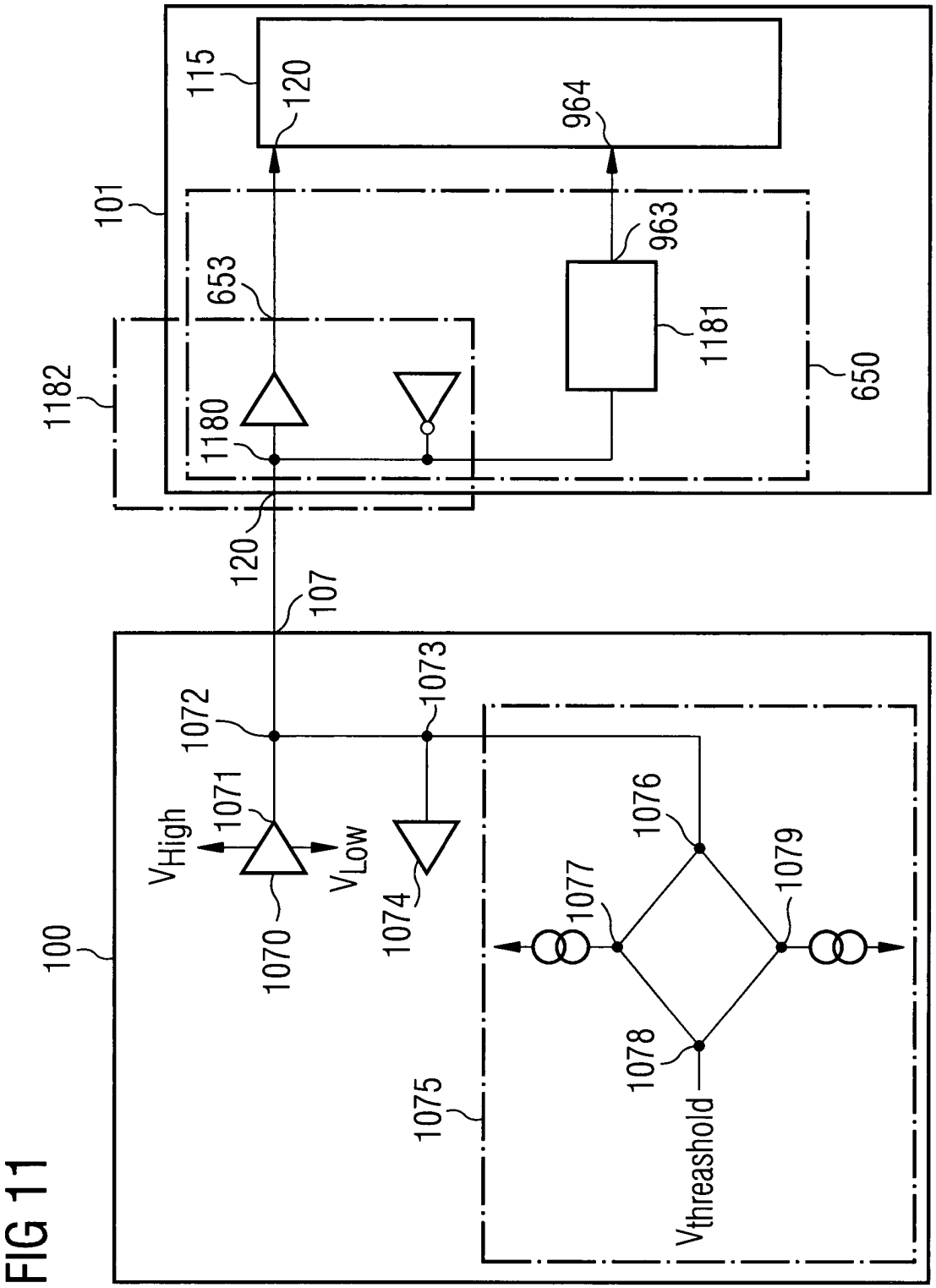

100
V_{High}
1072
1071
1070
V_{Low}
1074
1075
1073
1077
1078
1076
$V_{threashold}$
1079

FIG 11


100
101
115
120
964
963
653
1181
650
1182
1180
120
107
1072
1073
1071
V_{High}
V_{Low}
1070
1074
1076
1077
1079
1078
1075
$V_{threashold}$