(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201339820 A
(43)公開日： 中華民國 102 (2013) 年 10 月 01 日

(21)申請案號：101117270 (22)申請日： 中華民國 101 (2012) 年 05 月 15 日
(51)Int. Cl.： *G06F1/26 (2006.01)*
(30)優先權：2012/03/23 美國 13/428,862
(71)申請人：ＬＳＩ公司 (美國) LSI CORPORATION (US)
美國
(72)發明人：布潘納 麥可 S BUONPANE, MICHAEL S. (US)；奇麗帕樂 詹母士 D CHLIPALA, JAMES D. (US)；馬丁 理查 P MARTIN, RICHARD P. (US)；瑪斯卡維其 理查 MUSCAVAGE, RICHARD (US)；賽根 史考特 A SEGAN, SCOTT A. (US)
(74)代理人：陳長文
申請實體審查：無 申請專利範圍項數：22 項 圖式數：6 共 41 頁

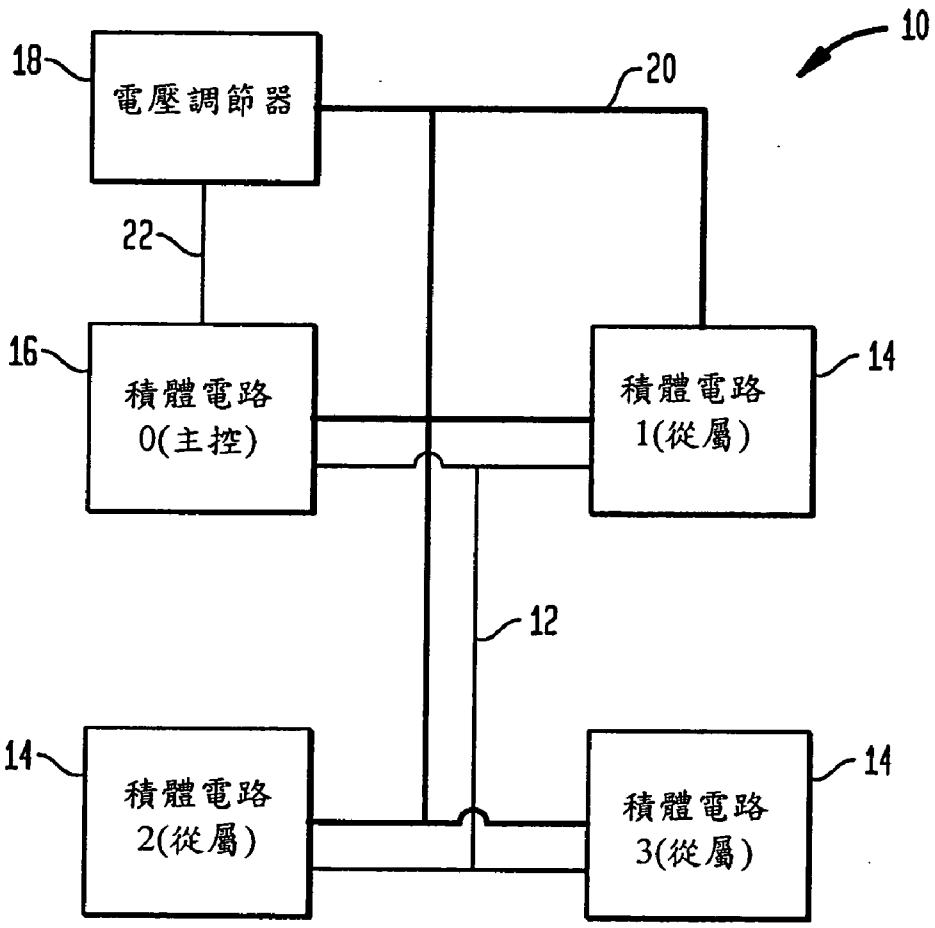
(54)名稱

使用串列介面之適應性電壓比例調整

ADAPTIVE VOLTAGE SCALING USING A SERIAL INTERFACE

(57)摘要

本發明揭示一種適應性電壓比例調整系統，其包含第一裝置及第二裝置。該第一裝置及該第二裝置之各者包含至少一主控串列介面埠及至少一從屬串列介面埠。該第一裝置操作地耦合至一電壓調節器，且與該第二裝置相關聯之從屬串列介面埠操作地耦合至與該第一裝置相關聯之主控串列介面埠。該第一裝置基於使用與該第一裝置相關聯之該主控串列介面埠及與該第二裝置相關聯之該從屬串列介面埠自該第一裝置及該第二裝置獲得之資訊而控制該電壓調節器。該第一裝置及該第二裝置自該電壓調節器接收電壓。本發明亦揭示一種對應的方法及電腦可讀媒體。



10：適應性電壓比例調整系統

12：串列介面

14：第二積體電路/第三積體電路/第四積體電路/從屬裝置

16：第一積體電路/主控裝置

18：電壓調節器

20：功率匯流排

22：電壓調節器控制信號

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201339820 A
(43)公開日： 中華民國 102 (2013) 年 10 月 01 日

(21)申請案號：101117270 (22)申請日： 中華民國 101 (2012) 年 05 月 15 日
(51)Int. Cl.： *G06F1/26 (2006.01)*
(30)優先權：2012/03/23 美國 13/428,862
(71)申請人：ＬＳＩ公司 (美國) LSI CORPORATION (US)
美國
(72)發明人：布潘納 麥可 S BUONPANE, MICHAEL S. (US)；奇麗帕樂 詹母士 D CHLIPALA, JAMES D. (US)；馬丁 理查 P MARTIN, RICHARD P. (US)；瑪斯卡維其 理查 MUSCAVAGE, RICHARD (US)；賽根 史考特 A SEGAN, SCOTT A. (US)
(74)代理人：陳長文
申請實體審查：無 申請專利範圍項數：22 項 圖式數：6 共 41 頁

(54)名稱

使用串列介面之適應性電壓比例調整

ADAPTIVE VOLTAGE SCALING USING A SERIAL INTERFACE

(57)摘要

本發明揭示一種適應性電壓比例調整系統，其包含第一裝置及第二裝置。該第一裝置及該第二裝置之各者包含至少一主控串列介面埠及至少一從屬串列介面埠。該第一裝置操作地耦合至一電壓調節器，且與該第二裝置相關聯之從屬串列介面埠操作地耦合至與該第一裝置相關聯之主控串列介面埠。該第一裝置基於使用與該第一裝置相關聯之該主控串列介面埠及與該第二裝置相關聯之該從屬串列介面埠自該第一裝置及該第二裝置獲得之資訊而控制該電壓調節器。該第一裝置及該第二裝置自該電壓調節器接收電壓。本發明亦揭示一種對應的方法及電腦可讀媒體。

201339820

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：101117270

※ 申請日：101.5.15　　※IPC 分類：G06F 1/26 (2006.01)

一、發明名稱：（中文/英文）

使用串列介面之適應性電壓比例調整

ADAPTIVE VOLTAGE SCALING USING A SERIAL INTERFACE

二、中文發明摘要：

本發明揭示一種適應性電壓比例調整系統，其包含第一裝置及第二裝置。該第一裝置及該第二裝置之各者包含至少一主控串列介面埠及至少一從屬串列介面埠。該第一裝置操作地耦合至一電壓調節器，且與該第二裝置相關聯之從屬串列介面埠操作地耦合至與該第一裝置相關聯之主控串列介面埠。該第一裝置基於使用與該第一裝置相關聯之該主控串列介面埠及與該第二裝置相關聯之該從屬串列介面埠自該第一裝置及該第二裝置獲得之資訊而控制該電壓調節器。該第一裝置及該第二裝置自該電壓調節器接收電壓。本發明亦揭示一種對應的方法及電腦可讀媒體。

三、英文發明摘要：

An adaptive voltage scaling system includes first and second devices. Each of the first and second devices includes at least one master serial interface port and at least one slave serial interface port. The first device is operatively coupled to a voltage regulator, and the slave serial interface port associated with the second device is operatively coupled to the master serial interface port associated with the first device. The first device controls the voltage regulator based on information obtained from the first and second devices using the master serial interface port associated with the first device and the slave serial interface port associated with the second device. The first and second devices receive voltage from the voltage regulator. A corresponding method and computer-readable medium are also disclosed.

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

10	適應性電壓比例調整系統
12	串列介面
14	第二積體電路/第三積體電路/第四積體電路/從屬裝置
16	第一積體電路/主控裝置
18	電壓調節器
20	功率匯流排
22	電壓調節器控制信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）

5

六、發明說明：

【發明所屬之技術領域】

本發明之各種實施例係關於一種減小用以執行適應性電壓比例調整之電壓調節器之數量之裝置、方法及電腦可讀媒體。

【發明內容】

一適應性電壓比例調整系統包含第一裝置及第二裝置。該第一裝置及該第二裝置之各者包含至少一主控串列介面埠及至少一從屬串列介面埠。該第一裝置操作地耦合至一電壓調節器，且與該第二裝置相關聯之從屬串列介面埠操作地耦合至與該第一裝置相關聯之主控串列介面埠。該第一裝置基於使用與該第一裝置相關聯之主控串列介面埠及與該第二裝置相關聯之從屬串列介面埠自該第一裝置及該第二裝置獲得之資訊而控制該電壓調節器。該第一裝置及該第二裝置自該電壓調節器接收電壓。本發明亦揭示一種對應的方法及電腦可讀媒體。

【實施方式】

結合隨附圖式閱讀本發明之闡釋性實施例之下列實施方式。

下列圖式係僅藉由實例而非限制性方式提供，其中貫穿若干視圖，相同的元件符號(當使用時)指示對應元件。

應明白該等圖式中之元件係為了簡單及清楚之故而圖解。為避免對所圖解之實施例之視圖造成妨礙，未展示一商業上可行實施例中有用或必要的常見且熟悉的元件。

本發明大致上係關於電裝置及電子裝置以及電路，且更特定言之係關於用於控制此等裝置及電路中之電力之技術。

隨著愈來愈重視降低電子系統及裝置(尤其係可攜式裝置(例如，行動電話等等))中之功耗，許多系統採用稱為適應性電壓比例調整(AVS)之一技術。在一基於處理器之系統中，例如，AVS藉由使用一閉環方法對一給定操作頻率提供一低電源電壓。AVS環路藉由自動調整該電源之輸出電壓來調節處理器效能以補償該處理器中之程序及溫度變動。

在習知AVS方法中，一系統中之每一積體電路及/或裝置被指派一專用電壓調節器，該專用電壓調節器對其對應電路及/或裝置供電。因此，隨著該系統中電路及/或裝置之數量增加，電壓調節器之數量亦隨之增加。此導致實質上增加與整個系統相關聯之空間需求及功耗，該增加係非所要的。

本文將在闡釋性裝置及方法以及經組態以減小適應性電壓比例調整(AVS)系統中之矽或晶片面積及功耗之電腦可讀媒體之背景下描述本發明之實施例。然而，應瞭解該等實施例並不限於此等或任何其他特定電路配置。相反地，除了其他特徵之外，本發明之實施例大致上更適用於減小AVS系統之大小及功耗之技術。此外，熟習此項技術者應明白，在本文之教示下可對本文描述之實施例作出數種修改並同時仍保持在本發明之範疇內。即，其意不在設下或

不應推斷出關於本文描述之特定實施例之限制。

本發明之實施例係關於涉及(例如)一板上或一多晶片模組(MCM)內透過一串列介面耦合在一起之多個積體電路(IC)之技術，其中該等IC之至少一者可控制一電壓調節器。在一第一實施例中，該等IC之一者用作一主控裝置且剩餘IC用作從屬裝置。該主控裝置透過其中傳送諸如程序、電壓及/或溫度(PVT)資訊之AVS資訊至該主控裝置之一串列介面與一或多個從屬裝置通信。接著該主控裝置判定該電壓調節器被設定之一適當值以減小功耗同時達成一所要效能。

本發明之實施例解決與每一IC使用一電壓調節器相關聯之問題，每一IC使用一電壓調節器需要實質上額外的板或晶片空間及功耗。此外，由本發明之實施例使用之一串列介面減小IC之間之連接性需求。

AVS係用以控制提供給一IC之一電壓位準以減小功率同時維持一所要總效能位準。在一標準AVS系統中，每一IC具有一專用電壓調節器，對應IC與該專用電壓調節器通信以調整供應給該IC之電壓以試圖減小功耗。因此，在此等系統中，隨著一板上或一MCM內之IC之數量增加，所需電壓調節器數目亦增加，該增加係非所要的。電壓調節器數目之此增加減小可裝配在一板上或一MCM中之邏輯器件總量，從而導致該板或MCM變得越來越大，因此增加產生最終產品之成本。

為解決隨著一板上或一MCM內之IC數目增加而增加電

壓調節器之一顯著問題，本發明之實施例併有IC之間能夠使一IC代表複數個IC控制該等IC之至少一子組共用之一電壓調節器之一串列介面。本發明之實施例中使用之一位元串列介面亦減小IC之間之互連數目，藉此實質上節省佈線資源。本發明之實施例使用計算一電壓調節器設定之一程序以減小功耗同時維持一所要效能位準。圖2展示一闡釋性程序，其中一主控IC經由一串列介面自從屬IC請求監測資料、由所提供之監測資料判定最差狀況的一組資料且根據所判定之最差狀況資料調整該電壓調節器。

圖1係根據本發明之一實施例描繪一例示性AVS系統10之至少一部分之一方塊圖。該AVS系統10包含與複數個IC 14及16耦合以在該複數個IC 14及16之間建立通信之一串列介面12。具體言之，一第一IC(IC0)16、一第二IC(IC1)14、一第三IC(IC2)14及一第四IC(IC3)14經由該串列介面12彼此通信。在第一實施例中，IC0 16用作一主控裝置，且IC1、IC2及IC3 14用作從屬裝置。該主控裝置IC0 16與該等從屬裝置IC1、IC2、IC3 14通信以接收PVT計算之資訊。IC0 16亦可操作以使用一電壓調節器控制信號22控制一電壓調節器18，在此實施例中，該電壓調節器控制信號22係一脈寬調變信號。應瞭解根據其他實施例，類似地預期用於控制該電壓調節器18之替代構件。例如，根據另一實施例，使用一並列數位介面實施一替代類型的控制信號22。該電壓調節器18經由一功率匯流排20或替代連接配置對該等IC 14、16提供一核心電壓或電力。

圖2係根據本發明之一實施例圖解用於執行AVS以分別對主控裝置16及從屬裝置14提供核心電壓或電力之一例示性方法之一流程圖。在步驟24中，該主控裝置16藉由使用該串列介面12發送一命令至該等從屬裝置14自一閒置狀態40初始化一AVS計算。當該等從屬裝置14正執行其等各自AVS計算時，該主控裝置16在步驟26中初始化其自身AVS計算。該等AVS計算包含判定對應IC之一PVT條件。在該主控裝置16完成其自身計算後，該主控裝置16輪詢該等從屬裝置14之狀態以在步驟28中判定該等從屬裝置計算是否完成。當如步驟28中判定，該等AVS計算完成(T)時，在步驟30中讀取從屬狀態。當如步驟28中判定，該等AVS計算未完成(F)時，該方法繼續留在步驟28中直到完成此等AVS計算。

在步驟30中讀取該從屬狀態後，該方法在步驟32中檢查來自該從屬裝置之資料是否已備妥。當如步驟32中判定，從屬AVS資料未備妥(F)時，該方法繼續留在步驟32中直到此從屬AVS資料備妥以待讀取。當在步驟32中判定該從屬AVS資料備妥(T)時，在步驟34中讀取該從屬AVS資料。接著該主控裝置16在步驟36中判定該複數個IC 14、16中何者含有指示該系統10之不利操作條件(例如，最差狀況資料)之資料，並使用與此資料相關聯之參數來判定該電壓調節器輸出電壓被設定之一值以減小該系統10之功耗同時維持該系統10之一適當的操作效能位準。接著該主控裝置16在步驟38中基於來自步驟36之資料而控制(例如，設定

或程式化)該電壓調節器，且在規定時間量後在步驟40處重啟該程序。

僅藉由實例方式，該主控裝置16使用與該主控裝置16及該(該等)從屬裝置14相關聯之資料來判定最差狀況資料。此資料可藉由一監測器產生，為呈現之簡潔性，該監測器未明確展示於該等圖式中。此一監測器將傳回反映其對應IC(諸如一環形振盪器)之程序、電壓及溫度環境之一單一數值結果。例如，該單一數值結果可為二位數的十六進位數字。

為圖解，假定該監測器之模擬顯示一數值結果0×07係容許可接受的IC效能之最小的此監測器結果。大於0×07之數值結果反映超過最小可接受的效能位準之IC效能。若該主控裝置(IC0 16)具有0×10之一值，則從屬裝置1(IC1 14)具有0×11之一值、從屬裝置2(IC2 14)具有0×12之一值，且從屬裝置3(IC3 14)具有0×0A之一值，則從屬裝置3展現出最差狀況資料。因為最差狀況資料(0×0A)仍大於該監測器之臨限值(即，0×07)，所以該主控裝置16藉由調整該電壓控制信號22相應地降低電壓。然而，若該最差狀況資料等於或小於該監測器之臨限值，則該主控裝置16藉由調整該電壓控制信號22相應地增加電壓。

圖2中所示之方法旨在作為一例示性方法，該方法可用以使用自主控裝置及從屬裝置接收之資料調整電壓調節器而非限制本文實施例之範疇。替代地，該主控裝置不需要等待直到完成其AVS計算才能讀取從屬裝置之狀態。作為

另一替代，該主控裝置讀取從屬狀態並在初始化該主控AVS程序之前獲得從屬AVS資料。應注意圖2中所示之步驟之順序係可變更的，同時仍保持在本發明之實施例之範疇內。

圖3係根據本發明之另一實施例描繪一例示性AVS系統42之至少一部分之一方塊圖。更特定言之，圖3展示透過一菊鏈串列介面使用AVS之一例示性系統42。如上所述，在一些AVS系統中，一單一IC或IC群組具有一專用電壓調節器，該等IC與該專用電壓調節器通信以調整電壓。此等方法包含專用電壓調節器或電壓控制單元(VCU)，且需要該等裝置與其等對應VCU直接通信。在此等方法中，該VCU處理來自每一IC之資訊以判定施加於專用電壓調節器之調整。因此，該VCU用作具有與其通信之從屬IC之一主控控制單元，使得該VCU可控制該電壓調節器。然而，此方法需要來自每一IC之一導線或匯流排與該VCU通信，該導線或匯流排實質上限制所得系統之最大大小及效能。

在圖3中所示之闡釋性實施例中，可接受不同電壓或功率位準之裝置或IC包含可組態為一主控裝置及/或從屬裝置二者之一處理單元。為達成此，每一IC包含一從屬串列介面埠(S)及一主控串列介面埠(M)，但是取決於系統中IC之功能(例如，主控、從屬或主控及從屬二者)不一定啟用埠。如將在下文進一步詳細描述，一裝置之從屬串列介面埠係與一相鄰上游裝置(即，較靠近該電壓調節器之一裝置)之主控串列介面埠連接。此容許該等IC串列地以菊鏈

鏈接在一起，使得AVS處理不是在中心進行，而是沿串列鏈分佈。順著該鏈之最後一個裝置(即，離該電壓調節器最遠)用作一從屬裝置，該從屬裝置提供效能、程序及/或電壓資料給逆著該鏈(即，朝向該電壓調節器)之下一個裝置，該下一個裝置可用作一主控裝置及一從屬裝置二者。逆著該鏈之最後一個裝置(即，最靠近該電壓調節器)用作一主控裝置，且自順著該鏈(即，在遠離該電壓調節器之一方向上)的前面或下級從屬裝置接收AVS資料。該主控裝置處理其自身及一或多個從屬裝置之AVS資訊。接著該主控裝置(除非此主控裝置係逆著該鏈之最後一個裝置)用作一從屬裝置，且饋送包含來自其自身(主控裝置)及前面一或多個從屬裝置之AVS資訊之所處理結果至逆著該鏈朝向該電壓調節器之下一個裝置。逆著該鏈靠近該電壓調節器之最後一個裝置(與該電壓調節器直接通信)用作一主控裝置以基於來自該鏈中之一或多個裝置之累積AVS資訊提供一電壓調節器控制信號。

現在參考圖3，該AVS系統42包含介於IC 46、48、50及52之間之一菊鏈串列介面44。在此實施例中，基於該裝置沿該串列菊鏈之一位置，IC0 46用作一主控裝置、IC1 48及IC3 50皆用作主控裝置及從屬裝置二者，且IC2 52用作一從屬裝置。作為主控裝置，IC0 46使用一電壓調節器控制信號22控制該電壓調節器18，在此實施例中，該電壓調節器控制信號22係一脈寬調變信號。應瞭解根據其他實施例，類似地預期用於控制該電壓調節器18之替代構件。例

如，根據另一實施例，使用一並列數位介面實施一替代類型的控制信號22。該電壓調節器18經由一功率匯流排20或替代連接配置對該等IC 46至52提供一核心電壓或電力。IC0 46與IC1 48通信，IC1 48與IC3 50通信，且IC3 50與IC2 52通信。在此組態中，IC0 46僅啟用其主控串列介面埠54；IC1 48及IC3 50啟用其等主控串列介面埠54及從屬串列介面埠56二者；且IC2 52僅啟用其從屬串列介面埠56。

IC0 46自該串列匯流排44請求AVS資訊。回應於此請求，若該IC使其主控介面埠及從屬介面埠受到組態(IC1 48、IC3 50)，則該IC將逆著該鏈朝向該電壓調節器18傳輸AVS資訊，且順著該鏈遠離該電壓調節器18自下級IC請求AVS資訊。繼續此程序，直到藉由僅使其從屬介面埠受到組態之一IC(諸如IC2 52)接收到對AVS資訊之請求。接著此裝置(IC2 52)將會將該AVS資訊發送回至請求該AVS資訊之主控裝置(IC3 50)。請求主控裝置(IC3 50)比較自其下級從屬裝置(IC2 52)接收之AVS資訊與其自身資料。在該電壓調節器18之方向上向上游傳輸指示較為不利或最為不利的操作條件之資料或AVS資訊(例如，最差狀況資料)(基於來自下級IC 48、50、52之複合AVS資訊)，直到藉由該主控裝置IC0 46接收到指示全部該等下級IC裝置48、50及52中指示較為不利操作條件之AVS資訊。接著該主控裝置IC0 46將使用來自該等IC 46至52之最差狀況AVS資訊執行一比較，以判定是否應增加或降低電壓調節器設定。替代

地，該主控裝置IC0 46可在自下級裝置接收資訊時遞增地執行比較，而不用等待直到自該等下級裝置接收到全部資訊。由於資料在該串列介面匯流排44上向上游傳輸，等待上游資料之裝置在接收到來自下游或下級裝置之等待之資料之前，將不會向更遠的上游發送資料。替代地，即使仍未接收到來自下游或下級裝置之等待之資料，等待該上游資料之裝置亦將向更遠的上游發送資料。

因此，該AVS系統42使任何數目個IC與控制多個IC之核心電壓之一主控裝置串列地菊鏈鏈接在一起。進一步言之，與該AVS系統42相關聯之菊鏈串列介面匯流排組態為一點對點連接，而非組態為在每一串列介面埠上具有三個或三個以上IC之一串列介面，從而減小與IC 46至52相關聯之串列緩衝器上之負載。對於連接至多個IC之串列介面，關於可連接至該串列介面之IC數目存在一限制，此係歸因於對IC驅動器及該驅動器上之負載(例如，扇出)之固有限制。運用該菊鏈方法，可連接在一起之IC數目並無限制，此係因為該菊鏈中每一個別連接連接限制數目個(例如，兩個)IC或裝置。

圖4係根據本發明之又另一實施例描繪一例示性AVS系統60之至少一部分之一方塊圖。更特定言之，圖4展示在一多晶片模組(例如，SP2716MCM)上實施之一AVS系統60之一第四實施例。該AVS系統60提供一AVS介面以基於程序、電壓及/或溫度資訊之波動控制一脈寬調變串列輸出電壓控制信號。在此實施例中，該AVS系統60包含藉由一

串列介面64、模式信號66及一啟用信號68操作地耦合之四個(4)數位信號處理器62及63(例如，加州苗必達市LSI公司市售之SP2704)。組態為一主控裝置之數位信號處理器63使用資料線64以與該AVS系統60外部之裝置及/或系統通信。

在一實施例中，該AVS系統60使用環形振盪器及延遲線以監視裝置特性歸因於程序、電壓及/或溫度波動所致之變化，但是亦類似地預期替代性監視電路配置。該AVS系統60解譯並使用來自此邏輯器件之資料以控制耦合至該電壓調節器之脈寬調變串列輸出電壓控制信號。該AVS系統60調變正脈衝之寬度或輸出電壓控制信號之作用時間循環。上升邊緣時間至上升邊緣時間之間或該輸出電壓控制信號之頻率仍保持不變。回應於該輸出電壓控制信號之作用時間循環之變化，藉由該電壓調節器對提供給IC之一VDD供應位準作出對應改變。作為由主控裝置使用以控制該電壓調節器之脈寬調變電壓控制信號之一替代，亦可使用一並列數位(VID)介面、串列周邊介面(SPI)或IC間(I2C)匯流排介面，但是本發明並不限於此等介面及/或信號類型。

圖5係根據本發明之一實施例描繪包含圖4中所示之AVS系統60之一例示性電壓產生電路之至少一部分之一示意圖。該闡釋性電壓產生電路展示介於該AVS系統60與一電壓調節器70之間之連接。一緩衝器電路72放置在緊緊靠近該AVS系統60及該電壓調節器70處，且係耦合於該AVS系

統60之一D0.AVS_VID[0]信號(在此實施例中，其用作電壓調節器控制信號)與該電壓調節器70之一電壓回饋輸入之間。

基於施加於該AVS系統60之控制輸入(AVS_MODE[1:0]接針)之電壓位準，以一主控模式或從屬模式組態該AVS系統60。在該主控模式中，該AVS系統60運作為一獨立單元，其中數位信號處理器63在內部與數位信號處理器62通信(參見圖4)。該AVS系統60依據與該AVS系統60中之裝置相關聯之相對彼此展現出較為不利效能(例如，最慢或最差狀況條件)之程序、電壓及/或溫度(PVT)條件驅動脈寬調變輸出電壓控制信號。在該從屬模式中，可使用該等AVS系統60之一者(組態為一主控裝置)支援多個AVS系統60以對該多個AVS系統60之各者控制電壓調節器70。下文表格1提供對與圖4及圖5中所示之AVS系統60相關聯之接針之信號描述之一列表。

接針名稱	類型	描述
AVS_ENABLE	輸入	當AVS邏輯器件連結至VDD33時啟用AVS邏輯器件；且當AVS邏輯器件連結至VSS時停用AVS邏輯器件
AVS_MODE[1:0]	輸入	11=主控模式；01=從屬模式
D0.AVS_VID[9:0]	輸入	AVS外部電壓調節器控制接針
AVS_SIO	輸入/輸出	AVS串列介面輸入/輸出

表格1

下文表格2提供對一脈寬調變模式之AVS外部電壓調節器控制接針D0.AVS_VID[9:0]之位元描述之一列表。

AVS_VID位元	描述
9	PWM模式 0=PWM模式
8	PWM頻率位元2輸入-參見表格4
7	PWM頻率位元1輸入-參見表格4
6	PWM頻率位元0輸入-參見表格4
5:2	未使用
1	電壓調節器類型 1=類型1電壓調節器 0=類型2電壓調節器
0	PWM輸出

表格2

下文表格3提供對一數位模式中AVS外部電壓調節器控制接針D0.AVS_VID[9:0]之位元描述之一列表。

AVS_VID位元	描述
9	數位模式 1=數位模式
8	數位輸出位元8
7	數位輸出位元7
6	數位輸出位元6
5	數位輸出位元5
4	數位輸出位元4
3	數位輸出位元3
2	數位輸出位元2
1	數位輸出位元1
0	數位輸出位元0

表格3

下文表格4展示對應於假定一晶片輸入時脈頻率為50

MHz之AVS_VID[8:6]位元之不同值之輸出電壓控制信號之頻率及作用時間循環。該AVS系統使用除以2之晶片輸入時脈頻率。

計數器位元數目 (n)	PWM頻率 (kHz)	AVS_VID[8:6]	PWM作用時間循環步進大小 $100/(2^{n-1})(\%)$
5	781.25	000	3.225
6	390.625	001	1.587
7	193.312	010	0.787
8	97.66	011	0.392
9	48.83	100	0.196
10	24.41	101	0.098
11	12.21	110	0.049
12	6.1	111	0.024

表格4

圖6係根據本發明之一實施例描繪呈經組態以執行本文之方法之一計算系統100之形式之一例示性機器之至少一部分之一方塊圖。該計算系統100包含一組指令102，當執行該組指令102時，導致該機器執行本文描述之任何一或多個方法。在一些實施例中，該機器係連接(例如，經由一網路122)至其他機器。該網路122可為有線(例如，電纜接線、光學接線等等)或無線(例如，IEEE 802.11、射頻(RF)、微波、紅外線等等)。在一網路實施例中，該機器在一伺服器-用戶端使用者網路環境中運作為一伺服器或一用戶端使用者機器。該機器包含一伺服器電腦、用戶端使用者電腦、個人電腦(PC)、平板PC、個人數位助理

(PDA)、蜂巢式電話、行動裝置、掌上型電腦、膝上型電腦、桌上型電腦、通信裝置、個人信賴裝置、資訊家電(web appliance)、網路路由器、交換器或橋接裝置或能夠(循序或以其他方式)執行規定該機器採取之動作之一組指令之任何機器。

該計算系統100包含經由一匯流排110而彼此通信之一處理裝置104(例如，一中央處理單元(CPU)、一圖形處理單元(GPU)或其二者)、程式記憶體裝置106及資料記憶體裝置108。該計算系統100進一步包含顯示裝置112(例如，液晶顯示器(LCD)、平板顯示器、固態顯示器或陰極射線管(CRT))。該計算系統100包含輸入裝置116(例如，鍵盤)、游標控制裝置126(例如，一滑鼠)、磁碟機單元114、信號產生裝置118(例如，一揚聲器或遙控器)及網路介面裝置124，該等裝置經由匯流排110操作地耦合在一起及/或與其他功能區塊耦合。

磁碟機單元114包含機器可讀媒體120，在該機器可讀媒體120上儲存具體實施本文任何一或多個方法論或功能(包含本文圖解之方法)之一或多組指令102。該等指令102在其藉由計算系統100執行期間亦完全或至少部分駐留在程式記憶體裝置106、資料記憶體裝置108及/或處理裝置104內。程式記憶體裝置106及處理裝置104亦構成機器可讀媒體。專用硬體實施方案(諸如(但不限於)特定應用積體電路、可程式化邏輯陣列及其他硬體裝置)同樣可經建構以實施本文描述之方法。包含各種實施例之設備及系統之應

用大體上包括多種電子及電腦系統。一些實施例在兩個或兩個以上特定互連硬體模組或裝置中實施功能，其中相關控制及資料信號在模組之間並透過該等模組傳遞或作為一特定應用積體電路之部分。因此，該例示性系統可應用於軟體、韌體及硬體實施方案。

根據各種實施例，本文描述之方法、功能及邏輯係實施為在一電腦處理器上運行之一或多個軟體程式。包含(但不限於)特定應用積體電路、可程式化邏輯陣列及其他硬體裝置之專用硬體實施方案同樣可經建構以實施本文描述之方法。進一步言之，包含(但不限於)分散式處理或組件/物件分散式處理、平行處理或虛擬機處理之替代軟體實施方案亦可經建構以實施本文描述之方法、功能或邏輯。

該實施例預期一機器可讀媒體或電腦可讀媒體，其含有指令102或自一傳播信號接收並執行指令102使得連接至一網路環境122之一裝置可發送或接收聲音、視訊或資料並使用該等指令102經由網路122通信。經由網路介面裝置124透過網路122進一步傳輸或接收該等指令102。該機器可讀媒體亦含有用於儲存有利於提供本文之系統及方法之一闡釋性實施例中之資料與一機器或電腦之間之一功能關係之資料之一資料結構。

雖然機器可讀媒體120在一例示性實施例中展示為一單一媒體，但是術語「機器可讀媒體」應被視為包含儲存該一或多組指令之一單一媒體或多個媒體(例如，一集中或分散式資料庫及/或相關聯之快取記憶體及伺服器)。術語

「機器可讀媒體」亦應被視為包含能夠儲存、編碼或攜載藉由機器執行之一組指令且導致機器執行該實施例之任何一或多個方法論之任何媒體。因此術語「機器可讀媒體」亦應被視為包含(但不限於)：固態記憶體，諸如記憶卡或容置一或多個唯讀(非揮發性)記憶體、隨機存取記憶體或其他可重寫(揮發性)記憶體之其他封裝；磁光或光學媒體，諸如一光碟或磁帶；及/或附加於電子郵件或其他獨立資訊存檔或存檔組之一數位檔案被視為等效於一有形儲存媒體之一分散媒體。因此，該實施例被視為包含如本文列舉並包含技術上視為等效物及後繼媒體之任何一或多個有形機器可讀媒體或一有形分散媒體，其中在該等媒體中儲存本文之軟體實施方案。

亦應注意實施本文之方法、功能或邏輯之軟體視需要儲存在一有形儲存媒體上，諸如：一磁性媒體，諸如一磁碟或磁帶；一磁光或光學媒體，諸如一光碟；或一固態媒體，諸如一記憶卡或容置一或多個唯讀(非揮發性)記憶體、隨機存取記憶體或其他可重寫(揮發性)記憶體之其他封裝。附加於電子郵件之一數位檔案或其他獨立資訊存檔或存檔組被視為等效於一有形儲存媒體之一分散媒體。因此，本發明被視為包含如本文列舉之一有形儲存媒體或分散媒體及其他等效物及後繼媒體，其中在該等媒體中儲存本文之軟體實施方案。

雖然說明書參考特定標準及協定描述該等實施例中實施之組件及功能，但是該等實施例並不限於此等標準及協

定。

本文描述之實施例之圖解旨在提供對各種實施例之結構之一大致理解，且該等圖解用意不在用作對可利用本文描述之結構之設備及系統之全部元件及特徵之一完整描述。熟習此項技術者在檢視上文描述後將明白許多其他實施例。使用其他實施例且由此導出其他實施例，使得在不脫離本發明之範疇之情況下作出結構及邏輯上的替代及改變。圖式亦僅僅係代表性圖式且並未按比例繪製。該等圖式之某些比例被誇大，而其他比例卻被縮小。因此，應以闡釋性意義而非限制性意義看待該說明書及該等圖式。

僅為方便起見且在實際上展示一個以上實施例或發明概念之情況下並無意自行限制此申請案之範疇為任何單一實施例或發明概念，發明標的之此等實施例在本文個別地及/或統一地稱為術語「實施例」。因此，雖然本文已圖解並描述特定實施例，但是應明白計劃達成相同目的之任何配置替代所示之特定實施例。本發明旨在涵蓋各種實施例之任何及全部調適或變動。熟習此項技術者在檢視上文描述後應明白上述實施例之組合及本文未具體描述之其他實施例。

在該等實施例之前述描述中，為簡化本發明之目的將各種特徵一起分組在一單一實施例中。本發明之此方法不應被解譯為反映所主張實施例具有的特徵多於每一申請專利範圍中明確引用之特徵。相反地，如下列申請專利範圍反映，發明標的位在小於一單一實施例之全部特徵的範圍

中。因此，下列申請專利範圍藉此併入實施方式中，每一申請專利範圍均可獨立作為一個別例示性實施例。

提供遵守37 C.F.R. § 1.72(b)規定的發明摘要，該規定要求發明摘要將容許讀者快速地確認本技術揭示之本質。應理解發明摘要將不會用來解譯或限制申請專利範圍之範疇或意義。此外，在前述實施方式中，可知為簡化本發明之目的將各種特徵一起分組在一單一實施例中。本發明之此方法不應被解譯為反映所主張實施例需要的特徵多於每一申請專利範圍中明確引用之特徵之一意圖。相反地，如下列申請專利範圍反映，發明標的位在小於一單一實施例之全部特徵的範圍中。因此，下列申請專利範圍藉此併入該實施方式中，每一申請專利範圍均可獨立作為一個別主張之標的。

雖然已描述特定例示性實施例，但是應明白在不脫離本文描述之發明標的之較寬範疇之情況下對此等實施例作出各種修改及改變。因此應以闡釋性意義而非限制性意義看待該說明書及該等圖式。形成該說明書之一部分之隨附圖式藉由圖解而非限制方式展示其中實踐該標的之特定實施例。所圖解之實施例係經充分詳細描述以使熟習此項技術者能夠實踐本文之教示。使用其他實施例且由此導出其他實施例，使得在不脫離本發明之範疇之情況下作出結構及邏輯上的替代及改變。因此，此實施方式不應以限制性意義視之，且各種實施例之範疇連同此等申請專利範圍有權擁有之等效物之完整範圍僅藉由隨附申請專利範圍定義。

鑑於本文提供之本發明之教示，一般技術者將可預期本發明之其他實施方案及技術應用。雖然本文已參考該等隨附圖式描述本發明之闡釋性實施例，但是應瞭解本發明並不限於該等確切的實施例，且其中在不脫離隨附申請專利範圍之範疇之情況下藉由熟習此項技術者作出各種其他改變及修改。

【圖式簡單說明】

圖1係根據本發明之一實施例描繪一例示性適應性電壓比例調整系統之至少一部分之一方塊圖；

圖2係根據本發明之一實施例圖解適應性電壓比例調整之一例示性方法之一流程圖；

圖3係根據本發明之另一實施例描繪一例示性適應性電壓比例調整系統之至少一部分之一方塊圖；

圖4係根據本發明之又另一實施例描繪一例示性適應性電壓比例調整系統之至少一部分之一方塊圖；

圖5係描繪包含圖4中所示之適應性電壓比例調整系統之一例示性電路之至少一部分之一示意圖；及

圖6係根據本發明之一實施例描繪呈經組態以執行本文之方法之一計算系統之形式之一例示性機器之至少一部分之一方塊圖。

【主要元件符號說明】

10　適應性電壓比例調整系統

12　串列介面

14　第二積體電路/第三積體電路/第四積體電路/

5

	從屬裝置
16	第一積體電路/主控裝置
18	電壓調節器
20	功率匯流排
22	電壓調節器控制信號
42	適應性電壓比例調整系統
44	菊鏈串列介面/串列匯流排
46	積體電路0
48	積體電路1
50	積體電路3
52	積體電路2
54	主控串列介面埠
56	從屬串列介面埠
60	適應性電壓比例調整系統
62	數位信號處理器
63	數位信號處理器
64	串列介面/資料線
66	模式信號
68	啟用信號
70	電壓調節器
72	緩衝器電路
100	計算系統
102	指令
104	處理裝置

106	程式記憶體裝置
108	資料記憶體裝置
110	匯流排
112	顯示裝置
114	磁碟機單元
116	輸入裝置
118	信號產生裝置
120	機器可讀媒體
122	網路
124	網路介面裝置
126	游標控制裝置

七、申請專利範圍：

1. 一種適應性電壓比例調整系統，其包括：

一第一裝置，該第一裝置包括至少一主控串列介面埠及至少一從屬串列介面埠；及

一第二裝置，該第二裝置包括至少一主控串列介面埠及至少一從屬串列介面埠，該第一裝置操作地耦合至一電壓調節器，與該第二裝置相關聯之該至少一從屬串列介面埠操作地耦合至與該第一裝置相關聯之該至少一主控串列介面埠，該第一裝置基於使用與該第一裝置相關聯之該至少一主控串列介面埠及與該第二裝置相關聯之該至少一從屬串列介面埠自該第一裝置及該第二裝置獲得之資訊而控制該電壓調節器，該第一裝置及該第二裝置自該電壓調節器接收電壓。

2. 如請求項1之適應性電壓比例調整系統，其中自該第一裝置及該第二裝置獲得之該資訊包括程序、電壓及溫度資訊之至少一者。

3. 如請求項1之適應性電壓比例調整系統，其進一步包括一第三裝置，該第三裝置包括至少一主控串列介面埠及至少一從屬串列介面埠，與該第三裝置相關聯之該至少一從屬串列介面埠操作地耦合至與該第二裝置相關聯之該至少一主控串列介面埠，該第一裝置基於使用與該第一裝置相關聯之該至少一主控串列介面埠、與該第二裝置相關聯之該至少一從屬串列介面埠、與該第二裝置相關聯之該至少一主控串列介面埠及與該第三裝置相關聯

之該至少一從屬串列介面埠自該第三裝置獲得之資訊而控制該電壓調節器，該第三裝置自該電壓調節器接收電壓。

4. 如請求項3之適應性電壓比例調整系統，其中自該第三裝置獲得之該資訊包括程序、電壓及溫度資訊之至少一者。

5. 如請求項1之適應性電壓比例調整系統，其中該第一裝置比較來自該第一裝置之資訊與來自該第二裝置之資訊，且基於來自該第一裝置及該第二裝置指示該系統之較為不利操作條件之資料而控制該電壓調節器。

6. 如請求項5之適應性電壓比例調整系統，其中來自該第一裝置及該第二裝置指示該系統之較為不利操作條件之該資料包括最差狀況資料。

7. 如請求項5之適應性電壓比例調整系統，其中該第一裝置控制該電壓調節器使得回應於最差狀況資料大於一預定最差狀況臨限值而降低提供給該第一裝置及該第二裝置之電壓，該第一裝置控制該電壓調節器使得應於最差狀況資料等於或小於該預定最差狀況臨限值而增加提供給該第一裝置及該第二裝置之電壓回。

8. 如請求項3之適應性電壓比例調整系統，其中該第一裝置控制該電壓調節器使得回應於最差狀況資料大於一預定最差狀況臨限值而降低提供給該第一裝置、該第二裝置及該第三裝置之電壓，該第一裝置控制該電壓調節器使得回應於最差狀況資料等於或小於該預定最差狀況臨

限值而增加提供給該第一裝置、該第二裝置及該第三裝置之電壓。

9. 一種適應性電壓比例調整之方法，其包括由一第一裝置基於使用與該第一裝置相關聯之一主控串列介面埠及與一第二裝置相關聯之一從屬串列介面埠自該第一裝置及該第二裝置獲得之資訊而控制一電壓調節器，該第一裝置包括至少一主控串列介面埠及至少一從屬串列介面埠，該第二裝置包括至少一主控串列介面埠及至少一從屬串列介面埠，與該第一裝置相關聯之該至少一主控串列介面埠操作地耦合至與該第二裝置相關聯之該至少一從屬串列介面埠，該第一裝置及該第二裝置自該電壓調節器接收電壓。

10. 如請求項9之適應性電壓比例調整之方法，其中自該第一裝置及該第二裝置獲得之該資訊包括程序、電壓及溫度資訊之至少一者。

11. 如請求項9之適應性電壓比例調整之方法，其進一步包括由該第一裝置基於使用與該第一裝置相關聯之該至少一主控串列介面埠、與該第二裝置相關聯之該至少一從屬串列介面埠、與該第二裝置相關聯之該至少一主控串列介面埠及與一第三裝置相關聯之至少一從屬串列介面埠自該第三裝置獲得之資訊而控制該電壓調節器，該第三裝置包括至少一主控串列介面埠及至少一從屬串列介面埠，與該第三裝置相關聯之該至少一從屬串列介面埠操作地耦合至與該第二裝置相關聯之該至少一主控串列

介面埠，該第三裝置自該電壓調節器接收電壓。

12. 如請求項11之適應性電壓比例調整之方法，其中自該第三裝置獲得之該資訊包括程序、電壓及溫度資訊之至少一者。

13. 如請求項9之適應性電壓比例調整之方法，其進一步包括：

藉由該第一裝置比較來自該第一裝置之資訊與來自該第二裝置之資訊；及

由該第一裝置基於來自該第一裝置及該第二裝置指示其中採用該適應性電壓比例調整之方法之一系統之較為不利操作條件之資訊而控制該電壓調節器。

14. 如請求項13之適應性電壓比例調整之方法，其進一步包括：

控制該電壓調節器使得回應於來自該第一裝置及該第二裝置指示該系統之較為不利操作條件之資訊大於一預定臨限值而降低提供給該第一裝置及該第二裝置之電壓；及

控制該電壓調節器使得回應於來自該第一裝置及該第二裝置指示該系統之較為不利操作條件之該資訊等於或小於該預定臨限值而增加提供給該第一裝置及該第二裝置之電壓。

15. 如請求項13之適應性電壓比例調整之方法，其中來自該第一裝置及該第二裝置指示該系統之較為不利操作條件之該資訊包括最差狀況資料。

16. 如請求項11之適應性電壓比例調整之方法，其進一步包括：

控制該電壓調節器使得回應於最差狀況資料大於一預定最差狀況臨限值而降低提供給該第一裝置、該第二裝置及該第三裝置之電壓；及

控制該電壓調節器使得回應於最差狀況資料等於或小於該預定最差狀況臨限值而增加提供給該第一裝置、該第二裝置及該第三裝置之電壓。

17. 一種電腦可讀媒體，其包括在藉由一處理裝置執行時導致該處理裝置執行一電腦程序之指令，該電腦程序包括由一第一裝置基於使用與該第一裝置相關聯之一主控串列介面埠及與一第二裝置相關聯之一從屬串列介面埠自該第一裝置及該第二裝置獲得之資訊而控制一電壓調節器，該第一裝置包括至少一主控串列介面埠及至少一從屬串列介面埠，該第二裝置包括至少一主控串列介面埠及至少一從屬串列介面埠，與該第一裝置相關聯之該至少一主控串列介面埠操作地耦合至與該第二裝置相關聯之該至少一從屬串列介面埠，該第一裝置及該第二裝置自該電壓調節器接收電壓。

18. 如請求項17之電腦可讀媒體，其中自該第一裝置及該第二裝置獲得之該資訊包括程序、電壓及溫度資訊之至少一者。

19. 如請求項17之電腦可讀媒體，其中該方法進一步包括由該第一裝置基於使用與該第一裝置相關聯之該至少一主

控串列介面埠、與該第二裝置相關聯之該至少一從屬串列介面埠、與該第二裝置相關聯之該至少一主控串列介面埠及與一第三裝置相關聯之至少一從屬串列介面埠自該第三裝置獲得之資訊而控制該電壓調節器，該第三裝置包括至少一主控串列介面埠及至少一從屬串列介面埠，與該第三裝置相關聯之該至少一從屬串列介面埠操作地耦合至與該第二裝置相關聯之該至少一主控串列介面埠，該第三裝置自該電壓調節器接收電壓。

20. 如請求項17之電腦可讀媒體，其中該方法進一步包括：

由該第一裝置比較來自該第一裝置之資訊與來自該第二裝置之資訊；及

由該第一裝置基於來自該第一裝置及該第二裝置之最差狀況資料而控制該電壓調節器。

21. 如請求項20之電腦可讀媒體，其中該方法進一步包括：

控制該電壓調節器使得回應於最差狀況資料大於一預定最差狀況臨限值而降低提供給該第一裝置及該第二裝置之電壓；及

控制該電壓調節器使得回應於最差狀況資料等於或小於該預定最差狀況臨限值而增加提供給該第一裝置及該第二裝置之電壓。

22. 如請求項19之電腦可讀媒體，其中該方法進一步包括：

控制該電壓調節器使得回應於最差狀況資料大於一預定最差狀況臨限值而降低提供給該第一裝置、該第二裝置及該第三裝置之電壓；及

控制該電壓調節器使得回應於最差狀況資料等於或小於該預定最差狀況臨限值而增加提供給該第一裝置、該第二裝置及該第三裝置之電壓。

八、圖式：

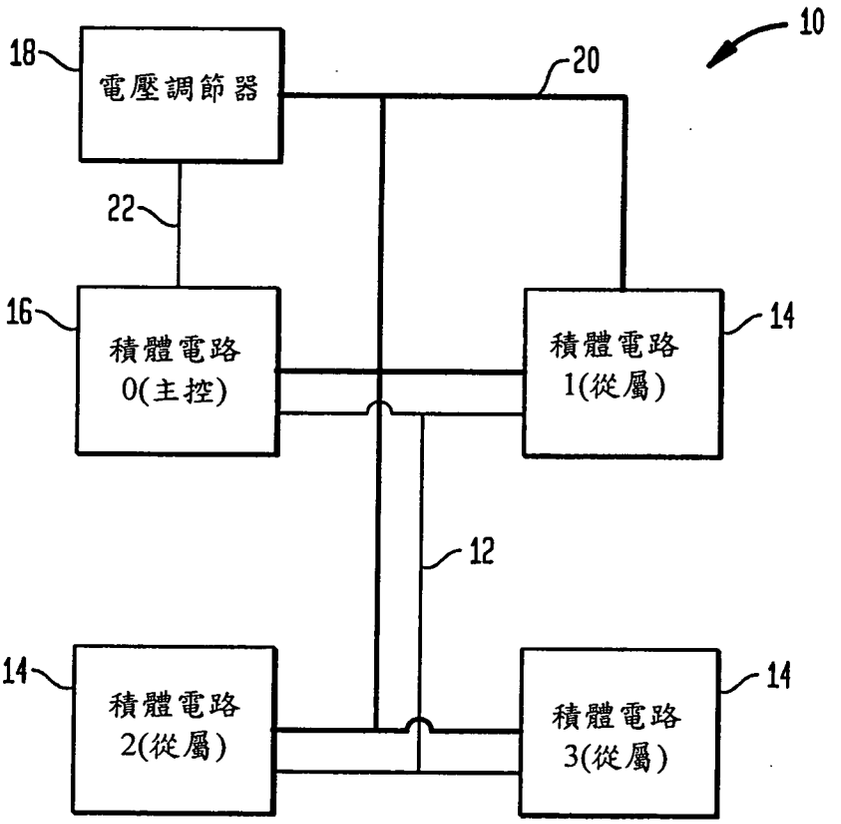

10
18
電壓調節器
20
22
16
積體電路
0(主控)
積體電路
1(從屬)
14
12
14
積體電路
2(從屬)
積體電路
3(從屬)
14

圖 1

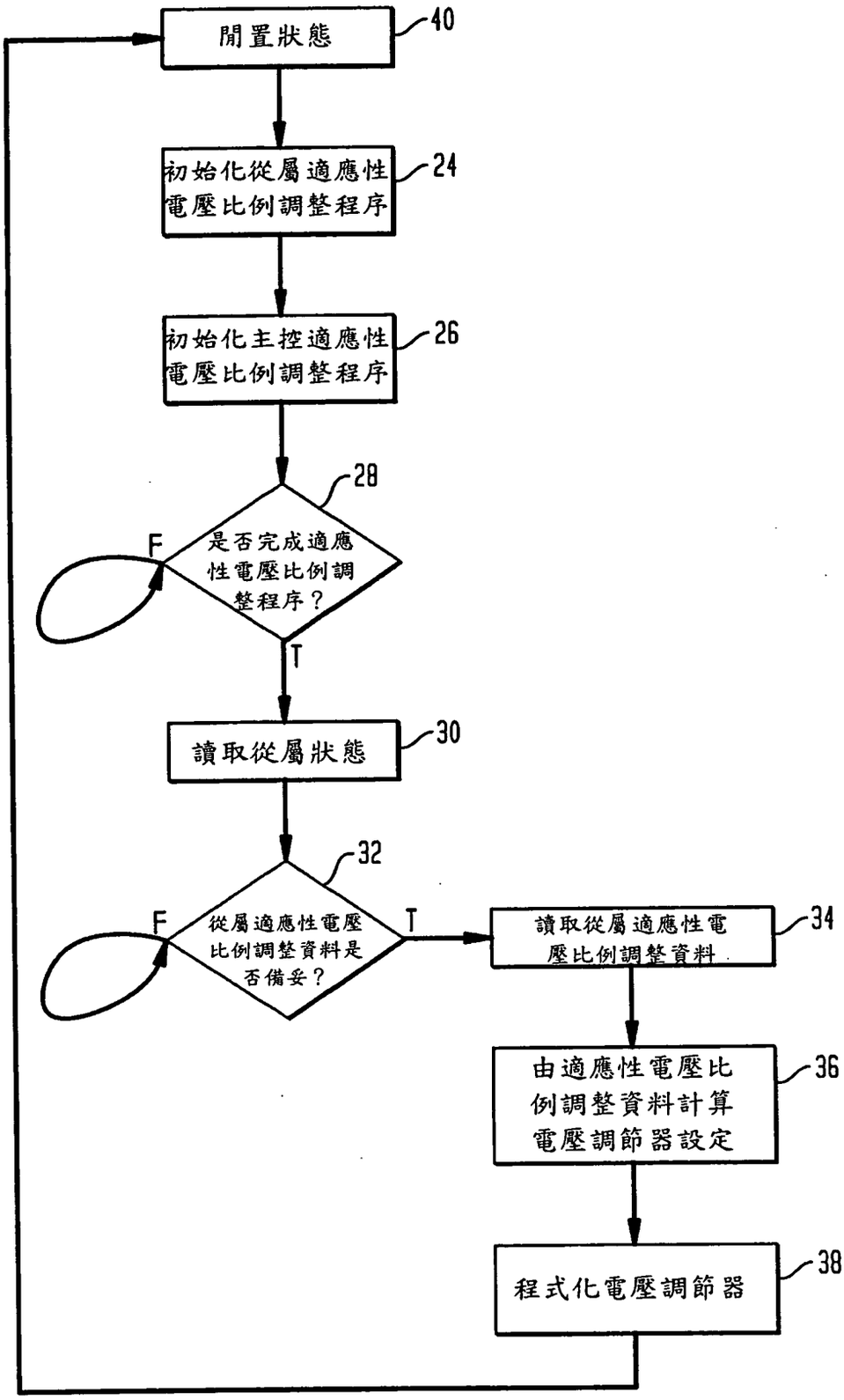

閒置狀態
40
初始化從屬適應性電壓比例調整程序
24
初始化主控適應性電壓比例調整程序
26
28
是否完成適應性電壓比例調整程序？
F
T
讀取從屬狀態
30
32
從屬適應性電壓比例調整資料是否備妥？
F
T
讀取從屬適應性電壓比例調整資料
34
由適應性電壓比例調整資料計算電壓調節器設定
36
程式化電壓調節器
38

圖 2

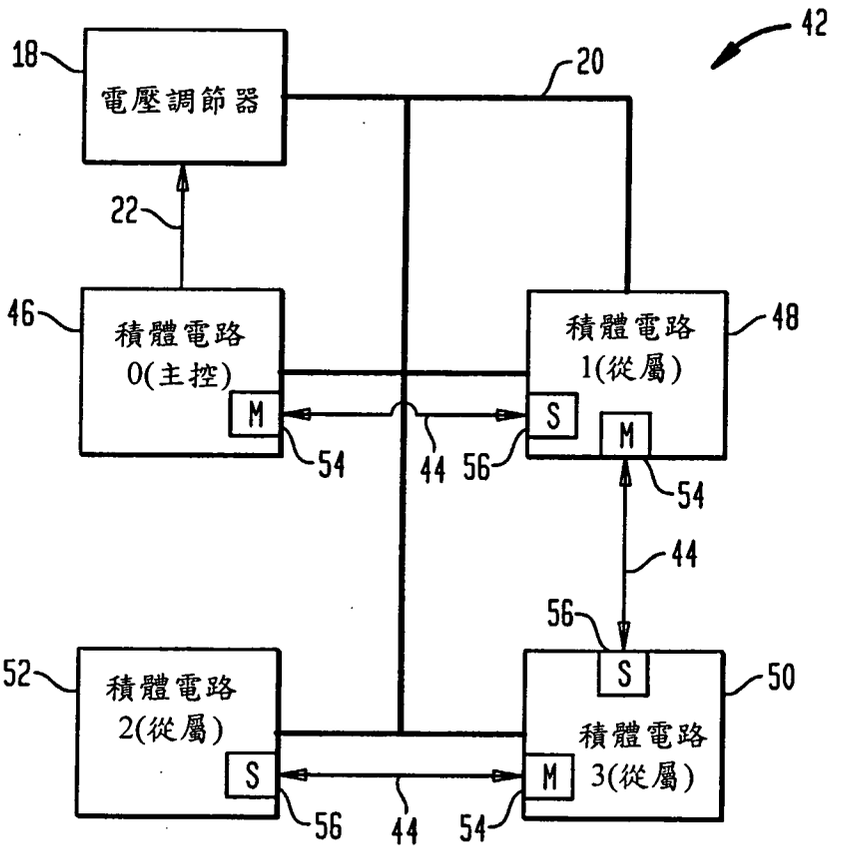

42
18
電壓調節器
20
22
46
積體電路
0(主控)
M
54
44
56
S
積體電路
1(從屬)
48
M
54
44
56
S
52
積體電路
2(從屬)
S
56
44
54
M
積體電路
3(從屬)
50

圖 3

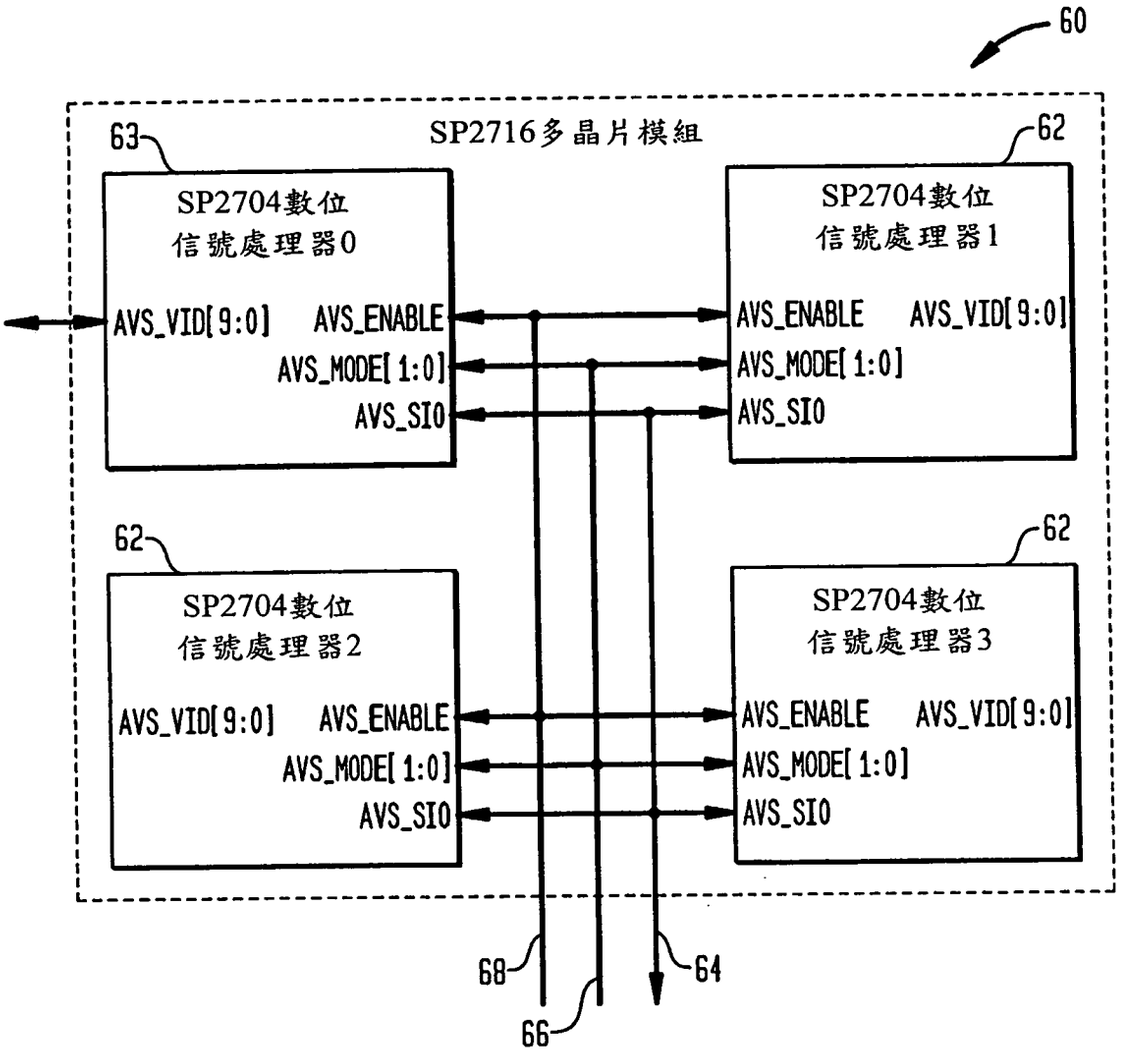

60
SP2716多晶片模組
63
SP2704數位
信號處理器0
AVS_VID[9:0]
AVS_ENABLE
AVS_MODE[1:0]
AVS_SIO
62
SP2704數位
信號處理器1
AVS_ENABLE
AVS_VID[9:0]
AVS_MODE[1:0]
AVS_SIO
62
SP2704數位
信號處理器2
AVS_VID[9:0]
AVS_ENABLE
AVS_MODE[1:0]
AVS_SIO
62
SP2704數位
信號處理器3
AVS_ENABLE
AVS_VID[9:0]
AVS_MODE[1:0]
AVS_SIO
68
66
64

圖 4

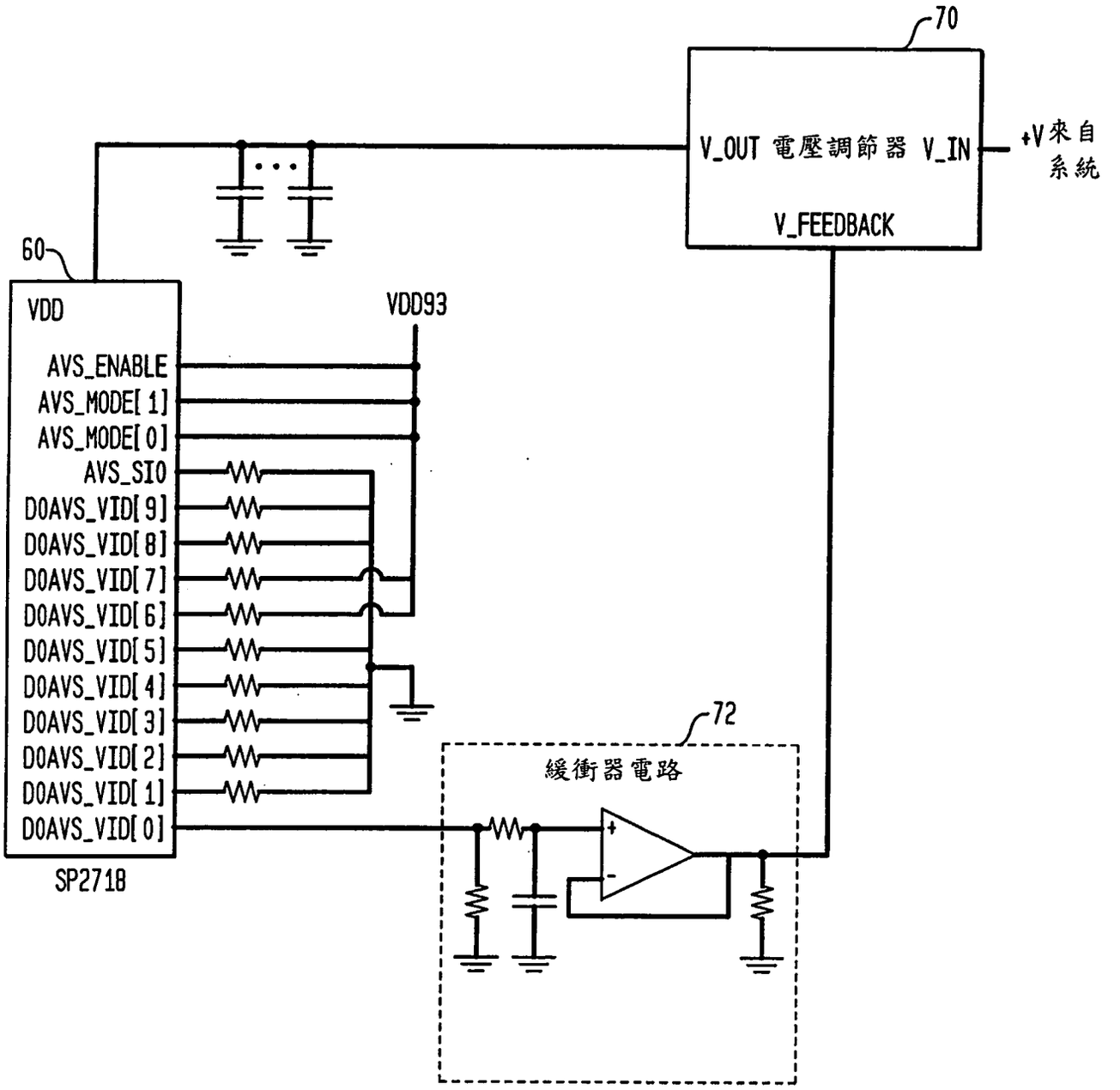

70
V_OUT 電壓調節器 V_IN
+V來自系統
V_FEEDBACK
60
VDD
VDD93
AVS_ENABLE
AVS_MODE[1]
AVS_MODE[0]
AVS_SIO
D0AVS_VID[9]
D0AVS_VID[8]
D0AVS_VID[7]
D0AVS_VID[6]
D0AVS_VID[5]
D0AVS_VID[4]
D0AVS_VID[3]
D0AVS_VID[2]
D0AVS_VID[1]
D0AVS_VID[0]
SP2718
72
緩衝器電路
+
-

圖 5

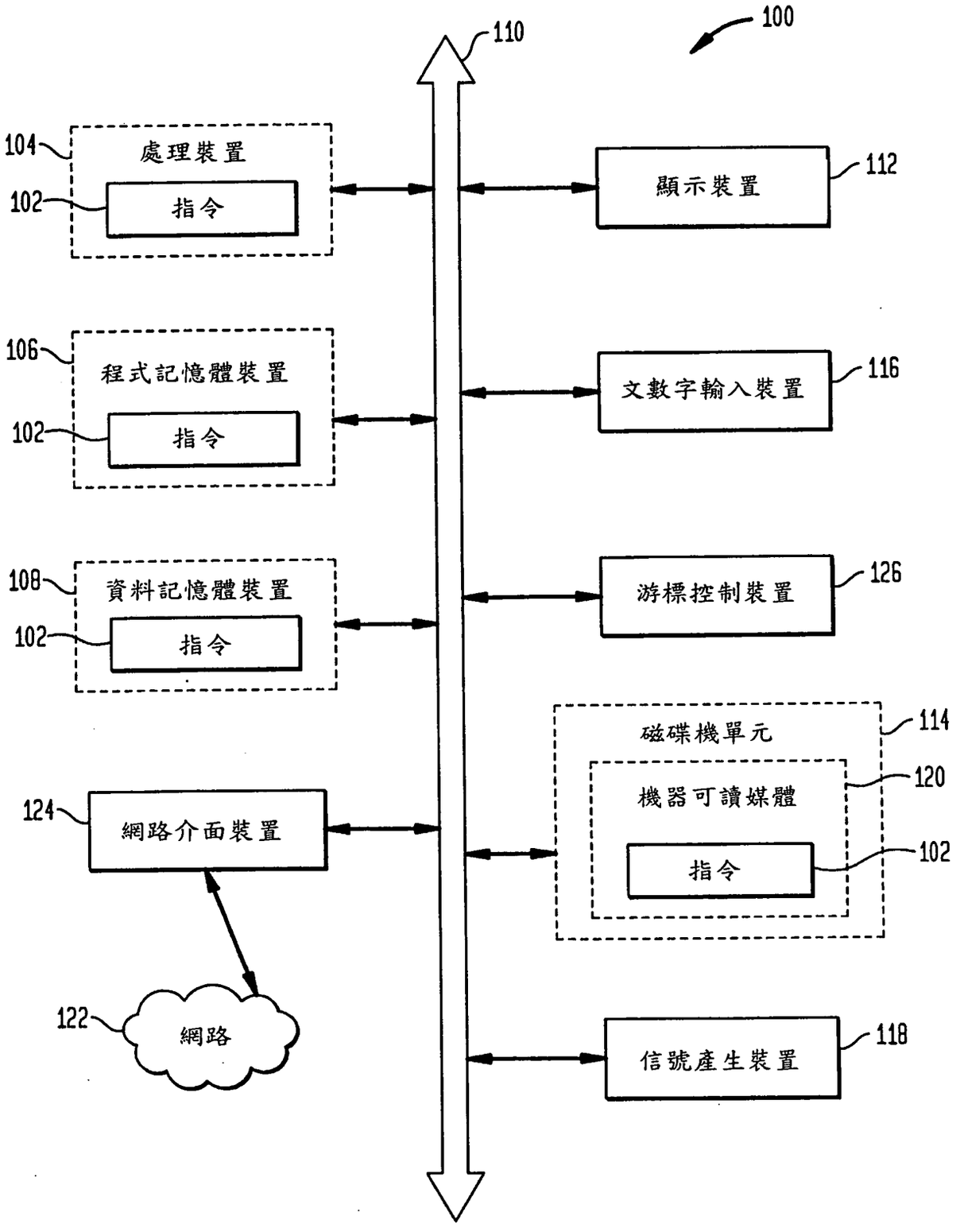

100
110
104
處理裝置
102
指令
106
程式記憶體裝置
102
指令
108
資料記憶體裝置
102
指令
124
網路介面裝置
122
網路
顯示裝置
112
文數字輸入裝置
116
游標控制裝置
126
磁碟機單元
114
機器可讀媒體
120
指令
102
信號產生裝置
118

圖 6