

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 02803933.5

[45] 授权公告日 2006年3月1日

[11] 授权公告号 CN 1244151C

[22] 申请日 2002.1.21 [21] 申请号 02803933.5

[30] 优先权

[32] 2001.1.19 [33] DE [31] 10102354.5

[86] 国际申请 PCT/DE2002/000175 2002.1.21

[87] 国际公布 WO2002/058154 德 2002.7.25

[85] 进入国家阶段日期 2003.7.21

[71] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 M·特鲁斯特

审查员 朱永全

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 张志醒

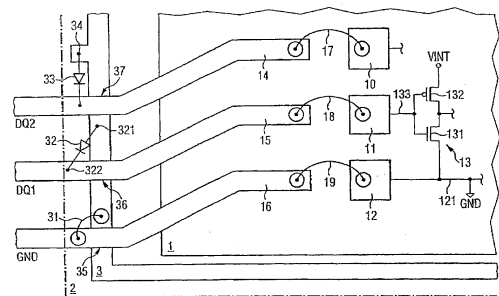
权利要求书 3 页 说明书 6 页 附图 1 页

[54] 发明名称

具 ESD 保护之半导体组件

[57] 摘要

一种半导体组件，具有 ESD 保护组件 (32, 33)，其被设置于半导体基体 (1) 的外部并连接一额外导体轨迹 (3)，承载一参考电位 (GDN)，至该连结架构的导体轨迹 (14, 15)。不再需要集积于半导体基体 (1) 中的 ESD 保护结构；可以避免相对应的高区域消耗。



1. 一种半导体组件，包括：

一半导体芯片(1)，在所述半导体芯片(1)中含有一电子电路(13)，所述电子电路(13)具有欲处理信号用的一端点(11)，且所述电子电路(13)具有一级(13)，所述级(13)是连接至所述欲处理信号用的端点(11)，并具有一端点(12)以获得一供应电位(GND)，所述用以获得该供应电位的端点(12)连接至所述级(13)，所述级(13)是选自一输入级与一输出级其中之一；

一第一导体轨迹(15)，其运行于所述半导体芯片(1)的外部，所述第一导体轨迹(15)连接至所述欲处理信号用的端点(11)；

一第二导体轨迹(16)，其运行于所述半导体芯片(1)的外部，所述第二导体轨迹(16)连接至所述用以获得该供应电位的端点(12)；

一静电放电保护组件(32)以从所述欲处理信号用的端点(11)取走静电放电至所述供应电位(GND)；以及

其特征在于所述半导体组件更包括：

另一导体轨迹(3)，其运行于所述半导体芯片(1)的外部，所述另一导体轨迹(3)连接至所述第二导体轨迹(16)；

所述另一导体轨迹(3)围绕所述半导体芯片(1)以及所述第一导体轨迹(15)，且所述第二导体轨迹(16)与所述另一导体轨迹(3)交叉；

所述静电放电保护组件(32)是设置在所述半导体芯片(1)的外部；以及

所述静电放电保护组件(32)在所述半导体芯片(1)外部是连接至所述另一导体轨迹(3)与所述第一导体轨迹(15)；

其中所述第一导体轨迹(15)与所述另一导体轨迹(3)的交叉处定义了一交叉位置，且其中所述静电放电保护组件(32)是设置在靠近所述交叉位置处。

2. 如权利要求1所述的半导体组件，更包含：

一封装，其包围所述半导体芯片与所述另一导体轨迹；

所述封装部份包围所述第一导体轨迹，使得所述第一导体轨迹面向所述半导体芯片的一部份运行于所述封装的内部，而所述第一导体轨迹面离所述半导体芯面的一部份则运行于所述封装的外部；以及

所述封装部份包围所述第二导体轨迹，使得所述第二导体轨迹面

向所述半导体芯片的一部份运行于所述封装的内部，而所述第二导体
轨迹面离所述半导体芯面的一部份则运行于所述封装的外部。

3. 如权利要求 1 所述的半导体组件，其中
所述静电放电保护组件是一二极管；

5 所述二极管具有一阳极，所述阳极连接至所述另一导体轨迹；以
及

所述二极管具有一阴极，所述阴极连接至所述低一导体轨迹。

4. 如权利要求 3 所述的半导体组件，更包括一隔离材料，所述隔
离材料是配置在所述另一导体轨迹与所述第一导体轨迹的交叉处。

10 5. 如权利要求 1 所述的半导体组件，更包括：

一第三导体轨迹(14)；

一信号端点(10)，所述信号端点(10)被指派至所述第三导体轨迹
(14)；以及

一另一静电放电保护组件(33)；

15 所述另一导体轨迹(3)是运行于一主要方向且具有一导体轨迹部
份(34)，所述导体轨迹部份(34)是从所述主要方向向外分叉；

所述第三导体轨迹(14)与所述另一导体轨迹(3)在靠近所述另一
导体轨迹(3)的所述导体轨迹部份(34)处交叉；以及

20 所述另一导体轨迹的所述导体轨迹部份是连接至所述另一静电放
电保护组件(33)。

6. 如权利要求 1 所述的半导体组件，更包括：

一第一接合导线(18)，其连接所述第一导体轨迹(15)与所述欲处
理信号用的端点(11)；以及

25 一第二接合导线(19)，其连接所述第二导体轨迹(16)与所述用以
获得该供应电位(GND)的端点(12)。

7. 如权利要求 6 所述的半导体组件，其中所述欲处理信号用的端
点(11)与所述用以获得该供应电位(GND)的端点(12)是配置在所述半
导体芯片(1)中的金属化区域。

8. 如权利要求 1 所述的半导体组件，其中：

30 所述输入级(13)具有至少一晶体管(131, 132)，所述晶体管的栅
极连接至所述欲处理信号用的端点(11)；

所述晶体管具有一漏极端点与一源极端点；

所述晶体管的所述漏极端点或所述源极端点连接至所述用以获得该供应电位(GND)的端点(12)。

9. 如权利要求 8 所述的半导体组件, 其中所述输入级(13)是一反相器。

- 5 10. 如权利要求 1 所述的半导体组件, 更包括一引线框, 所述引线框配置在所述半导体芯片(1)的外部并包含所述第一导体轨迹, 所述第一导体轨迹具有一接触区域, 所述接触区域连接至所述静电放电保护组件的一端点。

具 ESD 保护之半导体组件

技术领域

5 本发明是关于一种半导体组件。

背景技术

集成电路被提供外部的供应电位以及将被处理的输入信号以及从其中被摘取的已处理的输出信号。尤其是，输入信号端非常的敏感，因为馈入用的导电轨迹直接连接至输入切换级(stage)的栅极端。在集成电路的人工处理或自动化的进一步处理以便将集成电路放置在电路板上并加上焊锡的情况中，存在着敏感的输入级或输出级被静电荷破坏的风险。例如，人体可能充满静电，该等电荷随后经由连接至包含集成电路的半导体组件的外部的端点而被放电。自动组件设置或测试设备也可能具有静电并经由半导体组件放电。以承载集成电路的半导体上的极小的图案线宽度，需要保护以免于静电放电。

15 美国第 5 464 434 号专利表示静电放电保护组件的实施例，已知为 ESD 保护组件(ESD: electrostatic discharge, 静电放电)。此输入端经由一 ESD 保护结构连接至参考电压(地)，其实质上具有二极管特性。此 ESD 保护结构整个被形成于半导体基体中。此保护结构的尺寸以此方式设定，即当预先描述的规格内的被处理信号被输入时，其不切换并将信号波形尽可能衰减至最小因此此二极管特性必须具有一高崩溃电压。另一方面，必须保证在静电放电的情况中，电荷数量被取走至低阻抗的状态的地(ground)。所使用的二极管或被连接为二极管的晶体管必须具有大表面区域上的尺寸以便具有相对的高电流承载能力。因此其缺点在于 ESD 保护结构需要半导体基体中高的区域消耗以便符合高崩溃电压及高电流承载能力的边界情况。

25 另一种具有防静电的保护组件的半导体电路表示于 EP 0 736 904 A1 专利中。其中，保护组件被设置于一端点焊点与分布于半导体芯片上的导体轨迹之间。导体轨迹的特定部份与半导体芯片的边缘平行。一个导体轨迹形成环绕半导体芯片的一个环。

发明内容

30 本发明的一目的在提供一种半导体组件，其于半导体基体中的区

域消耗尽可能地小，但适当地确保 ESD 保护。

此目的藉由一半导体组件而达成，包括一半导体基体，于其中设置具有被处理的信号用的一端点的电子电路且该电子电路的一输入级或一输出级连接至该端点，且其具有用以提供一电位的一端点且该电子电路的一输入级或一输出级连接至该端点，在每一情况中被指派给该等端点之一的一导体轨迹从该半导体基体流出并连接至个别指派的端点，一取走静电放电的组件，藉由该组件，施加在将被处理的信号用的端点上的静电放电可被移动至供应电位，于该情况中更提供另一导体轨迹，其走向该半导体基体之外并被连接至指派给该供应电位的端点，且其中取走静电电荷的该组件被设置于该半导体基体的外部，且每一者一方面在半导体基体外部连接至该另一导体轨迹，另一方面连接至指派给将被处理的信号用的端点的导体轨迹。

依据本发明的半导体组件，ESD 组件不再被形成于半导体基体中。如以上所述，ESD 保护结构的集成配置拿取非微不足道数量的表面区域。此区域消耗在本发明的半导体组件中是节省的。取而代之，此 ESD 保护组件被设置于半导体基体之外。此外，提供额外的导体轨迹，其承载供应电位，较好是地电位，并且穿过那些用以让输入或输出信号从半导体基体的功能单元输入或从其输出信号的导体轨迹。本发明适合在以数字为基础运作的不连续数值输入及输出级，以及以模拟为基础运作的连续输入及输出级。此外，设置于半导体外部的该 ESD 保护组件现在可以做得比集成配制情况中大。因此增加 ESD 电阻。

在集成半导体芯片上所提供的称为端点焊点，亦即代表集成电路的输入或输出端点。在半导体基体外部的金属导体轨迹承载供应电位及进入及离开的被处理信号。这些导体轨迹也被称为引线框 (leadframe)。指派给半导体基体的引线框的导体轨迹的端点随后藉由连接线 (bonding wire) 与端点焊点接触。引线框的导体轨迹的相对端点是半导体组件的端点接脚 (pin)，并且被焊接于一电路板上或插入一插槽。此半导体基体被一封装包围，通常由塑料制成，引线框的导体轨迹被导引至外部以便建立与电路板的接触。

依据本发明额外提供的另一导体轨迹包围该半导体基体。该半导体基体通常被做成矩形。另一导体轨迹的至少一部份随后平行于半导体基体的边缘行走。其藉此跨越从端点焊点连接至外部的引线框的导

电轨迹经过该封装，用于将被处理的信号以及用于供应电位。

依据本发明，承载供应电位(地)的引线框的一导体轨迹与包围该半导体基体的导体轨迹之间的连接最好由一打线(bonding)连接所建立。承载地电位的额外导体轨迹经由 ESD 保护组件在交叉点连接至一
5 承载将被处理的信号的引线框的导体轨迹。此 ESD 保护组件最好是一个二极管，其阳极连接至该额外导体轨迹，而其阴极连接到承载将被处理的信号的导体轨迹。取代 pn 二极管，也可使用 MOS 二极管。于此情况中其为一 MOS 场效晶体管，其源极与门极端互相连接。

在该承载地电位的另一导体轨迹与承载将被处理的信号的导体轨迹的交叉点提供隔离，因此此二导体轨迹互相被电性隔离，并且避免
10 引线框的信号承载导电轨迹与该另一导电轨迹之间的短路。

在交叉点的附近，该另一导电轨迹可以具有一远离其主要行进方向的短部份分支。该部份适当地在朝向半导体基体的方向前进或在远离半导体基体的方向行进。此分支被当成 ESD 保护二极管的阳极用的
15 接触区域。

在半导体基体中，例如硅基板，功能单元被设计为双极性(bipolar)，MOS 或 CMOS 电路。输入级可能包括一反相器。反相器的输入端可以由耦合其互补 MOS 晶体管的栅极端而形成并被连接至指派的端点焊点。反相器的 n 沟道 MOS 晶体管的源极端被连接至参考电位
20 地，参考电位地被连接至半导体基体内的一信号线，该信号线连接至由承载参考电位的导体轨迹所供应的端点，该导体轨迹的一部份接着跨越引线框的导体轨迹被连接至该另一导体轨迹。

附图说明

说明书附图为本发明的半导体组件配置图。

25 具体实施方式

本发明将基于表现于附图中的实施例被详细解释如下。附图表示一半导体基体 1，于其上设至一集成电路。代表从集成电路的引出部的是一个 CMOS 输入切换级 13。其包括漏-源极串连的二互补 MOS 晶体管
30 131, 132。p 沟道 MOS 晶体管 132 被提供正供应电位 VINT，n 沟道 MOS 晶体管 131 被提供参考电位 GND。参考电位 GND 穿过线 121 分布于半导体芯片上。所有的信号及供应电位经由端点焊点 10, 11, 12 被供应给半导体基体。此等端点焊点是金属化区域。端点焊点 10, 11 分别被当

成资料信号 DQ2 及 DQ1 的输入及输出。端点焊点 12 是做为地电位 GND 的馈入。此半导体芯片被密封于封装 2 之内。信号流量及至外部的供应电压的馈送经由金属导体轨迹 14, 15, 16 发生。这些导体轨迹在芯片侧的其端点分别经由连接线 17, 18, 19 连接至被指派的端点焊点 10, 11, 12。其从半导体芯片 1 离开并经过封装 2。封装外部的金属导体轨迹 14, 15, 16 端点被插入, 异如插槽内, 或被焊接于电路板上。金属导体轨迹 14, 15, 16 被群组一起形成一引线框, 其外部端互相连接。此输入于封装 2 的密封之后被打断。

依据本发明, 提供另一金属导体轨迹 3。类似引线框的导体轨迹 14, 15, 16, 导体轨迹 3 在半导体基体 1 外测行进。对照引线框的导体轨迹 14, 15, 16, 导体轨迹 3 并未从芯片离开, 而是平行于半导体基体 1 的侧边。导体轨迹 3 适当地环绕分别平行半导体基体 1 的侧边, 如同一封闭的环。另一导体轨迹 3 承载地点位 GND。为此目的, 导体轨迹 3 藉由连接线 31 连接于引线框的地导体轨迹 16 的交叉点。或者是, 也可使用用以互相连接线 16, 3 的互相相对的表面其它连接, 例如藉由一导电黏胶。地电压 GND 经由包围半导体芯片 1 的线 3 提供。

额外的导体轨迹 3 也跨越承载信号 DQ1, DQ2 的引线框的导体轨迹 14, 15 在交叉位置所提供的是 ESD 组件 32, 33, 其被连接于该导体轨迹 3 与相关的导体轨迹 14, 15 之一。例如, 二极管 32 的阳极在点 321 连接至导体轨迹 3, 并在点 321 连接至导体轨迹 15。二极管 32 被当成一 ESD 保护组件其具有一高崩溃电压以便不影响规格内的信号 DQ1 的负载。然而, 在高静电电压的情况中, 二极管 32 崩溃且具有必要电荷用的足够的额定 (rating) 以便能够经由接触点 322, 321 从导体轨迹 15 流动至导电轨迹 3 并进一步经由连接线 31 流至地导体轨迹 16。因此, 反相器 13 的晶体管的栅氧化物被保护免于崩溃。与设置于半导体基体上的 ESD 保护结构相较之下, 其为地电位 GND 必须被设置于输入线 131 与线 121 之间, ESD 保护二极管 32 不需要占用半导体基体上的任何区域。区域消耗是微不足道的因为将达成高崩溃电压以及适合的电流承载能力。

将被处理的信号 DQ2 用的导体轨迹 14 经由另一 ESD 保护二极管 33 被连接至环导体轨迹 3。在导体轨迹 14 与导体轨迹 3 的交叉点附近提供导电轨迹 3 的一分支, 其与导电轨迹 14 的对应部份平行。在所示的

实施例中，分支 34 被导引至外部；其也可以被导引至朝向半导体基体 1 的内部。分支 34 如此远离交叉点，ESD 保护二极管的阳极接触分支 34 而其阴极接触导体轨迹 14。

在所示的实施例中，信号 DQ1 将被输入半导体基体 1 上的电路。

- 5 信号 DQ2 是，例如，来自电路的输出。于此情况中，端点焊点 10 被连接至集成电路的输出驱动器，例如反相器或三态级 (tristate) 的输出。信号 DQ1 及 DQ2 也有可能是双向信号并被用来输入资料或模拟信号至集成电路内或从其中取出。

- 10 另一金属导体轨迹 3 及信号承载导体轨迹 14, 15 被配置为避免承载地电位 GND 的导体轨迹 3 与承载输入/输出信号的导电轨迹 14, 15 之间的接触。一方面，这可藉由导体轨迹在交叉口互相分离而达成。另一方面，设置于金属导体轨迹 3, 15, 14 的相对表面之间的隔离 36, 37 也是适合的。

- 15 在藉由联机 17, 18, 19 的金属导体轨迹 14, 15, 16 至端点焊点 10, 11, 12 的打线之后，经由联机 31 的导体轨迹 3, 16 的连接以及 ESD 保护组件 32, 33 的接触，所有导体轨迹被固定，因此引线框的导体轨迹在外部端点的连接可由打孔被移除。

- 20 因为区域限制不需要被施加至保护组件 32, 33, 它们的尺寸可被设计为较高电流承载能力，与集成形式情况相较下。因此，与半导体基体上的形式相较可以增加 ESD 电阻。

参考标号表

1	半导体基体
2	封装
3	导体轨迹
10, 11, 12	端点焊点
121	线
13	输入级
131, 132	晶体管
133	输入
14, 15, 16	导体轨迹
17, 18, 19, 31	连接线
32, 33	ESD 保护组件
321	阳极端
322	阴极端
34	导体轨迹分支
35	交叉
36, 37	隔离
DQ1, DQ2	将被处理的处信号
GND	供应电位
VINT	供应电位

