

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 2 月 19 日 (19.02.2015)



(10) 国际公布号
WO 2015/021708 A1

(51) 国际专利分类号:
H01L 21/77 (2006.01)

(21) 国际申请号: PCT/CN2013/088312

(22) 国际申请日: 2013 年 12 月 2 日 (02.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310359419.1 2013 年 8 月 16 日 (16.08.2013) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。

(72) 发明人: 李月 (LI, Yue); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。董学 (DONG, Xue); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。薛海林 (XUE,

Hailin); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。陈小川 (CHEN, Xiao-chuan); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE&HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD THEREFOR, DISPLAY PANEL, AND DISPLAY APPARATUS

(54) 发明名称: 阵列基板及其制造方法、显示面板和显示装置

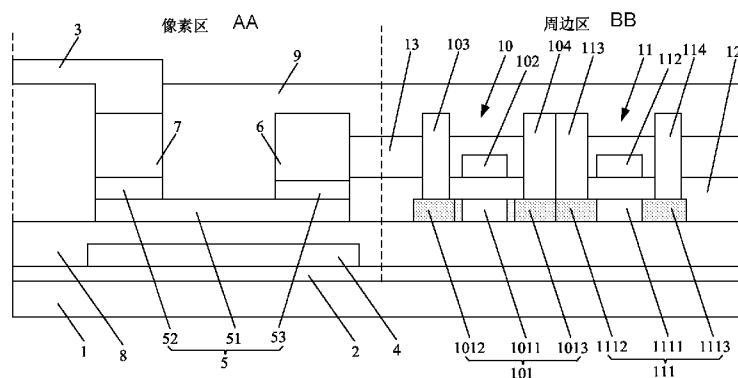


图 1 / FIG. 1

AA PIXEL REGION

BB PERIPHERAL REGION

(57) Abstract: An array substrate, a manufacturing method therefor, a display panel, and a display apparatus. The array substrate comprises a base substrate (1), and comprises a pixel region and a peripheral region both formed on the base substrate (1). The peripheral region is located on the periphery of the pixel region. The pixel region comprises an amorphous silicon thin film transistor, and the peripheral region comprises a low-temperature polycrystalline silicon structure. Because an amorphous silicon thin film transistor is used in a pixel region of the array substrate, the problem in the prior art is solved that a leakage current of a pixel region of a low-temperature polycrystalline silicon array substrate is excessive, thereby reducing the leakage current of the pixel region; in addition, because a low-temperature polycrystalline silicon structure is used in a peripheral region of the array substrate, narrow-frame designs of the display panel and the display apparatus are realized.

(57) 摘要:

[见续页]



WO 2015/021708 A1



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板及其制造方法、显示面板和显示装置，该阵列基板包括：衬底基板（1）；以及形成于衬底基板（1）上的像素区和周边区，其中，所述周边区位于所述像素区周边，所述像素区包括非晶硅薄膜晶体管，所述周边区包括低温多晶硅结构。由于阵列基板的像素区采用了非晶硅薄膜晶体管，因此克服了现有技术中低温多晶硅阵列基板中存在的像素区漏电流过大的问题，降低了像素区的漏电流，同时，由于阵列基板的周边区采用了低温多晶硅结构，因此实现了显示面板及显示装置的窄边框设计。

阵列基板及其制造方法、显示面板和显示装置

5 技术领域

本发明涉及显示技术领域，特别涉及阵列基板及其制造方法、显示面板和显示装置。

背景技术

10 在显示技术领域，非晶硅(a-Si)技术和低温多晶硅(Low Temperature Poly-silicon，简称：LTPS)技术应用较为广泛。其中，随着显示技术的发展，LTPS 技术凭借其高效能和高清晰的特点，得到了越来越广泛的应用。

现有技术中，当采用 LTPS 技术制成阵列基板时，其像素区存在漏电流过大的问题；当采用非晶硅(a-Si)技术制成阵列基板时，其周边区的构图结构使得包括该阵列基板的显示面板及显示装置难以实现窄边框设计。

综上所述，现有技术中还没有一种在降低像素区漏电流的同时能够使得显示面板及显示装置实现窄边框设计的技术方案。

20 发明内容

本发明的目的是提供一种阵列基板及其制造方法、显示面板和显示装置，用于降低像素区的漏电流，并实现显示面板及显示装置的窄边框设计。

为实现上述目的，本发明提供了一种阵列基板，包括：衬底基板；以及形成于所述衬底基板上的像素区和周边区，其中，所述周边区位于所述像素区的周边，所述像素区包括非晶硅薄膜晶体管，所述周边区包括低温多晶硅结构。

可选地，所述非晶硅薄膜晶体管为底栅型非晶硅薄膜晶体管。

可选地，所述低温多晶硅结构包括低温多晶硅薄膜晶体管。

30 可选地，所述低温多晶硅薄膜晶体管为顶栅型低温多晶硅薄膜晶体

管。

可选地，所述阵列基板还包括：缓冲层，其位于所述衬底基板上、及所述非晶硅薄膜晶体管和所述低温多晶硅结构下方，且覆盖整个衬底基板。

5 可选地，所述非晶硅薄膜晶体管包括非晶硅有源层图形，所述低温多晶硅薄膜晶体管包括低温多晶硅有源层图形，所述非晶硅有源层图形和所述低温多晶硅有源层图形同层形成。

为实现上述目的，本发明还提供了一种显示面板，包括：上述阵列基板。

10 为实现上述目的，本发明还提供了一种显示装置，包括：上述显示面板。

为实现上述目的，本发明还提供了一种阵列基板的制造方法，包括步骤：在衬底基板上形成像素区和周边区，其中，所述周边区位于所述像素区的周边，在所述像素区形成非晶硅薄膜晶体管，在所述周边区形成低温多晶硅结构。

15

可选地，所述低温多晶硅结构包括低温多晶硅薄膜晶体管。

20

可选地，在所述像素区形成所述非晶硅薄膜晶体管的栅极、非晶硅有源层图形、源极和漏极，以及在所述周边区形成所述低温多晶硅薄膜晶体管的低温多晶硅有源层图形、栅极和源漏极图形，其中，所述非晶硅有源层图形和所述低温多晶硅有源层图形同层形成。

25

可选地，所述阵列基板的制造方法包括：在所述像素区的衬底基板上形成所述非晶硅薄膜晶体管的栅极；在所述非晶硅薄膜晶体管的栅极的上方形成栅绝缘层，该栅绝缘层覆盖整个衬底基板；在所述栅绝缘层上方，在所述像素区形成非晶硅有源层图形以及在所述周边区形成低温多晶硅图形；在所述低温多晶硅图形的上方形成栅绝缘图形；在所述栅绝缘图形的上方形成所述低温多晶硅薄膜晶体管的栅极；对所述低温多晶硅图形进行掺杂处理，形成所述低温多晶硅有源层图形；在所述非晶硅有源层图形的上方形成所述非晶硅薄膜晶体管的源极和漏极，以及在所述低温多晶硅有源层图形的上方形成所述低温多晶硅薄膜晶体管的源漏极图形。

30

可选地，在所述像素区形成非晶硅有源层图形以及在所述周边区形

成低温多晶硅图形的步骤包括：在所述栅绝缘层的上方形成非晶硅材料层，该非晶硅材料层覆盖整个衬底基板；通过 UV 基板对所述像素区进行遮挡，以对位于所述周边区的非晶硅材料层进行激光晶化处理，从而在所述周边区形成低温多晶硅材料层；对位于所述像素区的非晶硅材料层和位于所述周边区的低温多晶硅材料层进行构图处理，以在所述像素区形成非晶硅图形以及在所述周边区形成低温多晶硅图形；在所述像素区的非晶硅图形上方形成 N+ 非晶硅图形，从而在所述像素区形成非晶硅有源层图形。

本发明具有以下有益效果。

本发明提供的阵列基板及其制造方法、显示面板和显示装置中，由于阵列基板的像素区采用了 a-si 薄膜晶体管，因此克服了现有技术中 LTPS 阵列基板存在的像素区漏电流过大的问题，降低了像素区的漏电流，同时，由于阵列基板的周边区采用了 LTPS 结构，因此实现了显示面板及显示装置的窄边框设计。

附图说明

图 1 为根据本发明的实施例一提供的一种阵列基板的结构示意图。

图 2 为根据本发明的实施例四提供的一种阵列基板的制造方法的流程图。

图 3a 为实施例四中形成 a-Si 薄膜晶体管的栅极的示意图。

图 3b 为实施例四中形成栅绝缘层的示意图。

图 3c 为实施例四中形成 a-Si 材料层的示意图。

图 3d 为实施例四中形成 LTPS 材料层的示意图。

图 3e 为实施例四中形成 a-Si 有源层图形和 LTPS 图形的示意图。

图 3f 为实施例四中形成栅绝缘图形的示意图。

图 3g 为实施例四中形成 LTPS 薄膜晶体管的栅极的示意图。

图 3h 为实施例四中形成 LDD 图形的示意图。

图 3i 为实施例四中形成 n 型掺杂图形的示意图。

图 3j 为实施例四中形成 p 型掺杂图形的示意图。

图 3k 为实施例四中形成 ILD 图形的示意图。

图 3l 为实施例四中形成 a-Si 薄膜晶体管的源极和漏极及 LTPS 薄膜

晶体管的源漏极图形的示意图。

图 3m 为实施例四中形成钝化层的示意图。

具体实施方式

5 为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图对本发明提供的阵列基板及其制造方法、显示面板和显示装置进行详细描述。

10 图 1 为根据本发明的实施例一提供的一种阵列基板的结构示意图。如图 1 所示，该阵列基板包括：衬底基板 1；以及形成于衬底基板 1 上的像素区和周边区，周边区位于像素区的周边。像素区包括非晶硅（a-si）薄膜晶体管，周边区包括低温多晶硅（LTPS）结构。

15 需要说明的是，图 1 中仅示出了像素区和周边区的部分结构，本领域技术人员应当清楚，图 1 中所示出的像素区和周边区不应被理解为对像素区结构和周边区结构的限制；另外，图 1 中的虚线仅为了能够清楚地表示出像素区和周边区，并非阵列基板结构的一部分。

 本实施例中，优选地，a-Si 薄膜晶体管为底栅型 a-Si 薄膜晶体管，LTPS 结构包括 LTPS 薄膜晶体管。其中，优选地，LTPS 薄膜晶体管为顶栅型 LTPS 薄膜晶体管。

20 在实际应用中，可选地，a-Si 薄膜晶体管还可以为顶栅型薄膜晶体管，而 LTPS 薄膜晶体管还可以为底栅型 LTPS 薄膜晶体管。

 本实施例中，a-Si 薄膜晶体管包括 a-Si 有源层图形，LTPS 薄膜晶体管包括 LTPS 有源层图形。优选地，a-Si 有源层图形和 LTPS 有源层图形同层形成，即设置在大致相同的水平高度上。

25 可选地，衬底基板 1 上形成有缓冲层 2，缓冲层 2 位于衬底基板 1 上、及 a-Si 薄膜晶体管和 LTPS 薄膜晶体管下方，且覆盖整个衬底基板 1。缓冲层 2 可有效提高 LTPS 薄膜晶体管的性能。

30 本实施例中，具体地，像素区包括栅线和数据线限定的像素单元，像素单元包括 a-Si 薄膜晶体管和与该 a-Si 薄膜晶体管连接的像素电极 3。本实施例中，a-Si 薄膜晶体管为底栅型 a-Si 薄膜晶体管。具体地，a-Si 薄膜晶体管包括栅极 4、a-Si 有源层图形 5、源极 6 和漏极 7。栅极 4 形

成于缓冲层 2 之上, a-Si 有源层图形 5 形成于栅极 4 上方, 源极 6 和漏极 7 均形成于 a-Si 有源层图形 5 之上, 漏极 7 与像素电极 3 连接。其中, a-Si 有源层图形 5 包括 a-Si 图形 51 和位于 a-Si 图形 51 之上的 N+ a-Si 图形 52 和 N+ a-Si 图形 53, 源极 6 位于 N+ a-Si 图形 53 之上, 漏极 7 位于 N+ a-Si 图形 52 之上。N+ a-Si 图形 53 可减小源极 6 与 a-Si 有源层图形 5 之间的接触电阻, N+ a-Si 图形 52 可减小漏极 7 与 a-Si 有源层图形 5 之间的接触电阻。阵列基板还包括栅绝缘层 8, 栅绝缘层 8 位于栅极 4 的上方、及 a-Si 有源层图形 5 的下方, 且覆盖整个衬底基板 1, 即, 栅绝缘层 8 遍布像素区和周边区。栅绝缘层 8 可用于保护像素区的栅极 4 并提升 LTPS 薄膜晶体管的性能。阵列基板还可以包括钝化层 9, 钝化层 9 位于源极 6 和漏极 7 的上方, 且覆盖整个衬底基板 1, 即, 钝化层 9 遍布像素区和周边区。漏极 7 上方的钝化层 9 上设置有过孔, 像素电极 3 填充于过孔中, 以实现像素电极 3 与漏极 7 之间的连接。

本实施例中, 具体地, 周边区包括 LTPS 薄膜晶体管 10 和 LTPS 薄膜晶体管 11。

LTPS 薄膜晶体管 10 包括 LTPS 有源层图形 101、栅极 102、源漏极图形 103 和源漏极图形 104。LTPS 有源层图形 101 位于栅绝缘层 8 之上, 源漏极图形 103 和源漏极图形 104 位于 LTPS 有源层图形 101 之上, 栅极 102 位于 LTPS 有源层图形 101 上方、及处于源漏极图形 103 和源漏极图形 104 之间。LTPS 有源层图形 101 包括 LTPS 子图形 1011、位于 LTPS 子图形 1011 两侧的 n 型掺杂图形 1012 和 n 型掺杂图形 1013。

LTPS 薄膜晶体管 11 包括 LTPS 有源层图形 111、栅极 112、源漏极图形 113 和源漏极图形 114。LTPS 有源层图形 111 位于栅绝缘层 8 之上, 源漏极图形 113 和源漏极图形 114 位于 LTPS 有源层图形 111 之上, 栅极 112 位于 LTPS 有源层图形 111 上方、及处于源漏极图形 113 和源漏极图形 114 之间。LTPS 有源层图形 111 包括 LTPS 子图形 1111、位于 LTPS 子图形 1111 两侧的 p 型掺杂图形 1112 和 p 型掺杂图形 1113。

阵列基板还包括栅绝缘图形 12, 栅绝缘图形 12 位于 LTPS 有源层图形 101 和 LTPS 有源层图形 111 之上, 且位于栅极 102 和栅极 112 之下。

阵列基板还包括内保护层 (Inter Layer Dielectric, 简称: ILD) 图形

13, ILD 图形 13 位于栅极 102 和栅极 112 之上。栅绝缘图形 12 和 ILD 图形 13 上设置有多个过孔, 源漏极图形 103 填充于过孔中以实现源漏极图形 103 和 n 型掺杂图形 1012 的连接, 源漏极图形 104 填充于过孔中以实现源漏极图形 104 和 n 型掺杂图形 1013 的连接, 源漏极图形 113 填充于过孔中以实现源漏极图形 113 和 p 型掺杂图形 1112 的连接, 以及源漏极图形 114 填充于过孔中以实现源漏极图形 114 和 p 型掺杂图形 1113 的连接。本实施例中, LTPS 有源层图形 101 和 LTPS 有源层图形 111 一体成型, 源漏极图形 104 和源漏极图形 113 一体成型。在实际应用中, 源漏极图形 104 和源漏极图形 113 还可以单独设置, 即源漏极图形 104 和源漏极图形 113 不接触; LTPS 有源层图形 101 和 LTPS 有源层图形 111 也可以单独设置, 即 LTPS 有源层图形 101 和 LTPS 有源层图形 111 不接触。作为一种优选方案, 可以设置成源漏极图形 103 为漏极, 而源漏极图形 104 为源极, 或者替代地设置成源漏极图形 113 为源极, 而源漏极图形 114 为漏极。

本实施例中, 由于 LTPS 有源层图形 101 包括 n 型掺杂图形 1012 和 n 型掺杂图形 1013, LTPS 有源层图形 111 包括 p 型掺杂图形 1112 和 p 型掺杂图形 1113, 因此 LTPS 薄膜晶体管 10 和 LTPS 薄膜晶体管 11 组成互补金属氧化物半导体 (Complementary Metal Oxide Semiconductor, 以下简称: CMOS), CMOS 的优点在于其功耗低。

在实际应用中, 可选地, 周边区的所有 LTPS 薄膜晶体管的 LTPS 有源层图形可以均仅包括 n 型掺杂图形, 或者周边区的所有 LTPS 薄膜晶体管的 LTPS 有源层图形可以均仅包括 p 型掺杂图形。

在实际应用中, 可选地, LTPS 结构还可以包括金属线。优选地, 金属线位于 LTPS 薄膜晶体管的 LTPS 有源层图形之上。金属线可包括金属测试线和/或金属引线。此种情况不再具体画出。

本实施例提供的阵列基板包括衬底基板及形成于衬底基板上的像素区和周边区, 周边区位于像素区的周边, 像素区包括 a-si 薄膜晶体管, 周边区包括 LTPS 结构。由于像素区采用了 a-si 薄膜晶体管, 因此克服了现有技术中 LTPS 阵列基板存在的像素区漏电流过大的问题, 降低了像素区的漏电流, 同时, 由于周边区采用了 LTPS 结构, 因此实现了显示面板及显示装置的窄边框设计。

本发明的实施例二提供了一种显示面板，该显示面板包括阵列基板。其中，阵列基板可采用上述实施例一中的阵列基板，此处不再具体描述。优选地，显示面板可以为高级超维场转换（Advanced Super Dimension Switch，简称：ADS）装置的显示面板。

5 本发明的实施例三提供了一种显示装置，其包括上述显示面板。显示装置可以为例如显示器、便携式电脑、电视、手持电话等。

本发明的实施例四提供了一种阵列基板的制造方法，该方法包括：在衬底基板上形成像素区和周边区，其中，周边区位于像素区的周边，在像素区形成 a-Si 薄膜晶体管以及在周边区形成 LTPS 结构。

10 本实施例中，优选地，LTPS 结构包括 LTPS 薄膜晶体管。其中，在所述像素区形成所述非晶硅薄膜晶体管的栅极、非晶硅有源层图形、源极和漏极，以及在所述周边区形成所述 LTPS 薄膜晶体管的低温多晶硅有源层图形、栅极和源漏极图形，其中，所述非晶硅有源层图形和所述低温多晶硅有源层图形同层形成，即设置在大致相同的水平高度上。

15 本实施例提供的阵列基板的制造方法中，由于在像素区形成 a-si 薄膜晶体管，因此克服了现有技术中 LTPS 阵列基板存在的像素区漏电流过大的问题，降低了像素区的漏电流，同时，由于在周边区形成 LTPS 结构，因此实现了显示面板及显示装置的窄边框设计。

下面通过实施例四对本发明提供的阵列基板的制造方法进行详细描述。本实施例以 a-Si 薄膜晶体管为底栅型 a-Si 薄膜晶体管以及 LTPS 薄膜晶体管为顶栅型 LTPS 薄膜晶体管为例进行描述。

图 2 为根据本发明的实施例四提供的一种阵列基板的制造方法的流程图。如图 2 所示，该方法包括以下步骤。

步骤 101、在衬底基板上形成 a-Si 薄膜晶体管的栅极。

25 图 3a 为实施例四中形成 a-Si 薄膜晶体管的栅极的示意图。如图 3a 所示，在衬底基板 1 上形成栅极金属层，对栅极金属层进行构图处理，以在衬底基板 1 上形成栅极 4。可选地，在形成栅极 4 之前，还可以在衬底基板 1 上形成缓冲层 2，该缓冲层 2 位于栅极 4 的下方，且覆盖整个衬底基板 1。

30 步骤 102、在 a-Si 薄膜晶体管的栅极的上方形成栅绝缘层。

图 3b 为实施例四中形成栅绝缘层的示意图。如图 3b 所示，例如通过化学气相淀积方法在栅极 4 的上方形成栅绝缘层 8，栅绝缘层 8 覆盖整个衬底基板 1。

步骤 103、在栅绝缘层 8 的上方，在像素区形成 a-Si 有源层图形以及在周边区形成 LTPS 图形。

本实施例中，步骤 103 具体包括以下子步骤。

子步骤 1031、在栅绝缘层的上方形成 a-Si 材料层。

图 3c 为实施例四中形成 a-Si 材料层的示意图。如图 3c 所示，例如通过化学气相淀积方法在栅绝缘层 8 上形成 a-Si 材料层 14。

子步骤 1032、通过 UV 基板 (glass) (即，防紫外线玻璃基板) 对像素区进行遮挡，以对位于周边区的 a-Si 材料层进行激光晶化处理，从而在周边区形成 LTPS 材料层。

图 3d 为实施例四中形成 LTPS 材料层的示意图。如图 3d 所示，通过 UV 基板 (glass) 对像素区进行遮挡，以对位于周边区的 a-Si 材料层进行激光晶化处理，从而在周边区形成 LTPS 材料层 15。

子步骤 1033、对位于像素区的 a-Si 材料层和位于周边区的 LTPS 材料层进行构图处理，以在像素区形成 a-Si 图形以及在周边区形成 LTPS 图形。

子步骤 1034、在 a-Si 图形上方形成 N⁺ a-Si 图形，从而形成像素区的 a-Si 有源层图形。

图 3e 为实施例四中形成 a-Si 有源层图形和 LTPS 图形的示意图。如图 3e 所示，通过构图处理在像素区形成 a-Si 图形 51 以及在周边区形成 LTPS 图形 16。可选地，例如通过化学气相淀积方法在 a-Si 图形 51 上方形成 N⁺ a-Si 材料层，对 N⁺ a-Si 材料层进行构图处理，以在 a-Si 图形 51 上形成 N⁺ a-Si 图形 52 和 N⁺ a-Si 图形 53，从而形成包括 a-Si 图形 51、N⁺ a-Si 图形 52 和 N⁺ a-Si 图形 53 的 a-Si 有源层图形 5。

步骤 104、在 LTPS 图形的上方形成栅绝缘图形。

图 3f 为实施例四中形成栅绝缘图形的示意图。如图 3f 所示，例如通过化学气相淀积方法在 LTPS 图形 16 上方形成栅绝缘层，对栅绝缘层进行构图处理，以在 LTPS 图形 16 的上方形成栅绝缘图形 12。栅绝缘图形

12 的材料可以为 SiNx。

步骤 105、在栅绝缘图形的上方形成 LTPS 薄膜晶体管的栅极。

图 3g 为实施例四中形成 LTPS 薄膜晶体管的栅极的示意图。如图 3g 所示，例如通过物理气相淀积方法在栅绝缘图形 12 的上方形成栅极金属层，对栅极金属层进行构图处理，以在栅绝缘图形 12 上形成栅极 102 和栅极 112。

步骤 106、对 LTPS 图形进行掺杂处理，以形成 LTPS 有源层图形。

本实施例中，步骤 106 具体包括以下子步骤。

子步骤 1061、对 LTPS 图形 16 进行轻掺杂漏区 (Lightly Doped Drain region, 简称: LDD) 掺杂，形成 LDD 图形 161 以及位于栅极 102 下方的 LTPS 子图形 1011 和位于栅极 112 下方的 LTPS 子图形 1111, 如图 3h 所示。图 3h 为实施例四中形成 LDD 图形的示意图。

具体地，在像素区和周边区上涂覆一层光刻胶，通过构图处理形成覆盖像素区的光刻胶图形，以保护像素区的各结构图形；然后，对 LTPS 图形 16 进行 LDD 掺杂；最后，去除光刻胶图形。

子步骤 1062、对 LDD 图形 161 进行 n 型掺杂，以形成 n 型掺杂图形 1012 和 n 型掺杂图形 1013，如图 3i 所示。图 3i 为实施例四中形成 n 型掺杂图形的示意图。

具体地，在像素区和周边区上涂覆一层光刻胶，通过构图处理形成覆盖非掺杂区的光刻胶图形，以保护非掺杂区的各结构图形；然后，对 LDD 图形 161 进行 n 型掺杂；最后，去除光刻胶图形。

子步骤 1063、对 LDD 图形 161 进行 p 型掺杂，以形成 p 型掺杂图形 1112 和 p 型掺杂图形 1113，如图 3j 所示。图 3j 为实施例四中形成 p 型掺杂图形的示意图。

具体地，在像素区和周边区上涂覆一层光刻胶，通过构图处理形成覆盖非掺杂区的光刻胶图形，以保护非掺杂区的各结构图形；然后，对 LDD 图形 161 进行 p 型掺杂；最后，去除光刻胶图形。

综上所述，通过步骤 106 形成的 LTPS 有源层图形 101 包括 LTPS 子图形 1011、位于 LTPS 子图形 1011 两侧的 n 型掺杂图形 1012 和 n 型掺杂图形 1013。形成的 LTPS 有源层图形 111 包括 LTPS 子图形 1111、位于 LTPS

子图形 1111 两侧的 p 型掺杂图形 1112 和 p 型掺杂图形 1113。

步骤 107、在 LTPS 薄膜晶体管的栅极的上方形形成 ILD 图形。

图 3k 为实施例四中形成 ILD 图形的示意图。如图 3k 所示，在栅极 102 和栅极 112 的上方沉积 ILD 材料层，对 ILD 材料层进行构图处理，以形成 ILD 图形 13。

步骤 108、对 LTPS 有源层图形进行去氢处理。

步骤 109、在 a-Si 有源层图形的上方形成 a-Si 薄膜晶体管的源极和漏极，以及在 LTPS 有源层图形的上方形成 LTPS 薄膜晶体管的源漏极图形。

图 3l 为实施例四中形成 a-Si 薄膜晶体管的源极和漏极以及 LTPS 薄膜晶体管的源漏极图形的示意图。如图 3l 所示，步骤 109 具体包括：在 ILD 图形上方形成源漏极金属层，对源漏极金属层进行构图处理，以形成 a-Si 薄膜晶体管的源极 6 和漏极 7、以及 LTPS 薄膜晶体管的源漏极图形 103、源漏极图形 104、源漏极图形 113 和源漏极图形 114。进一步地，在执行步骤 109 之前还包括：在 ILD 图形上形成多个过孔，从而源漏极图形 103 填充于过孔中以实现源漏极图形 103 和 n 型掺杂图形 1012 的连接，源漏极图形 104 填充于过孔中以实现源漏极图形 104 和 n 型掺杂图形 1013 的连接，源漏极图形 113 填充于过孔中以实现源漏极图形 113 和 p 型掺杂图形 1112 的连接，以及源漏极图形 114 填充于过孔中以实现源漏极图形 114 和 p 型掺杂图形 1113 的连接。

步骤 110、在 a-Si 薄膜晶体管的源极和漏极以及 LTPS 薄膜晶体管的源漏极图形的上方形成钝化层（PVX）。

图 3m 为实施例四中形成钝化层的示意图。如图 3m 所示，在 a-Si 薄膜晶体管的源极 6 和漏极 7、以及 LTPS 薄膜晶体管的源漏极图形 103、源漏极图形 104、源漏极图形 113 和源漏极图形 114 的上方形成钝化层 9，该钝化层 9 覆盖整个阵列基板。

步骤 111、在像素区，在钝化层的上方形成像素电极，该像素电极与像素区的漏极连接。

如图 1 所示，步骤 111 具体可包括：在钝化层 9 上形成过孔，过孔位于 a-Si 薄膜晶体管的漏极 7 上方；然后，在钝化层 9 上形成像素电极材料层；对该像素电极材料层进行构图处理，以形成像素电极 3，从而该

像素电极 3 被填充于过孔中以实现与漏极 7 的连接。

优选地，本发明所述的构图处理可包括：光刻胶涂覆、曝光、显影、刻蚀、光刻胶剥离等处理步骤。

需要说明的是，本实施例中各步骤的执行顺序可根据实际需要进行变更。

本实施例提供的阵列基板的制造方法包括在衬底基板上形成像素区和周边区，周边区位于像素区的周边，在像素区形成 a-Si 薄膜晶体管，在周边区形成 LTPS 结构。由于像素区采用了 a-si 薄膜晶体管，因此克服了现有技术中 LTPS 阵列基板存在的像素区漏电流过大的问题，降低了像素区的漏电流，同时，由于周边区采用了 LTPS 结构，因此实现了显示面板及显示装置的窄边框设计。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。本发明的实施例可以省略上述技术特征中的一些技术特征，仅解决现有技术中存在的部分技术问题，而且，所公开的技术特征可以进行任意组合。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。本发明的保护范围由所附权利要求限定。

权 利 要 求 书

1、一种阵列基板，包括：

衬底基板；以及

5 形成于所述衬底基板上的像素区和周边区，其中，所述周边区位于所述像素区的周边，所述像素区包括非晶硅薄膜晶体管，所述周边区包括低温多晶硅结构。

2、根据权利要求1所述的阵列基板，其特征在于，所述非晶硅薄膜
10 晶体管为底栅型非晶硅薄膜晶体管。

3、根据权利要求1所述的阵列基板，其特征在于，所述低温多晶硅结构包括低温多晶硅薄膜晶体管。

15 4、根据权利要求3所述的阵列基板，其特征在于，所述低温多晶硅薄膜晶体管为顶栅型低温多晶硅薄膜晶体管。

5、根据权利要求3所述的阵列基板，其特征在于，所述非晶硅薄膜晶体管包括非晶硅有源层图形，所述低温多晶硅薄膜晶体管包括低温多晶
20 硅有源层图形，所述非晶硅有源层图形和所述低温多晶硅有源层图形同层形成。

6、根据权利要求1所述的阵列基板，其特征在于，还包括：
缓冲层，其位于所述衬底基板上、及所述非晶硅薄膜晶体管和所述
25 低温多晶硅结构下方，且覆盖整个衬底基板。

7、一种显示面板，其特征在于，包括：权利要求1至6中任一项所述的阵列基板。

30 8、一种显示装置，其特征在于，包括：权利要求7所述的显示面板。

9、一种阵列基板的制造方法，其特征在于，包括步骤：

在衬底基板上形成像素区和周边区，其中，所述周边区位于所述像素区的周边，在所述像素区形成非晶硅薄膜晶体管以及在所述周边区形成低温多晶硅结构。

10、根据权利要求 9 所述的阵列基板的制造方法，其特征在于，所述低温多晶硅结构包括低温多晶硅薄膜晶体管。

11、根据权利要求 10 所述的阵列基板的制造方法，其特征在于，在所述像素区形成所述非晶硅薄膜晶体管的栅极、非晶硅有源层图形、源极和漏极，以及在所述周边区形成所述低温多晶硅薄膜晶体管的低温多晶硅有源层图形、栅极和源漏极图形，其中，所述非晶硅有源层图形和所述低温多晶硅有源层图形同层形成。

12、根据权利要求 11 所述的阵列基板的制造方法，其特征在于，包括：

在所述像素区的衬底基板上形成所述非晶硅薄膜晶体管的栅极；

在所述非晶硅薄膜晶体管的栅极的上方形成栅绝缘层，该栅绝缘层覆盖整个衬底基板；

在所述栅绝缘层上方，在所述像素区形成非晶硅有源层图形以及在所述周边区形成低温多晶硅图形；

在所述低温多晶硅图形的上方形成栅绝缘图形；

在所述栅绝缘图形的上方形成所述低温多晶硅薄膜晶体管的栅极；

对所述低温多晶硅图形进行掺杂处理，形成所述低温多晶硅有源层图形；

在所述非晶硅有源层图形的上方形成所述非晶硅薄膜晶体管的源极和漏极，以及在所述低温多晶硅有源层图形的上方形成所述低温多晶硅薄膜晶体管的源漏极图形。

13、根据权利要求 12 所述的阵列基板的制造方法，其特征在于，在所述像素区形成非晶硅有源层图形以及在所述周边区形成低温多晶硅图形的步骤包括：

5 在所述栅绝缘层的上方形成非晶硅材料层，该非晶硅材料层覆盖整个衬底基板；

 通过防紫外线基板对所述像素区进行遮挡，以对位于所述周边区的非晶硅材料层进行激光晶化处理，从而在所述周边区形成低温多晶硅材料层；

10 对位于所述像素区的非晶硅材料层和位于所述周边区的低温多晶硅材料层进行构图处理，以在所述像素区形成非晶硅图形以及在所述周边区形成低温多晶硅图形；

 在所述像素区的非晶硅图形上方形成 N+非晶硅图形，从而在所述像素区形成非晶硅有源层图形。

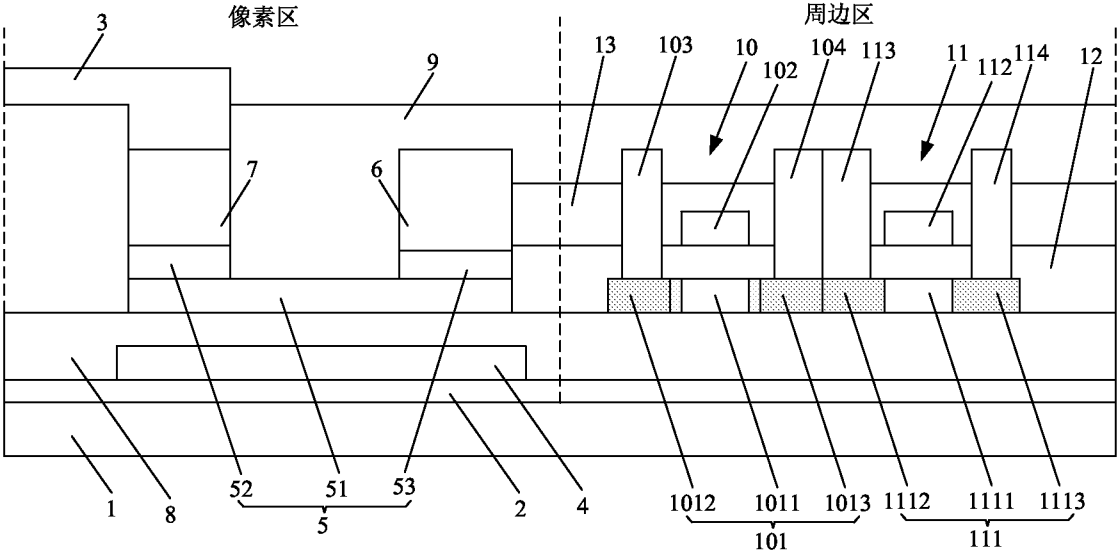


图 1

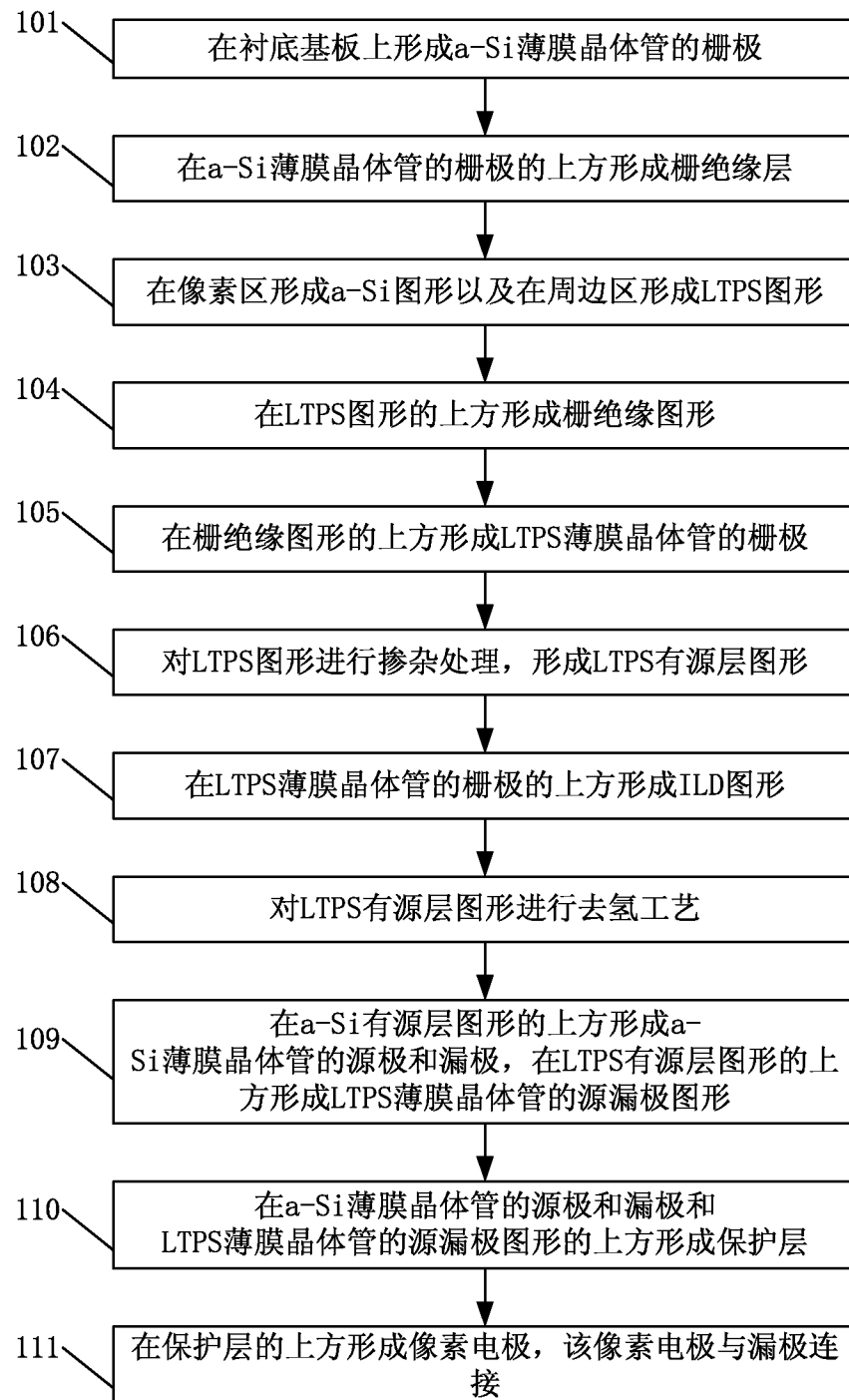


图 2

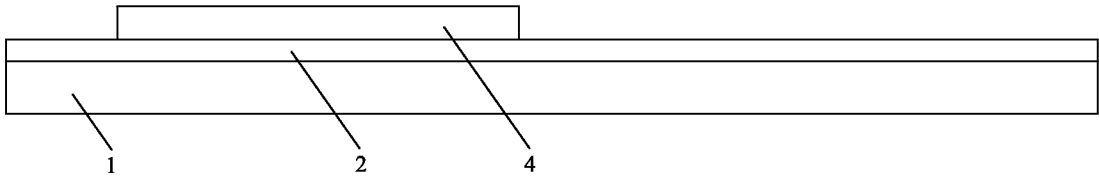


图 3a

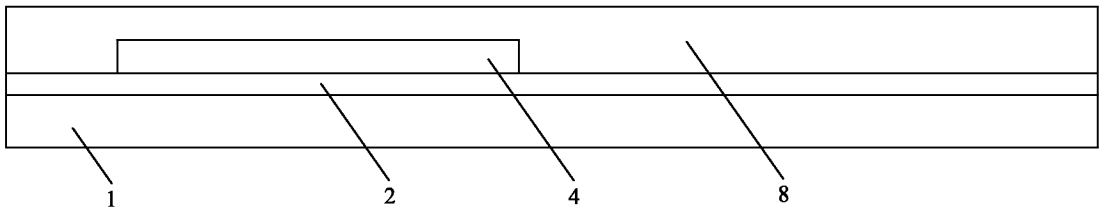


图 3b

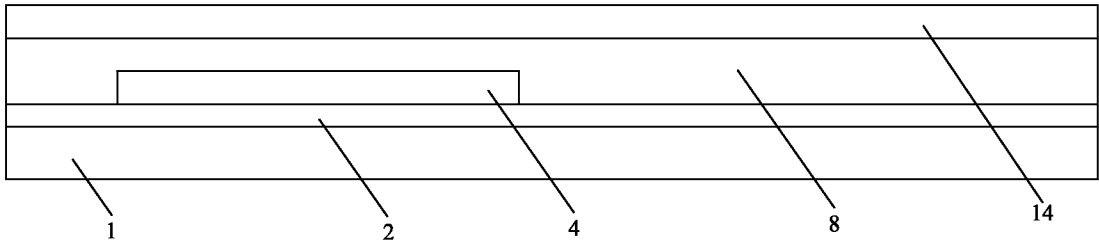


图 3c

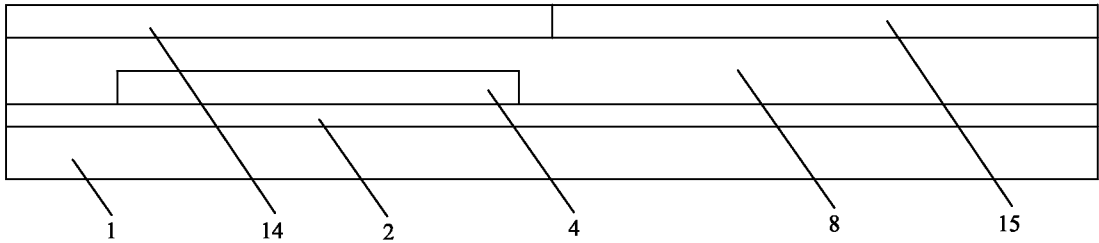


图 3d

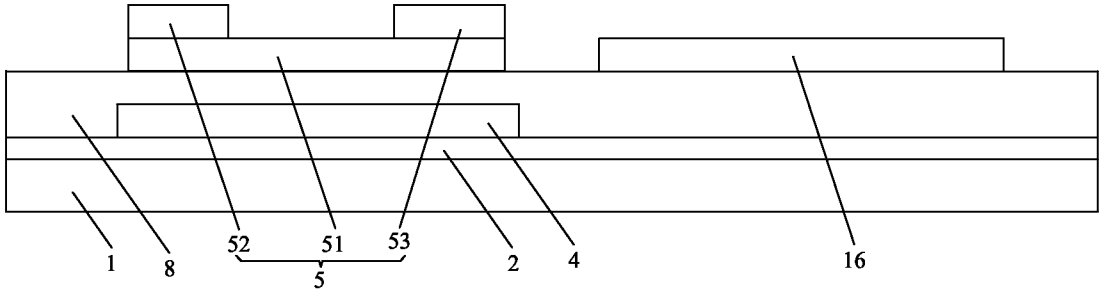


图 3e

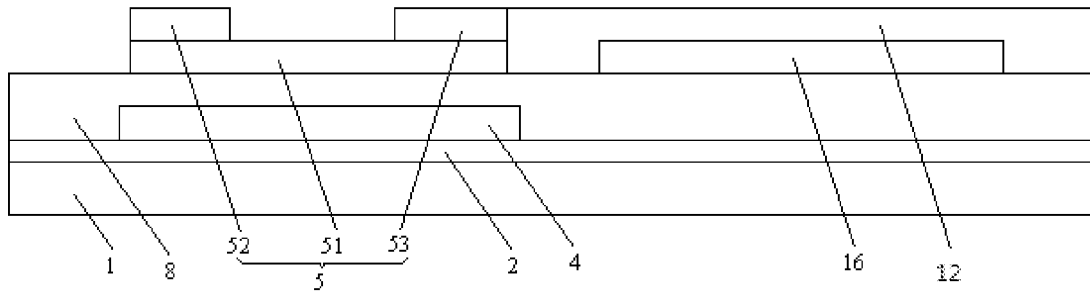


图 3f

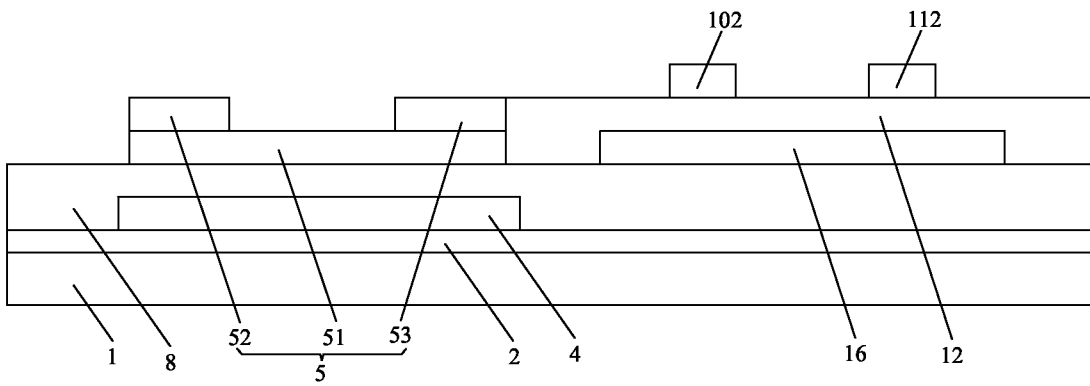


图 3g

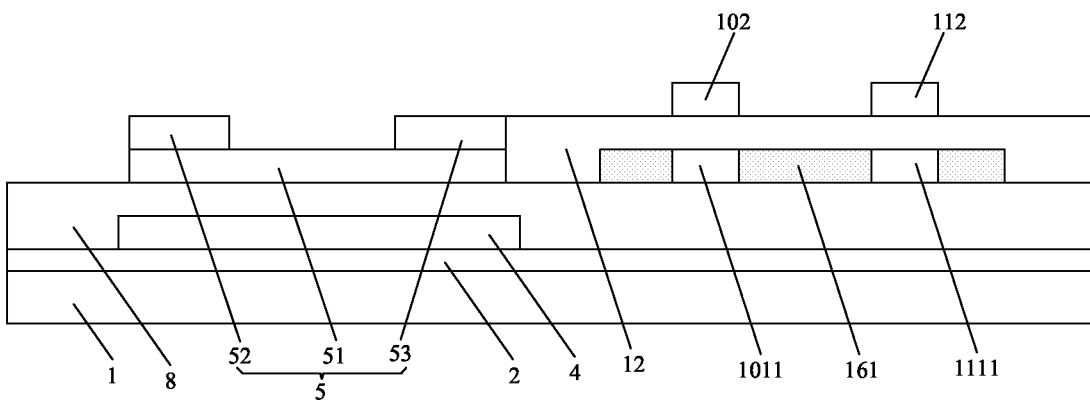


图 3h

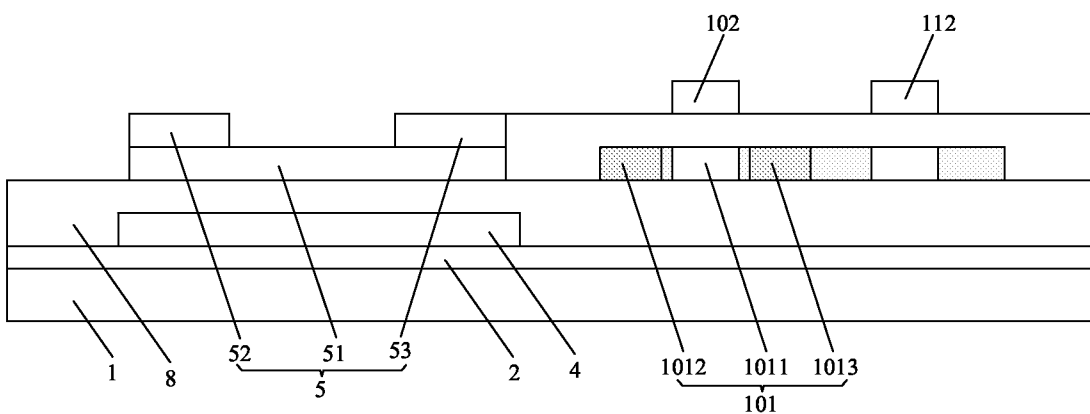


图 3i

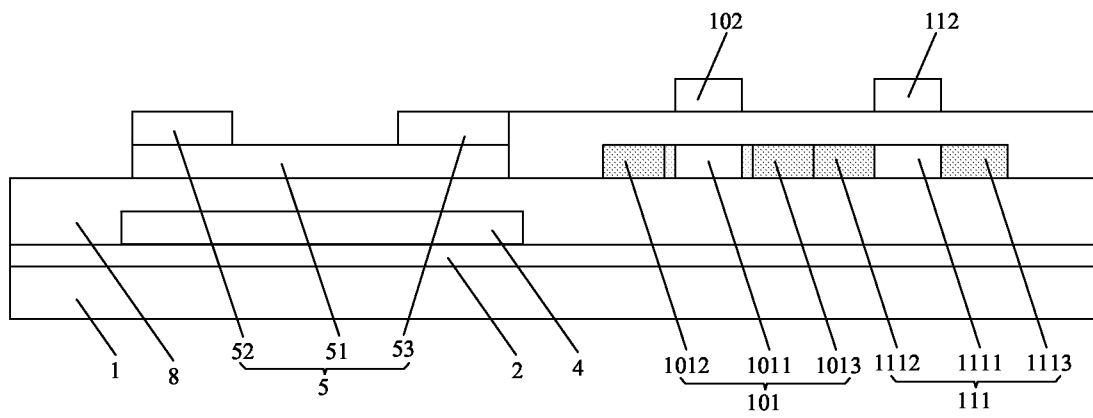


图 3j

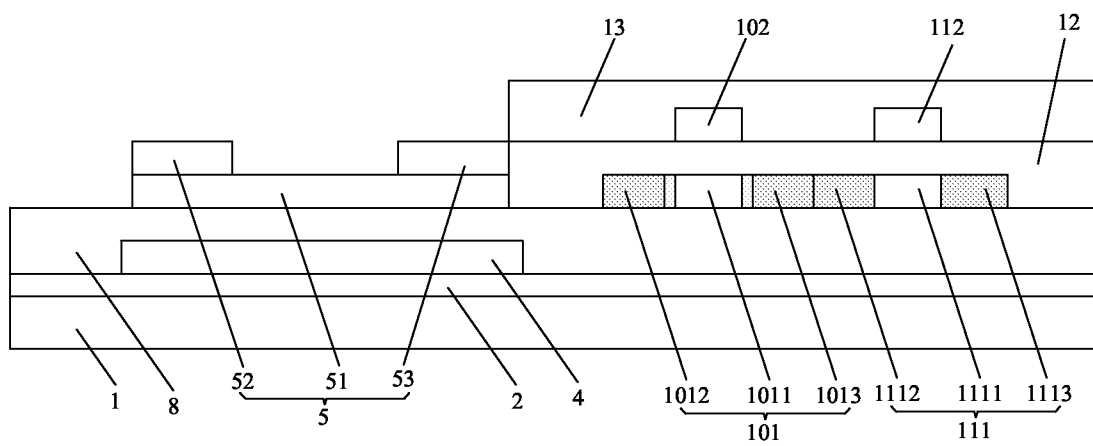


图 3k

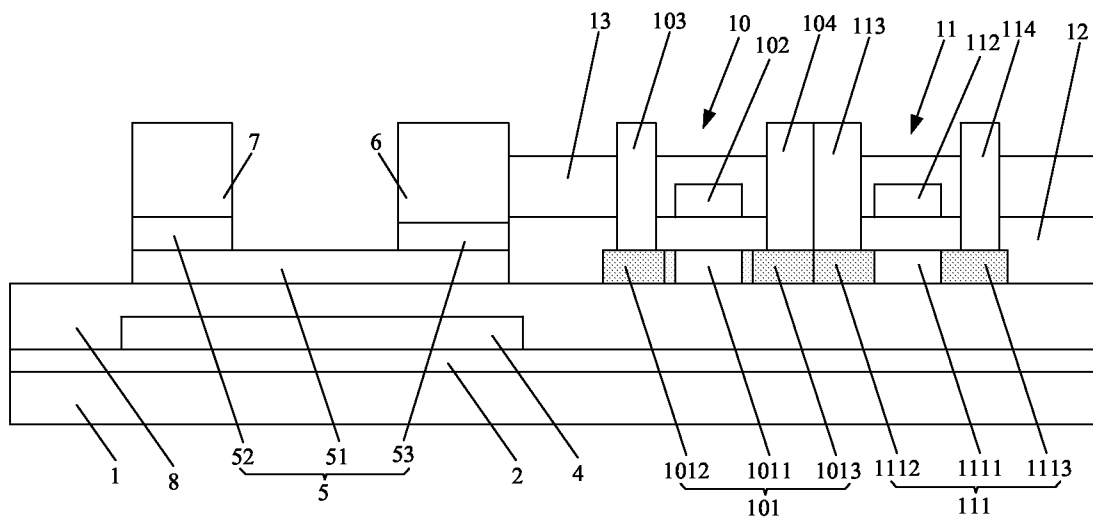


图 31

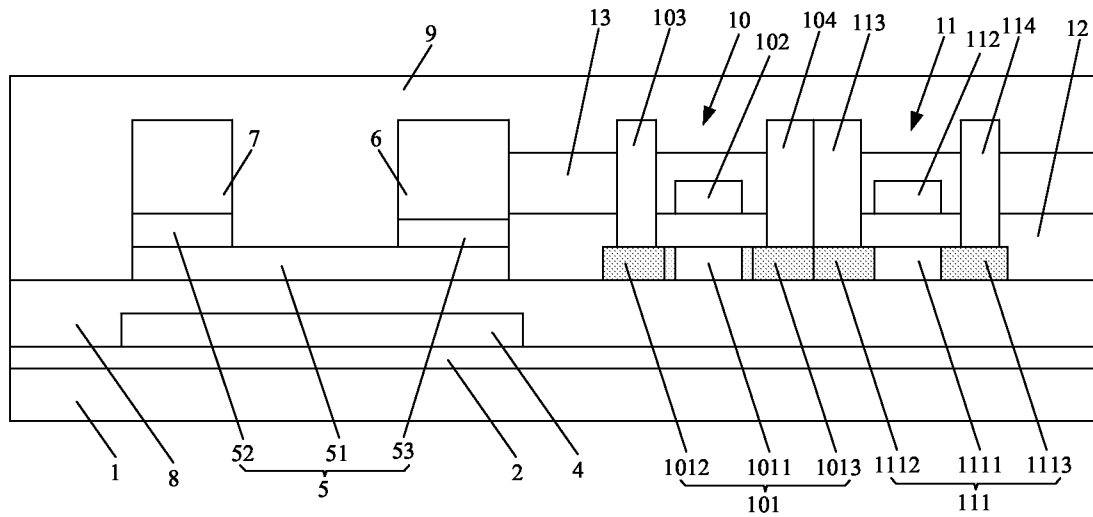


图 3m

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/088312

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/-; H01L 27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, CNTXT, CNABS, VEN, USTXT: liquid crystal, substrate, active, polysilicon, pixel area, around, amorphous silicon, low temperature polysilicon, drain, top-gate, source, N+, G02F, display area; LCD, gate, scan, silicon, low temperature, LTPS, pixel, display, surrounding

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101414638 A (HITACHI DISPLAY LTD.), 22 April 2009 (22.04.2009), description, page 5, and figures 1 and 7-10	1-13
Y	CN 101165907 A (HITACHI DISPLAY LTD.), 23 April 2008 (23.04.2008), description, page 2, and figures 2-10	1-13
E	CN 203386754 U (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 January 2014 (08.01.2014), the whole document	1-13
A	CN 101355090 A (AU OPTRONICS CORP.), 28 January 2009 (28.01.2009), the whole document	1-13
A	CN 1441501 A (HITACHI LTD.), 10 September 2003 (10.09.2003), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 April 2014 (29.04.2014)	Date of mailing of the international search report 09 June 2014 (09.06.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YUAN, Jiali Telephone No.: (86-10) 62414465

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/088312

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101414638 A	22 April 2009	US 2009095957 A1	16 April 2009
		CN 101414638 B	01 December 2010
		JP 2009099636 A	07 May 2009
CN 101165907 A	23 April 2008	CN 100592524 C	24 February 2010
		JP 2008103609 A	01 May 2008
		JP 5090708 B2	05 December 2012
		US 2008093602 A1	24 April 2008
		US 8482003 B2	09 July 2013
CN 203386754 U	08 January 2014	None	
CN 101355090 A	28 January 2009	CN 101355090 B	29 August 2012
CN 1441501 A	10 September 2003	JP 2003324201 A	14 November 2003
		US 2003160283 A1	28 August 2003
		CN 1241269 C	08 February 2006
		KR 100480412 B1	06 April 2005
		TW 560074 B	01 November 2003
		KR 20030070807 A	02 September 2003

国际检索报告

国际申请号

PCT/CN2013/088312

A. 主题的分类

H01L 21/77 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L 21/-;H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, CNTXT, CNABS, VEN, USTXT:液晶, 栅, 基板, 有源, 多晶硅, 像素区, 周围, 非晶硅, 低温多晶硅, 漏, 顶栅, 源, 像素, 周边, 低温, 显示, N+, G02F, 显示区;LCD, gate, scan, silicon, low temperature, LTPS, pixel. display, surrounding

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 101414638A (株式会社日立显示器) 2009年 4月 22日 (2009 - 04 - 22) 说明书第5页、图1, 7-10	1-13
Y	CN 101165907A (株式会社日立显示器) 2008年 4月 23日 (2008 - 04 - 23) 说明书第2页、图2-10	1-13
E	CN 203386754U (北京京东方光电科技有限公司) 2014年 1月 08日 (2014 - 01 - 08) 全文	1-13
A	CN 101355090A (友达光电股份有限公司) 2009年 1月 28日 (2009 - 01 - 28) 全文	1-13
A	CN 1441501A (株式会社日立制作所) 2003年 9月 10日 (2003 - 09 - 10) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 4月 29日

国际检索报告邮寄日期

2014年 6月 09日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

苑佳丽

电话号码 (86-10)62414465

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/088312

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 101414638A	2009年 4月 22日	US 2009095957A1	2009年 4月 16日
		CN 101414638B	2010年 12月 01日
		JP 2009099636A	2009年 5月 07日
CN 101165907A	2008年 4月 23日	CN 100592524C	2010年 2月 24日
		JP 2008103609A	2008年 5月 01日
		JP 5090708B2	2012年 12月 05日
		US 2008093602A1	2008年 4月 24日
		US 8482003B2	2013年 7月 09日
CN 203386754U	2014年 1月 08日	无	
CN 101355090A	2009年 1月 28日	CN 101355090B	2012年 8月 29日
CN 1441501A	2003年 9月 10日	JP 2003324201A	2003年 11月 14日
		US 2003160283A1	2003年 8月 28日
		CN 1241269C	2006年 2月 08日
		KR 100480412B1	2005年 4月 06日
		TW 560074B	2003年 11月 01日
		KR 20030070807A	2003年 9月 02日

表 PCT/ISA/210 (同族专利附件) (2009年7月)