【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成25年3月28日(2013.3.28)

【公表番号】特表2012-521610(P2012-521610A)
【公表日】平成24年9月13日(2012.9.13)
【年通号数】公開・登録公報2012-037
【出願番号】特願2012-502133(P2012-502133)
【国際特許分類】
Ｇ０６Ｆ　9/46　(2006.01)
Ｇ０６Ｆ　9/50　(2006.01)
Ｇ０６Ｆ　12/10　(2006.01)
【ＦＩ】
Ｇ０６Ｆ　9/46　３５０
Ｇ０６Ｆ　9/46　４６２Ａ
Ｇ０６Ｆ　12/10　５５３Ｂ

【手続補正書】
【提出日】平成25年2月5日(2013.2.5)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
仮想マシンをインスタンス化するためのリクエストを受信するステップであって前記リクエストが、前記仮想マシンに関する特性を含んでいるものと、
前記特性に基づいて、前記仮想マシンに関する仮想非一様メモリ・アーキテクチャ（ＮＵＭＡ：Non-Uniform Memory Architecture）ノードトポロジーを選択するステップであって前記仮想ＮＵＭＡノードトポロジーが、複数の仮想ＮＵＭＡノードを含んでいるものと、
前記仮想マシンを計算機システム上でインスタンス化するステップであって前記仮想マシンが、前記複数の仮想ＮＵＭＡノードを含んでいるものと、
前記複数の仮想ＮＵＭＡノードの内の特定の仮想ＮＵＭＡノードにおけるメモリー圧力に基づいて、前記特定の仮想ＮＵＭＡノードに割り当てられるゲストメモリー容量を調整するステップと、を含む方法。
【請求項２】
更に、
前記複数の仮想ＮＵＭＡノードの内の第２の仮想ＮＵＭＡノードにおけるメモリー圧力が所定の値よりも大きいことを決定するステップと、
前記第２のＮＵＭＡノードを前記計算機システムの第２の仮想ＮＵＭＡノードへ移動させるステップと、を含む請求項１記載の方法。
【請求項３】
前記ゲストメモリー容量を調整するステップが更に、
ゲストメモリーの少なくとも１つのメモリーブロックを前記特定の仮想ＮＵＭＡノードからデコミットするステップと、
前記ゲストメモリーの少なくとも１つのデコミットされたメモリーブロックを第２の仮想ＮＵＭＡノードへコミットするステップと、を含むことを特徴とする請求項１記載の方法。

【請求項４】
前記ゲストメモリー容量を調整するステップが更に、
前記特定の仮想ＮＵＭＡノードの少なくとも１つのゲストメモリーブロックがシステムメモリーと分離されていることを決定するステップと、
前記ゲストメモリーの少なくとも１つのメモリーブロックをシステムメモリーの少なくとも１つのメモリーブロック上へマッピングするステップと、を含むことを特徴とする請求項１記載の方法。
【請求項５】
更に、
前記特定の仮想ＮＵＭＡノードを前記計算機システムの第１のＮＵＭＡノード上へマッピングするステップと、
前記特定の仮想ＮＵＭＡノードを前記計算機システムの第２のＮＵＭＡノード上へ移動させるステップと、を含む請求項１記載の方法。
【請求項６】
更に、
仮想プロセッサーを特定の前記仮想ＮＵＭＡノードに追加するステップを含む請求項１記載の方法。
【請求項７】
更に、
前記仮想マシンの仮想プロセッサーと、論理プロセッサーに割り当てられた前記仮想プロセッサーと、ＮＵＭＡノードに割り当てられ前記論理プロセッサーと、及び前記複数の仮想ＮＵＭＡノードの内の１つに割り当てられた前記仮想プロセッサーと、を実行するためのリクエストを受信するステップと、
前記論理プロセッサーが前記仮想プロセッサーを実行不可能なことを決定するステップと、
前記仮想プロセッサーを実行する第２の論理プロセッサーを選択するステップであって前記第２の論理プロセッサーが、第２のＮＵＭＡノードから提供されているもの、を含む請求項１記載の方法。
【請求項８】
仮想マシンを実行するための回路であって前記仮想マシンが、複数の仮想非一様メモリ・アーキテクチャ（ＮＵＭＡ：Non-Uniform Memory Architecture）ノードを含むトポロジーを有しており、前記仮想マシンの前記トポロジーが、前記計算機システムの物理トポロジーから独立して生成されるものと、
前記複数の仮想ＮＵＭＡノードの内の仮想ＮＵＭＡノードそれぞれにおけるメモリー圧力を決定するための回路と、
前記複数の仮想ＮＵＭＡノードの内の仮想ＮＵＭＡノードそれぞれにおける前記メモリー圧力に基づいて、前記複数の仮想ＮＵＭＡノードの少なくとも１つに割り当てられるゲストメモリーを調整するための回路と、を含む計算機システム。
【請求項９】
更に、
前記仮想マシンを第２の計算機システムへ送信するための回路を含む請求項８記載の計算機システム。
【請求項１０】
更に、
前記複数の仮想ＮＵＭＡノードの内の第１の仮想ＮＵＭＡノードを前記計算機システムの第１のＮＵＭＡノード上へマッピングするための回路と、
前記複数の仮想ＮＵＭＡノードの内の第２の仮想ＮＵＭＡノードを前記計算機システムの前記第１のＮＵＭＡノード上へマッピングするための回路と、を含む請求項８記載の計算機システム。
【請求項１１】

更に、
前記複数の仮想ＮＵＭＡノードの内の第１の仮想ＮＵＭＡノードを前記計算機システムの第１のＮＵＭＡノード上へマッピングするための回路と、
前記複数の仮想ＮＵＭＡノードの内の第２の仮想ＮＵＭＡノードを前記計算機システムの第２のＮＵＭＡノード上へマッピングするための回路と、を含む請求項８記載の計算機システム。
【請求項１２】
更に、
前記第２の仮想ＮＵＭＡノードにおけるメモリー圧力が所定の値よりも大きいことを決定するための回路と、
前記第２の仮想ＮＵＭＡノードを前記計算機システムの第２のＮＵＭＡノードへ移動させるための回路と、を含む請求項１０記載の計算機システム。
【請求項１３】
更に、
前記第２の仮想ＮＵＭＡノードのメモリー圧力が所定の値よりも大きいことを決定するための回路と、
前記仮想マシンの前記第２の仮想ＮＵＭＡノードを前記計算機システムの前記第１のＮＵＭＡノードへ移動させるための回路と、を含む請求項１１記載の計算機システム。
【請求項１４】
プロセッサー実行可能命令を含む計算機可読記憶媒体であって、
第１の仮想マシンを実行するための命令であって前記仮想マシンが、複数の仮想非一様メモリ・アーキテクチャ（ＮＵＭＡ：Non-Uniform Memory Architecture）ノードを含むトポロジーを有しており、前記複数の仮想ＮＵＭＡノードの内の仮想ＮＵＭＡノードそれぞれが、仮想プロセッサー及びゲスト物理アドレスを含んでおり、前記仮想マシンの前記トポロジーが、計算機システムの前記物理トポロジーから独立して生成されるものと、
前記第１の仮想マシンのランタイム実行中に、増設の仮想プロセッサーを前記複数の仮想ＮＵＭＡノードの内の仮想ＮＵＭＡノードに追加するための命令と、を含む前記計算機可読記憶媒体。
【請求項１５】
更に、
前記複数の仮想ＮＵＭＡノードの内の仮想ＮＵＭＡノードそれぞれにおけるメモリー圧力を決定するための命令と、
前記複数の仮想ＮＵＭＡノードの内の仮想ＮＵＭＡノードそれぞれにおける前記メモリー圧力に基づいて、複数の仮想ＮＵＭＡノードの内の仮想ＮＵＭＡノードの少なくとも１つに割り当てられるゲストメモリーを調整するための命令と、を含む請求項１４記載の計算機可読記憶媒体。
【請求項１６】
更に、
前記複数の仮想ＮＵＭＡノードの内の仮想ＮＵＭＡノードから仮想プロセッサーを移動するための命令を含む請求項１４記載の計算機可読記憶媒体。
【請求項１７】
更に、
前記複数の仮想ＮＵＭＡノードに関するＮＵＭＡ比をゲストオペレーティングシステムへ報告するための命令を含む請求項１４記載の計算機可読記憶媒体。
【請求項１８】
更に、
前記仮想マシンを第１のＮＵＭＡノードから複数のＮＵＭＡノードへ移動させるための命令を含む請求項１４記載の計算機可読記憶媒体。
【請求項１９】
前記ゲストメモリーを調整するための前記命令が更に、

前記複数の仮想ＮＵＭＡノードの内の第１の仮想ＮＵＭＡノードの現在の前記メモリー圧力が目標の閾値よりも低いという決定に基づいて、前記第１の仮想ＮＵＭＡノードからメモリーをデコミットするための命令を含むことを特徴とする請求項１５記載の計算機可読記憶媒体。

【請求項２０】

前記ゲストメモリーを調整するための前記命令が更に、

前記ゲストオペレーティングシステムの現在のメモリー圧力が目標の閾値よりも大きいという決定に基づいて、前記複数の仮想ＮＵＭＡノードの内の第１の仮想ＮＵＭＡノードへメモリーをコミットするための命令を含むことを特徴とする請求項１５記載の計算機可読記憶媒体。