

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-538536

(P2004-538536A)

(43) 公表日 平成16年12月24日(2004.12.24)

(51) Int.Cl.<sup>7</sup>**G06F 12/12****G06F 12/08**

F 1

G06F 12/12

G06F 12/12

G06F 12/08

503

551

507G

テーマコード(参考)

5B005

審査請求 未請求 予備審査請求 有 (全 27 頁)

(21) 出願番号 特願2001-550561 (P2001-550561)  
 (86) (22) 出願日 平成12年11月27日 (2000.11.27)  
 (85) 翻訳文提出日 平成14年6月28日 (2002.6.28)  
 (86) 國際出願番号 PCT/US2000/042305  
 (87) 國際公開番号 WO2001/050269  
 (87) 國際公開日 平成13年7月12日 (2001.7.12)  
 (31) 優先権主張番号 09/476,444  
 (32) 優先日 平成11年12月30日 (1999.12.30)  
 (33) 優先権主張国 米国(US)

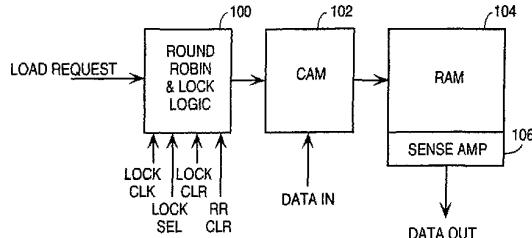
(71) 出願人 591003943  
 インテル・コーポレーション  
 アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション・カレッジ ブーレバード・2200  
 (74) 代理人 100091915  
 弁理士 本城 雅則  
 (74) 代理人 100099106  
 弁理士 本城 吉子  
 (72) 発明者 クラーク, ローレンス・ティー  
 アメリカ合衆国 アリゾナ州 85048  
 フェニックス イースト・デザート・ウェイ・ロード 3161

最終頁に続く

(54) 【発明の名称】ラウンド・ロビンおよびロックング・キャッシュの置換法を実行する方法および装置

## (57) 【要約】

本発明は、キャッシュ置換法に関するものである。第1の複数のレジスタは、特定のキャッシュ・ラインと関連して互いにデイジー・チェイン状に結合される。同様に、第2の複数のレジスタが特定のキャッシュ・ラインと関連して互いにデイジー・チェイン状に結合される。第1のデイジー・チェインは、キャッシュ・ラインのフィル命令(`fill order`)を定義し、また第2のデイジー・チェインは、キャッシュ・ラインのロック命令(`lock order`)を定義する。



**【特許請求の範囲】****【請求項 1】**

第1シフト・レジスタと共に結合された第1の複数のラッチであって、前記第1の複数のラッチの各々はキャッシュのラインと関連付けられ、前記レジスタは前記キャッシュのラインに対しファイル命令を定義する、第1の複数のラッチと、

第2シフト・レジスタと共に結合された第2の複数のラッチであって、前記第2の複数のラッチの各々はキャッシュ・ラインと関連付けられ、前記レジスタは前記キャッシュのラインに対しロック命令を定義する、第2の複数のラッチと、

から構成されることを特徴とする装置。

**【請求項 2】**

前記第1の複数のラッチの第1開始レジスタの出力を増幅し、前記第1の複数のラッチにおける他の各レジスタに対する入力を駆動するバッファをさらに含むことを特徴とする請求項1記載の装置。 10

**【請求項 3】**

前記第1の複数のラッチにおける他の各レジスタは前記複数のラッチにおけるその後続に対する入力を駆動することを特徴とする請求項2記載の装置。

**【請求項 4】**

前記第1の複数のラッチおよび前記第2の複数のラッチは、数において異なっていることを特徴とする請求項1記載の装置。

**【請求項 5】**

前記第1の複数のラッチの第1開始レジスタは、キャッシュ・ラインと関連付けられ、第2キャッシュ・ラインのアドレスと最大の差異を有するアドレスは前記第2の複数のラッチの第2開始レジスタと関連付けられることを特徴とする請求項1記載の装置。 20

**【請求項 6】**

第2ファイル・ラインが次のロック・ラインと同じ拡がりとなるように前記第1および第2の複数のラッチを結合する結合論理をさらに含むことを特徴とする請求項5記載の装置。

**【請求項 7】**

前記第1の複数のラッチの1つのラッチのみが3より大きいファンアウトを有することを特徴とする請求項1記載の装置。

**【請求項 8】**

前記キャッシュは、変換索引バッファ(translation lookaside buffer: T L B)であることを特徴とする請求項1記載の装置。 30

**【請求項 9】**

ロックされるべきラインは、先行するロック・レジスタ・ビットにおける論理1と現在ビットの論理0との一致によって決定されることを特徴とする請求項1記載の装置。

**【請求項 10】**

前記第1シフト・レジスタは循環バッファとして構成されることを特徴とする請求項1記載の装置。

**【請求項 11】**

前記第1シフト・レジスタにおける循環シフトの長さは、前記第2シフト・レジスタ中のビットを設定することにより決定されることを特徴とする請求項10記載の装置。 40

**【請求項 12】**

各ラッチは、マスター・スレイブ・フリップフロップを含むことを特徴とする請求項1記載の装置。

**【請求項 13】**

連想記憶装置のアレイ(CAM)と、

前記CAMに結合されたランダム・アクセス・メモリ(RAM)と、

前記CAMに結合され、前記RAM中の非ロック・ラインに対するラウンド・ロビン置換法を実行している間、前記CAMに前記RAMの特定のラインをロックさせる制御論理と

から構成されることを特徴とするシステム。

【請求項 1 4】

前記制御論理は、

デイジー・チェイン状に共に結合された第1の複数のラッチであって、前記複数のラッチの各々は前記RAMのラインと関連付けられ、前記デイジー・チェインは前記RAMのラインに対しファイル命令を定義する、第1の複数のラッチと、

デイジー・チェイン状に共に結合された第2の複数のラッチであって、前記第2の複数のラッチの各レジスタはキャッシュ・ラインと関連付けられ、前記デイジー・チェインは前記キャッシュ・ラインに対しロック命令を定義する、第2の複数のラッチと、

から構成されることを特徴とする請求項13記載のシステム。

10

【請求項 1 5】

ロック開始ラインを定義する段階と、

ファイル開始ラインおよび前記ロック開始ラインからの距離を定義する段階と、

ロックが転送される時間毎にファイル・ポインタを前記ファイル開始ラインにリセットする段階と、

から構成される方法。

【請求項 1 6】

転送されるロック・ラインに応答して、ライン1を前記ファイル開始ラインにより近くに表示するためにロック・インジケータを変更する段階をさらに含むことを特徴とする請求項15記載の方法。

20

【請求項 1 7】

前記ファイル開始ラインを第1ファイルに満たす段階と、

前記ロック開始ラインに最も近い非ロック・ラインを第2ファイルに満たす段階と、

から構成されることを特徴とする請求項15記載の方法。

【請求項 1 8】

実行時に、デジタル処理システムを稼動させる実行可能なコンピュータ・プログラムの命令を収容するコンピュータの読み取り可能な格納媒体において、

ロック・データをキャッシュ・ラインへ転送するキャッシュ内のロック・モードを初期化する段階と、

前記キャッシュ・ラインをロックする段階と、

前記キャッシュをファイル・モードに戻す段階と、

から構成される方法。

30

【発明の詳細な説明】

【発明の属する技術分野】

本願発明は、キャッシュ置換法に関するものである。さらに詳しくは、本願発明は結合型ラウンド・ロビン・キャッシュ置換およびキャッシュ・ラインのロッキング法に関するものである。

【従来の技術】

新しいデータ・セットがキャッシュから転送される場合、どんなデータが置き換えられるかを定義する様々な方法が存在する。直接マップ法における1つの好ましい方法は、最低使用頻度 (least recently used: LRU) 方式である。最低使用頻度方式では、その名前が暗示するように、最低の使用頻度であるデータのブロックがあらゆる入力データと置き換えられる。コンピュータ・ソフトウェアの実行およびデータの使用に共通した基準となる位置を占めるために、この方式はかなり効果的なキャッシュ置換法であるように思われた。しかしながら、セット・アソシエイティブ性 (set associativity) が増大するにつれて、LRU方式に対する複雑さおよびオーバヘッドが、ハードウェア条件への強化要求となり、このような方式に対する魅力を減退させていている。

さらに、別々のデコーダを具備しない連想記憶装置 (content addressable memory) (CAM) ベースのキャッシュでは、高いセット・アソシエイテ

40

50

イブ性が達成され、どこへファイル・データ (f i l l d a t a) を書き込むべきかを識別することは極めて問題となってくる。使用されている1つの可能な解決法は、ラウンド・ロビン・キャッシュ置換法 (r o u n d r o b i n r e p l a c e m e n t s c h e m e) であるが、循環シフト・レジスタが転送されるべきラインを識別するループを形成する。これは、最も古いデータをキャッシュに退避させる効果をもつが、その置換は使用頻度とは全く独立している。このように、それは極めて大量のキャッシュ・スラッシング (c a c h e t h r a sh i n g) の原因となる。

データがキャッシュから早まって追い出されるのを防止するいくつかの方法は、経路をロックするのを許容することであった。これらのシステムは、多くの細分性 (g r a n u l a r i t y) を提供することができなかった。例えば、双方向キャッシュでは、たとえ保持されるべきデータのブロックが比較的小さくても、キャッシュの半分がロックされるであろう。これは、しばしば非効率なキャッシュの使用となる。10

#### 【発明の概要】

第1の複数のラッチが、レジスタを形成して互いにデイジー・チェイン (いもずる) 状に結合され、各ラッチは特定のキャッシュ・ラインと結合される。同様に、第2の複数のラッチが、互いにデイジー・チェイン状に結合され、各ラッチはキャッシュ・ラインと結合される。第1レジスタはキャッシュ・ラインのフィル命令 (f i l l o r d e r) を定義し、また第2レジスタはキャッシュ・ラインのロック命令 (l o c k o r d e r) を定義する。

#### 【好適な実施例の詳細な説明】

図1は、本願発明の一実施例のプロック図である。連想記憶装置のアレイ (C A M) 1 0 2は、ランダム・アクセス・メモリ装置 (R A M) 1 0 4ヘアドレスを指定するために用いられる。C A M 1 0 2およびR A M 1 0 4の結合によって、典型的には、例えばキャッシュとなり、ある実施例において特定すればレベル・ゼロ・キャッシュとなり、あるいは別の実施例で可能であるなら変換索引バッファ (t r a n s l a t i o n l o o k a s i d e b u f f e r : T L B) となる。いずれの場合でも、C A M 1 0 2は対応する入力に応じたアドレスを含み、これは前の例ではコードまたはデータのラインであり、後の例ではページ・テーブルの入力である。C A M入力内に収容されたデータは、いずれの例においても、「タグ」入力と呼ばれる。ラウンド・ロビンおよびロック論理 1 0 0のよう 20  
30  
40  
50  
60  
70  
80  
90  
100  
110  
120  
130  
140  
150  
160  
170  
180  
190  
200  
210  
220  
230  
240  
250  
260  
270  
280  
290  
300  
310  
320  
330  
340  
350  
360  
370  
380  
390  
400  
410  
420  
430  
440  
450  
460  
470  
480  
490  
500  
510  
520  
530  
540  
550  
560  
570  
580  
590  
600  
610  
620  
630  
640  
650  
660  
670  
680  
690  
700  
710  
720  
730  
740  
750  
760  
770  
780  
790  
800  
810  
820  
830  
840  
850  
860  
870  
880  
890  
900  
910  
920  
930  
940  
950  
960  
970  
980  
990  
1000  
1010  
1020  
1030  
1040  
1050  
1060  
1070  
1080  
1090  
1100  
1110  
1120  
1130  
1140  
1150  
1160  
1170  
1180  
1190  
1200  
1210  
1220  
1230  
1240  
1250  
1260  
1270  
1280  
1290  
1300  
1310  
1320  
1330  
1340  
1350  
1360  
1370  
1380  
1390  
1400  
1410  
1420  
1430  
1440  
1450  
1460  
1470  
1480  
1490  
1500  
1510  
1520  
1530  
1540  
1550  
1560  
1570  
1580  
1590  
1600  
1610  
1620  
1630  
1640  
1650  
1660  
1670  
1680  
1690  
1700  
1710  
1720  
1730  
1740  
1750  
1760  
1770  
1780  
1790  
1800  
1810  
1820  
1830  
1840  
1850  
1860  
1870  
1880  
1890  
1900  
1910  
1920  
1930  
1940  
1950  
1960  
1970  
1980  
1990  
2000  
2010  
2020  
2030  
2040  
2050  
2060  
2070  
2080  
2090  
2100  
2110  
2120  
2130  
2140  
2150  
2160  
2170  
2180  
2190  
2200  
2210  
2220  
2230  
2240  
2250  
2260  
2270  
2280  
2290  
2300  
2310  
2320  
2330  
2340  
2350  
2360  
2370  
2380  
2390  
2400  
2410  
2420  
2430  
2440  
2450  
2460  
2470  
2480  
2490  
2500  
2510  
2520  
2530  
2540  
2550  
2560  
2570  
2580  
2590  
2600  
2610  
2620  
2630  
2640  
2650  
2660  
2670  
2680  
2690  
2700  
2710  
2720  
2730  
2740  
2750  
2760  
2770  
2780  
2790  
2800  
2810  
2820  
2830  
2840  
2850  
2860  
2870  
2880  
2890  
2900  
2910  
2920  
2930  
2940  
2950  
2960  
2970  
2980  
2990  
3000  
3010  
3020  
3030  
3040  
3050  
3060  
3070  
3080  
3090  
3100  
3110  
3120  
3130  
3140  
3150  
3160  
3170  
3180  
3190  
3200  
3210  
3220  
3230  
3240  
3250  
3260  
3270  
3280  
3290  
3300  
3310  
3320  
3330  
3340  
3350  
3360  
3370  
3380  
3390  
3400  
3410  
3420  
3430  
3440  
3450  
3460  
3470  
3480  
3490  
3500  
3510  
3520  
3530  
3540  
3550  
3560  
3570  
3580  
3590  
3600  
3610  
3620  
3630  
3640  
3650  
3660  
3670  
3680  
3690  
3700  
3710  
3720  
3730  
3740  
3750  
3760  
3770  
3780  
3790  
3800  
3810  
3820  
3830  
3840  
3850  
3860  
3870  
3880  
3890  
3900  
3910  
3920  
3930  
3940  
3950  
3960  
3970  
3980  
3990  
4000  
4010  
4020  
4030  
4040  
4050  
4060  
4070  
4080  
4090  
4010  
4020  
4030  
4040  
4050  
4060  
4070  
4080  
4090  
4100  
4110  
4120  
4130  
4140  
4150  
4160  
4170  
4180  
4190  
4200  
4210  
4220  
4230  
4240  
4250  
4260  
4270  
4280  
4290  
4300  
4310  
4320  
4330  
4340  
4350  
4360  
4370  
4380  
4390  
4400  
4410  
4420  
4430  
4440  
4450  
4460  
4470  
4480  
4490  
4500  
4510  
4520  
4530  
4540  
4550  
4560  
4570  
4580  
4590  
4600  
4610  
4620  
4630  
4640  
4650  
4660  
4670  
4680  
4690  
4700  
4710  
4720  
4730  
4740  
4750  
4760  
4770  
4780  
4790  
4800  
4810  
4820  
4830  
4840  
4850  
4860  
4870  
4880  
4890  
4900  
4910  
4920  
4930  
4940  
4950  
4960  
4970  
4980  
4990  
5000  
5010  
5020  
5030  
5040  
5050  
5060  
5070  
5080  
5090  
5100  
5110  
5120  
5130  
5140  
5150  
5160  
5170  
5180  
5190  
5200  
5210  
5220  
5230  
5240  
5250  
5260  
5270  
5280  
5290  
5300  
5310  
5320  
5330  
5340  
5350  
5360  
5370  
5380  
5390  
5400  
5410  
5420  
5430  
5440  
5450  
5460  
5470  
5480  
5490  
5500  
5510  
5520  
5530  
5540  
5550  
5560  
5570  
5580  
5590  
5600  
5610  
5620  
5630  
5640  
5650  
5660  
5670  
5680  
5690  
5700  
5710  
5720  
5730  
5740  
5750  
5760  
5770  
5780  
5790  
5800  
5810  
5820  
5830  
5840  
5850  
5860  
5870  
5880  
5890  
5900  
5910  
5920  
5930  
5940  
5950  
5960  
5970  
5980  
5990  
6000  
6010  
6020  
6030  
6040  
6050  
6060  
6070  
6080  
6090  
6100  
6110  
6120  
6130  
6140  
6150  
6160  
6170  
6180  
6190  
6200  
6210  
6220  
6230  
6240  
6250  
6260  
6270  
6280  
6290  
6300  
6310  
6320  
6330  
6340  
6350  
6360  
6370  
6380  
6390  
6400  
6410  
6420  
6430  
6440  
6450  
6460  
6470  
6480  
6490  
6500  
6510  
6520  
6530  
6540  
6550  
6560  
6570  
6580  
6590  
6600  
6610  
6620  
6630  
6640  
6650  
6660  
6670  
6680  
6690  
6700  
6710  
6720  
6730  
6740  
6750  
6760  
6770  
6780  
6790  
6800  
6810  
6820  
6830  
6840  
6850  
6860  
6870  
6880  
6890  
6900  
6910  
6920  
6930  
6940  
6950  
6960  
6970  
6980  
6990  
7000  
7010  
7020  
7030  
7040  
7050  
7060  
7070  
7080  
7090  
7000  
7010  
7020  
7030  
7040  
7050  
7060  
7070  
7080  
7090  
7100  
7110  
7120  
7130  
7140  
7150  
7160  
7170  
7180  
7190  
7200  
7210  
7220  
7230  
7240  
7250  
7260  
7270  
7280  
7290  
7300  
7310  
7320  
7330  
7340  
7350  
7360  
7370  
7380  
7390  
7400  
7410  
7420  
7430  
7440  
7450  
7460  
7470  
7480  
7490  
7500  
7510  
7520  
7530  
7540  
7550  
7560  
7570  
7580  
7590  
7600  
7610  
7620  
7630  
7640  
7650  
7660  
7670  
7680  
7690  
7700  
7710  
7720  
7730  
7740  
7750  
7760  
7770  
7780  
7790  
7800  
7810  
7820  
7830  
7840  
7850  
7860  
7870  
7880  
7890  
7900  
7910  
7920  
7930  
7940  
7950  
7960  
7970  
7980  
7990  
8000  
8010  
8020  
8030  
8040  
8050  
8060  
8070  
8080  
8090  
8000  
8010  
8020  
8030  
8040  
8050  
8060  
8070  
8080  
8090  
8100  
8110  
8120  
8130  
8140  
8150  
8160  
8170  
8180  
8190  
8200  
8210  
8220  
8230  
8240  
8250  
8260  
8270  
8280  
8290  
8300  
8310  
8320  
8330  
8340  
8350  
8360  
8370  
8380  
8390  
8400  
8410  
8420  
8430  
8440  
8450  
8460  
8470  
8480  
8490  
8500  
8510  
8520  
8530  
8540  
8550  
8560  
8570  
8580  
8590  
8600  
8610  
8620  
8630  
8640  
8650  
8660  
8670  
8680  
8690  
8700  
8710  
8720  
8730  
8740  
8750  
8760  
8770  
8780  
8790  
8800  
8810  
8820  
8830  
8840  
8850  
8860  
8870  
8880  
8890  
8900  
8910  
8920  
8930  
8940  
8950  
8960  
8970  
8980  
8990  
9000  
9010  
9020  
9030  
9040  
9050  
9060  
9070  
9080  
9090  
9100  
9110  
9120  
9130  
9140  
9150  
9160  
9170  
9180  
9190  
9200  
9210  
9220  
9230  
9240  
9250  
9260  
9270  
9280  
9290  
9300  
9310  
9320  
9330  
9340  
9350  
9360  
9370  
9380  
9390  
9400  
9410  
9420  
9430  
9440  
9450  
9460  
9470  
9480  
9490  
9500  
9510  
9520  
9530  
9540  
9550  
9560  
9570  
9580  
9590  
9600  
9610  
9620  
9630  
9640  
9650  
9660  
9670  
9680  
9690  
9700  
9710  
9720  
9730  
9740  
9750  
9760  
9770  
9780  
9790  
9800  
9810  
9820  
9830  
9840  
9850  
9860  
9870  
9880  
9890  
9900  
9910  
9920  
9930  
9940  
9950  
9960  
9970  
9980  
9990  
10000  
10010  
10020  
10030  
10040  
10050  
10060  
10070  
10080  
10090  
10000  
10010  
10020  
10030  
10040  
10050  
10060  
10070  
10080  
10090  
10100  
10110  
10120  
10130  
10140  
10150  
10160  
10170  
10180  
10190  
10200  
10210  
10220  
10230  
10240  
10250  
10260  
10270  
10280  
10290  
10300  
10310  
10320  
10330  
10340  
10350  
10360  
10370  
10380  
10390  
10400  
10410  
10420  
10430  
10440  
10450  
10460  
10470  
10480  
10490  
10500  
10510  
10520  
10530  
10540  
10550  
10560  
10570  
10580  
10590  
10600  
10610  
10620  
10630  
10640  
10650  
10660  
10670  
10680  
10690  
10700  
10710  
10720  
10730  
10740  
10750  
10760  
10770  
10780  
10790  
10800  
10810  
10820  
10830  
10840  
10850  
10860  
10870  
10880  
10890  
10900  
10910  
10920  
10930  
10940  
10950  
10960  
10970  
10980  
10990  
11000  
11010  
11020  
11030  
11040  
11050  
11060  
11070  
11080  
11090  
11100  
11110  
11120  
11130  
11140  
11150  
11160  
11170  
11180  
11190  
11200  
11210  
11220  
11230  
11240  
11250  
11260  
11270  
11280  
11290  
11300  
11310  
11320  
11330  
11340  
11350  
11360  
11370  
11380  
11390  
11400  
11410  
11420  
11430  
11440  
11450  
11460  
11470  
11480  
11490  
11500  
11510  
11520  
11530  
11540  
11550  
11560  
11570  
11580  
11590  
11600  
11610  
11620  
11630  
11640  
11650  
11660  
11670  
11680  
11690  
11700  
11710  
11720  
11730  
11740  
11750  
11760  
11770  
11780  
11790  
11800  
11810  
11820  
11830  
11840  
11850  
11860  
11870  
11880  
11890  
11900  
11910  
11920  
11930  
11940  
11950  
11960  
11970  
11980  
11990  
12000  
12010  
12020  
12030  
12040  
12050  
12060  
12070  
12080  
12090  
12100  
12110  
12120  
12130  
12140  
12150  
12160  
12170  
12180  
12190  
12200  
12210  
12220  
12230  
12240  
12250  
12260  
12270  
12280  
12290  
12300  
12310  
12320  
12330  
12340  
12350  
12360  
12370  
12380  
12390  
12400  
12410  
12420  
12430  
12440  
12450  
12460  
12470  
12480  
12490  
12500  
12510  
12520  
12530  
12540  
12550  
12560  
12570  
12580  
12590  
12600  
12610  
12620  
12630  
12640  
12650  
12660  
12670  
12680  
12690  
12700  
12710  
12720  
12730  
12740  
12750  
12760  
12770  
12780  
12790  
12800  
12810  
12820  
12830  
12840  
12850  
12860  
12870  
12880  
12890  
12900  
12910  
12920  
12930  
12940  
12950  
12960  
12970  
12980  
12990  
13000  
13010  
13020  
13030  
13040  
13050  
13060  
13070  
13080  
13090  
13100  
13110  
13120  
13130  
13140  
13150  
13160  
13170  
13180  
13190  
13200  
13210  
13220  
13230  
13240  
13250  
13260  
13270  
13280  
13290  
13300  
13310  
13320  
13330  
13340  
13350  
13360  
13370  
13380  
13390  
13400  
13410  
13420  
13430  
13440  
13450  
13460  
13470  
13480  
13490  
13500  
13510  
13520  
13530  
13540  
13550  
13560  
13570  
13580  
13590  
13600  
13610  
13620  
13630  
13640  
13650  
13660  
13670  
13680  
13690  
13700  
13710  
13720  
13730  
13740  
13750  
13760  
13770  
13780  
13790  
13800  
13810  
13820  
13830  
13840  
13850  
13860  
13870  
13880  
13890  
13900  
13910  
13920  
13930  
13940  
13950  
13960  
13970  
13980  
13990  
14000  
14010  
14020  
14030  
14040  
14050  
14060  
14070  
14080  
14090  
14100  
14110  
14120  
14130  
14140  
14150  
14160  
14170  
14180  
14190  
14200  
14210  
14220  
14230  
14240  
14250  
14260  
14270  
14280  
14290  
14300  
14310  
14320  
14330  
14340  
14350  
14360  
14370  
14380  
14390  
14400  
14410  
14420  
14430  
14440  
14450  
14460  
14470  
14480  
14490  
14500  
14510  
14520  
14530  
14540  
14550  
14560  
14570  
14580  
14590  
14600  
14610  
14620  
14630  
14640  
14650  
14660  
14670  
14680  
14690  
14700  
14710  
14720  
14730  
14740  
14750  
14760  
14770  
14780  
14790  
14800  
14810  
14820  
14830  
14840  
14850  
14860  
14870  
14880  
14890  
14900  
14910  
14920  
14930  
14940  
14950  
14960  
14970  
14980  
14990  
15000  
15010  
15020  
15030  
15040  
15050  
15060  
15070  
15080  
15090  
15100  
15110  
15120  
15130  
15140  
15150  
15160  
15170  
15180  
15190  
15200  
15210  
15220  
15230  
15240  
15250  
15260  
15270  
15280  
15290  
15300  
15310  
15320  
15330  
15340  
15350  
15360  
15370  
15380  
15390  
15400  
15410  
15420  
15430  
15440  
15450  
15460  
15470  
15480  
15490  
15500  
15510  
15520  
15530  
15540  
15550  
15560  
15570  
15580  
15590  
15600  
15610  
15620  
15630  
15640  
15650  
15660  
15670  
15680  
15690  
15700  
15710  
15720  
15730  
15740  
1

に対するモード選択として用いられ、一組のマルチプレクサはラウンド・ロビン・レジスタおよびワード線を使用可能にするロック・レジスタからの信号を選択する。

図2は、本願発明の一実施例におけるラウンド・ロビン・ロック論理のブロック図である。複数のラウンド・ロビン・ラッチ212, 214, 216, 210は、各々キャッシュ・ラインの1つに結合される。図示された実施例では、アレイ中に32本あると仮定される。しかしながら、さらに多くのあるいはさらに少ないライン（従って、ラッチについても）が本願発明の範囲および目的の範囲内にある。従って、32個のラウンド・ロビン・ラッチが提供され、ラウンド・ロビン・レジスタ200を構成する。第2の複数のラッチ230, 232, 234は、ロック・レジスタ202を構成するが、1つのラッチは複数のキャッシュ・ラインの各々に結合される。図示された実施例において、31個のロック・ラッチがあり、32本のキャッシュ・ラインのうち31本までをロックすることを許容する。1またはそれ以上のラインがロックされるのを防ぐことによって、システムは、新しいデータをキャッシュ中に転送することを必要とするが、しかし、全ラインがロックされ、そのような転送が阻止されるデッドロック状態を回避する。ロック・ラッチは、ラウンド・ロビン・ラッチと同じように、デイジー・チェイン状に結合される。このように、ロック・レジスタは、ロック・クロックに応答して、アレイ中の指令された一連のロックをトップからボトムまで強制する。ラウンド・ロビン・レジスタ200は、循環フィルがアレイ中のボトム・ラインから始まって最も高位の非ロック・ラインまで生起し、そしてボトムへ下方移動し、その後循環する。結合論理204は、ロックされたラインに上書きしないことを確保する。ある実施例では、レジスタ200および204は被パルス・ラッチであり、別の実施例では、それらはマスター・スレイブ・フリップフロップである。被パルス・ラッチは、領域的には能率的であるが、プロセス・スキューブ（process skew）にわたって不十分な保持時間としてこのような問題に対してより敏感となる。ロック・レジスタは、動作中のアレイのワード・ライン31に対応する開始ラッチ230を含み、正の電源供給に結合された入力を有する。このように、ロック・クロックが与えられると、レジスタ230の出力およびそれに対応して図示されるようなデイジー・チェイン状に結合されたレジスタ232の入力に、高値が現れる。マスター・スレイブ・フリップフロップではなく被パルス・ラッチを用いる実施例における1つの問題点は、十分な遅延が回路に確立され、ロック・クロックが表明された際にラッチ230およびラッチ232の両方（またはチェイン中のさらに多く）が設定されるのを避けなければならない。この問題を解決するために、本願発明のパルス・ラッチの実施例では、ロック・クロックは、ロック・レジスタ中の1つのラッチがその入力値を受け取るために十分な長さの時間を与えられた短パルスであるが、しかし、意図した目標ラッチの出力に結合されたラッチが同じデータを受け取らないようにするために十分に短くする。このように、ロック・クロックの次の表明では、高値がレジスタ230と同様に、レジスタ232の出力に現れる。この手法で、31個のロック・クロックの表明の後に、高値がロック・ラッチ234に到達するまで、ロック・レジスタ中を循環する。この時点において、ロック・レジスタ202中の31個の全てのラッチは、ラッチ中に論理1を格納する。

ラウンド・ロビン・レジスタ200のラッチは、ラウンド・ロビン・リセット信号の表明の後に、ラッチ210を除く全てのラッチがクリアにされるように結合される。ラッチ210は、ラウンド・ロビン開始ビットであり、ラウンド・ロビン・クリア信号に応答して設定される。この信号は、またキャッシュを初期化するために全チップ・リセットに与えられる。ラッチ210が設定されると、フィルがワード・ライン・ゼロから開始することが必要である。スタートアップに加えて、ラウンド・ロビン・リセット信号は、ロックが発生するのに応答して、表明される。これは、ロック・ビットがラウンド・ロビン・ビットと同時に設定される論理的にイリーガルな状態、すなわちロックされたラインがライン・フィルのための次の目標となるために選択されることがないことを確保する。ロック動作が実行されるとき、置換のためにロックできない位置にボトムを設定するこの手法は、最小の論理を必要とする。キャッシュの効率性に関する本手法との関連性は、次に述べられる。

10

20

30

40

50

ワード・ライン・ゼロのフィルに続いて、結合論理 204 の助けを借りて、次のフィル・ラインはロックされていない最も高位のラインに認定される。このように、ワード・ライン 31 がまだロックされていない場合、ラッチ 230 の出力はゼロとなり、それはインバータ 300 によって反転されて AND ゲート 312 を出力「1」に設定し、さらにそれは AND ゲート 314 を出力「1」にして、OR ゲート 316 はその後レジスタ 212 の出力を高値に駆動し、それによりワード・ライン 31 を選択する。マルチプレクサ 208 はロック選択信号を使用し、どのラウンド・ロビン・レジスタまたはロック・レジスタがワード・ラインを選択するかを決定する。このように、ロック動作において、ワード・ライン (WL) 選択は、ゲート 312 の出力からマルチプレクサ 208, 209 を介して選択される。表明されるべき WL は、ロックの状態でフィルされるべきラインを示し、前のロック・ラッチが論理 1 に設定され、かつ現在が論理 0 であることの一一致に基づく。論理から推論されるように、各ロック動作である WL 表明後に、ロック・クロックが表明される。(非ロック) ライン・フィルのために、マルチプレクサ 208 は対応するラウンド・ロビン・ラッチに収容された論理 1 をマルチプレクサ 209 を経由して WL 選択ノードへ送ることにより WL を表明する。高信号は、次のフィルが生じるラインを示し、ポインタとしてふるまって、ラウンド・ロビン・レジスタを通して伝播する。マルチプレクサ 209 は、マルチプレクサ 208 の出力と CAM マッチ信号との間で選択し、アドレスを行うために CAM を使用するキャッシュ読み取りおよび書き込み動作の間に、CAM が WL 選択を表明するのを許容する。別の実施例では、マッチ信号に代わって、デコーダ出力が第 2 の入力をマルチプレクサ 209 に提供する。

明らかなように、開始レジスタ 210 は、唯一の高いファンアウトを具備するラウンド・ロビン・レジスタである。ここで用いられるように、"高い" ファンアウトはデバイスの出力が 3つ以上の入力を駆動するものである。バッファ 206 は信号を緩衝するために用いられ、レジスタ 210 が他のラウンド・ロビン・レジスタの各々に対する入力信号を駆動するためのファンアウトを提供する。逆に、他のラウンド・ロビン・レジスタは最も近接のものへの入力を駆動する。その結果、それらは非常に小さく維持することができる。キャッシュ中のラインには 2つのラッチ(被パルス・ラッチの実施例において)、TLB では典型的には 32 個、が存在し、キャッシュの場合には何千にも分配するので、これは望ましい。この小サイズになる望ましさがマスター・スレイブ・フリップフロップよりむしろ被パルス・ラッチとしてラッチ格納エレメントを有する実施例を用いる主な理由である。ファンアウトを管理することで、デバイスのサイズおよび回路の対応する電力消費を削減できる。開始レジスタはボトムにあるので、CAM および RAM 回路のセンスおよび書き込み回路領域に対応するアレイの周囲にその領域を設けて、バッファのレイアウトを単純化できる。

図 3 は、8 周期の期間中における転送の実行過程を示す。サイクル 1 において、フィル 1 がワード・ライン 0 に転送され、そのフィル・ポインタはワード・ライン 31 へ位置を示すために進行する。サイクル 2 において、フィル 2 がワード・ライン 31 へ転送され、そのフィル・ポインタはワード・ライン 30 へ位置を示すために進行する。サイクル 3 において、フィル 3 がワード・ライン 30 へ転送される。その後、サイクル 4 において、ロック 1 がロック開始ライン(ワード・ライン 31)へ転送され、フィル 2 を押し出し、そのフィル・ポインタがワード・ライン 0 へ位置を示すためにリセットされる。サイクル 5 において、ロック 2 が次のロック・ライン(ワード・ライン 30)へ転送され、フィル 3 を押し出し、再びそのフィル・ポインタがワード・ライン 0 へ位置を示すためにリセットされる。サイクル 6 において、フィル 4 が転送され、フィル 1 を押し出し、そのフィル・ポインタは最も高位のライン、このケースではワード・ライン 29 へ位置を示すために進む。サイクル 7 で、フィル 5 はワード・ライン 29 を満たす。サイクル 8 で、ロック 3 はフィル 5 を押し出し、そのフィル・ポインタはワード・ライン 0 へ位置を示すためにリセットされる。これは、単にフィルおよびロック・パターンの一例である。代わって、もしロック 1, 2, 3 が最初の 3つのサイクルで成されると共に、フィル 1 から 5 が次の 5つのサイクルで成されるならば、データがキャッシュから押し出されることはないであろう。

10

20

30

40

50

このように、ソフトウェアを適切に設計することによって、各ロック後のフィル部分を再スタートするという潜在的なあらゆる不利益を取り除くことができる。例えば、あらゆるキャッシュ・ラインを満たす( f i l l )前に、ソフトウェアは初期時にロックされる必要のある全てのコードまたはデータをロックしてもよい。ロックを最初にすることによって、既にキャッシュへ転送されたコードでラインをロックするという潜在的な負の影響が軽減される得る。ロックすることが望ましいコードの例は、非常に迅速に応答すべきであるルーチンまたは同様のコードを処理するクリティカル割込みである。しかしながら、上記記述は本願発明の一実施例の動作を図示的に説明するものである。

図4は、本願発明の一実施例における一組の信号に対するタイミング図を示す。パルス・クロック信号410は、上述したパルス・ラッチの実施例で用いられる。このパルスは、隣接するラッチからの信号が次のラッチに伝播する前に低に戻るために十分短くすべきであろう。このように、ラウンド・ロビン・ラッチ(図2の212)の出力は、信号412として示される。この出力は、パルス・クロック410に応答して高へ遷移する。信号414によって示されるORゲート(図1の336)の出力がそのORゲートへの信号412の印加に基づいて高へ遷移する前に、パルス・クロック410は低でなければならない。

ある実施例において、いくつかのCAMが複数のバンクを有するより大きなキャッシュを形成するために用いられ、各CAMは関連するラウンド・ロビンおよびロック論理装置を具備する。各バンクはラウンド・ロビンおよびロック手法をそのバンク内で実行し、他の全てのバンクからは独立する。

上述した明細書において、本願発明は特定の実施例に関連して説明された。しかしながら、様々な修正および変更が、添付の請求項に示されたように、本願発明のより広い精神および範囲から逸脱しないで成される。従って、本願明細書および図面は、限定的な認識ではなくむしろ解説のために成されているものとみなされる。

#### 【図面の簡単な説明】

##### 【図1】

本願発明の一実施例のブロック図である。

##### 【図2】

本願発明の一実施例におけるラウンド・ロビン・ロック論理のブロック図である。

##### 【図3】

8周期の期間中における転送の実行過程を示す。

##### 【図4】

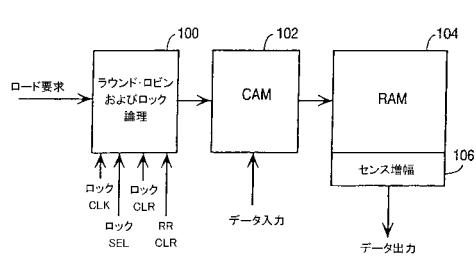
本願発明の一実施例における一組の信号に対するタイミング図を示す。

10

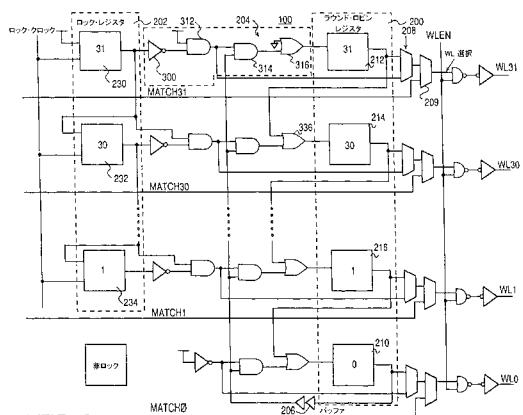
20

30

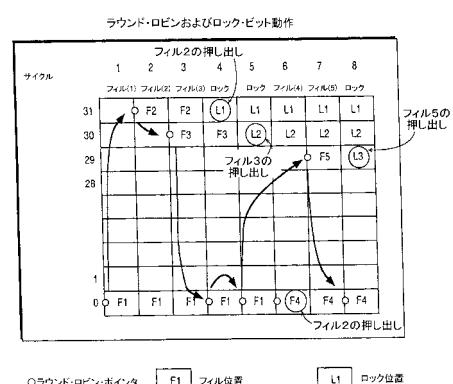
【図1】



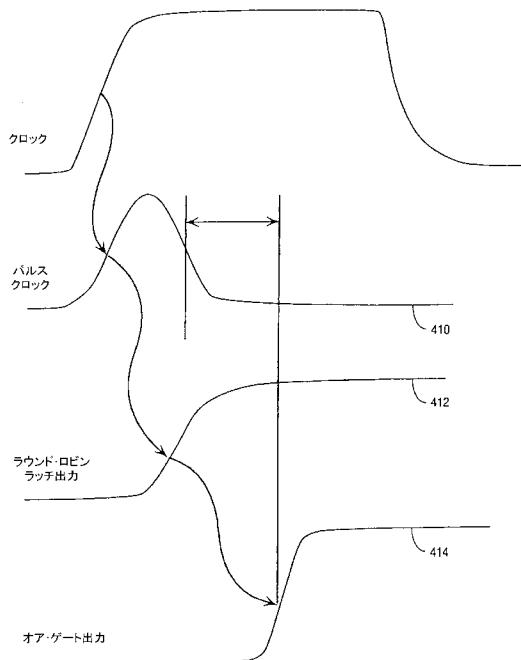
【図2】



【図3】



【図4】



## 【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
12 July 2001 (12.07.2001)

PCT

(10) International Publication Number  
WO 01/50269 A2

- (51) International Patent Classification: G06F 12/00 (74) Agents: MALLIE, Michael, J. et al.; Blakely, Sokoloff, Taylor & Zafman LLP, 7th Floor, 12400 Wilshire Boulevard, Los Angeles, CA 90025 (US).
- (21) International Application Number: PCT/US00/42305
- (22) International Filing Date: 27 November 2000 (27.11.2000)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/476,444 30 December 1999 (30.12.1999) US
- (71) Applicant (for all designated States except US): INTEL CORPORATION [US/US]; 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).
- (72) Inventors: and  
 (75) Inventors/Applicants (for US only): CLARK, Lawrence, T. [US/US]; 3161 E. Desert Willow Road, Phoenix, AZ 85048 (US). CLARK, Matthew, M. [US/US], 261 W. Pecan Place, Tempe, AZ 85284 (US).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FL, GB, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SI, TR), OAPI patent (BF, BI, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TO).

## Published:

— Without international search report and to be republished upon receipt of that report.

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.



WO 01/50269 A2

(54) Title: A METHOD AND APPARATUS TO PERFORM A ROUND ROBIN AND LOCKING CACHE REPLACEMENT SCHEME

(57) Abstract: A first plurality of registers are daisy chained together with each register associated with a particular cache line. Similarly, a second plurality of registers are daisy chained together with each register associated with a cache line. The first daisy chain defines a fill order of cache lines and the second daisy chain defines a lock order for the cache lines.

WO 01/50269

PCT/US00/42305

**A METHOD AND APPARATUS TO PERFORM A ROUND ROBIN AND  
LOCKING CACHE REPLACEMENT SCHEME**

**BACKGROUND**

(1) **Field of the Invention**

The invention relates to cache replacement schemes. More specifically, the invention relates to combined round robin cache replacement and cache line locking schemes.

(2) **Background**

Various schemes exist for defining what data is replaced when a new data set is loaded into a cache. One favored scheme in direct mapped caches is a least recently used (LRU) scheme. In an LRU scheme, as the name implies, the block of data that has been used least recently is replaced with any incoming data. Because of the locality of reference common to computer software execution and data usage, this has been found to be a fairly efficient cache replacement scheme. However, as set associativity increases, the complexity and overhead for an LRU scheme make such schemes less attractive due to increasing hardware requirements.

Additionally, in content addressable memory (CAM)-based caches without separate decoders, high set-associativity is achieved, and identifying where to write fill data becomes increasingly problematic. One possible solution that has been employed is a round robin replacement scheme in which a circular shift register loops through identifying the line to be loaded. This has the effect of throwing away the oldest information in the cache, but the replacement is completely independent of the frequency of use. Thus, it can result in a greater amount of cache thrashing.

Some prior solutions to prevent data from being kicked out of the cache prematurely was to allow way locking. These systems failed to provide much granularity. For example, in a two-way cache, half the cache would be

WO 01/50269

PCT/US00/42305

locked, even if the block of data to be retained was relatively small. This often results in inefficient cache usage.

#### BRIEF SUMMARY OF THE INVENTION

A first plurality of latches are daisy chained together, forming a register, with each latch associated with a particular cache line. Similarly, a second plurality of latches are daisy chained together with each latch associated with a cache line. The first register defines a fill order of cache lines and the second register defines a lock order for the cache lines.

#### BRIEF DESCRIPTION OF THE DRAWINGS

**Figure 1** is a block diagram of one embodiment of the invention.

**Figure 2** is a block diagram of the round robin lock logic in one embodiment of the invention.

**Figure 3** shows an exemplary series of loads during an eight cycle period.

**Figure 4** is a timing diagram for a subset of signals in one embodiment of the invention.

#### DETAILED DESCRIPTION

**Figure 1** is a block diagram of one embodiment of the invention. A content addressable memory array (CAM) 102 is used to address into a random access memory unit (RAM) 104. The combination of CAM 102 and RAM 104 may typically be, for example, a cache and more particularly in one embodiment, a level zero cache, or possibly in an alternate embodiment, a translation lookaside buffer (TLB). In either case the CAM 102 contains the addresses corresponding to the corresponding entry, which is a line of code or data in the former case, and a page table entry in the latter. The data contained within the CAM entry is referred to as the "tag" entry in either case. A control logic unit, such as round robin and lock logic 100 is coupled to the CAM 102. The control logic unit controls the replacement scheme employed by the CAM addressed cache when data is to be written into the

WO 01/50269

PCT/US00/42305

CAM 102 and RAM 104, e.g., which line is to be replaced on a cache fill operation. Both circuits, the CAM 102 and the RAM 104, may be written through means well known to those skilled in the art. The CAM 102 is accessed to determine the matching entry (if there is one) via the content-addressable nature of the CAM 102. If a match is found, data is read from RAM 104 as output through sense amp 106, which is coupled thereto, or a write operation to the RAM 104 may be performed through the same circuitry as used to write data into the RAM 104 during the aforementioned fill operation. In general, this form of cache circuit architecture has more favorable low-power characteristics as compared to more typical architectures utilizing RAM cells to store the tag data.

Round robin and lock logic 100, in addition to receiving load requests, receives a number of control signals, including a lock clock, a lock select, a lock clear, and a round robin clear. The lock clock when asserted indicates that the load request is a lock. When the lock clock is not asserted, the load is a fill. As used herein, lock is a load into a line that is to be locked, so as not to be overwritten by subsequent loads. A fill is a load that may be freely overwritten as part of the usual cache replacement scheme. Lock clear clears the lock register (discussed further below) to permit the subsequent overwriting of the previous loaded locks. Round robin clear resets the round robin register (also discussed further below) to a predetermined value. The lock select signal used as the mode select for a set of multiplexers that choose between signals from the round robin registers and the lock registers for word line enablement.

Figure 2 is a block diagram of the round robin lock logic in one embodiment of the invention. The plurality of round robin latches 212, 214, 216, 210, are each associated with one line of a cache. In the shown embodiment, it is presumed that there are 32 lines in the array. However, more or fewer lines (and therefore, latches) are within the scope and contemplation of the invention. Accordingly, 32 round robin latches are provided, comprising the round robin register 200. A second plurality of latches, 230, 232, 234, comprising the lock register 202, also have one latch

WO 01/50269

PCT/US00/42305

associated with each of a plurality of cache lines. In the shown embodiment, there are 31 lock latches which permit the locking of up to 31 of the 32 cache lines. By preventing one or more lines from being locked, the system avoids a deadlock condition in which new data needs to be loaded in the cache, but all lines are locked, preventing such a load. The lock latches are daisy chained together as are the round robin latches. In this manner, the lock register forces an ordered series of locks from top to bottom in the array responsive to the lock clock. The round robin register 200 cause circular fills beginning with a bottom line in the array followed by the highest unlocked line in the array and proceeding downward to the bottom and then circularly. Combinational logic 204 ensures that fills do not overwrite locked lines. In one embodiment, registers 200 and 204 are pulsed latches, and in an alternate embodiment, they are master slave flip-flops. The pulsed latches are more area efficient, but tend to be more susceptible to such issues as insufficient hold times over process skews.

The lock registers include the start latch 230 which corresponds to word line 31 of the array in operation has its input coupled to a positive power supply. Thus, when the lock clock is asserted, a high value appears at the output of register 230, and therefore, correspondingly on the input of register 232 which is daisy chained as shown. One issue that arises in an embodiment in using pulsed latches rather than master-slave flipflops is that sufficient delay must be built into the circuit to avoid both latches 230 and 232 (or more in the chain) from being set when lock clock is asserted. To resolve this issue, in the pulse latch embodiment of the invention, lock clock is a short pulse timed to be sufficiently long to allow one latch in the lock register to receive its input value, but sufficiently short to avoid the latch connected to output of the intended target latch from receiving the same data. Thus, on the next assertion of the lock clock, a high value will appear at the output of register 232, as well as 230. In this manner, the high value cycles down through the lock register 202 until it reaches lock latch 234 after 31 assertions of the lock clock. At that point, all 31 latches in the lock register 202 will have logical one's stored therein.

WO 01/50269

PCT/US00/42305

Round robin register 200 latches are coupled such that after assertion of the round robin reset signal, all latches except latch 210 are cleared. Latch 210 is the round robin start bit and is set responsive to a round robin clear signal. This signal is also asserted on a full-chip reset to initialize the cache. When latch 210 is set, that necessitates that fills will begin at word line zero. In addition to startup, the round robin reset signal is asserted responsive to a lock occurring. This ensures that a lock bit cannot be set coincident with the round robin bit which would constitute a logically illegal condition, i.e., that a locked line was selected to be the next target for a line fill. This scheme of setting the bottom, unlockable location for replacement when a lock operation is performed requires a minimum of logic. The implications of this scheme on the cache efficiency is addressed subsequently.

Accordingly, following a fill of word line zero, with the aid of combinational logic 204, the next fill line is identified to be the highest line that is not locked. Thus, if word line 31 is not yet locked, the output of latch 230 will be a zero, which will be inverted by inverter 310 causing AND gate 312 to output a "1," which causes AND gate 314 to also output a "1" to OR gate 316 which will then drive register 212 to output a high value, thereby selecting word line 31. Multiplexers 208 employ the lock select signal to determine whether the round robin register or the lock register selects the word lines. Thus, on a lock operation, the word line (WL) select is chosen to be taken from the output of gate 312, via the multiplexors 208 and 209. Thus the WL to be asserted, indicating the line to be filled on a lock is based on the coincidence of the previous lock latch being set to logical one and the present one being a logical zero. As can be inferred from the logic, the lock clock is asserted after each lock operation WL assertion. For a (non-locking) line fill, the multiplexor 208 asserts the WL by passing the logical one contained in the corresponding round robin latch to the WL SELECT node via multiplexor 209. The high signal will propagate through the round robin registers behaving as a pointer indicating a line for a next fill to occur. Multiplexor 209 selects between the output of multiplexor 208 and a CAM match signal which permits the CAM to assert the WL select during cache

WO 01/50269

PCT/US00/42305

read and write operations that utilize the CAM for addressing. In an alternative embodiment, instead of a match signal, a decoder output may provide the second input to multiplexor 209.

Notably, start register 210 is the only register of the round robin registers with high fanout. As used herein, "high" fanout is deemed to be more than three inputs to be driven by the output of the device experiencing the fanout. Buffer 206 is used to buffer up the signal to accommodate the fanout as register 210 must drive an input signal for each of the other round robin registers. Conversely, the other round robin registers drive inputs only to their nearest neighbors. Consequently, they can be kept very small. This is desirable since there are two latches (in the pulsed-latch embodiment) per line in the cache, a number typically 32 in TLB's, but numbering into the thousands in the case of caches. This desirability of small size is the primary reason for employing an embodiment having the latch storage elements as pulsed latches rather than master-slave flipflops. In controlling the fanout, the device sizes and corresponding power consumption of the circuitry is reduced. Since the start register is at the bottom, layout of the buffer is simplified as area is available at the edge of the array, which corresponds to the sense and write circuitry area of the CAM and RAM circuits.

Figure 3 shows an exemplary series of loads during an eight cycle period. In cycle one, fill one is loaded into word line zero, and the fill pointer advances to point to word line 31. In cycle two, fill two is loaded into word line 31, and the fill pointer is advanced to point to word line 30. In cycle three, fill three is loaded into word line 30. Then in cycle four, lock one is loaded into the lock starting line (word line 31), kicking out fill two and the fill pointer is reset to point to word line zero. In cycle five, lock two is loaded into the next lock line (word line 30), kicking out fill three and again, the fill pointer is reset to point to word line zero. At cycle six, fill four is loaded, kicking out fill one, and the fill pointer is advanced to point to the highest unlocked line, in this case, word line 29. At cycle seven, fill five fills word line 29. At cycle eight, lock three kicks out fill five, and the fill pointer is reset to point to word line zero. This is merely one exemplary fill and lock

WO 01/50269

PCT/US00/42305

pattern. Alternatively, if locks one, two, and three had been done in the first three cycles with fills one through five done in the next five cycles, no data would have been kicked out of the cache. Thus, proper software design can eliminate any potential penalty of restarting the fill portion after each lock. For example, software may lock all code or data which needs to be locked at initialization before filling any cache lines. By doing the locks first, the potential negative impact of locking lines on code already loaded into the cache may be alleviated. An example of code which is desirable to lock will be critical interrupt handling routines or similar code which should respond very quickly. However, the above description is illustrative to explain of the operation of one embodiment of the invention.

Figure 4 shows a timing diagram of a subset of signals of one embodiment of the invention. The pulse clock signal 410 is used in the pulse latch embodiment described above. The pulse should be short enough that it will have gone back low before the signal from an adjacent latch can propagate to its neighbor. Thus, the output of round robin latch (212 of Figure 2) is shown as signal 412. This output goes high responsive to the pulse clock 410. The pulse clock 410 must be low before the output of OR gate (336 of Figure 1) represented by signal 414 is asserted high based on the application of signal 412 to the OR gate.

In one embodiment, several CAMs, each with an associated round robin and lock logic unit, are used to form a larger cache having a plurality of banks. Each bank implements the round robin and lock scheme within the bank and independent of all other banks.

In the foregoing specification, the invention has been described with reference to specific embodiments thereof. It will, however, be evident that various modifications and changes can be made thereto without departing from the broader spirit and scope of the invention as set forth in the appended claims. The specification and drawings are, accordingly, to be regarded in an illustrative rather than a restrictive sense.

CLAIMS

What is claimed is:

1. An apparatus comprising:
  - a first plurality of latches coupled together in a first shift register, each latch of the first plurality associated with a line of a cache, the register defining a fill order for the cache lines; and
  - a second plurality of latches coupled together in a second shift register, each latch of the second plurality associated with a cache line, the register defining a lock order for the cache lines.
2. The apparatus of claim 1 further comprising:
  - a buffer to amplify an output of a first start register of the first plurality to drive an input for each other register in the first plurality of latches.
3. The apparatus of claim 2 wherein each other register in the first plurality only drives an input for its successor in the plurality of latches.
4. The apparatus of claim 1 wherein the first plurality of latches and the second plurality of latches are different in number.
5. The apparatus of claim 1 wherein a first start register of the first plurality of latches is associated with a cache line an address with a maximum difference from an address of a second cache line associated with a second start register of the second plurality.
6. The apparatus of claim 5 further comprising:
  - combinational logic coupling the first and second plurality of latches such that a second fill line is coextensive with a next lock line.
7. The apparatus of claim 1 wherein only one latch of the first plurality of latches has fanout greater than three.
8. The apparatus of claim 1 wherein the cache is a translation lookaside buffer (TLB).
9. The apparatus of claim 1 where the line to be locked is determined by the coincidence of a logical one in the preceding lock register bit and a logical zero in the present bit.

WO 01/50269

PCT/US00/42305

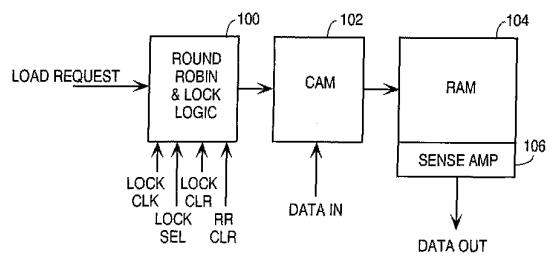
10. The apparatus of claim 1 wherein the first shift register is configured as a circular buffer.
11. The apparatus of claim 10 wherein a length of a circular shift in the first shift register is determined by setting bits in the second shift register.
12. The apparatus of claim 1 wherein each latch comprises a master-slave flipflop.
13. A system comprising:
  - a content addressable memory array (CAM);
  - a random access memory (RAM) coupled to the CAM; and
  - control logic coupled to the CAM to cause the CAM to lock specified lines of the RAM while implementing a round robin replacement scheme for unlocked lines in the RAM.
14. The system of claim 13 wherein the control logic comprises:
  - a first plurality of latches coupled together in a daisy chain, each latch of the plurality associated with a line of the RAM, the daisy chain defining a fill order for the RAM lines; and
  - a second plurality of latches coupled together in a daisy chain, each register of the second plurality associated with a cache line, the daisy chain defining a lock order for the cache lines.
15. A method comprising:
  - defining a lock starting line;
  - defining a fill starting line a distance from the lock starting line;and  
resetting a fill pointer to the fill starting line each time a lock is loaded.
16. The method of claim 15 further comprising:
  - changing a lock indicator to indicate a line one line closer to the fill starting line responsive to a lock line being loaded.
17. The method of claim 15 further comprising:
  - filling the fill starting line on a first fill; and
  - filling an unlocked line most proximate to the lock starting line on a second fill.

WO 01/50269

PCT/US00/42305

18. A computer readable storage media containing executable computer program instructions which when executed cause a digital processing system to perform a method comprising:
  - initializing a lock mode in a cache loading lock data into a cache line; and
  - locking the cache line; and
  - retrieving the cache to fill mode.

1/4

**FIG. 1**

WO 01/50269

PCT/US00/42305

2/4

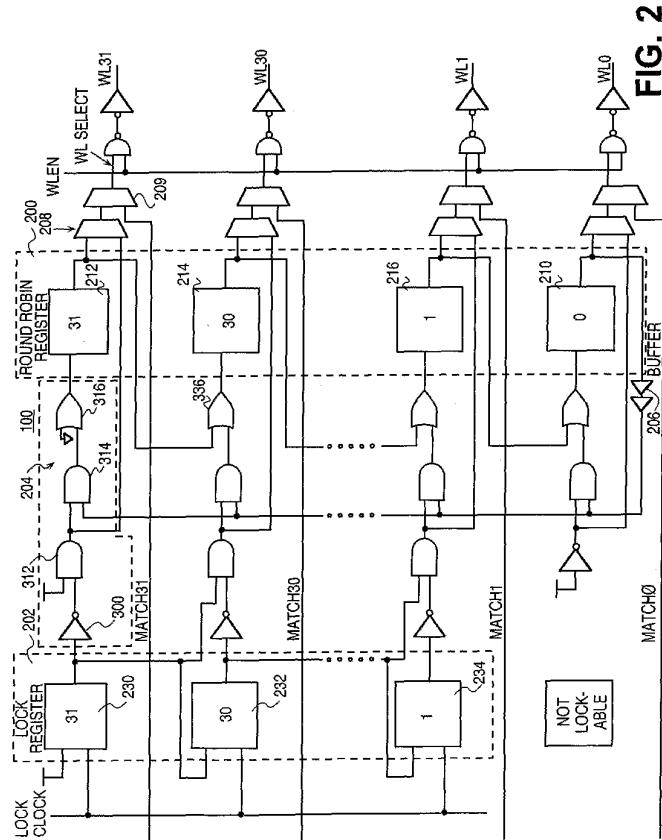
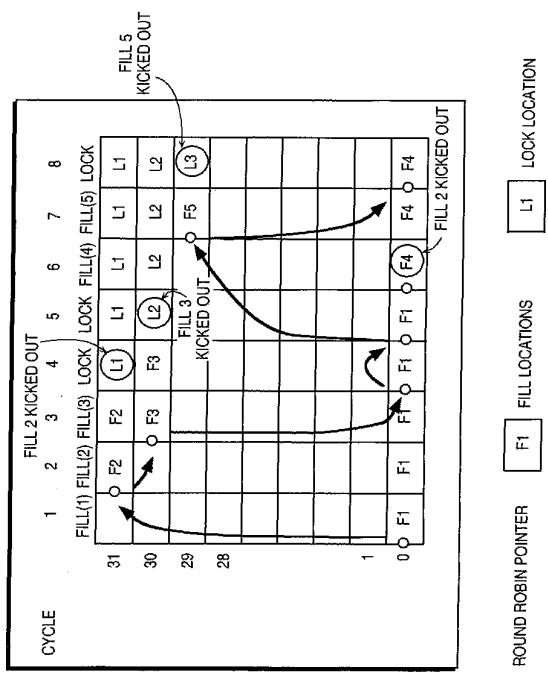


FIG. 2

3/4

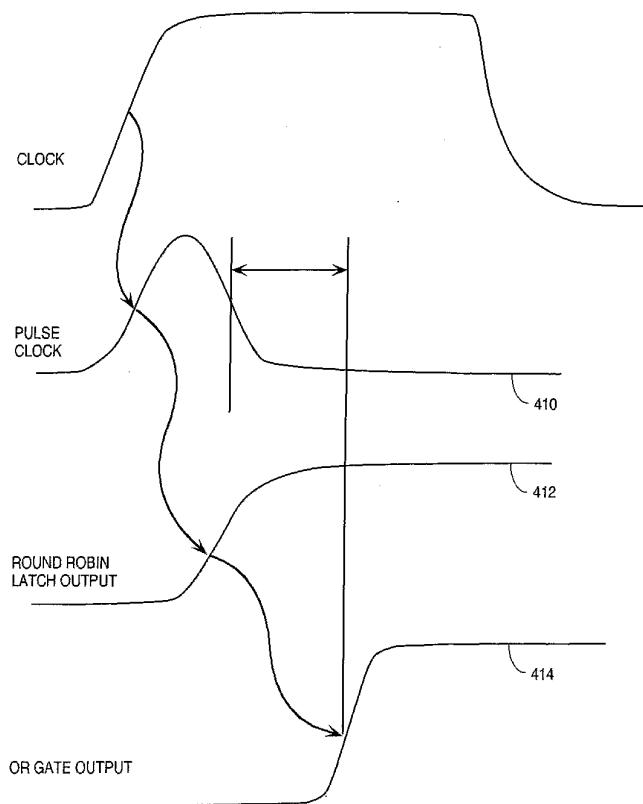
## ROUND-ROBIN &amp; LOCK BIT OPERATION

**FIG. 3**

WO 01/50269

PCT/US00/42305

4/4

**FIG. 4**

## 【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
12 July 2001 (12.07.2001)

PCT

(10) International Publication Number  
WO 01/50269 A3

- (51) International Patent Classification<sup>1</sup>: G06F 12/12      (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.
- (21) International Application Number: PCT/US00/42305
- (22) International Filing Date:  
27 November 2000 (27.11.2000)
- (25) Filing Language: English      (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).
- (26) Publication Language: English
- (30) Priority Data:  
09/476,444      30 December 1999 (30.12.1999) US

(71) Applicant (for all designated States except US): INTEL CORPORATION [US/US]; 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).

Published:  
— with international search report

(88) Date of publication of the international search report:  
13 December 2001

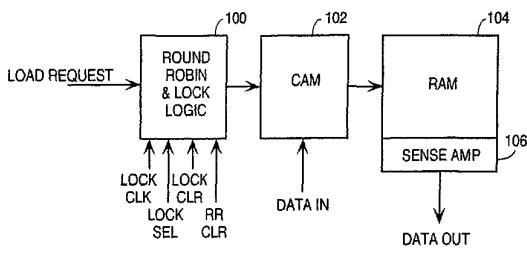
(72) Inventors; and

(75) Inventors/Applicants (for US only): CLARK, Lawrence, T. [US/US]; 3161 E. Desert Willow Road, Phoenix, AZ 85048 (US). CLARK, Matthew, M. [US/US]; 261 W. Pecan Place, Tempe, AZ 85284 (US).

(74) Agents: MALLIE, Michael, J. et al.; Blakely, Sokoloff, Taylor &amp; Zafman LLP, 7th Floor, 12400 Wilshire Boulevard, Los Angeles, CA 90025 (US).

(54) Title: A METHOD AND APPARATUS TO PERFORM A ROUND ROBIN AND LOCKING CACHE REPLACEMENT SCHEME

WO 01/50269 A3



(57) Abstract: A first plurality of registers are daisy chained together with each register associated with a particular cache line. Similarly, a second plurality of registers are daisy chained together with each register associated with a cache line. The first daisy chain defines a fill order of cache lines and the second daisy chain defines a lock order for the cache lines.

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		Int'l. Application No PCT/US 00/42305
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F12/12		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 2 284 911 A (PLESSEY SEMICONDUCTORS LTD) 21 June 1995 (1995-06-21) the whole document	13,18
A	---	1,10,11, 14-17
A	US 5 937 429 A (LIU PEICHUN PETER ET AL) 10 August 1999 (1999-08-10) column 3, line 41 -column 5, line 7	1-3,10, 12-15,18
A	US 5 928 352 A (DOWECK JACOB ET AL) 27 July 1999 (1999-07-27) column 4, line 7 -column 5, line 8	1,8,13, 15,18
A	US 5 029 072 A (MOYER WILLIAM C ET AL) 2 July 1991 (1991-07-02) column 1, line 30 -column 2, line 31	1,8,13, 15,18
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may have influenced the priority claims(s) or which is cited to establish the publication date of another invention or other special reason (es) specified *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken together with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
6 July 2001	16/07/2001	
Name and mailing address of the ISA European Patent Office, P.B. 5018 Patentlaan 2 NL - 2280 HV Hilversum Tel: (+31-70) 340-2040, Fax: 31 651 epo nl Fax: (+31-70) 340-3016	Authorized officer Nielsen, O	

Form PCT/ISA/210 (second sheet) (July 1992)

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No  
PCT/US 00/42305

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
GB 2284911	A 21-06-1995	NONE	
US 5937429	A 10-08-1999	NONE	
US 5928352	A 27-07-1999	NONE	
US 5029072	A 02-07-1991	JP 2021180 C 19-02-1996 JP 7046325 B 17-05-1995 JP 62156744 A 11-07-1987	

Form PCT/ISA/210 (patent family annex) (July 1992)

---

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CR,CU,CZ,DE,DK,DM,DZ,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,S,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZW

(72)発明者 クラーク , マシュー・エム

アメリカ合衆国 アリゾナ州 85284 テンピ ウエスト・ピーカン・プレイス 261  
F ターム(参考) 5B005 JJ13 MM01 QQ04