(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 16 日(16.04.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/053009 A1

(51) 国際特許分類:
H01L 27/10 (2006.01) *G11C 16/04* (2006.01)
G11C 16/02 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号: PCT/JP2014/073009

(22) 国際出願日: 2014 年 9 月 2 日(02.09.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-213935 2013 年 10 月 11 日(11.10.2013) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 上田　直樹(UEDA Naoki). 加藤　純男(KATOH Sumio).

(74) 代理人: 奥田　誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目８番１６号　大阪証券取引所ビル１０階　奥田国際特許事務所 Osaka (JP).

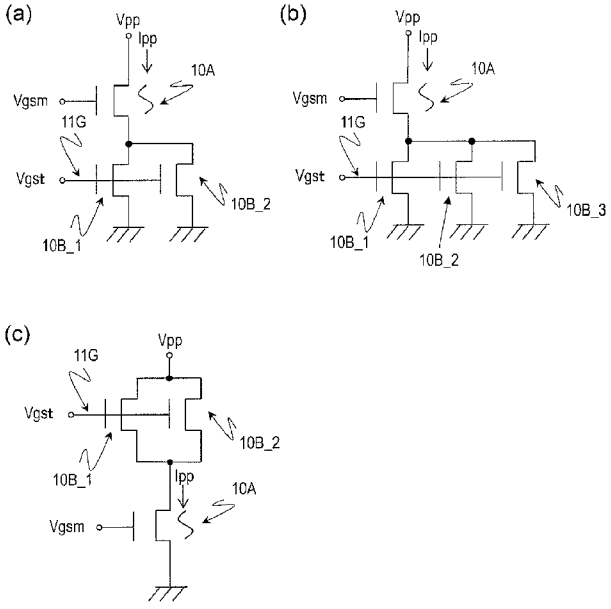
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置



(57) **Abstract**: Provided is a semiconductor device in which a memory cell (101) includes: a memory transistor (10A) that has a channel length (L1) and a channel width (W1); and a plurality of selection transistors (10B) that are each electrically connected in series with the memory transistor and that independently have a channel length (L2) and a channel width (W2). The memory transistor and each of the plurality of selection transistors comprises an active layer (7A) that is formed from a shared oxide semiconductor film. The memory transistor can be irreversibly changed from a semiconductor state in which a drain current (Ids) depends on a gate voltage (Vg) to a resistor state in which the drain current (Ids) does not depend on the gate voltage (Vg). The channel length (L2) is longer than the channel length (L1).

(57) 要約: メモリセル（１０１）は、チャネル長Ｌ１およびチャネル幅Ｗ１を有するメモリトランジスタ（１０Ａ）と、各々がメモリトランジスタと電気的に直列に接続され、かつ、独立にチャネル長Ｌ２およびチャネル幅Ｗ２を有する複数の選択トランジスタ（１０Ｂ）とを含み、メモリトランジスタおよび複数の選択トランジスタの各々は、共通の酸化物半導体膜から形成された活性層（７Ａ）を有し、メモリトランジスタは、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、チャネル長Ｌ２はチャネル長Ｌ１よりも大きい。

WO 2015/053009 A1

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特にメモリトランジスタおよび選択トランジスタを備えた半導体装置に関する。

背景技術

[0002] ＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）として利用可能なメモリ素子として、従来、トランジスタ構造を有する素子を用いることが提案されている。

[0003] 例えば、特許文献１には、通常のロジックＬＳＩプロセスにおいて採用される配線構造と同一の、ポリシリコン／シリサイド／シリコン窒化膜の積層構造に、カノードおよびアノードの２端子を備えたｅＦｕｓｅ（Ｅｌｅｃｔｒｏｎｉｃ　Ｆｕｓｅ）が開示されている。このｅＦｕｓｅに大電流を流すことにより、ｅＦｕｓｅが加熱され、２端子間の抵抗値が変化する。特許文献１には、ｅＦｕｓｅをメモリセルとして使用する技術は開示されていないが、２つのトランジスタ（選択トランジスタ）とｅＦｕｓｅとを直列に接続して大電流を流す構成が開示されている。

[0004] また、特許文献２には、電気的にプログラム可能なヒューズ素子が開示されている。このヒューズ素子と２つのＭＯＳトランジスタ（選択トランジスタ）とを直列に接続してプログラム（書き込み）および読み出しの動作を行う構成が開示されている。

[0005] 一方で、本出願人による特許文献３は、従来よりも消費電力を低減することが可能な新規なメモリトランジスタを提案している。このメモリトランジスタでは、活性層（チャネル）に金属酸化物半導体が用いられている。このメモリトランジスタは、ドレイン電流により生じるジュール熱によって、ゲート電圧にかかわらずオーミック特性を示す抵抗体状態に不可逆的に変化し得る。このようなメモリトランジスタを用いると、書き込みのための電圧を

特許文献１、２における電圧よりも低くすることが可能となり、消費電力を低減できる。

[0006] また、特許文献３には、１つのメモリトランジスタと１つの選択トランジスタとから構成されたメモリセルが記載されている。また、メモリトランジスタを例えば液晶表示装置のアクティブマトリクス基板に形成することが記載されている。

[0007] なお、本願明細書では、このメモリトランジスタの金属酸化物半導体を抵抗体状態に変化させる動作を「書き込み動作」という。また、このメモリトランジスタは、書き込みされた後、金属酸化物半導体が抵抗体となるため、トランジスタとして動作しない。しかしながら、本願明細書では、抵抗体に変化した後も「メモリトランジスタ」と呼ぶ。同様に、抵抗体に変化した後も、トランジスタ構造を構成するゲート電極、ソース電極、ドレイン電極、チャネル領域などの呼称を使用する。

先行技術文献

特許文献

[0008] 特許文献1：米国特許出願公開第２００９／０１７９３０２号明細書

特許文献2：特開２０１０－２１１８３９号公報

特許文献3：国際公開第２０１３／０８０７８４号

発明の概要

発明が解決しようとする課題

[0009] メモリトランジスタを備えたアクティブマトリクス基板などの半導体装置では、メモリトランジスタの書き込み速度をさらに高めることが求められている。

[0010] 本発明者が検討したところ、以下のことが分かった。

[0011] 特許文献１および２では、書き込み時に、ヒューズ素子が２つの選択トランジスタに直列に接続するため、これらの選択トランジスタにおいても電力が消費され、ヒューズ素子に十分な書き込み電力が生じない。この結果、ヒ

ューズ素子への書き込み速度が下がってしまう。特に、直列に接続される選択トランジスタの数が増えるほど、書き込み動作による選択トランジスタの劣化の影響を受けて、書き込み速度を高めることが困難となる。

[0012] また、特許文献１および２では、読み出し時の電流経路に、書き込み時に使用した選択トランジスタが存在するため、書き込み動作時に流れる電流によって選択トランジスタの特性が劣化して電流電圧特性に変動が生じ得る。これにより、読み出し動作のときに、ヒューズ素子からの読み出し電流が低下し、センスアンプに対する出力電圧が不安定となり、読み出し動作マージンが低下する可能性がある。

[0013] また、特許文献３のメモリトランジスタでは、書き込み時にメモリトランジスタのドレイン－ソース間に印加する電圧（書き込み電圧）を大きく設定すると、書き込み速度を高めることができる。しかしながら、メモリトランジスタへの書き込みの際に、書き込みの電流経路に存在する選択トランジスタの特性が変動する可能性がある。これは、半導体装置の信頼性を低下させる要因となり得る。

[0014] 本発明の実施形態は、半導体装置の信頼性を確保しつつ、メモリトランジスタの書き込み速度を高めることを目的とする。

課題を解決するための手段

[0015] 本発明による実施形態の半導体装置は、少なくとも１つのメモリセルを備える。前記少なくとも１つのメモリセルは、第１のチャネル長Ｌ１および第１のチャネル幅Ｗ１を有するメモリトランジスタと、各々が前記メモリトランジスタと電気的に直列に接続され、かつ、独立に第２のチャネル長Ｌ２および第２のチャネル幅Ｗ２を有する複数の選択トランジスタとを含み、前記メモリトランジスタおよび前記複数の選択トランジスタの各々は、共通の酸化物半導体膜から形成された活性層を有し、前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、前記第２のチャネル長Ｌ２は前記第１のチャネ

ル長Ｌ１よりも大きい。

[0016] ある実施形態において、前記複数の選択トランジスタは互いに電気的に並列に接続され、同一のゲート制御線を共有する。

[0017] ある実施形態において、前記第２のチャネル幅Ｗ２は前記第１のチャネル幅Ｗ１よりも小さい。

[0018] ある実施形態において、前記複数の選択トランジスタにおける前記第２のチャネル長Ｌ２に対する前記第２のチャネル幅Ｗ２の比Ｗ２／Ｌ２は、前記メモリトランジスタにおける前記第１のチャネル長Ｌ１に対する前記第１のチャネル幅Ｗ１の比Ｗ１／Ｌ１よりも小さい。

[0019] ある実施形態において、前記複数の選択トランジスタにおける各々の前記第２のチャネル幅Ｗ２の総和は、前記メモリトランジスタにおける前記第１のチャネル幅Ｗ１よりも大きい。

[0020] ある実施形態において、前記メモリトランジスタは基板によって支持され、前記メモリトランジスタは、ゲート電極と、前記ゲート電極を覆うゲート絶縁膜と、前記ゲート絶縁膜上に配置された前記活性層と、前記活性層上に、前記活性層の一部と接するように配置されたソース電極と、前記活性層上に、前記活性層の他の一部と接するように配置されたドレイン電極とを有し、前記基板の法線方向から見たとき、前記活性層のうち、前記ゲート電極と前記ゲート絶縁膜を介して重なり、かつ、前記ソース電極と前記ドレイン電極との間に位置する部分は、Ｕ字形状を有している。

[0021] ある実施形態において、前記酸化物半導体膜は、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜である。

[0022] ある実施形態において、前記Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜は結晶質部分を含む。

[0023] ある実施形態において、前記メモリトランジスタおよび前記複数の選択トランジスタは薄膜トランジスタである。

[0024] ある実施形態において、前記メモリトランジスタは、前記半導体状態であるメモリトランジスタＳおよび前記抵抗体状態であるメモリトランジスタＲ

の一方である。

[0025] ある実施形態において、前記少なくとも１つのメモリセルは複数のメモリセルであり、前記複数のメモリセルの一部では前記メモリトランジスタは前記メモリトランジスタＳであり、前記複数のメモリセルの他の一部では前記メモリトランジスタは前記メモリトランジスタＲである。

[0026] ある実施形態において、前記メモリトランジスタＳでは、ドレイン－ソース間電圧の絶対値が０．１Ｖ以上１０Ｖ以下の範囲内において、ドレイン電流Ｉｄｓの値を前記チャネル幅Ｗ１で除算した値Ｉｄｓ／Ｗ１の絶対値が、１×１０^{-14}Ａ／μｍ以下となるゲート－ソース間電圧の電圧範囲が存在し、前記メモリトランジスタＲでは、ドレイン－ソース間電圧の絶対値が０．１Ｖ以上１０Ｖ以下の範囲内において、ゲート－ソース間電圧を前記電圧範囲内に設定した場合でも、ドレイン電流Ｉｄｓの値を前記チャネル幅Ｗ１で除算した値Ｉｄｓ／Ｗ１の絶対値が、前記ドレイン－ソース間電圧に応じて変化し、１×１０^{-11}Ａ／μｍ以上となる。

[0027] ある実施形態において、前記少なくとも１つのメモリセルは単体のメモリセルであって、かつ、前記メモリトランジスタＳを含み、前記メモリトランジスタＳと前記複数の選択トランジスタとの接続により、内部ノードが形成され、前記メモリトランジスタＳがオン状態であるとき、前記複数の選択トランジスタのゲート電圧を高レベルの電圧ＶＨとすると、前記内部ノードから低レベルの電圧ＶＬが出力され、前記複数の選択トランジスタのゲート電圧を低レベルの電圧ＶＬとすると、前記内部ノードから高レベルの電圧ＶＨが出力される。

[0028] ある実施形態において、前記少なくとも１つのメモリセルは単体のメモリセルであって、かつ、前記メモリトランジスタＳおよび前記メモリトランジスタＲの一方を含み、前記メモリトランジスタＳおよび前記メモリトランジスタＲの一方と前記複数の選択トランジスタとの接続により、内部ノードが形成され、前記少なくとも１つのメモリセルが前記メモリトランジスタＳを含むとき、前記メモリトランジスタＳのゲート電圧を、前記メモリトランジ

スタＳがオン状態とならない低レベルの電圧ＶＬに設定し、前記複数の選択トランジスタのゲート電圧を高レベルの電圧ＶＨに設定した場合、低レベルの電圧ＶＬが内部ノードから出力され、前記少なくとも１つのメモリセルが前記メモリトランジスタＲを含むとき、前記メモリトランジスタＲのゲート電圧を、前記メモリトランジスタＲがオン状態とならない低レベルの電圧ＶＬに設定し、前記複数の選択トランジスタのゲート電圧を高レベルの電圧ＶＨに設定した場合、高レベルの電圧ＶＨが内部ノードから出力される。

[0029] ある実施形態において、第１の複数のワード線および第２の複数のワード線を制御するワード線制御回路と、複数のビット線を制御するビット線制御回路と、前記複数のメモリセルからの読み出し信号を検出するセンスアンプ回路とをさらに備え、前記複数のメモリセルは行方向および列方向に配置され、同一行に配置されたメモリセルに含まれる前記メモリトランジスタのゲート電極は、前記第１の複数のワード線のうち各行に対応する各々を介してワード線制御回路に接続され、同一行に配置されたメモリセルに含まれる前記複数の選択トランジスタの各々のゲート電極は、前記第２の複数のワード線のうち各行に対応する各々を介してワード線制御回路に接続され、同一列に配置されたメモリセルに含まれる前記メモリトランジスタのドレイン電極は、前記複数のビット線のうち各列に対応する各々を介して前記ビット線制御回路および前記センスアンプ回路に接続される。

[0030] ある実施形態において、第１および第２のワード線を制御するワード線制御回路と、複数のビット線を制御するビット線制御回路と、前記複数のメモリセルからの読み出し信号を検出するセンスアンプ回路とをさらに備え、前記複数のメモリセルは行方向に配置され、前記複数のメモリセルに含まれる前記メモリトランジスタのゲート電極は前記第１のワード線を介してワード線制御回路に接続され、前記複数のメモリセルに含まれる前記複数の選択トランジスタの各々のゲート電極は前記第２のワード線を介してワード線制御回路に接続され、各列に配置されたメモリセルに含まれる前記メモリトランジスタのドレイン電極は、前記複数のビット線のうち各列に対応する各々を

介して前記ビット線制御回路および前記センスアンプ回路に接続される。

[0031] ある実施形態において、第１のワード線および第２の複数のワード線を制御するワード線制御回路と、ビット線を制御するビット線制御回路と、前記複数のメモリセルからの読み出し信号を検出するセンスアンプ回路とをさらに備え、前記複数のメモリセルは列方向に配置され、各行に配置されたメモリセルに含まれる前記メモリトランジスタのゲート電極は前記第１のワード線を介してワード線制御回路に接続され、各行に配置されたメモリセルに含まれる前記複数の選択トランジスタの各々のゲート電極は、前記第２の複数のワード線のうち各行に対応する各々を介してワード線制御回路に接続され、前記複数のメモリセルに含まれる前記メモリトランジスタのドレイン電極は前記ビット線を介して前記ビット線制御回路および前記センスアンプ回路に接続される。

[0032] ある実施形態において、前記複数のメモリセルからの読み出し信号を検出するセンスアンプ回路をさらに備え、前記複数のメモリセルは行方向および／または列方向に配置され、前記メモリトランジスタと前記複数の選択トランジスタとの接続により、内部ノードが形成され、前記内部ノードは前記センスアンプ回路に接続される。

[0033] ある実施形態において、前記複数の選択トランジスタの各々におけるゲートーソース間電圧は前記メモリトランジスタにおけるゲートーソース間電圧以上である。

[0034] ある実施形態において、前記複数の選択トランジスタの各々の閾値電圧は前記メモリトランジスタの閾値電圧以上である。

[0035] ある実施形態において、前記複数の選択トランジスタにおける各々のソース電極は接地されている。

[0036] ある実施形態において、前記メモリトランジスタの前記活性層の上方には有機絶縁膜が形成されていない。

[0037] ある実施形態において、液晶表示装置は上記のいずれかの半導体装置を備える。

[0038] 本発明による他の実施形態の半導体装置は、少なくとも１つのメモリセルを備える。前記少なくとも１つのメモリセルは、第１のチャネル長Ｌ１および第１のチャネル幅Ｗ１を有するメモリトランジスタと、各々が前記メモリトランジスタと電気的に直列に接続され、かつ、独立に第２のチャネル長Ｌ２および第２のチャネル幅Ｗ２を有する複数の選択トランジスタとを含み、前記メモリトランジスタおよび前記複数の選択トランジスタの各々は、共通の酸化物半導体膜から形成された活性層を有し、前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、前記複数の選択トランジスタは互いに電気的に並列に接続され、同一のゲート制御線を共有する。

[0039] 本発明による他の実施形態の半導体装置は、少なくとも１つのメモリセルを備える。前記少なくとも１つのメモリセルは、第１のチャネル長Ｌ１および第１のチャネル幅Ｗ１を有するメモリトランジスタと、各々が前記メモリトランジスタと電気的に直列に接続され、かつ、独立に第２のチャネル長Ｌ２および第２のチャネル幅Ｗ２を有する複数の選択トランジスタとを含み、前記メモリトランジスタおよび前記複数の選択トランジスタの各々は、共通の酸化物半導体膜から形成された活性層を有し、前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、前記第２のチャネル幅Ｗ２は前記第１のチャネル幅Ｗ１よりも小さい。

[0040] 本発明による他の実施形態の半導体装置は、少なくとも１つのメモリセルを備える。前記少なくとも１つのメモリセルは、第１のチャネル長Ｌ１および第１のチャネル幅Ｗ１を有するメモリトランジスタと、各々が前記メモリトランジスタと電気的に直列に接続され、かつ、独立に第２のチャネル長Ｌ２および第２のチャネル幅Ｗ２を有する複数の選択トランジスタとを含み、前記メモリトランジスタおよび前記複数の選択トランジスタの各々は、共通

の酸化物半導体膜から形成された活性層を有し、前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、前記複数の選択トランジスタにおける前記第２のチャネル長Ｌ２に対する前記第２のチャネル幅Ｗ２の比Ｗ２／Ｌ２は、前記メモリトランジスタにおける前記第１のチャネル長Ｌ１に対する前記第１のチャネル幅Ｗ１の比Ｗ１／Ｌ１よりも小さい。

[0041] 本発明による他の実施形態の半導体装置は、少なくとも１つのメモリセルを備える。前記少なくとも１つのメモリセルは、第１のチャネル長Ｌ１および第１のチャネル幅Ｗ１を有するメモリトランジスタと、各々が前記メモリトランジスタと電気的に直列に接続され、かつ、独立に第２のチャネル長Ｌ２および第２のチャネル幅Ｗ２を有する複数の選択トランジスタとを含み、前記メモリトランジスタおよび前記複数の選択トランジスタの各々は、共通の酸化物半導体膜から形成された活性層を有し、前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、前記複数の選択トランジスタにおける各々の前記第２のチャネル幅Ｗ２の総和は、前記メモリトランジスタにおける前記第１のチャネル幅Ｗ１よりも大きい。

発明の効果

[0042] 本発明の一実施形態によると、メモリトランジスタおよび複数の選択トランジスタを備えた半導体装置において、メモリトランジスタの書き込み速度を高めるとともに、メモリトランジスタへの書き込みの際に、書き込みの電流経路に存在する選択トランジスタの特性が低下することを抑えることが可能になる。従って、半導体装置の信頼性を確保しつつ、メモリトランジスタの書き込み速度を高めることができる。

図面の簡単な説明

[0043] [図1]（ａ）はメモリトランジスタの書き込み電圧Ｖｄｓおよびゲート電圧Ｖ

ｇｓと書き込み時間との関係を示す図であり、（ｂ）は書き込み時のゲート電圧ＶｇｓおよびＶｄｓを一定とした場合の、メモリトランジスタのチャネル長Ｌおよびチャネル幅Ｗと書き込み時間との関係を示す図あり、（ｃ）はチャネル領域の平面形状と書き込み時間との関係を示す図である。

[図2]（ａ）は、メモリセル１０１におけるメモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂを示す断面図であり、（ｂ）および（ｃ）は、それぞれ、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂの平面図である。

[図3]（ａ）～（ｃ）は、メモリセル１０１の構成例を示す図である。

[図4]（ａ）～（ｄ）は、メモリトランジスタ１０Ａにおける各端子に印加する電圧Ｖｄｐ、Ｖｇｐ、Ｖｓｐの電圧波形の典型例を、４パターンに分けて模式的に示した図である。

[図5]（ａ）および（ｂ）は、ソース電極が接地されたメモリトランジスタ１０Ａの各端子に印加する電圧の関係を示す図である。

[図6]（ａ）は、書き込み前および書き込み後におけるゲート電圧Ｖｇｓとドレイン電流Ｉｒとの関係を示す図であり、（ｂ）は、書き込み後における、ドレイン電圧Ｖｄｓと、ドレイン－ソース間の抵抗およびドレイン電流Ｉｒとの関係を示す図である。

[図7]（ａ）は、メモリトランジスタ１０Ａの初期状態におけるＩｄｓ－Ｖｇｓ特性を示す図であり、（ｂ）は、メモリトランジスタ１０Ａの初期状態におけるＩｄｓ－Ｖｄｓ特性を示す図である。

[図8]（ａ）は、メモリトランジスタ１０Ａの書き込み動作後におけるＩｄｓ－Ｖｇｓ特性を示す図であり、（ｂ）は、メモリトランジスタ１０Ａの書き込み動作後におけるＩｄｓ－Ｖｄｓ特性を示す図である。

[図9]書き込み前後の電気的特性を比較するため、書き込み前および書き込み後のメモリトランジスタ１０Ａにおける、Ｖｇｓ＝０Ｖの場合の原点付近のＩｄｓ－Ｖｄｓ特性を拡大して示す図である。

[図10]書き込み前後のメモリトランジスタ１０Ａのｌｄｓ－Ｖｇｓ特性を重ね合わせて示す図である。

[図11]書き込み前後のメモリトランジスタ１０Ａの、ｌｄｓ－Ｖｄｓ特性から得られる微分抵抗（ｄＶｄｓ／ｄｌｄｓ、単位：Ωμｍ）とドレイン電圧Ｖｄｓとの関係を示す図である。

[図12]書き込み時間（単位：ｍ秒）と単位ドレイン電流（単位：Ａ／μｍ）との関係の一例を示す図である。

[図13]第１の実施形態による不揮発性メモリアレイ１００１の構成例である。

[図14]第２の実施形態による不揮発性メモリアレイ２００１の構成例である。

[図15]第３の実施形態による不揮発性メモリアレイ３００１の構成例である。

[図16]第４の実施形態による不揮発性メモリアレイ４００１の構成例である。

[図17]（ａ）は、ロジック回路２００の基本回路構成を示す図であり、（ｂ）は、ロジック回路２００の書き込み動作を模式的に示す図であり、（ｃ）は、ロジック回路２００の読み出し動作を模式的に示す図である。

[図18]アクティブマトリクス基板を用いた液晶表示装置５００１のブロック構成を例示する図である。

[図19]（ａ）～（ｄ）は、それぞれ、不揮発性記憶装置６０ａ～６０ｃを構成するメモリセル、液晶表示装置５００１の画素回路、ゲートドライバ７６、および、ゲートドライバ７６の一段分の構成を示す概略図である。

[図20]（ａ）および（ｂ）は、第７の実施形態による集積回路６００１を例示する回路ブロック図および半導体装置の一部を示す断面図である。

[図21]（ａ）および（ｂ）は、それぞれ、活性層の上方に上部ゲート電極を有するメモリトランジスタ１０Ａの構成を例示する平面図および断面図である。

[図22]（ａ）および（ｂ）は、それぞれ、メモリトランジスタ１０Ａの活性層上に、エッチストップとして保護層を有する構成の一例を示す平面図及び断面図である。

[図23]（ａ）および（ｂ）は、それぞれ、メモリトランジスタ１０Ａのソースおよびドレイン電極上に活性層を有する構成の一例を示す平面図及び断面図である。

[図24]（ａ）および（ｂ）は、それぞれ、トップゲート構造を有するメモリトランジスタ１０Ａの一例を示す断面図および平面図である。

発明を実施するための形態

[0044] 本発明者は、メモリトランジスタおよび選択トランジスタを含む、特許文献３に開示されているメモリセルにおいて、選択トランジスタの特性低下を抑制しつつ、メモリトランジスタの書き込み速度を高めることが可能な構成について検討を重ねた。

[0045] 本発明者は、まず、メモリトランジスタの書き込み速度と書き込み電圧との関係を調べた。

[0046] 図１（ａ）は、メモリトランジスタの書き込み電圧Ｖｄｓおよびゲート電圧Ｖｇｓと書き込み時間との関係を示す図である。横軸は書き込み時のゲート電圧Ｖｇｓ、縦軸は書き込み時間を表している。なお、ゲート電圧Ｖｇｓはゲート－ソース間の電圧、書き込み電圧Ｖｄｓは、書き込み時にドレイン－ソース間に印加する電圧をいう。また、「書き込み時間」は、メモリトランジスタに所定のゲート電圧Ｖｇｓおよび書き込み電圧Ｖｄｓを印加し、ドレイン電流（書き込み電流）を流した状態で、メモリトランジスタの金属酸化物半導体が抵抗体に変化するまでに要する時間をいう。本願明細書では、「書き込み動作」を「プログラム」と称する場合がある。

[0047] 図１（ａ）に示す結果から、書き込み電圧Ｖｄｓが大きいほど、書き込み時間が短くなる、すなわち書き込み速度が大きくなることが分かる。しかしながら、メモリトランジスタと共通の酸化物半導体膜を用いて選択トランジスタが形成されている場合には、メモリトランジスタに高い書き込み電圧Ｖ

ｄｓを印加すると、選択トランジスタにも書き込みの反応（チャネル領域の低抵抗化）が生じ、選択トランジスタの特性が変動する可能性がある。また、書き込み時と読み出し時とで同一の選択トランジスタが使用される構成では、書き込み時の影響を受けて読み出し時において選択トランジスタの特性に影響が出る可能性がある。

[0048] そこで、本発明者は、トランジスタのチャネル長およびチャネル幅に着目し、メモリトランジスタと比べて選択トランジスタでは、書き込み時間が十分に長くなり、かつ、書き込みの反応がより高い電圧によって生じるメモリセルの構成を検討した。ここで、書き込み時間は、単に、書き込み時にチャネル領域に生じるジュール熱の発生量にのみ依存するわけではない。ジュール熱の発生量が同じであっても、ジュール熱をより効率的に利用して、チャネル領域の低抵抗化に要する時間（書き込み時間）を短縮させることも可能であると考えられる。

[0049] 図１（ｂ）は、書き込み時のゲート電圧Ｖｇｓおよび書き込み電圧Ｖｄｓを一定（Ｖｇｓ＝３０Ｖ、Ｖｄｓ＝３０Ｖ）とした場合の、メモリトランジスタのチャネル長Ｌおよびチャネル幅Ｗと書き込み時間との関係を示す。横軸はメモリトランジスタのチャネル幅Ｗ、縦軸は書き込み時間を表している。

[0050] 図１（ｂ）に示す結果から、チャネル長Ｌが短くなるほど書き込み時間が短くなることが分かる。これは、書き込み時にドレイン－ソース間に流れる電流（書き込み電流）Ｉｐｐが大きくなり、ジュール熱の発生量が増加することに加えて、ジュール熱をより効率的にチャネル領域の特性変化に利用できるからと考えられる。

[0051] また、チャネル幅Ｗが大きくなるほど書き込み時間が短くなることが分かる。これは、書き込み電流Ｉｐｐが大きくなってジュール熱の発生量が増加することに加えて、チャネル領域の中央部分（チャネル幅方向における中央部分）の温度を高めることができ、チャネル領域の少なくとも中央に位置する部分をより効率的に導体化できるからと考えられる。

[0052] ここで、メモリトランジスタの書き込み速度を高めつつ、メモリトランジスタへの書き込みによって選択トランジスタに生じる特性変動を抑えるためには、メモリトランジスタの書き込み反応は、より短い書き込み時間で、かつ、より低い書き込み電圧で生じることが好ましい。一方、選択トランジスタの書き込み反応は、メモリトランジスタの書き込み反応と比べて、十分に長い書き込み時間で、かつ、十分に高い書き込み電圧でしか生じないことが好ましい。

[0053] このような観点から図１（ａ）および（ｂ）に示す結果を検討した結果、以下のような知見が得られた。

[0054] メモリトランジスタの書き込み電流経路に存在する選択トランジスタと、同じメモリセルに含まれるメモリトランジスタとの間では、下記（１）～（５）の少なくとも１つの関係が成立することが好ましい。これにより、書き込み時における選択トランジスタのジュール熱を最小化し、選択トランジスタの書き込み反応を抑制することができる。この結果、選択トランジスタの特性変動を抑えつつ、メモリトランジスタの書き込み速度を改善できる。

[0055] （１）選択トランジスタのチャネル長は、書き込み時に選択トランジスタにより選択されるメモリトランジスタのチャネル長よりも大きい。

（２）選択トランジスタは複数の選択トランジスタから構成され、かつ、複数の選択トランジスタは互いに電気的に並列に接続され、同一のゲート制御線を共有する。

（３）複数の選択トランジスタの各々のチャネル幅は、メモリトランジスタのチャネル幅よりも小さい。

（４）複数の選択トランジスタにおける各々のチャネル長に対するチャネル幅の比は、メモリトランジスタにおけるチャネル長に対するチャネル幅の比よりも小さい。

（５）複数の選択トランジスタの各々のチャネル幅の総和は、メモリトランジスタのチャネル幅よりも大きい。

[0056] なお、より確実に選択トランジスタの特性変動を抑制するためには、上記

（４）の関係を満たすことが好ましい。また、上記（１）～（４）のうち少なくとも１つの関係が成立すると、選択トランジスタの電流駆動能力が低下してしまう可能性がある。このため、選択トランジスタの電流駆動能力をより確実に確保するという観点からは、少なくとも上記（５）の関係が成立することがさらに好ましい。

[0057] 次に、本発明者は、メモリトランジスタの素子構造を検討し、その素子構造によっても書き込み特性が変化することを見出した。例えば、メモリトランジスタが、ジュール熱を発生しやすい構造、あるいは、発生したジュール熱を拡散し難い構造を有していると、より高い書き込み特性を実現できる。一例として、チャネル領域の平面形状によって、ジュール熱をさらに効率的に利用し、書き込み時間の短縮を実現することが可能になる。

[0058] 図１（ｃ）は、チャネル領域の平面形状と書き込み時間との関係を示す図である。横軸は、ゲート電圧Ｖｇｓおよび書き込み電圧Ｖｄｓ（ただし、Ｖｇｓ＝Ｖｄｓとする）、縦軸は書き込み時間である。ここでは、チャネル領域の平面形状が矩形であるメモリトランジスタと、チャネル領域の平面形状がＵ字形であるメモリトランジスタとについて、書き込み時間を調べた。なお、これらのメモリトランジスタのチャネル幅およびチャネル長は等しく、また、チャネル領域の平面形状以外の構成（活性層の厚さ、ゲート絶縁膜の材料や厚さなど）も同じとした。

[0059] 図１（ｃ）に示す結果から、チャネル領域をＵ字形にすることにより、矩形の場合よりも、書き込み電流によって生じたジュール熱をより効率的に書き込みに利用できることが分かる。この理由は、次のように考えられる。Ｕ字形のチャネル領域を形成する場合、基板の法線方向から見たとき、ドレイン電極およびソース電極のうち一方が他方によって囲まれる構造となる。このため、囲まれた方の電極側で電流密度が高くなって、他方の電極側よりも大きなジュール熱が発生する。この結果、ジュール熱による酸化物半導体の低抵抗化が進み、書き込み動作が促進される。なお、チャネル領域の平面形状はＵ字形に限定されず、局所的に電流密度が高くなるような形状を有して

いれば、同様の効果を呈する。

[0060] 従って、上記（１）～（５）に示す関係以外においても、メモリトランジスタと選択トランジスタとでチャネル領域の平面形状を異ならせることによって、メモリトランジスタの書き込み速度をさらに高め、かつ、選択トランジスタの書き込みによる特性変動をより効果的に抑制できる。例えば、上記（３）の関係が満たされ、かつ、基板の法線方向から見たとき、メモリトランジスタのチャネル領域がＵ字形、選択トランジスタのチャネル領域が矩形であれば、メモリトランジスタと選択トランジスタとの書き込み時間の差をさらに拡大でき、相乗効果によってより顕著な効果が得られる。

[0061] なお、図１（ａ）および（ｂ）に示す結果は、基板の法線方向から見たときにチャネル領域が矩形であるメモリトランジスタを用いて検討した結果であるが、チャネル領域の平面形状が矩形以外（例えば、Ｕ字形）の場合でも同様の傾向を示すと考えられる。

[0062] 本発明者は、上記の知見に基づいて、メモリトランジスタの書き込みを所定の書き込み時間内に完了させるとともに、選択トランジスタの書き込み時間を十分に長くできる構成を見出し、本発明に至った。

[0063] 以下、添付の図面を参照しながら、本発明による半導体装置の実施形態を説明する。

[0064] （第１の実施形態）

本発明による半導体装置の第１の実施形態は、行方向および列方向に配置された複数のメモリセルを備えた不揮発性半導体記憶装置（以降は、「不揮発性メモリアレイ」と称する。）である。メモリセルは、メモリトランジスタおよび複数の選択トランジスタを含む。

[0065] （メモリセル１０１の構成）

図２（ａ）は、本実施形態のメモリセル１０１におけるメモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂを示す断面図である。図２（ｂ）および（ｃ）は、それぞれ、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂの平面図である。図２（ａ）は、図２（ｂ）のＩ－Ｉ’線および図

２（ｃ）のＩＩ－ＩＩ’線に沿った断面構造を示している。

[0066] メモリセル１０１は、基板１と、基板１に支持されたメモリトランジスタ１０Ａと、各々が基板１に支持された複数の選択トランジスタ１０Ｂとを備えている。これらのトランジスタ１０Ａ、１０Ｂは、共通の酸化物半導体膜から形成された活性層（酸化物半導体層）７Ａ、７Ｂを有している。なお、図２（ａ）および（ｃ）は、複数の選択トランジスタ１０Ｂのうちの１つの選択トランジスタの構造を代表して示している。残りの選択トランジスタの構造も図２（ａ）および（ｃ）に示す通りである。ただし、本発明はこれに限定されず、複数の選択トランジスタはそれぞれ共通の活性層（酸化物半導体層）を有していればよく、互いに異なった構造（例えば、チャネル長やチャネル幅が異なった構造）を有していてもよい。

[0067] メモリトランジスタ１０Ａは、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存する状態（半導体状態という。）から、ドレイン電流Ｉｄｓがゲート－ソース間電圧Ｖｇｓに依存しない状態（抵抗体状態という。）に不可逆的に変化させられ得る不揮発性メモリ素子である。ここで、ドレイン電流Ｉｄｓは、メモリトランジスタ１０Ａのソース－ドレイン間を流れる電流である。

[0068] 上記の状態変化は、例えば、半導体状態（初期状態）のメモリトランジスタ１０Ａのドレイン－ソース間に所定の書き込み電圧Ｖｐｐを所定の時間において印加することによって生じる。書き込み電圧Ｖｐｐの印加により、活性層７Ａのうちチャネルが形成される部分（チャネル領域７ｃＡ）に電流が流れ、ジュール熱が発生する。このジュール熱により、活性層７Ａのうちチャネル領域７ｃＡが低抵抗化される。この結果、メモリトランジスタ１０Ａは、ゲート－ソース間電圧Ｖｇｓに依存せずに、オーミック特性を示す抵抗体状態となる。酸化物半導体の低抵抗化が生じる理由は現在解明中であるが、ジュール熱によって酸化物半導体中に含まれる酸素がチャネル領域７ｃＡの外部に拡散することにより、チャネル領域７ｃＡ中の酸素欠損が増加してキャリア電子が生じるからと考えられる。なお、このような状態変化が生じ

得るメモリトランジスタは、本出願人による特許文献３、本出願人による未公開の特許出願である特願２０１２－１３７８６８号および特願２０１２－２３１４８０号に記載されている。これらの開示内容の全てを参考のために本願明細書に援用する。

[0069] 本実施形態では、メモリトランジスタ１０Ａのチャネル長Ｌ１およびチャネル幅Ｗ１と、選択トランジスタ１０Ｂのチャネル長Ｌ２およびチャネル幅Ｗ２との関係が、上述した（１）～（５）の少なくとも１つの関係を満たすように、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂの設計値が最適化されている。

[0070] これにより、メモリトランジスタの書き込み反応は、より短い書き込み時間で、かつ、より低い書き込み電圧により生じる。一方、選択トランジスタの書き込み反応は、メモリトランジスタの書き込み反応と比べて、十分に長い書き込み時間で、かつ、十分に高い書き込み電圧でしか生じない。この結果、メモリトランジスタの書き込み速度を高めつつ、メモリトランジスタへの書き込みによって選択トランジスタに生じる特性変動を抑えることが可能になる。

[0071] また、より好ましくは、複数の選択トランジスタにおける各々のチャネル幅Ｗ２の総和は、メモリトランジスタ１０Ａにおけるチャネル幅Ｗ１よりも大きくなるように設定される。これにより、各々の選択トランジスタ１０Ｂの電流駆動能力を十分に確保することができ、また、書き込み動作に起因する選択トランジスタ１０Ｂの特性変動をより確実に抑えることができる。

[0072] 従って、本実施形態によれば、例えば、メモリトランジスタ１０Ａと選択トランジスタ１０Ｂとに同じ電圧が印加されてドレイン電流が流れる場合でも、メモリトランジスタ１０Ａで書き込み動作を完了させて、抵抗体状態に遷移させることができる。また、選択トランジスタ１０Ｂの書き込み動作を完了させずに、選択トランジスタ１０Ｂを初期の半導体状態のまま維持することが可能になる。メモリトランジスタ１０Ａの書き込み動作が完了した時点でドレイン電流を遮断すると、メモリトランジスタ１０Ａのみを抵抗体状

態に遷移させることができる。

[0073] ここで、各トランジスタ１０Ａ、１０Ｂの具体的な構造を説明する。

[0074] メモリトランジスタ１０Ａは、酸化物半導体膜から形成された活性層７Ａと、ゲート電極３Ａと、活性層７Ａとゲート電極３Ａとの間に位置するゲート絶縁膜５と、活性層７Ａの一部と接するように配置されたソース電極９ｓＡと、活性層７Ａの他の一部と接するように配置されたドレイン電極９ｄＡとを有している。基板１の法線方向から見たとき、活性層７Ａの少なくとも一部は、ゲート絶縁膜５を介してゲート電極３Ａと重なるように配置される。なお、活性層７Ａとソース電極９ｓＡおよびドレイン電極９ｄＡとは、電気的に接続されていればよく、直接接していなくてもよい。活性層７Ａのうちソース電極９ｓＡと接する領域（または電気的に接続された領域）を「ソースコンタクト領域」と、ドレイン電極９ｄＡと接する領域（または電気的に接続された領域）を「ドレインコンタクト領域」と称する。基板１の法線方向から見たとき、ゲート電極３Ａとゲート絶縁膜５を介して重なり、かつ、活性層７Ａのうちソースコンタクト領域とドレインコンタクト領域との間に位置する領域がチャネル領域７ｃＡとなる。本願明細書では、チャネル領域７ｃＡのチャネル方向の長さをチャネル長Ｌ１、チャネル領域７ｃＡのチャネル方向に直交する方向の長さをチャネル幅Ｗ１という。

[0075] 本実施形態では、活性層７Ａの全体がゲート電極３Ａと重なっており、活性層７Ａとソース電極９ｓＡおよびドレイン電極９ｄＡとが直接接している。このような場合、メモリトランジスタ１０Ａのチャネル長Ｌ１は、基板１の法線方向から見たとき、活性層７Ａ上におけるソース電極９ｓＡとドレイン電極９ｄＡとの間隙部分のチャネル方向の長さに相当する。チャネル幅Ｗ１は、上記間隙部分のチャネル方向に直交する方向の長さに相当する。

[0076] また、図示する例では、基板１の法線方向から見たとき、ドレイン電極９ｄＡおよびソース電極９ｓＡのうち一方の電極（ここではドレイン電極９ｄＡ）は、活性層７Ａ上に凹部を有しており、他方の電極（ここではソース電極９ｓＡ）は、ドレイン電極９ｄＡの凹部内に、ドレイン電極９ｄＡと間隔

を空けて配置されている。このため、ソース電極９ｓＡおよびドレイン電極９ｄＡの間に位置するチャネル領域７ｃＡは、Ｕ字形状を有している。このような場合、図２（ｂ）に示すように、ソース電極９ｓＡとドレイン電極９ｄＡとの間に位置する間隙部分の幅がチャネル長Ｌ１である。また、チャネル領域７ｃＡのうちソース電極９ｓＡからの距離とドレイン電極９ｄＡからの距離とが等しくなる線の長さ（ソース電極９ｓＡとドレイン電極９ｄＡとの活性層７Ａ上での離間距離の２等分点を結ぶ線の長さ）がチャネル幅Ｗ１である。

[0077] 選択トランジスタ１０Ｂは、活性層７Ａと共通の酸化物半導体膜から形成された活性層７Ｂと、ゲート電極３Ｂと、活性層７Ｂとゲート電極３Ｂとの間に位置するゲート絶縁膜５と、活性層７Ｂの一部と接するように配置されたソース電極９ｓＢと、活性層７Ａの他の一部と接するように配置されたドレイン電極９ｄＢとを有している。基板１の法線方向から見たとき、ゲート電極３Ｂは、活性層７Ｂの少なくとも一部と重なるように配置される。上述したメモリトランジスタ１０Ａと同様に、活性層７Ｂは、ソース電極９ｓＢと接する（または電気的に接続された）ソースコンタクト領域、ドレイン電極９ｄＢと接する（または電気的に接続された）ドレインコンタクト領域、およびチャネル領域７ｃＢを有する。チャネル領域７ｃＢは、基板１の法線方向から見たとき、ゲート電極３Ｂとゲート絶縁膜５を介して重なり、かつ、活性層７Ｂのうちソースコンタクト領域とドレインコンタクト領域との間に位置する領域である。図示する例では、選択トランジスタ１０Ｂのチャネル長Ｌ２は、活性層７Ｂ上におけるソース電極９ｓＢとドレイン電極９ｄＢとの間隙部分のチャネル方向の長さ、チャネル幅Ｗ２は、間隙部分のチャネル方向に直交する方向の長さである。

[0078] 本実施形態では、メモリトランジスタ１０Ａのチャネル領域７ｃＡはＵ字形状であり、選択トランジスタ１０Ｂのチャネル領域７ｃＢは矩形である。これにより、メモリトランジスタ１０Ａにおいては、書き込み電流によって生じるジュール熱を、チャネル領域７ｃＡの低抵抗化（書き込み）において

より効率的に利用できる。また、活性層７Ａのサイズを増大することなく、チャネル幅Ｗ１を拡大できる。つまり、上述した（３）の関係を容易に実現することができる。従って、メモリトランジスタ１０Ａと選択トランジスタ１０Ｂとの書き込み速度の差をより拡大できる。このため、メモリトランジスタ１０Ａへの書き込みによる選択トランジスタ１０Ｂの特性変動をより確実に抑制できる。

[0079] 本実施形態では、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂのゲート電極３Ａ、３Ｂは、共通のゲート用導電膜から形成されている。また、メモリトランジスタ１０Ａのゲート絶縁膜５は、選択トランジスタ１０Ｂまで延設され、選択トランジスタ１０Ｂのゲート絶縁膜としても機能する。メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂのソース電極９ｓＡ、９ｓＢおよびドレイン電極９ｄＡ、９ｄＢは、共通のソース用導電膜から形成されている。これにより、選択トランジスタ１０Ｂとメモリトランジスタ１０Ａとを共通のプロセスを利用して形成できるので、製造工程数を低減できる。

[0080] なお、図２に示す例では、メモリトランジスタ１０Ａのチャネル領域７ｃＡの平面形状はＵ字形であるが、矩形であってもよい。同様に、選択トランジスタ１０Ｂのチャネル領域７ｃＢの平面形状は矩形であるが、Ｕ字形であってもよい。ただし、チャネル領域７ｃＢの形状がＵ字形となることにより、チャネル領域７ｃＢの低抵抗化が促進される可能性がある。このため、例えば、チャネル長Ｌ１に対してチャネル長Ｌ２を十分に長くし、選択トランジスタ１０Ｂでの書き込み反応を抑制する必要がある。

[0081] また、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂはボトムゲート構造に限定されず、トップゲート構造を有していてもよい。ただし、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂが同様の構造を有していると、共通のプロセスを利用してこれらのトランジスタ１０Ａ、１０Ｂを形成できるため、製造工程数を低減できる。

[0082] メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂの活性層７Ａ、

７Ｂとなる酸化物半導体膜は、例えばＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜である。ここで、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体は、Ｉｎ（インジウム）、Ｇａ（ガリウム）、Ｚｎ（亜鉛）の三元系酸化物であって、Ｉｎ、ＧａおよびＺｎの割合（組成比）は本実施形態に限定されず、例えばＩｎ：Ｇａ：Ｚｎ＝２：２：１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：２等を含む。本実施形態では、活性層７Ａ、７Ｂは、Ｉｎ、Ｇａ、Ｚｎを、例えばＩｎ：Ｇａ：Ｚｎ＝１：１：１の割合で含むＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体層であってもよい。

[0083] Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体層を有するＴＦＴ（Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ）は、高い移動度（ａ－ＳｉＴＦＴに比べ２０倍超）および低いリーク電流（ａ－ＳｉＴＦＴに比べ１００分の１未満）を有している。Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体層を有するＴＦＴを用いれば、表示装置の消費電力を大幅に削減することが可能になる。

[0084] Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体は、アモルファスでもよいし、結晶質部分を含んでもよい。結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体としては、ｃ軸が層面に概ね垂直に配向した結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体を用いてもよい。このようなＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体の結晶構造は、例えば、特開２０１２－１３４４７５号公報に開示されている。参考のために、特開２０１２－１３４４７５号公報の開示内容の全てを本願明細書に援用する。

[0085] 酸化物半導体膜として、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体の代わりに、ジュール熱による低抵抗化が生じ得る他の半導体膜を用いてもよい。例えばＮｉＯ、SnO_2、TiO_2、VO_2、In_2O_3、$SrTiO_3$を含む半導体膜を用いてもよい。あるいは、Ｚｎ－Ｏ系半導体（ＺｎＯ）、Ｉｎ－Ｚｎ－Ｏ系半導体（ＩＺＯ（登録商標））、Ｚｎ－Ｔｉ－Ｏ系半導体（ＺＴＯ）、Ｃｄ－Ｇｅ－Ｏ系半導体、Ｃｄ－Ｐｂ－Ｏ系半導体、ＣｄＯ（酸化カドミウム）、Ｍｇ－Ｚｎ－Ｏ系半導体、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系半導体（例えばIn_2O_3－SnO_2－ＺｎＯ）、Ｉｎ－Ｇａ－Ｓｎ－Ｏ系半導体などを用いることもできる。さらに、これらの酸化物半導体に種々の不純物を添加した膜を使用してもよ

い。

[0086] （メモリセル１０１の動作）

次に、図３～１２を参照して、メモリセル１０１単体の動作を説明する。

[0087] 例えば半導体状態（初期状態）を論理値「０」、抵抗体状態を論理値「１」に割り当てる。これにより、メモリトランジスタ１０Ａは、不揮発性メモリアレイに含まれるメモリセル１０１を構成するトランジスタの一部（記憶素子）として用いられ得る。

[0088] 以下、メモリトランジスタ１０Ａを用いたメモリセル１０１の構成および動作の一例を説明する。

[0089] 図３は、複数の選択トランジスタ１０Ｂが互いに電気的に並列に接続された構成例を示す。図３（ａ）は、２つの選択トランジスタ１０Ｂ＿１および１０Ｂ＿２が電気的に並列に接続され、かつ、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２のソース電極が接地されている例を示す。

[0090] 本実施形態によるメモリセル１０１は複数の選択トランジスタ１０Ｂを含む。複数の選択トランジスタ１０Ｂは互いに電気的に並列に接続される。図３（ａ）に示すように、メモリセル１０１には例えば２つの選択トランジスタ１０Ｂ＿１および１０Ｂ＿２が含まれる。それらは互いに電気的に並列に接続され、同一のゲート制御線１１Ｇを共有する。選択トランジスタ１０Ｂ＿１および１０Ｂ＿２にはゲート制御線１１Ｇを介して共通のゲート－ソース間電圧Ｖｇｓｔが印加される。また、選択トランジスタ１０Ｂ＿１とメモリトランジスタ１０Ａとは、直列に電気的に接続され、選択トランジスタ１０Ｂ＿２とメモリトランジスタ１０Ａとは、直列に電気的に接続されている。本実施形態では、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２のソース電極は接地されている例を示すが、当然ながら基準電圧Ｖｓｓに固定されていればよいということは言うまでもない。

[0091] 図３（ａ）に示すメモリセル１０１では、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２にゲート制御線１０Ｇを介して共通のゲート－ソース間電圧Ｖｇｓｔを印加してオン状態にする。これにより、メモリトランジスタ１０

Ａへの書き込み動作が可能になる。メモリトランジスタ１０Ａにゲートーソース間電圧ｇｓｍを印加するとによりメモリトランジスタ１０Ａはオン状態となる。そして、メモリトランジスタ１０Ａにドレーン電圧（書き込み電圧）Ｖｐｐを印加することにより、メモリトランジスタ１０Ａにドレイン電流Ｉｄｓが流れる。これにより、メモリトランジスタ１０Ａのチャネル領域中にジュール熱が発生し、メモリトランジスタ１０Ａは抵抗体状態となる。この状態を例えば論理値「１」に割り当てる。

[0092] また、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２にゲート制御線１０Ｇを介して共通のゲートーソース間電圧Ｖｇｓｔを印加してオン状態にする。これにより、メモリトランジスタ１０Ａの読み出し動作が可能になる。メモリトランジスタ１０Ａがオン状態とならない程度の低レベルのゲート電圧をメモリトランジスタ１０Ａに印加する。

[0093] この状態で読み出しドレイン電圧（読み出し電圧）Ｖｄｒを印加したとき、メモリトランジスタ１０Ａが半導体状態（初期状態）であれば、メモリトランジスタ１０Ａにはドレイン電流Ｉｄｓは流れず、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２にも電流は流れない。一方、メモリトランジスタ１０Ａが抵抗体状態であれば、メモリトランジスタ１０Ａには読み出しドレイン電圧Ｖｄｒに応じたドレイン電流Ｉｒが流れ、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２にも電流が流れる。

[0094] このように、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２は、書き込みまたは読み出し対象のメモリトランジスタ１０Ａを選択するための用途として用いられる。

[0095] ここで、各トランジスタにおけるチャネル長およびチャネル幅の典型例を示す。メモリトランジスタ１０Ａのチャネル長Ｌ１は例えば４μｍに、メモリトランジスタ１０Ａのチャネル幅Ｗ１は例えば１４μｍに設定する。また、各選択トランジスタ１０Ｂのチャネル長Ｌ２は例えば６μｍに、選択トランジスタ１０Ｂのチャネル幅Ｗ２は例えば１０μｍに設定する。このように設計値を最適化することにより、上述した（１）～（５）に示す関係がすべ

て満たされる。この結果、メモリトランジスタ１０Ａと選択トランジスタ１０Ｂ＿１および１０Ｂ＿２との書き込み速度の差をより拡大でき、かつ、メモリトランジスタ１０Ａへの書き込みによる選択トランジスタ１０Ｂ＿１および１０Ｂ＿２の特性変動をより確実に抑制できる。

[0096] なお、上述した（１）～（５）に示す少なくとも１つの関係を満たす限りにおいて、各トランジスタのチャネル長およびチャネル幅の大きさは設計仕様等により適宜変更し得る。また、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２は共通のチャネル長およびチャネル幅を有している必要はなく、それぞれ独立に設計し得る。

[0097] 図３（ｂ）は、３つの選択トランジスタ１０Ｂ＿１、１０Ｂ＿２および１０Ｂ＿３が電気的に並列に接続され、かつ、選択トランジスタ１０Ｂ＿１、１０Ｂ＿２および１０Ｂ＿３のソース電極が接地されている例を示す。図３（ｂ）に例示する構成においても、図３（ａ）の構成と同様に、３つの選択トランジスタ１０Ｂにゲート制御線１０Ｇを介して共通のゲート－ソース間電圧Ｖｇｓｔが印加される。これにより、選択トランジスタ１０Ｂ＿１、１０Ｂ＿２および１０Ｂ＿３がオン状態となり、メモリトランジスタ１０Ａの書き込みまたは読み出し動作が可能になる。

[0098] 選択トランジスタの数が増えるほど、特に上述した（４）および（５）に示す関係を実現し易くなると考えられる。このような観点から、メモリセル１０１において２つよりも３つ以上の選択トランジスタを設けることが好ましい。さらには、例えば４つ以上の選択トランジスタを設けることがより好ましい。

[0099] 図３（ｃ）は、電気的に並列に接続された２つの選択トランジスタ１０Ｂ＿１および１０Ｂ＿２が高電位（Ｖｐｐ）側に存在し、メモリトランジスタ１０Ａのソース電極が接地されている例を示す。図３（ｃ）に例示する構成において、選択トランジスタ１０Ｂ＿１および１０Ｂ＿２にゲート制御線１０Ｇを介して共通のゲート－ソース間電圧Ｖｇｓｔを印加してオン状態にする。これにより、メモリトランジスタ１０Ａの書き込みまたは読み出し動作

が可能になる。ただし、書き込み速度を高くするためにメモリトランジスタ１０Ａにおけるドレイン－ソース間電圧Ｖｄｓをより高く設定することが好ましい。このような観点から、図３（ａ）および（ｂ）に示すように、ＧＮＤ側に選択トランジスタが配置される構成である方が好ましい。

[0100] ここで、図４および５を参照しながら、メモリトランジスタ１０Ａへの書き込み動作の詳細を説明する。

[0101] 図４は、メモリトランジスタ１０Ａにおける各端子に印加する電圧Ｖｄｐ、Ｖｇｐ、Ｖｓｐの電圧波形の典型例を、４パターンに分けて模式的に示す。また、図５は、ソース電極が接地されたメモリトランジスタ１０Ａの各端子に印加する電圧の関係を示す。

[0102] 図５（ａ）に例示するように、メモリトランジスタ１０Ａのソース電極には所定の基準電圧Ｖｓｓが印加される。なお、図５（ａ）の例示では、メモリトランジスタ１０Ａのソース電極は接地されており、基準電圧ＶｓｓはＧＮＤレベルとなる。メモリトランジスタ１０Ａのドレイン電極には所定の書き込みドレイン電圧Ｖｄｓが印加され、メモリトランジスタ１０Ａのゲート電極には所定の書き込みゲート電圧Ｖｇｓが印加される。ここで、書き込みドレイン電圧Ｖｄｓの印加期間と、書き込みゲート電圧Ｖｇｓの印加期間とが重複する期間を書き込み期間Ｔｐｐという。

[0103] 図４（ａ）～（ｄ）に示す４パターンの何れにおいても、メモリトランジスタ１０Ａのドレイン－ソース間には、電圧Ｖｄｓ（＝Ｖｄｐ－Ｖｓｐ）が印加され、メモリトランジスタ１０Ａのゲート－ソース間には、電圧Ｖｇｓ（＝Ｖｇｐ－Ｖｓｐ）が印加される。初期状態にあるメモリトランジスタ１０Ａはオン状態となり、書き込み期間Ｔｐｐにおいて、ドレイン－ソース間には、書き込み電流Ｉｐｐが流れる。なお、上述したとおり、ソース電圧ＶｓｐはＧＮＤレベルの電圧である。

[0104] メモリトランジスタ１０Ａのドレイン－ソース間に書き込み電流Ｉｐｐが流れると、ドレイン－ソース間の電圧Ｖｄｓと書き込み電流Ｉｐｐとの積で表される書き込み電力Ｐｗ（＝Ｖｄｓ×Ｉｐｐ）が発生する。この電力が、

活性層７Ａのチャネル領域で消費さて、書き込み電力Ｐｗに応じたジュール熱が発生し、チャネル領域が加熱される。この結果、メモリトランジスタ１０Ａは初期状態から抵抗体状態に変化する。

[0105] ここで、書き込みゲート電圧Ｖｇｓが与えられる場合、書き込みドレイン電圧Ｖｄｓが（Ｖｇｓ－Ｖｔｈｍ）以上で、メモリトランジスタ１０Ａは飽和領域での駆動状態となる。書き込み電流Ｉｐｐは、下記の式１および２で近似的に与えられ、与えられたゲート－ソース間電圧Ｖｇｓにおいて最大となる。

$$Ipp=(1/2)\times\beta m\times(Vgs-Vthm)^2 \quad (式1)$$

$$\beta m=\mu m\times C_{OXm}\times Wm/Lm \quad (式2)$$

[0106] 式１および２において、βｍ、Ｖｔｈｍ、μｍ、C_{OXm}、Ｗｍ、Ｌｍは、それぞれメモリトランジスタ１０Ａのトランスコンダクタンス、メモリトランジスタ１０Ａの閾値電圧、活性層７Ａの移動度、ゲート絶縁膜５の静電容量、メモリトランジスタ１０Ａのチャネル幅、メモリトランジスタ１０Ａのチャネル長である。

[0107] また、図５（ｂ）に示すように、書き込み電圧Ｖｐｐが与えられる場合、Ｖｐｐ＝Ｖｇｓ＝Ｖｄｓとすることにより、最大の書き込み電力Ｐｗが得られ、効率的な書き込み動作が可能となる。

[0108] 基板温度を予め上昇させた状態において書き込み電圧Ｖｐｐを印加することにより、温度上昇に必要な電力を削減できる。また、活性層の状態変化に必要な温度への到達速度を速くして、より高速に書き込みを行うことができ、より低電圧の書き込み電圧で書き込みを行うことが可能になる。

[0109] ここで、書き込み電流Ｉｐｐをチャネル幅Ｗμｍで除算したＩｐｐ／Ｗは単位チャネル幅（１μｍ）あたりのドレイン電流の値を表わし、「単位ドレイン電流」と称することにする。活性層７Ａの厚さを一定とすると、単位ドレイン電流（単位：Ａ／μｍ）は、ドレイン電流の電流密度（単位：Ａ／m^2）と比例関係にある。単位ドレイン電流（単位：Ａ／μｍ）を大きくすることにより、ドレイン電流の電流密度（単位：Ａ／m^2）が大きくなる。本実施

形態では、書き込み動作時の単位ドレイン電流を例えば２０～１０００μＡ／μｍ程度、書き込み時間を例えば１０μ秒～５００ｍ秒程度とする。書き込み時のゲート電圧Ｖｇｓは、例えば０Ｖより大きく２００Ｖ以下、好ましくは３０Ｖ以上１００Ｖ以下に設定される。書き込み時のドレイン電圧Ｖｄｓは、例えば０Ｖより大きく２００Ｖ以下、好ましくは３０Ｖ以上１００Ｖ以下に設定される。ただし、書き込み時の電圧Ｖｇｓ、Ｖｄｓは上記範囲に限定されず、所望の単位ドレイン電流が流れるように適宜設定され得る。また、書き込み動作時の単位ドレイン電流および書き込み時間も、上述の数値範囲に限定されない。単位ドレイン電流および書き込み時間は、活性層７Ａに使用する金属酸化物半導体の種類や厚さ、メモリトランジスタ１０Ａの素子構造などに依存して変化し得る。

[0110] ここで、書き込む電力Ｐｗに関する留意事項を下記に示す。

[0111] 書き込み電力Ｐｗを決定する際には、チャネル領域における温度は、チャネル領域の溶断、または、活性層を構成する元素のエレクトロマイグレーションによる断線が発生しないように十分に低温にする。活性層の化学組成比が変化するように、チャネル領域における温度は、例えば、２００℃～９００℃程度に設定され得る。

[0112] 次に、メモリトランジスタ１０Ａからの読み出し動作の詳細を説明する。

[0113] 図６（ａ）は、書き込み前（半導体状態）および書き込み後（抵抗体状態）におけるゲート電圧Ｖｇｓとドレイン電流Ｉｒとの関係を示す。図６（ｂ）は、書き込み後（抵抗体状態）における、ドレイン電圧Ｖｄｓと、ドレイン－ソース間の抵抗およびドレイン電流Ｉｒとの関係を示す。

[0114] 図６（ａ）および（ｂ）に例示するように、読み出し時にはメモリトランジスタ１０Ａのソース電極には所定の基準電圧Ｖｓｓが印加される。なお、図６（ａ）および（ｂ）の例示では、メモリトランジスタ１０Ａのソース電極は接地されており、基準電圧ＶｓｓはＧＮＤレベルとなる。メモリトランジスタ１０Ａのドレイン電極には所定の読み出しドレイン電圧Ｖｄが印加され、メモリトランジスタ１０Ａのゲート電極には所定の読み出しゲート電圧

Ｖｇが印加される。これにより、メモリトランジスタ１０Ａのドレイン－ソース間には、電圧Ｖｄ（＝Ｖｄ－Ｖｓｓ）が印加され、メモリトランジスタ１０Ａのゲート－ソース間には、電圧Ｖｇ（＝Ｖｇ－Ｖｓｓ）が印加される。

[0115] ここで、電圧Ｖｇは、メモリトランジスタ１０Ａが書き込み動作前の半導体状態における閾値電圧Ｖｔｈより低電圧となるように設定される。典型的には、読み出しゲート電圧Ｖｇを「－１０Ｖ」に設定し得る。メモリトランジスタ１０Ａが半導体状態のとき、メモリトランジスタ１０Ａはオフ状態となる。この結果、ドレイン－ソース間に電圧Ｖｄが印加されても読み出し電流Ｉｒは流れないか、あるいは、流れても非常に微小となる。

[0116] これに対して、メモリトランジスタ１０Ａが抵抗体状態のとき、メモリトランジスタ１０Ａのドレイン－ソース間の電流電圧特性は、読み出しゲート電圧Ｖｇには依存せず、オーミック特性を示す。このため、ドレイン－ソース間には、電圧Ｖｄと抵抗特性とに応じた読み出し電流Ｉｒが流れる。このように、メモリトランジスタ１０Ａのドレイン－ソース間に読み出し電流Ｉｒが流れるか否か、あるいは、読み出し電流Ｉｒの値の大小関係を検知することにより、メモリトランジスタ１０Ａの状態が半導体状態および抵抗体状態の何れであるかを容易に判別することができる。

[0117] 図６（ａ）の横軸はゲート電圧Ｖｇｓを示し、縦軸はドレイン電流Ｉｒを示す。なお、縦軸は対数表示である。図６（ａ）に示されるように、書き込み前（半導体状態）では、ゲート電圧Ｖｇによってチャネル領域内のキャリア濃度が制御される。このように、メモリトランジスタ１０Ａのドレイン－ソース間の電流電圧特性は読み出しゲート電圧Ｖｇに依存し、トランジスタ特性を示す。

[0118] これに対して、書き込み後（抵抗体状態）では、チャネル領域内のキャリア濃度が高い状態のままとなり、ゲート電圧Ｖｇによっては制御できない。読み出し電流Ｉｒの値はゲート電圧Ｖｇに依存せずにほぼ一定となる。このように、メモリトランジスタ１０Ａのドレイン－ソース間の電流電圧特性は

オーミック特性を示す。

[0119] 図６（ａ）の例では、読み出しゲート電圧Ｖｇが負電圧（－１０Ｖ）であり、半導体状態にあるメモリトランジスタ１０Ａはオフ状態となる。このとき、半導体状態と抵抗体状態との間で10^8程度の読み出し電流比が得られることが分かる。従って、メモリトランジスタ１０Ａの状態が半導体状態と抵抗体状態の何れであるかを容易に判別することができる。

[0120] 図６（ｂ）の横軸はドレイン電圧Ｖｄｓを示し、縦軸はドレイン電流Ｉｒおよびソースドレイン間抵抗を示す。図６（ｂ）に示されるように、書き込み後の半導体状態では、ドレイン電圧Ｖｄｓと読み出しドレイン電流Ｉｒとの関係はほぼ直線に近似されるオーミック特性を示す。また、ドレイン－ソース間の抵抗（電流電圧特性から得られる微分抵抗）はドレイン電圧Ｖｄｓに依存することなくほぼ一定となり、若干の変化が確認できるものの、大きな変化は見られない。このように、書き込み後の半導体状態では、トランジスタ特性は確認されない。

[0121] 以上のように、抵抗体状態であるメモリトランジスタ１０Ａでは、チャネル領域の導電率がゲート電圧により制御されない。この結果、通常のＭＯＳトランジスタがオフ状態となる電圧に相当するゲート－ソース間電圧を印加した場合でもチャネル領域には電流が流れ続ける。また、読み出しドレイン電流Ｉｒの電流電圧特性は、ＭＯＳトランジスタの同特性と比べて著しい線形性、すなわち、オーミック特性に近い特性を示す。

[0122] （メモリトランジスタ１０Ａの電気的特性）

ここで、図７～図１２を参照しながら、メモリトランジスタ１０Ａの電気的特性を説明する。

[0123] メモリトランジスタ１０Ａとして、酸化物半導体としてＩｎ－Ｇａ－Ｚｎ－Ｏ系半導体を用いたｎチャネル型の薄膜トランジスタを作製し、書き込み前および書き込み後の電気的特性を測定した。測定に用いたメモリトランジスタ１０Ａのチャネル長Ｌ１を４μｍ、チャネル幅Ｗ１を２０μｍ、活性層（酸化物半導体層）７Ａの厚さを２０～１００ｎｍ、チャネル領域７ｃＡの

平面形状を矩形またはＵ字形とした。

[0124] メモリトランジスタ１０Ａは、製造された直後（初期状態）には、通常の薄膜トランジスタと同様にトランジスタ特性を示す。すなわち、ドレイン電流Ｉｄｓ（ドレイン電極からソース電極に流れる電流）は、ゲート電圧Ｖｇｓ（ソース電極を基準としてゲート電極に印加される電圧）およびドレイン電圧Ｖｄｓ（ソース電極を基準としてドレイン電極に印加される電圧）のそれぞれに依存して変化する。

[0125] 図７（ａ）は、メモリトランジスタ１０Ａの初期状態における、Ｖｄｓ＝０．１ＶおよびＶｄｓ＝１０Ｖの場合のＩｄｓ－Ｖｇｓ特性を示す図である。図７（ｂ）は、メモリトランジスタ１０Ａの初期状態において、Ｖｇｓを０から７Ｖまで１Ｖごとに変化させた場合のＩｄｓ－Ｖｄｓ特性を示す図である。なお、図７（ａ）および（ｂ）におけるドレイン電流Ｉｄｓの値は、単位ドレイン電流の値を示している。

[0126] 図７（ａ）および（ｂ）より明らかなように、初期状態のメモリトランジスタ１０Ａでは、ゲート電圧Ｖｇｓが約０．５Ｖ以下の範囲（特定電圧範囲）であり、かつ、ドレイン電圧Ｖｄｓが０．１Ｖ以上１０Ｖ以下の範囲において、単位ドレイン電流は極めて微小（例えば1×10^{-14}Ａ／μｍ以下）となる。これは、実質的にオフ状態である。ゲート電圧Ｖｇｓが上記特定電圧範囲よりも大きくなると、ゲート電圧Ｖｇｓの増加とともにドレイン電流Ｉｄｓも増加する（図７（ａ））。また、ドレイン電圧Ｖｄｓの増加とともにドレイン電流Ｉｄｓも増加する（図７（ｂ））。

[0127] このような初期状態のメモリトランジスタ１０Ａに対して書き込み動作を行って、書き込み後の電気的特性を調べた。ここでは、メモリトランジスタ１０Ａに、ドレイン電圧Ｖｄｓ：２４Ｖ、ゲート電圧Ｖｇｓ：３０Ｖを印加して書き込みを行った。書き込み期間Ｔｐｐ（ドレイン電流Ｉｄｓの通電時間）を１００ｍ秒とした。

[0128] 図８（ａ）は、メモリトランジスタ１０Ａの書き込み動作後における、Ｖｄｓ＝０．１ＶおよびＶｄｓ＝１０Ｖの場合のＩｄｓ－Ｖｇｓ特性を示す図

である。図８（ｂ）は、メモリトランジスタ１０Ａの書き込み動作後において、Ｖｇｓを０から７Ｖまで１Ｖごとに変化させた場合のＩｄｓ－Ｖｄｓ特性を示す図である。

[0129] また、図９は、書き込み前後の電気的特性を比較するため、書き込み前（初期状態）および書き込み後のメモリトランジスタ１０Ａにおける、Ｖｇｓ＝０Ｖの場合の原点付近のＩｄｓ－Ｖｄｓ特性を拡大して示す図である。線Ｒ１は書き込み前のＩｄｓ－Ｖｄｓ特性、線Ｔ１は書き込み後のＩｄｓ－Ｖｄｓ特性を表している。

[0130] 図１０は、書き込み前後のメモリトランジスタ１０ＡのＩｄｓ－Ｖｇｓ特性を重ね合わせて示す図である。線Ｔ２およびＴ３は、それぞれ、Ｖｄｓが０．１Ｖおよび１０Ｖのときの書き込み前のＩｄｓ－Ｖｇｓ特性を表している。線Ｒ２およびＲ３は、それぞれ、Ｖｄｓが０．１Ｖおよび１０Ｖのときの書き込み後のＩｄｓ－Ｖｇｓ特性を表している。

[0131] 図１１は、書き込み前後のメモリトランジスタ１０Ａの、Ｉｄｓ－Ｖｄｓ特性から得られる微分抵抗（ｄＶｄｓ／ｄＩｄｓ、単位：Ωμｍ）とドレイン電圧Ｖｄｓとの関係を示す図である。線Ｔ４、Ｔ５は、それぞれ、ゲート電圧Ｖｇｓが０Ｖおよび７Ｖのときの、書き込み前のｄＶｄｓ／ｄＩｄｓとＶｄｓとの関係を表している。線Ｒ４、Ｒ５は、それぞれ、ゲート電圧Ｖｇｓが０Ｖおよび７Ｖのときの、書き込み後のｄＶｄｓ／ｄＩｄｓとＶｄｓとの関係を表している。

[0132] 図８（ａ）および（ｂ）から明らかなように、書き込み後のメモリトランジスタ１０Ａでは、ドレイン電流Ｉｄｓは、ゲート電圧Ｖｇｓに殆ど依存せず、主としてドレイン電圧Ｖｄｓに依存して変化する。ドレイン電圧Ｖｄｓが一定であれば、ドレイン電流Ｉｄｓはほぼ一定値である。また、Ｉｄｓ－Ｖｄｓ特性の各ゲート電圧ＶｇｓにおけるＩＶ曲線は、ゲート電圧Ｖｇｓにかかわらず、ほぼ直線状であり、かつ、原点（Ｉｄｓ＝０Ａ／μｍ、Ｖｄｓ＝０Ｖ）を通過する。すなわち、書き込み後のメモリトランジスタ１０Ａは、オーミック特性を呈する抵抗体であることが分かる。原点における微分抵

抗（ｄＶｄｓ／ｄＩｄｓ）は無限大でも０でも無い有限値を有する。

[0133] 初期状態のメモリトランジスタ１０Ａでは、ドレイン電圧Ｖｄｓが一定とすると、ドレイン電流Ｉｄｓはゲート電圧Ｖｇｓに大きく依存して変化する。また、ゲート電圧Ｖｇｓが特定電圧範囲内（例えば約０．５Ｖ以下）にある場合、ドレイン電流Ｉｄｓは殆ど流れず、実質的にオフ状態である。これに対し、書き込み後においては、ドレイン電圧Ｖｄｓが一定とすると、ゲート電圧Ｖｇｓにかかわらず、一定のドレイン電流Ｉｄｓが流れる。ゲート電圧Ｖｇｓが特定電圧範囲内にある場合、ドレイン電圧が例えば０．１Ｖ以上１０Ｖ以下の範囲であれば、単位ドレイン電流は１×１０$^{-11}$Ａ／μｍ以上となる。

[0134] このように、メモリトランジスタ１０Ａでは、半導体状態のとき、ドレイン電圧の絶対値が０．１Ｖ以上１０Ｖ以下の範囲内において、単位ドレイン電流Ｉｄｓ／Ｗ１の絶対値が、例えば１×１０$^{-14}$Ａ／μｍ以下となるゲート電圧の電圧範囲が存在する。抵抗体状態に変化した後は、ドレイン電圧の絶対値が０．１Ｖ以上１０Ｖ以下の範囲内において、ゲート電圧を上記の電圧範囲内に設定した場合でも、単位ドレイン電流Ｉｄｓ／Ｗ１の絶対値が、ドレイン電圧に応じて変化し、例えば１×１０$^{-11}$Ａ／μｍ以上の値となる。

[0135] さらに、図１１から分かるように、初期状態における微分抵抗ｄＶｄｓ／ｄＩｄｓは、ゲート電圧Ｖｇｓにより変化する。これに対し、書き込み後における微分抵抗ｄＶｄｓ／ｄＩｄｓは、ゲート電圧Ｖｇｓにより変化しない。

[0136] メモリトランジスタ１０Ａの電気的特性は、メモリトランジスタ１０Ａで発生するジュール熱が大きいほど変化しやすい。例えば、書き込み時の単位ドレイン電流Ｉｄｓを大きくすると、より大きなジュール熱を生じさせることができる。

[0137] 図１２に、書き込み時間（単位：ｍ秒）と単位ドレイン電流（単位：Ａ／μｍ）との関係の一例を示す。図１２から、単位ドレイン電流が大きい程、ジュール熱が大きくなり、書き込み時間を短縮できることが分かる。

[0138] 書き込み時の単位ドレイン電流は、書き込み時のゲート電圧Ｖｇｓを高くする、あるいは、上述した式１および２から分かるようにゲート絶縁膜５の容量を高めることにより増加させることができる。ただし、書き込み時のゲート電圧Ｖｇｓはゲート絶縁膜５の絶縁破壊電圧よりも低い値に設定される。従って、書き込み時のゲート電圧Ｖｇｓをさらに高くするためには、ゲート絶縁膜５の絶縁破壊電圧を高めることが好ましい。このような観点から、本実施形態では、ゲート絶縁膜５に比誘電率の高い材料を使用して、電気容量を大きくしている。比誘電率の高い絶縁材料として、例えば、窒化シリコン膜（ＳｉＮ）または酸化窒化シリコン膜（ＳｉＮＯ）を用いてもよい。これらの比誘電率は、酸化シリコン膜（SiO_2）の比誘電率よりも高い。また、誘電率の大きい材料の選択とは別に、または併せて、ゲート絶縁膜５の厚さを大きくすることにより、ゲート絶縁膜５にかかる電界強度を低く抑えてもよい。これにより、ゲート絶縁膜５の絶縁破壊電圧を低減できる。なお、比誘電率の高い絶縁膜として、窒化シリコン膜（ＳｉＮ）や窒化酸化シリコン膜（ＳｉＯＮ）をＣＶＤ法で形成すると、これらの膜中に水素が含まれる。このため、ＳｉＮ膜またはＳｉＯＮ膜と活性層７Ａである酸化物半導体層とが接していると、水素が酸化物半導体の酸素と反応する結果、活性層７Ａが導電体に近づく可能性がある。そこで、活性層７Ａと窒化シリコン膜（ＳｉＮ）や酸化窒化シリコン膜（ＳｉＮＯ）とが直接接触しないように、これらの間に、膜中の水素濃度の低い酸化シリコン膜（SiO_2）または窒化酸化シリコン膜（ＳｉＯＮ）を挿入してもよい。

[0139] （メモリセル１０１を備えた不揮発性メモリアレイ１００１）

図１３を参照しながら、不揮発性メモリアレイ１００１を説明する。

[0140] 図１３は、複数のメモリセル１０１が行方向および列方向に配置された不揮発性メモリアレイ１００１の構成例を示す。不揮発性メモリアレイ１００１は、典型的には、複数のメモリセル１０１と、第１の複数のワード線ＰＬと、第２の複数のワード線ＷＬと、複数のビット線ＢＬと、ビット線電圧制御回路１０２と、ビット線デコーダ１０３と、ワード線デコーダ１０４と、

書き込み電圧制御回路１０５と、センスアンプ回路１０６とを備える。

[0141] 不揮発性メモリアレイ１００１では、メモリセル１０１は、図３（ａ）に示すメモリセル１０１と同じ構成を有する。ｋ個のメモリセル１０１が列方向に、ｌ個のメモリセル１０１が行方向に配置される。すなわち、複数のメモリセル１０１がｋ×ｌのマトリクス状に配置される。

[0142] 第１の複数のワード線ＰＬは、ｋ本のワード線ＰＬｎ（ｎ＝０、１、・・・、ｋ－１）を含み、第２の複数のワード線ＷＬは、ｋ本のワード線ＷＬｎ（ｎ＝０、１、・・・、ｋ－１）を含む。また、複数のビット線ＢＬは、ｌ本のビット線ＢＬｎ（ｎ＝０、１、・・・、ｌ－１）を含む。

[0143] 同一行に配置されたメモリセル１０１中のメモリトランジスタ１０Ａのゲート電極は、各行に対応するワード線ＰＬｎを介して書き込み電圧制御回路１０５に接続される。また、同一行に配置されたメモリセル１０１中の２つの選択トランジスタ１０Ｂのゲート電極は、各行に対応するワード線ＷＬｎを介してワード線デコーダ１０４に接続される。また、同一列に配置されたメモリセル１０１中のメモリトランジスタ１０Ａのドレイン電極は、各列に対応するビット線ＢＬｎを介してビット線デコーダ１０３およびセンスアンプ回路１０６に接続される。また、メモリセル１０１中の各選択トランジスタのソース電極は基準電圧線（不図示）に接続されている。なお、上述のとおり、本実施形態では、基準電圧はＧＮＤレベルの電圧である。

[0144] ビット線電圧制御回路１０２は、書き込み時および読み出し時に必要な書き込み電圧Ｖｐｐおよび読み出しドレイン電圧Ｖｄｒ（読み出しに必要な電圧）を生成し、生成した電圧をビット線デコーダ１０３に供給する。

[0145] ビット線デコーダ１０３は、外部から入力されたアドレスをデコードして、書き込みまたは読み出し対象である１つまたは複数のメモリセル１０１に接続される１つまたは複数のビット線ＢＬを選択する。ビット線デコーダ１０３は、書き込み電圧Ｖｐｐまたは読み出しドレイン電圧Ｖｄｒを選択したビット線ＢＬｎに印加し、非選択ビット線電圧（例えば、基準電圧Ｖｓｓ）を選択しなかったビット線ＢＬｎに印加する。

[0146] ワード線デコーダ１０４は、外部から入力されたアドレスをデコードして書き込み対象である１つまたは複数のメモリセル１０１に接続される１つまたは複数のワード線ＷＬを選択する。また、読み出し対象である１つまたは複数のメモリセル１０１に接続される１つのワード線ＷＬを選択する。ワード線デコーダ１０４は、選択されたメモリセル１０１中の選択トランジスタ１０Ｂをオンにし、選択されなかったメモリセル１０１中の選択トランジスタ１０Ｂをオフにするよう各ワード線ＷＬを制御する。具体的には、ワード線デコーダ１０４は、選択されたメモリセル１０１に接続されているワード線ＷＬｎに、選択トランジスタ１０Ｂがオンになる高レベルのゲート電圧（例えば、書き込み電圧Ｖｐｐ）を印加する。また、ワード線デコーダ１０４は、選択されなかった残りのワード線ＷＬｎには選択トランジスタ１０Ｂがオフになる低レベルの電圧ＶＬを印加する。

[0147] 書き込み電圧制御回路１０５は、外部から入力されたアドレスをデコードして書き込み対象である１つまたは複数のメモリセル１０１に接続される１つまたは複数のワード線ＰＬｎを選択する。書き込み電圧制御回路１０５は、書き込み時には、書き込みゲート電圧（例えば、書き込み電圧Ｖｐｐ）を選択されたワード線ＰＬｎに印加し、低レベルの電圧ＶＬを非選択のワード線ＰＬｎに印加する。

[0148] また、書き込み電圧制御回路１０５は、読み出し時において、メモリトランジスタ１０Ａがオン状態とならない低レベルの電圧ＶＬ（例えば、読み出しドレイン電圧Ｖｄｒ）を全てのワード線ＰＬｎに印加する。

[0149] センスアンプ回路１０６は、典型的にはビット線ＢＬの総数Ｉと同数のセンスアンプを備えている。センスアンプ回路１０６は、選択されたビット線ＢＬｎからビット線デコーダ１０３を介して読み出し対象であるメモリセル１０１に流れる読み出し電流Ｉｒを検知する。そして、読み出し対象であるメモリセル１０１中のメモリトランジスタ１０Ａの状態が半導体状態（初期状態）と抵抗体状態の何れであるかを判別する。

[0150] なお、センスアンプ回路１０６に含まれるセンスアンプは、典型的には、

読み出し電流Ｉｒを検知する電流センス式であるが、読み出しの電流経路上のノード電圧を検知する電圧センス式であってもよい。また、ビット線ＢＬｎを介してビット線デコーダ１０３と接続される回路構成に代えて、センスアンプ回路１０６が、列毎に独立して設けられた基準電圧線ＶＳＬに接続される回路構成を採用してもよい。

[0151] なお、図１３に示す不揮発性メモリアレイ１００１では、ビット線電圧制御回路１０２と、ビット線デコーダ１０３と、ワード線デコーダ１０４と、書き込み電圧制御回路１０５とはそれぞれ独立した回路として構成されているが、本発明はこれに限定されない。例えば、ビット線電圧制御回路１０２およびビット線デコーダ１０３は、ビット線を制御するための１つの回路（ビット線制御回路）により構成されてもよいし、ワード線デコーダ１０４および書き込み電圧制御回路１０５は、ワード線を制御するための１つの回路（ワード線制御回路）により構成されてもよい。さらには、これらすべての回路が有する機能が１つの回路に実装されていても構わない。

[0152] 次に、不揮発性メモリアレイ１００１の書き込みおよび読み出し動作の典型例を説明する。

[0153] 書き込み時には、ビット線デコーダ１０３は、選択されたメモリセル１０１のビット線ＢＬｎに書き込み電圧Ｖｐｐを印加する。ワード線デコーダ１０４および書き込み電圧制御回路１０５は、書き込み電圧Ｖｐｐと同じレベルの電圧をワード線ＷＬｎおよびワード線ＰＬｎにそれぞれ印加する。なお、選択されなかったビット線ＢＬｎは浮遊状態（ハイインピーダンス状態）であり、選択されなかったワード線ＰＬｎおよびＷＬｎには低レベルの電圧ＶＬが印加される。なお、選択されなかったワード線ＰＬには書き込み電圧Ｖｐｐと同じレベルの電圧が印加されていても構わない。

[0154] 以上のように、書き込み対象のメモリセル１０１において、上述したメモリトランジスタ１０Ａへの書き込み動作に従い、メモリトランジスタ１０Ａへの書き込み動作が行われる。

[0155] 読み出し時には、ビット線デコーダ１０３は読み出しに必要な電圧を選択

されたビット線ＢＬｎに印加し、ワード線デコーダ１０４は、高レベルな電圧を選択されたワード線ＷＬｎに印加する。また、書き込み電圧制御回路１０５はメモリトランジスタがオンとならない低レベルの電圧ＶＬを全てのワード線ＰＬｎに印加する。

[0156] 読み出し対象のメモリセル１０１中のメモリトランジスタ１０Ａが抵抗体状態であるとき、メモリトランジスタ１０Ａは導電性を有しているため、ワード線ＰＬｎに低レベルの電圧ＶＬが印加されても、ビット線ＢＬｎを介してメモリトランジスタ１０Ａには電流が流れる。

[0157] 一方、読み出し対象のメモリセル１０１中のメモリトランジスタ１０Ａが半導体状態、すなわち初期状態のままであるとき、ワード線ＰＬｎに低レベルの電圧ＶＬが印加された場合、メモリトランジスタ１０Ａはオフ状態となり、ビット線ＢＬｎを介してメモリトランジスタ１０Ａには電流が流れない。

[0158] このように、読み出し電流の違いをセンスアンプによって検出することにより、各メモリセル１０１の記憶状態が検知できる。

[0159] 書き込みによる選択トランジスタ１０Ｂの特性劣化を防ぐために、上述した（１）～（５）に示す関係に加えて、以下の（６）および（７）に示す少なくとも１つの関係を満足することがより好ましい。

[0160] （６）各選択トランジスタ１０Ｂにおけるゲート－ソース間電圧がメモリトランジスタ１０Ａにおけるゲート－ソース間電圧と同等かそれ以上である。

（７）各選択トランジスタ１０Ｂの閾値電圧がメモリトランジスタ１０Ａの閾値電圧と同等かそれ以上である。

[0161] なお、メモリセル１０１中の選択トランジスタは複数により構成されることが好ましいが、上記（１）～（７）に示す関係を満たしていれば、単数であっても構わない。

[0162] （第２の実施形態）

図１４を参照しながら、第２の実施形態を説明する。

[0163] 図１４は、複数のメモリセル１０１が行方向に配置された不揮発性メモリアレイ２００１の構成例を示す。本実施形態による不揮発性メモリアレイ２００１では、メモリセル１０１は、図３（ａ）に示すメモリセル１０１と同じ構成を有する。１個のメモリセル１０１が行方向のみに配置される。その他の構成は、第１の実施形態による不揮発性メモリアレイ１００１の構成と同じである。従って、各構成の詳細な説明は省略する。

[0164] ここで、不揮発性メモリアレイ２００１の書き込みおよび読み出し動作の典型例を説明する。

[0165] 書き込み時には、ビット線デコーダ１０３は、選択されたメモリセル１０１のビット線ＢＬｎに書き込み電圧Ｖｐｐを印加する。ワード線デコーダ１０４および書き込み電圧制御回路１０５は、書き込み電圧Ｖｐｐと同じレベルの電圧をワード線WＬおよびワード線ＰＬ０にそれぞれ印加する。なお、選択されなかったビット線ＢＬｎは浮遊状態（ハイインピーダンス状態）である。

[0166] 以上のように、書き込み対象のメモリセル１０１において、上述したメモリトランジスタ１０Ａへの書き込み動作に従い、メモリトランジスタ１０Ａへの書き込み動作が行われる。

[0167] 読み出し時には、ビット線デコーダ１０３は読み出しに必要な電圧を選択されたビット線ＢＬｎに印加し、ワード線デコーダ１０４は、高レベルな電圧をワード線WＬに印加する。また、書き込み電圧制御回路１０５はメモリトランジスタがオンとならない低レベルの電圧ＶＬをワード線ＰＬ０に印加する。

[0168] 読み出し対象のメモリセル１０１中のメモリトランジスタ１０Ａが抵抗体状態であるとき、メモリトランジスタ１０Ａは導電性を有しているため、ワード線ＰＬ０に低レベルの電圧ＶＬが印加されても、ビット線ＢＬｎを介してメモリトランジスタ１０Ａには電流が流れる。

[0169] 一方、読み出し対象のメモリセル１０１中のメモリトランジスタ１０Ａが半導体状態、すなわち初期状態のままであるとき、ワード線ＰＬ０に低レベ

ルの電圧ＶＬが印加された場合、メモリトランジスタ１０Ａはオフ状態となり、ビット線ＢＬｎを介してメモリトランジスタ１０Ａには電流が流れない。

[0170] このように、読み出し電流の違いをセンスアンプによって検出することにより、各メモリセル１０１の記憶状態が検知できる。

[0171] （第３の実施形態）

図１５を参照しながら、第３の実施形態を説明する。

[0172] 図１５は、複数のメモリセル１０１が列方向に配置された不揮発性メモリアレイ３００１の構成例を示す。本実施形態による不揮発性メモリアレイ３００１では、メモリセル１０１は、図３（ａ）に示すメモリセル１０１と同じ構成を有する。ｋ個のメモリセル１０１が列方向のみに配置される。また、メモリセル１０１に含まれるメモリトランジスタ１０Ａのゲート電極は共通のワード線ＰＬを介して書き込み電圧制御回路１０５に接続される。その他の構成は、ビット線デコーダを除き、第１の実施形態による不揮発性メモリアレイ１００１の構成と同じである。従って、各構成の詳細な説明は省略する。なお、ビット線デコーダが存在しない理由は、ビット線ＢＬが１つしか存在しないため、外部から入力されるアドレスに応じて、複数のビット線ＢＬｎの中から特定のビット線ＢＬｎを選択する必要がないためである。

[0173] ここで、不揮発性メモリアレイ３００１の書き込みおよび読み出し動作の典型例を説明する。

[0174] 書き込み時には、ビット線電圧制御回路１０２は、ビット線ＢＬ０に書き込み電圧Ｖｐｐを印加する。ワード線デコーダ１０４および書き込み電圧制御回路１０５は、書き込み電圧Ｖｐｐと同じレベルの電圧をワード線ＷＬｎおよびワード線ＰＬにそれぞれ印加する。なお、選択されなかったＷＬｎには低レベルの電圧ＶＬが印加される。

[0175] 以上のように、書き込み対象のメモリセル１０１において、上述したメモリトランジスタ１０Ａへの書き込み動作に従い、メモリトランジスタ１０Ａへの書き込み動作が行われる。

[0176] 読み出し時には、ビット線デコーダ１０３は読み出しに必要な電圧をビット線ＢＬに印加し、ワード線デコーダ１０４は、高レベルな電圧を選択されたワード線ＷＬｎに印加する。また、書き込み電圧制御回路１０５はメモリトランジスタがオンとならない低レベルの電圧ＶＬをワード線ＰＬに印加する。

[0177] 読み出し対象のメモリセル１０１中のメモリトランジスタ１０Ａが抵抗体状態であるとき、メモリトランジスタ１０Ａは導電性を有しているため、ワード線ＰＬに低レベルの電圧ＶＬが印加されても、ビット線ＢＬを介してメモリトランジスタ１０Ａには電流が流れる。

[0178] 一方、読み出し対象のメモリセル１０１中のメモリトランジスタ１０Ａが半導体状態、すなわち初期状態のままであるとき、ワード線ＰＬに低レベルの電圧ＶＬが印加された場合、メモリトランジスタ１０Ａはオフ状態となり、ビット線ＢＬを介してメモリトランジスタ１０Ａには電流が流れない。

[0179] このように、読み出し電流の違いをセンスアンプによって検出することにより、各メモリセル１０１の記憶状態が検知できる。

[0180] （第４の実施形態）

図１６を参照しながら、第４の実施形態を説明する。

[0181] 図１６は、複数のメモリセル１０１が列方向に配置された不揮発性メモリアレイ４００１の第３の実施形態とは異なる構成例を示す。本実施形態による不揮発性メモリアレイ４００１では、メモリセル１０１は、図３（ａ）に示すメモリセル１０１と同じ構成を有する。ｋ個のメモリセル１０１が列方向のみに配置される。また、メモリセル１０１に含まれるメモリトランジスタ１０Ａのゲート電極は共通のワード線ＰＬを介して書き込み電圧制御回路１０５に接続される。また、メモリセル１０１内のメモリトランジスタ１０Ａと選択トランジスタ１０Ｂとの接続点には内部ノードが形成され、各内部ノードがセンスアンプ回路１０６に接続される。その他の構成は、第３の実施形態による不揮発性メモリアレイ３００１の構成と同じである。従って、各構成の詳細な説明は省略する。

[0182] ここで、不揮発性メモリアレイ４００１の書き込みおよび読み出し動作の典型例を説明する。

[0183] 書き込み時には、ビット線電圧制御回路１０２は、ビット線ＢＬ０に書き込み電圧Ｖｐｐを印加する。ワード線デコーダ１０４およびは書き込み電圧制御回路１０５は、書き込み電圧Ｖｐｐと同じレベルの電圧を選択されたワード線ＷＬｎおよびワード線ＰＬにそれぞれ印加する。なお、選択されなかったＷＬｎには低レベルの電圧ＶＬが印加される。

[0184] 以上のように、書き込み対象のメモリセル１０１において、上述したメモリセル１０Ａへの書き込み動作に従い、メモリトランジスタ１０Ａへの書き込み動作が行われる。

[0185] 読み出し時には、ビット線デコーダ１０３は読み出しに必要な電圧をビット線ＢＬ０に印加し、ワード線デコーダ１０４は、高レベルな電圧を選択されたワード線ＷＬｎに印加する。また、書き込み電圧制御回路１０５はメモリトランジスタがオンとならない低レベルの電圧ＶＬをワード線ＰＬに印加する。

[0186] 読み出し対象のメモリセル１０１中のメモリトランジスタ１０Ａが抵抗体状態であるとき、メモリトランジスタ１０Ａは導電性を有しているため、ワード線ＰＬに低レベルの電圧ＶＬが印加されても、ビット線ＢＬ０を介してメモリトランジスタ１０Ａには電流が流れる。これにより、内部ノードからはＶＨに近い電圧が出力される。

[0187] 一方、読み出し対象のメモリセル１０１中のメモリトランジスタ１０Ａが半導体状態、すなわち初期状態のままであるとき、ワード線ＰＬに低レベルの電圧ＶＬが印加された場合、メモリトランジスタ１０Ａはオフ状態となり、ビット線ＢＬ０を介してメモリトランジスタ１０Ａには電流が流れない。

[0188] メモリトランジスタ１０Ａがオン状態であるとき、内部ノードからは高レベルの電圧ＶＨ（＝読み出し電圧Ｖｄｒ－閾値電圧Ｖｔｈ）が出力され、メモリトランジスタ１０Ａがオフ状態であるとき、内部ノードからは低レベルの電圧ＶＬ（基準電圧Ｖｓｓ）が出力される。このように、内部ノードから

の読み出し電圧の違いをセンスアンプによって検出することにより、各メモリセル１０１の記憶状態が検知できる。

[0189] 例えば第１の実施形態による不揮発性メモリアレイ１００１のようなビット線ＢＬｎにセンスアンプ回路を接続する構成と比べ、本実施形態では、ＶＨ／ＶＬの論理レベルを検出できるので、センスアンプ回路をより簡易化できる。

[0190] （第５の実施形態）

（メモリトランジスタ１０Ａを備えたロジック回路２００）

図１７を参照しながら、メモリトランジスタ１０Ａを備えたロジック回路２００を説明する。

[0191] 単体のメモリセル１０１をロジック回路として容易に用いることができる。初期状態（半導体状態）であるメモリトランジスタ１０Ａは、通常のトランジスタと同じ動作をするため、読み出し回路の一部に利用可能である。従来技術のような単純な抵抗素子とは異なり、読み出しトランジスタの数を低減できる。

[0192] 図１７（ａ）は、ロジック回路２００の基本回路構成を示す。図１７（ｂ）は、ロジック回路２００の書き込み動作を模式的に示す。図１７（ｃ）は、ロジック回路２００の読み出し動作を模式的に示す。図１７（ａ）に示すように、ロジック回路２００は、メモリ素子３００と、第１選択トランジスタ３０１と、第２選択トランジスタ３０２とを含む。ロジック回路２００ではメモリ素子３００として、メモリトランジスタ１０Ａを用いる。メモリ素子３００と、第１選択トランジスタ３０１と、第２選択トランジスタ３０２との接続点には内部ノードＮが形成される。また、第１選択トランジスタ３０１と、第２選択トランジスタ３０２とは共通のゲート制御線３０３に接続され、かつ、基準電圧Ｖｓｓに接続される。図１７（ａ）に示す基本回路構成は、図３（ａ）に示したメモリセル１０１の構成と基本的に同じである。

[0193] ロジック回路２００はインバータ回路として機能する。これは、メモリ素子３００、すなわちメモリトランジスタ１０Ａが非書き込み状態（半導体状

態）でロジック回路２００をインバータ回路として利用する応用例である。選択トランジスタは複数のトランジスタから構成されることが好ましいが、上述した（１）～（５）の関係が１つでも満たされれば、１つのトランジスタにより構成されても構わない。なお、図１７（ａ）では、書き込みおよび読み出し用の配線や周辺回路などは省略している。

[0194] まず、ロジック回路２００がインバータ回路として機能するときの動作を説明する。本願明細書では、このような動作モードを「インバータモード」と称する。ロジック回路２００は、インバータモード以外に、「メモリプログラムモード」と「メモリ読み出しモード」とを有している。これらモードの詳細は後述する。

[0195] 下記の表１は各動作モードにおけるロジック回路２００の入出力の関係を示す。ここで、ロジック回路２００ではゲート制御線３０３が入力端子として、内部ノードＮが出力端子として機能する。入力端子には入力電圧ＷＳＥＬ（Ｖｉｎ）が入力され、出力端子からＶｏｕｔが各動作モードに応じて出力される。

[0196]

[表1]

ROMB	WSEL（Ｖｉｎ）	Ｖｏｕｔ		動作モード
		非書き込み状態	書き込み状態	
Ｖｄｄ	Ｈ	Ｖｓｓ（Ｌ）		インバータモード
Ｖｄｄ	Ｌ（Ｖｓｓ）	Ｈ		
Ｖｐｐ	Ｖｐｐ			メモリプログラム（書き込み）
Ｖｐｐ	Ｖｓｓ			メモリプログラム（非書き込み）
Ｖｓｓ	Ｈ	Ｖｓｓ（Ｌ）	Ｈ	メモリ読み出し

[0197] インバータモードでは、メモリ素子３００のＲＯＭＢ（メモリトランジスタ１０Ａのゲート電圧）は駆動電圧Ｖｄｄと同じ高レベルな電圧に設定される。このため、メモリトランジスタ１０Ａはオン状態となる。入力電圧Ｖｉｎに高レベルな電圧を入力すると、第１選択トランジスタ３０１および第２選択トランジスタ３０２がオン状態となり、メモリトランジスタ１０Ａと第１選択トランジスタ３０１および第２選択トランジスタ３０２とには、ドレイン電流が流れる。この結果、内部ノードＮが低電位となり、出力電圧Ｖｏｕｔは低レベルの電圧Ｖｓｓとなる。

[0198] これに対して、入力電圧Ｖｉｎに低レベルな電圧を入力すると、第１選択トランジスタ３０１および第２選択トランジスタ３０２はオフ状態となり、第１選択トランジスタ３０１および第２選択トランジスタ３０２には、ドレイン電流は流れない。この結果、内部ノードＮが高電位（Ｖｄｄ－Ｖｔｈ）

となり、出力電圧Ｖｏｕｔは高レベルの電圧ＶＨとなる。入力が「Ｈ」で出力が「Ｌ」となり、入力が「Ｌ」で出力が「Ｈ」となる。このように、メモリトランジスタ１０Ａが非書き込み状態（半導体状態）では、ロジック回路２００の動作は、通常のＣＭＯＳインバータ回路の動作と同じになる。

[0199] 次に、メモリプログラムモードを説明する。メモリプログラムモードとは、メモリ素子３００（メモリトランジスタ１０Ａ）にプログラムを行うモードである。ロジック回路２００へのプログラム動作は、上述したメモリセル１０１の書き込み動作と同じである。メモリプログラムモードでは、メモリ素子３００のＲＯＭＢ（メモリトランジスタ１０Ａのゲート電圧）は書き込み電圧Ｖｐｐと同じ高レベルな電圧に設定される。このため、メモリトランジスタ１０Ａはオン状態となる。Ｖｉｎが低レベルの電圧ＶＬである場合、選択トランジスタはオン状態とはならないため、メモリトランジスタ１０Ａへの書き込みは行われない（非書き込み）。一方、Ｖｉｎが高レベルの電圧ＶＨである場合、選択トランジスタはオン状態となり、メモリトランジスタ１０Ａへの書き込みが行われる（書き込み）。

[0200] 次に、メモリ読み出しモードを説明する。一旦、メモリ素子３００（メモリトランジスタ１０Ａ）が書き込まれると、メモリトランジスタ１０Ａはゲート電圧にかかわらずオン状態となりロジック回路２００の出力は常に「Ｈ」となる。メモリ素子３００のＲＯＭＢ（メモリトランジスタ１０Ａのゲート電圧）を低レベルな電圧に固定することにより、書き込みがされていないメモリトランジスタ１０Ａのみがオフ状態となる。メモリ素子３００に書き込まれた情報に従い、メモリ素子３００の導通状態を区別できる。従って、メモリ記憶情報（書き込み情報）を読み出す場合、Ｖｉｎを高レベルの電圧ＶＨに設定し、メモリ素子３００のＲＯＭＢ（メモリトランジスタ１０Ａのゲート電圧）を低レベルの電圧ＶＬに設定すれば、非書き込みの状態のロジック回路２００からは低レベルの電圧ＶＬが出力され、書き込みの状態のロジック回路２００からは高レベルの電圧ＶＨが出力される。

[0201] このように、ロジック回路２００を用いれば、大規模なセンスアンプを用

いずに内部ノードＮから直接にメモリ記憶情報を読み出すことができる。

[0202] なお、ロジック回路２００内の各トランジスタは、ＣＭＯＳトランジスタである場合、Ｐチャネル型でもよい。

[0203] （第６の実施形態）

図１８および１９を参照しながら、本発明による半導体装置を備えた液晶表示装置５００１を説明する。

[0204] 図１８は、アクティブマトリクス基板を用いた液晶表示装置５００１のブロック構成を例示する図である。図１９（ａ）～（ｄ）は、それぞれ、不揮発性記憶装置６０ａ～６０ｃを構成するメモリセル、液晶表示装置５００１の画素回路、ゲートドライバ７６、および、ゲートドライバ７６の一段分の構成を示す概略図である。

[0205] 液晶表示装置５００１は、複数の画素を含む表示部７１を有している。表示部７１は、アクティブマトリクス基板の表示領域（不図示）に対応している。本実施形態では、表示部７１には、複数の画素回路７０がマトリクス状に配列されている。これらの画素回路７０は、ソース線ＳＬ１～ＳＬｋ、ゲート線ＧＬ１～ＧＬｊ、及び、補助容量線ＣＳＬ１～ＣＳＬｊにより相互に接続されている。

[0206] 各画素回路７０は、図１９（ｂ）に示すように、画素用トランジスタ１０Ｃ、液晶容量Ｃｌｃ、補助容量Ｃｓを有している。画素用トランジスタ１０Ｃのソース電極はソース配線Ｓ、ゲート電極はゲート配線Ｇと、ドレイン電極は画素電極（不図示）と接続されている。画素電極と、共通電極ＣＯＭとによって液晶容量Ｃｌｃが形成され、画素電極と、容量配線ＣＳとによって補助容量Ｃｓが形成されている。

[0207] 液晶表示装置５００１は、また、ソース配線Ｓと電気的に接続されたソースドライバ７５、ゲート配線Ｇと電気的に接続されたゲートドライバ７６、容量配線ＣＳに電気的に接続されたＣＳドライバ７７、および、共通電極を駆動する共通電極駆動回路７４を備えている。これらの駆動回路７５、７６、７７、７４は、タイミングやソース配線Ｓ、ゲート配線Ｇ、容量配線ＣＳ

および共通電極に印加する電圧を制御する表示制御回路７３と、これらの回路に電源を供給する電源回路（不図示）とに接続されている。さらに、ソースドライバ７５、ゲートドライバ７６および表示制御回路７３は、それぞれ、不揮発性記憶装置６０ａ、６０ｂ、６０ｃに接続されている。不揮発性記憶装置６０ａ、６０ｂ、６０ｃは共通メモリ制御回路部６１に接続されている。

[0208] 不揮発性記憶装置６０ａ、６０ｂ、６０ｃは、例えば、第１の実施形態による不揮発性メモリアレイ２００１である。メモリセルは、図１９（ａ）に例示するように、例えば、図３（ａ）に示す構成と同一の構成を有している。あるいは、メモリセルは、図３（ｂ）に示すように、例えば並列に接続された３個の選択トランジスタを有していてもよい。

[0209] 不揮発性記憶装置６０ａには、ディスプレイパネルの構成情報や固有ＩＤ等が格納されている。これらの不揮発性記憶装置６０ａに記憶された情報は、表示制御回路７３により参照され、これらの情報に基づいて詳細な表示制御方法の切り替え、あるいは、制御パラメータの最適化が行われる。また、固有ＩＤ等は、ディスプレイパネルと接続するシステム側からの照会が可能であり、ディスプレイパネルの判別や、最適な駆動方法の選択等に利用される。表示制御回路７３は、不揮発性記憶装置６０ａに格納された情報に基づいて表示制御のために使用する回路を切り替え、最適なディスプレイの表示制御を実現する。

[0210] 不揮発性記憶装置６０ｂには、ゲートドライバの冗長救済情報等、ゲートドライバの駆動に必要な構成パラメータの情報が格納されている。同様に、不揮発性記憶装置６０ｃには、ソースドライバの冗長救済情報等、ソースドライバの駆動に必要な構成パラメータの情報が格納されている。

[0211] 不揮発性記憶装置６０ａ、６０ｂ、６０ｃの少なくとも一部と、表示部７１以外に設けられる回路７３、７４、７５、７６、７７、６１の少なくとも一部とは、アクティブマトリクス基板の周辺領域にモノリシックに形成されている。

[0212] 本実施形態では、例えばゲートドライバ７６が、アクティブマトリクス基板にモノリシックに形成されている。ゲートドライバ７６は、例えば、図１９（ｃ）に示すように、複数段を有するシフトレジスタ４１０によって構成されている。表示部７１に例えばｉ行×ｊ列の画素マトリクスが形成されている場合、それら画素マトリクスの各行と１対１で対応するようにｉ段の双安定回路を有している。

[0213] シフトレジスタ４１０に含まれている双安定回路（シフトレジスタ４１０の１段分の構成）は、図１９（ｄ）に示すように、１０個の薄膜トランジスタＭＡ，ＭＢ、ＭＩ、ＭＦ、ＭＪ、ＭＫ、ＭＥ、ＭＬ、ＭＮおよびＭＤと、キャパシタＣＡＰ１とを備えている。また、この双安定回路は、第１クロックＣＫＡを受け取る入力端子、第２クロックＣＫＢを受け取る入力端子、第３クロックＣＫＣを受け取る入力端子、第４クロックＣＫＤを受け取る入力端子、セット信号Ｓを受け取る入力端子、リセット信号Ｒを受け取る入力端子、クリア信号ＣＬＲを受け取る入力端子、および状態信号Ｑを出力する出力端子を備えている。

[0214] なお、表示制御回路７３、共通電極駆動回路７４、ソースドライバ７５及びＣＳドライバ７７の詳細な回路構成については、公知の液晶表示装置の構成とほぼ同様であるため、詳細な説明を省略する。

[0215] （第７の実施形態）

図２０を参照しながら、本発明をＶＬＳＩなどの集積回路に適用した半導体装置の一例を説明する。

[0216] 図２０（ａ）および（ｂ）は、本実施形態の半導体装置（集積回路）６００１を例示する回路ブロック図および半導体装置の一部を示す断面図である。

[0217] 本実施形態の集積回路（ＶＬＳＩ）６００１は、低電圧コア・ロジック回路５１、電圧コンバータ回路およびバッファ回路５３、不揮発性メモリによる切り替え回路５５などを有している。これらの回路５１、５３、５５はＬＳＩチップ５９上に支持されている。切り替え回路５５は、不揮発性メモリ

素子を利用して配線の切り替えを行う。これにより、回路の切り替え、機能の切り替えまたは回路ブロックの構成の変更を行うことができる。切り替え回路５５は、例えばＬＳＩチップ５９の外部にある高電圧回路やチップ間インターフェースに接続されてもよい。

[0218] 本実施形態では、切り替え回路５５は、不揮発性メモリ素子としてメモリセル１０１を含んでいる。

[0219] 図２０（ｂ）に示すように、ＬＳＩチップ５９は、ＬＳＩ素子層５６と、ＬＳＩ素子層５６を覆う層間絶縁層５７とを有している。低電圧コア・ロジック回路５１は、例えば内部に形成されている。電圧コンバータ回路およびバッファ回路５３と切り替え回路５５とは、層間絶縁層５７上に形成されている。なお、図２０（ｂ）では、切り替え回路５５のメモリトランジスタ１０Ａ、配線部およびコンタクト部５８の構成のみを示している。選択トランジスタ１０Ｂも、層間絶縁層５７上に形成される。選択トランジスタ１０Ｂは、チャネル長またはチャネル幅は異なるものの、メモリトランジスタ１０Ａと同様のトランジスタ構造を有し得る。

[0220] 本実施形態の半導体装置は、表示装置や集積回路に限定されない。例えば、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂは比較的低温（例えば２００℃以下）で製造可能であるため、ＩＣタグ等にも適用され得る。この場合、メモリトランジスタ１０ＡはＩＤの記憶に利用され得る。さらに、酸化物半導体膜として透明な金属酸化物膜を用いることができるので、デジタルサイネージ向けの大容量記憶装置に利用することもできる。記憶装置以外にも、ＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ Ｓｐｅｃｉｆｉｃ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）やＦＰＧＡ（Ｆｉｅｌｄ－Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）等のプログラム可能な論理回路装置に適用することも可能である。

[0221] （他の実施形態）

図２１～２４を参照しながら、図２に示す構成以外のメモリトランジスタ１０Ａの構成例を説明する。

[0222] メモリトランジスタ１０Ａの書き込み動作時のドレイン電流Ｉｄｓをさらに大きくするために、活性層７Ａにおけるゲート電極３Ａと反対側に、他のゲート電極１８を設けてもよい。

[0223] 図２１（ａ）および（ｂ）は、活性層の上方に上部ゲート電極を有するメモリトランジスタ１０Ａの構成を例示する平面図および断面図である。図２１では、図２と同様の構成要素には同じ参照符号を付し、説明を省略している。なお、選択トランジスタ１０Ｂは、チャネル長およびチャネル幅は異なるが、図示するメモリトランジスタ１０Ａと同様のトランジスタ構造を有する。

[0224] この例では、活性層７Ａの上方に、層間絶縁層（ここではパッシベーション膜１１および有機絶縁膜１３）を介して上部ゲート電極１８が設けられている。上部ゲート電極１８は、基板１の法線方向から見たとき、活性層７Ａの少なくともチャネル領域７ｃＡと重なるように配置されている。上部ゲート電極１８は、例えば画素電極と共通の透明導電膜から形成された透明電極であってもよい。また、上部ゲート電極１８と、活性層７Ａの基板１側にあるゲート電極（ゲート配線）３Ａとは、コンタクトホールＣＨを介して接続されていてもよい。これにより、他のゲート電極１８とゲート電極３Ａとが同電位となるので、バックゲート効果によりドレイン電流Ｉｄｓをさらに大きくできる。なお、図２１（ａ）に示す例では、上部ゲート電極１８は透明電極として示されているが、透明電極でなくてもよい。このように、メモリトランジスタ１０Ａに上部ゲート電極１８を設けることにより、ゲート電圧Ｖｇｓを大幅に高めることなく、ジュール熱を増加させ、書き込み時間を短縮することが可能になる。なお、メモリトランジスタ１０Ａに上部ゲート電極１８を設け、選択トランジスタ１０Ｂには上部ゲート電極１８を設けなくてもよい。これにより、メモリトランジスタ１０Ａと選択トランジスタ１０Ｂとの書き込み速度の差をさらに拡大できる。

[0225] 次に、メモリトランジスタ１０Ａの活性層上に、エッチストップとして保護層を有する構成を説明する。

[0226] 図２２（ａ）および（ｂ）は、それぞれ、メモリトランジスタ１０Ａの活性層上に、エッチストップとして保護層を有する構成の一例を示す平面図及び断面図である。図２２（ｂ）に示す断面は、図２２（ａ）に示すＡ－Ａ’線に沿った断面である。図２２では、図２と同様の構成要素には同じ参照符号を付し、説明を省略している。なお、図示していないが、選択トランジスタ１０Ｂは、チャネル長およびチャネル幅は異なるが、図示するメモリトランジスタ１０Ａと同様のトランジスタ構造を有する。

[0227] メモリトランジスタ１０Ａは、活性層７Ａの少なくともチャネル領域７ｃＡ上に保護層３１を有している。活性層７Ａのチャネル方向の幅は、ゲート電極３Ａのチャネル方向の幅よりも大きい。この例では、保護層３１は、活性層７Ａを覆うように設けられている。保護層３１には、活性層７Ａのうちチャネル領域７ｃＡの両側に位置する領域をそれぞれ露出する開口部３２ｓ、３２ｄが設けられている。ソース電極９ｓＡおよびドレイン電極９ｄＡは、保護層３１上および開口部３２ｓ、３２ｄ内に形成され、開口部３２ｓ、３２ｄ内で活性層７Ａと接している。これにより、活性層７Ａのうちソース電極９ｓＡと接する領域はソースコンタクト領域、ドレイン電極９ｄＡと接する領域はドレインコンタクト領域となる。

[0228] なお、図２２では、チャネル領域７ｃＡの平面形状は矩形であるが、図２（ｂ）に示すようなＵ字形であってもよい。

[0229] 次に、メモリトランジスタ１０Ａのソースおよびドレイン電極上に活性層を有する構成を説明する。

[0230] 図２３（ａ）および（ｂ）は、それぞれ、メモリトランジスタ１０Ａのソースおよびドレイン電極上に活性層を有する構成の一例を示す平面図及び断面図である。図２３（ｂ）に示す断面は、図２３（ａ）に示すＡ－Ａ’線に沿った断面である。図２３では、図２と同様の構成要素には同じ参照符号を付し、説明を省略している。なお、選択トランジスタ１０Ｂは、チャネル長およびチャネル幅は異なるが、図示するメモリトランジスタ１０Ａと同様のトランジスタ構造を有する。

[0231] メモリトランジスタ１０Ａでは、ゲート電極３Ａを覆うゲート絶縁膜５上に、ソース電極９ｓＡおよびドレイン電極９ｄＡが離間して設けられ、その上に活性層７Ａが形成されている。活性層７Ａは、ソース電極９ｓＡとドレイン電極９ｄＡとの間に位置するゲート絶縁膜５と、ソース電極９ｓＡおよびドレイン電極９ｄＡの上面および側面と接するように配置されている。活性層７Ａのうち、ゲート電極３Ａと重なり、かつ、ソース電極９ｓＡの側面と接する領域とドレイン電極９ｄＡの側面と接する領域との間に位置する部分がチャネル領域７ｃＡとなる。

[0232] なお、図２３では、チャネル領域７ｃＡの平面形状は矩形であるが、図２（ｂ）に示すようなＵ字形であってもよい。

[0233] また、上記各実施形態では、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂとして、ボトムゲート型の薄膜トランジスタを用いたが、トップゲート型の薄膜トランジスタであってもよい。

[0234] 図２４（ａ）および（ｂ）は、それぞれ、トップゲート構造を有するメモリトランジスタ１０Ａの一例を示す断面図および平面図である。図２４（ａ）に示す断面は、図２４（ｂ）に示すＡ－Ａ’線に沿った断面である。図２４では、図２と同様の構成要素には同じ参照符号を付している。

[0235] メモリトランジスタ１０Ａは、基板１上に、金属酸化物半導体を含む活性層７Ａと、活性層７Ａを覆うゲート絶縁膜５と、ゲート絶縁膜５上に配置されたゲート電極３Ａとを備えている。これらの上には層間絶縁層１２が形成され、層間絶縁層１２上にはソース電極９ｓＡ、ドレイン電極９ｄＡが設けられている。これらは、層間絶縁層１２に形成されたコンタクトホール８内で活性層７Ａと接している。なお、図示していないが、選択トランジスタ１０Ｂも、同様のトランジスタ構造を有していてもよい。

[0236] また、選択トランジスタ１０Ｂは、直列または並列に接続された２以上のチャネル領域を含む構造を有していてもよい。このような場合、例えば、メモリトランジスタ１０Ａのチャネル長Ｌ１が、選択トランジスタ１０Ｂにおける複数のチャネル領域のチャネル長のうちの最小値よりも小さければ、上

述した実施形態と同様の効果が得られる。あるいは、上記構造を有する選択トランジスタ１０Ｂを、そのトランジスタと等価な性能を示し且つ単一のチャネル領域を有するトランジスタに近似し、近似のトランジスタのチャネル長およびチャネル幅を、「チャネル長Ｌ２」および「チャネル幅Ｗ２」としてもよい。一例として、メモリトランジスタ１０Ａのチャネル幅Ｗ１が、選択トランジスタ１０Ｂに近似のトランジスタのチャネル幅よりも大きければ、上述した実施形態と同様の効果が得られる。なお、等価な性能を有する「近似のトランジスタ」は、公知の関係から適宜求められ得る。例えば、選択トランジスタ１０Ｂが、並列接続したチャネル領域ａおよびチャネル領域ｂを有する場合、チャネル領域ａおよびチャネル領域ｂのチャネル長を「チャネル長Ｌａ、チャネル長Ｌｂ」、チャネル幅を「チャネル幅Ｗａ、チャネル幅Ｗｂ」とし、この複合トランジスタと等価な性能を有する「近似のトランジスタ」のチャネル長をＬ１’、チャネル幅をＷ１’とすると、Ｌ１’およびＷ１’は、Ｗ１’／Ｌ１’＝Ｗａ／Ｌａ＋Ｗｂ／Ｌｂを満たすように設定され得る。

[0237] さらに、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂのチャネル領域は、基板の法線方向から見たとき、チャネル長方向またはチャネル幅方向の長さが不均一な形状を有していてもよい。チャネル長方向の長さが不均一な場合、チャネル長方向の長さにおける最小値を、「チャネル長Ｌ１、Ｌ２」としてもよい。一例として、メモリトランジスタ１０Ａのチャネル長方向の長さの最小値が、選択トランジスタ１０Ｂのチャネル長方向の長さの最小値よりも小さければ、上述した実施形態と同様の効果が得られる。あるいは、上記の不均一な形状を有するトランジスタ１０Ａ、１０Ｂを、そのトランジスタと等価な性能を示し且つチャネル長およびチャネル幅が一定であるトランジスタに近似し、近似のトランジスタのチャネル長およびチャネル幅を、「チャネル長Ｌ１、Ｌ２」または「チャネル幅Ｗ１、Ｗ２」としてもよい。

[0238] このように、本発明は、メモリトランジスタ１０Ａおよび選択トランジス

タ１０Ｂが、チャネル長およびチャネル幅を特定することが困難な構造を有している場合にも適用され得る。このような場合には、上記に例示したように、例えば、チャネル長方向の長さの最小値や、近似のトランジスタのチャネル長・チャネル幅が、上述した実施形態と同様の関係を満たすように設定されていれば、上述した実施形態と同様の効果が得られる。

[0239] 本実施形態の半導体装置では、メモリトランジスタ１０Ａへの書き込み動作は、酸化物半導体層７Ａで生じるジュール熱によって行う。書き込み動作時のチャネル領域７ｃＡの温度は、例えば２００℃以上になる。チャネル領域７ｃＡのドレイン側では、さらに高くなることもあり得る（例えば２５０℃以上、あるいは３００℃以上）。このため、メモリトランジスタ１０Ａの酸化物半導体層７Ａの上方に、耐熱性の低い材料（軟化温度：２００℃未満、好ましくは３００℃未満）からなる層（例えば有機絶縁膜）が配置されていないことが好ましい。

[0240] 図２１に例示する構成では、メモリトランジスタ１０Ａの酸化物半導体層７Ａは、パッシベーション膜１１および有機絶縁膜１３で覆われている。この有機絶縁膜１３の耐熱性が低いと、書き込み条件などによっては、有機絶縁膜１３のうち酸化物半導体層７Ａ上に位置する部分がパッシベーション膜１１から剥がれたり、変形する可能性がある。特に、有機絶縁膜１３のうち酸化物半導体層７Ａのドレイン側の端部上で、剥離や変形が生じ得る。有機絶縁膜１３の剥離や変形が生じると、例えば複数のメモリトランジスタ１０Ａを用いてメモリアレイを構成した場合、書き込まれたメモリトランジスタ１０Ａと書き込まれていないメモリトランジスタ１０Ａとを、有機絶縁膜１３の剥離や変形の位置によって見分けられるおそれがある。

[0241] そこで、酸化物半導体層７Ａの上方に、パッシベーション膜１１として、耐熱性の比較的高い無機絶縁膜（上記に列挙したシリコン酸化膜等）を設け、パッシベーション膜１１上に有機絶縁膜１３を形成しなくてもよい。これにより、書き込み時の熱に起因する上記問題が生じないので、デバイスの信頼性やセキュリティー性をさらに向上できる。

[0242] 平坦化膜として有機絶縁膜を用いなくてもよい。あるいは、基板１の一部領域のみに有機絶縁膜１３を有していてもよい。この場合、有機絶縁膜１３は、少なくともメモリトランジスタ１０Ａの酸化物半導体層７Ａの上方に形成されていなければよく、例えば選択トランジスタ１０Ｂの酸化物半導体層７Ｂの上方には有機絶縁膜１３が形成されていてもよい。

[0243] なお、図２１に例示する構成において、有機絶縁膜１３の代わりに、耐熱性の高い材料（例えば軟化温度：２００℃以上、好ましくは３００℃以上）からなる平坦化膜を用いても、書き込み時の熱による上記問題を抑制できる。例えば、平坦化膜として、無機系のＳＯＧ（スピンオングラス）膜などの無機絶縁膜を用いてもよい。

[0244] また、上記各実施形態では、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂは薄膜トランジスタであるが、ＭＯＳ型のトランジスタであってもよい。ＭＯＳ型のトランジスタでも、チャネル領域に高電流密度のドレイン電流を流すことにより、抵抗体状態に変化させることが可能である。ＭＯＳ型のトランジスタは、例えば、シリコン基板上に絶縁膜を介して金属酸化物半導体膜が配置された構成を有する。このような構成では、放熱性の高いシリコン基板を用いるが、シリコン基板と酸化物半導体膜とが絶縁膜によって分離されているので、書き込み電流によるジュール熱がシリコン基板に放出することを抑制できる。このため、酸化物半導体膜をジュール熱によって低抵抗化させることが可能である。

[0245] メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂの導電型はｎチャネル型に限定されず、ｐチャネル型であってもよい。さらに、メモリトランジスタ１０Ａおよび選択トランジスタ１０Ｂを構成する各導電膜及び各絶縁膜の材料、構造、厚さ、及びトランジスタ特性及び書き込み特性は、上記各実施形態で例示した内容に限定されない。

産業上の利用可能性

[0246] 本発明による半導体装置は、メモリセルを備えた半導体装置および電子機器に広く適用され得る。例えば、不揮発性半導体記憶装置、集積回路（ＩＣ

、ＬＳＩ）、液晶表示装置や有機ＥＬ表示装置などの各種表示装置、各種表示装置に用いられるアクティブマトリクス基板に適用される。

符号の説明

[0247] １　：基板

３Ａ、３Ｂ　：ゲート電極

３ｓｇ　：ゲート接続部

５　：ゲート絶縁膜

７Ａ、７Ｂ　：活性層

７ｃＡ、７ｃＢ　：チャネル領域

９ｄＡ、９ｄＢ　：ドレイン電極

９ｓＡ、９ｓＢ　：ソース電極

９ｃｓ　：容量電極

９ｓｇ　：ソース接続部

１０Ａ　：メモリトランジスタ

１０Ｂ、１０Ｂ＿１、１０Ｂ＿２、１０Ｂ＿３　：選択トランジスタ

１０Ｃ　：画素用トランジスタ

１１　：保護膜（パッシベーション膜）

１３　：有機絶縁膜

１５　：コンタクトホール

１７　：上部導電層

１８　：上部ゲート電極

１９　：画素電極

２０　：容量部

３０　：ソースコンタクト部

３１　：保護層

３２ｓ、３２ｄ、３３、３４　：開口部

４０　：ソース交差部

１０１　：メモリセル

１０２　　：ビット線電圧制御回路

１０３　　：ビット線デコーダ

１０４　　：ワード線デコーダ

１０５　　：書き込み電圧制御回路

１０６　　：センスアンプ回路

２００　　：ロジック回路

３００　　：メモリ素子

３０１　　：第１選択トランジスタ

３０２　　：第２選択トランジスタ

３０３　　：ゲート制御線

１００１、２００１、３００１、４００１　　：不揮発性メモリアレイ

５００１　　：液晶表示装置

６００１　　：集積回路

ＣＳ　　：容量配線

Ｇ　　：ゲート配線

Ｓ　　：ソース配線

請求の範囲

[請求項1] 少なくとも１つのメモリセルを備えた半導体装置であって、

前記少なくとも１つのメモリセルは、

第１のチャネル長Ｌ１および第１のチャネル幅Ｗ１を有するメモリトランジスタと、

各々が前記メモリトランジスタと電気的に直列に接続され、かつ、独立に第２のチャネル長Ｌ２および第２のチャネル幅Ｗ２を有する複数の選択トランジスタと

を含み、

前記メモリトランジスタおよび前記複数の選択トランジスタの各々は、共通の酸化物半導体膜から形成された活性層を有し、

前記メモリトランジスタは、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存する半導体状態から、ドレイン電流Ｉｄｓがゲート電圧Ｖｇに依存しない抵抗体状態に不可逆的に変化させられ得るトランジスタであり、

前記第２のチャネル長Ｌ２は前記第１のチャネル長Ｌ１よりも大きい、半導体装置。

[請求項2] 前記複数の選択トランジスタは互いに電気的に並列に接続され、同一のゲート制御線を共有する、請求項１に記載の半導体装置。

[請求項3] 前記第２のチャネル幅Ｗ２は前記第１のチャネル幅Ｗ１よりも小さい、請求項２に記載の半導体装置。

[請求項4] 前記複数の選択トランジスタにおける前記第２のチャネル長Ｌ２に対する前記第２のチャネル幅Ｗ２の比Ｗ２／Ｌ２は、前記メモリトランジスタにおける前記第１のチャネル長Ｌ１に対する前記第１のチャネル幅Ｗ１の比Ｗ１／Ｌ１よりも小さい、請求項２に記載の半導体装置。

[請求項5] 前記複数の選択トランジスタにおける各々の前記第２のチャネル幅Ｗ２の総和は、前記メモリトランジスタにおける前記第１のチャネル

幅Ｗ１よりも大きい、請求項２に記載の半導体装置。

[請求項6] 前記メモリトランジスタは基板によって支持され、

前記メモリトランジスタは、

ゲート電極と、

前記ゲート電極を覆うゲート絶縁膜と、

前記ゲート絶縁膜上に配置された前記活性層と、

前記活性層上に、前記活性層の一部と接するように配置されたソース電極と、

前記活性層上に、前記活性層の他の一部と接するように配置されたドレイン電極と

を有し、

前記基板の法線方向から見たとき、前記活性層のうち、前記ゲート電極と前記ゲート絶縁膜を介して重なり、かつ、前記ソース電極と前記ドレイン電極との間に位置する部分は、Ｕ字形状を有している、請求項１から５のいずれかに記載の半導体装置。

[請求項7] 前記酸化物半導体膜は、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜である、請求項１から６のいずれかに記載の半導体装置。

[請求項8] 前記Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体膜は結晶質部分を含む、請求項７に記載の半導体装置。

[請求項9] 前記メモリトランジスタおよび前記複数の選択トランジスタは薄膜トランジスタである、請求項１から８のいずれかに記載の半導体装置。

[請求項10] 前記メモリトランジスタは、前記半導体状態であるメモリトランジスタＳおよび前記抵抗体状態であるメモリトランジスタＲの一方である、請求項１から９のいずれかに記載の半導体装置。

[請求項11] 前記少なくとも１つのメモリセルは複数のメモリセルであり、前記複数のメモリセルの一部では前記メモリトランジスタは前記メモリトランジスタＳであり、前記複数のメモリセルの他の一部では前記メモ

リトランジスタは前記メモリトランジスタＲである、請求項１０に記載の半導体装置。

[請求項12] 前記メモリトランジスタＳでは、ドレイン－ソース間電圧の絶対値が０．１Ｖ以上１０Ｖ以下の範囲内において、ドレイン電流Ｉｄｓの値を前記チャネル幅Ｗ１で除算した値Ｉｄｓ／Ｗ１の絶対値が、１×１０$^{-14}$Ａ／μｍ以下となるゲート－ソース間電圧の電圧範囲が存在し、

前記メモリトランジスタＲでは、ドレイン－ソース間電圧の絶対値が０．１Ｖ以上１０Ｖ以下の範囲内において、ゲート－ソース間電圧を前記電圧範囲内に設定した場合でも、ドレイン電流Ｉｄｓの値を前記チャネル幅Ｗ１で除算した値Ｉｄｓ／Ｗ１の絶対値が、前記ドレイン－ソース間電圧に応じて変化し、１×１０$^{-11}$Ａ／μｍ以上となる、請求項１０または１１に記載の半導体装置。

[請求項13] 前記少なくとも１つのメモリセルは単体のメモリセルであって、かつ、前記メモリトランジスタＳを含み、

前記メモリトランジスタＳと前記複数の選択トランジスタとの接続により、内部ノードが形成され、

前記メモリトランジスタＳがオン状態であるとき、前記複数の選択トランジスタのゲート電圧を高レベルの電圧ＶＨとすると、前記内部ノードから低レベルの電圧ＶＬが出力され、前記複数の選択トランジスタのゲート電圧を低レベルの電圧ＶＬとすると、前記内部ノードから高レベルの電圧ＶＨが出力される、請求項１０または１２に記載の半導体装置。

[請求項14] 前記少なくとも１つのメモリセルは単体のメモリセルであって、かつ、前記メモリトランジスタＳおよび前記メモリトランジスタＲの一方を含み、

前記メモリトランジスタＳおよび前記メモリトランジスタＲの一方と前記複数の選択トランジスタとの接続により、内部ノードが形成さ

れ、

前記少なくとも１つのメモリセルが前記メモリトランジスタＳを含むとき、前記メモリトランジスタＳのゲート電圧を、前記メモリトランジスタＳがオン状態とならない低レベルの電圧ＶＬに設定し、前記複数の選択トランジスタのゲート電圧を高レベルの電圧ＶＨに設定した場合、低レベルの電圧ＶＬが内部ノードから出力され、

前記少なくとも１つのメモリセルが前記メモリトランジスタＲを含むとき、前記メモリトランジスタＲのゲート電圧を、前記メモリトランジスタＲがオン状態とならない低レベルの電圧ＶＬに設定し、前記複数の選択トランジスタのゲート電圧を高レベルの電圧ＶＨに設定した場合、高レベルの電圧ＶＨが内部ノードから出力される、請求項１０または１２に記載の半導体装置。

[請求項15] 第１の複数のワード線および第２の複数のワード線を制御するワード線制御回路と、複数のビット線を制御するビット線制御回路と、前記複数のメモリセルからの読み出し信号を検出するセンスアンプ回路とをさらに備え、

前記複数のメモリセルは行方向および列方向に配置され、

同一行に配置されたメモリセルに含まれる前記メモリトランジスタのゲート電極は、前記第１の複数のワード線のうち各行に対応する各々を介してワード線制御回路に接続され、

同一行に配置されたメモリセルに含まれる前記複数の選択トランジスタの各々のゲート電極は、前記第２の複数のワード線のうち各行に対応する各々を介してワード線制御回路に接続され、

同一列に配置されたメモリセルに含まれる前記メモリトランジスタのドレイン電極は、前記複数のビット線のうち各列に対応する各々を介して前記ビット線制御回路および前記センスアンプ回路に接続される、請求項１１または１２に記載の半導体装置。

[請求項16] 第１および第２のワード線を制御するワード線制御回路と、複数の

ビット線を制御するビット線制御回路と、前記複数のメモリセルからの読み出し信号を検出するセンスアンプ回路とをさらに備え、

前記複数のメモリセルは行方向に配置され、

前記複数のメモリセルに含まれる前記メモリトランジスタのゲート電極は前記第１のワード線を介してワード線制御回路に接続され、

前記複数のメモリセルに含まれる前記複数の選択トランジスタの各々のゲート電極は前記第２のワード線を介してワード線制御回路に接続され、

各列に配置されたメモリセルに含まれる前記メモリトランジスタのドレイン電極は、前記複数のビット線のうち各列に対応する各々を介して前記ビット線制御回路および前記センスアンプ回路に接続される、請求項１１または１２に記載の半導体装置。

[請求項17] 第１のワード線および第２の複数のワード線を制御するワード線制御回路と、ビット線を制御するビット線制御回路と、前記複数のメモリセルからの読み出し信号を検出するセンスアンプ回路とをさらに備え、

前記複数のメモリセルは列方向に配置され、

各行に配置されたメモリセルに含まれる前記メモリトランジスタのゲート電極は前記第１のワード線を介してワード線制御回路に接続され、

各行に配置されたメモリセルに含まれる前記複数の選択トランジスタの各々のゲート電極は、前記第２の複数のワード線のうち各行に対応する各々を介してワード線制御回路に接続され、

前記複数のメモリセルに含まれる前記メモリトランジスタのドレイン電極は前記ビット線を介して前記ビット線制御回路および前記センスアンプ回路に接続される、請求項１１または１２に記載の半導体装置。

[請求項18] 前記複数のメモリセルからの読み出し信号を検出するセンスアンプ

回路をさらに備え、

前記複数のメモリセルは行方向および／または列方向に配置され、

前記メモリトランジスタと前記複数の選択トランジスタとの接続により、内部ノードが形成され、前記内部ノードは前記センスアンプ回路に接続される、請求項１１または１２に記載の半導体装置。

[請求項19] 前記複数の選択トランジスタの各々におけるゲート－ソース間電圧は前記メモリトランジスタにおけるゲート－ソース間電圧以上である、請求項１５から１８のいずれかに記載の半導体装置。

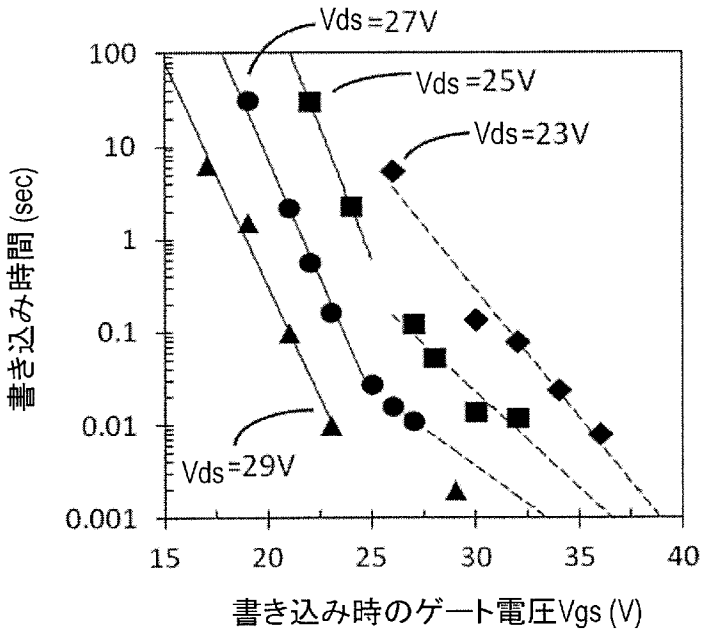
[請求項20] 前記複数の選択トランジスタの各々の閾値電圧は前記メモリトランジスタの閾値電圧以上である、請求項１５から１８のいずれかに記載の半導体装置。

[請求項21] 前記複数の選択トランジスタにおける各々のソース電極は接地されている、請求項１から２０のいずれかに記載の半導体装置。

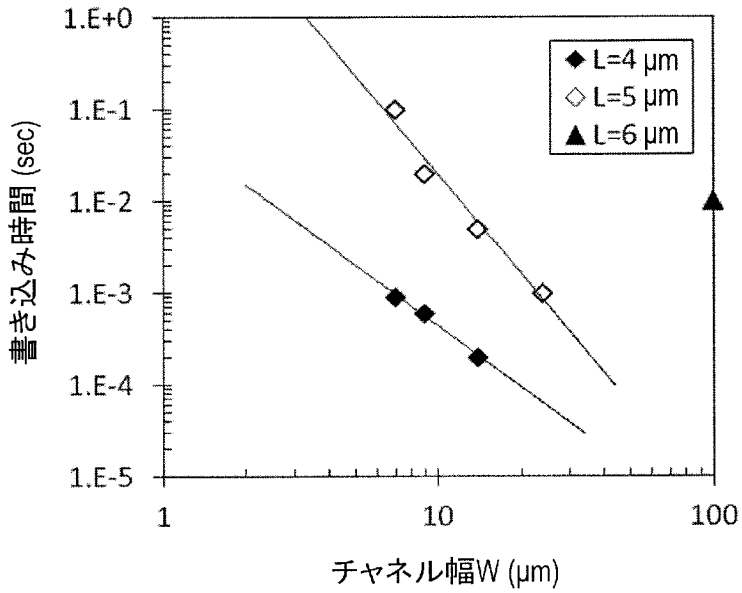
[請求項22] 請求項１から２１のいずれかに記載の半導体装置を備えた液晶表示装置。

[図1]

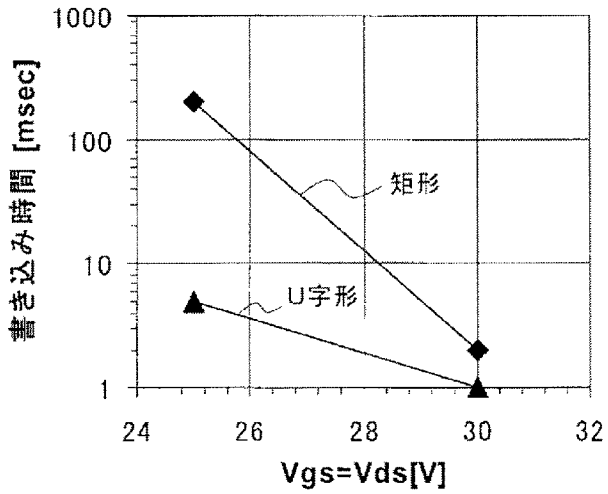
(a)


Vds=27V
Vds=25V
Vds=23V
Vds=29V
100
10
1
0.1
0.01
0.001
15
20
25
30
35
40
書き込み時間 (sec)
書き込み時のゲート電圧Vgs (V)

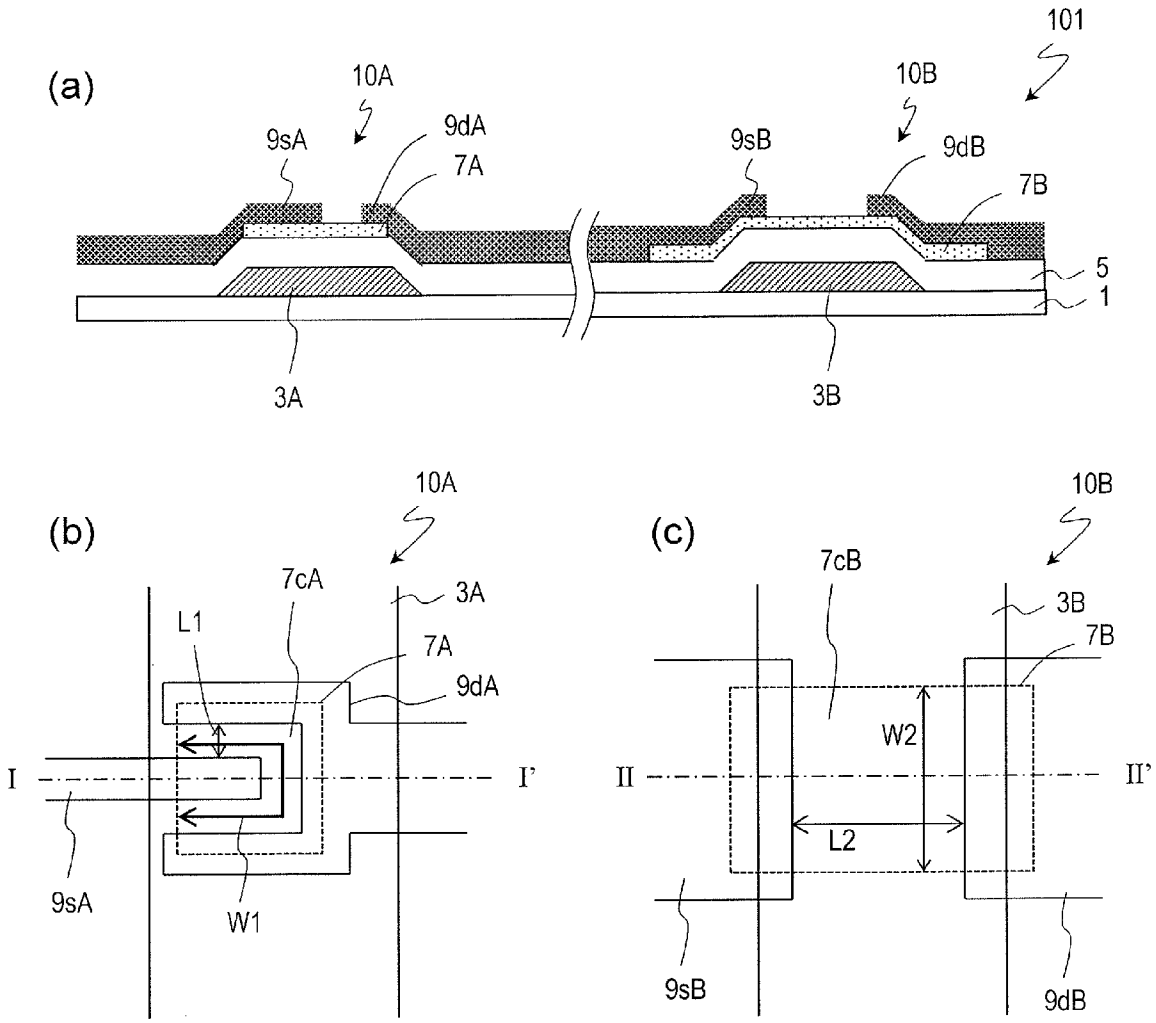
(b)


L=4 μm
L=5 μm
L=6 μm
1.E+0
1.E-1
1.E-2
1.E-3
1.E-4
1.E-5
1
10
100
書き込み時間 (sec)
チャネル幅W (μm)

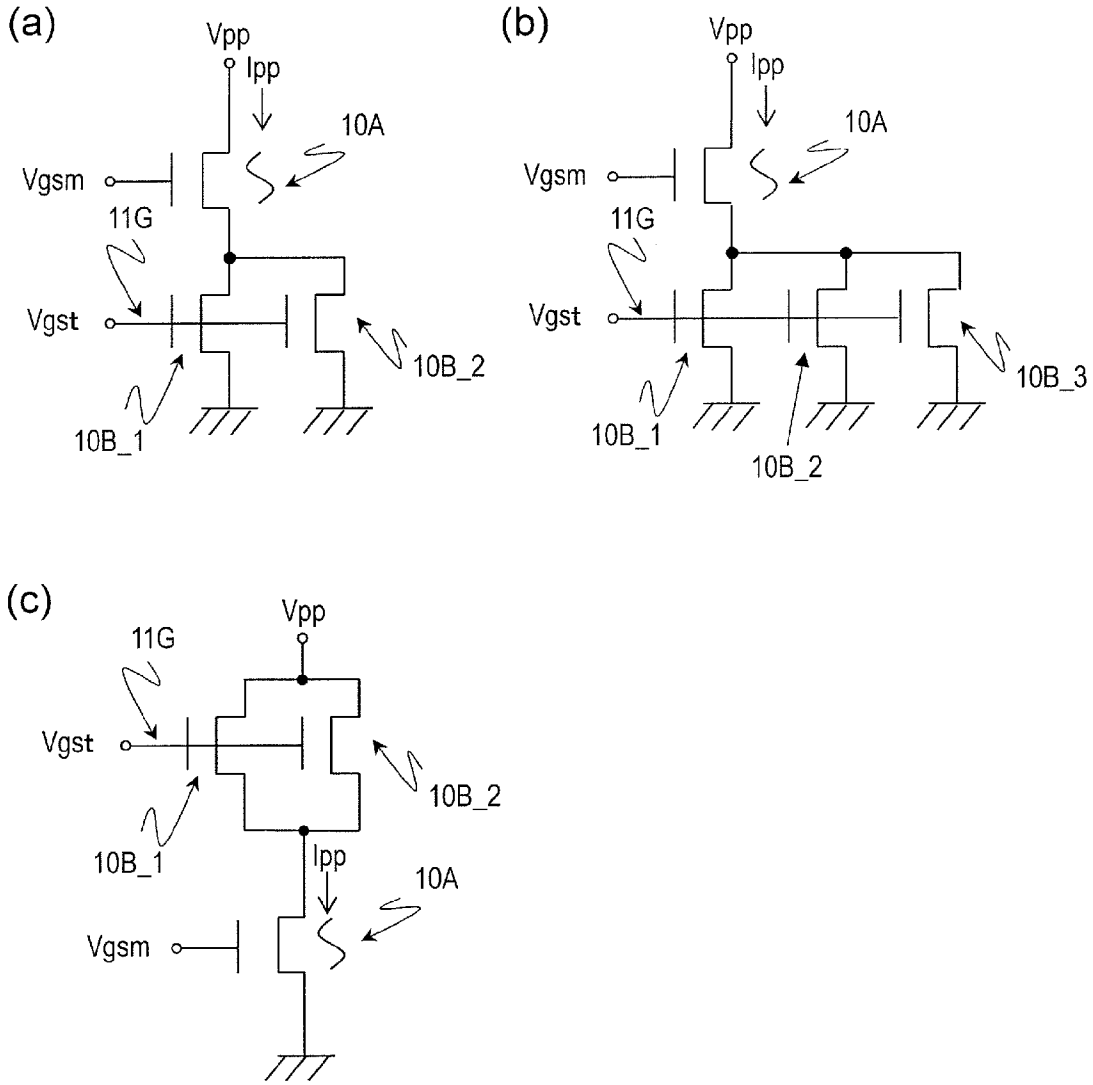
(c)


1000
100
10
1
矩形
U字形
24
26
28
30
32
書き込み時間 [msec]
Vgs=Vds[V]

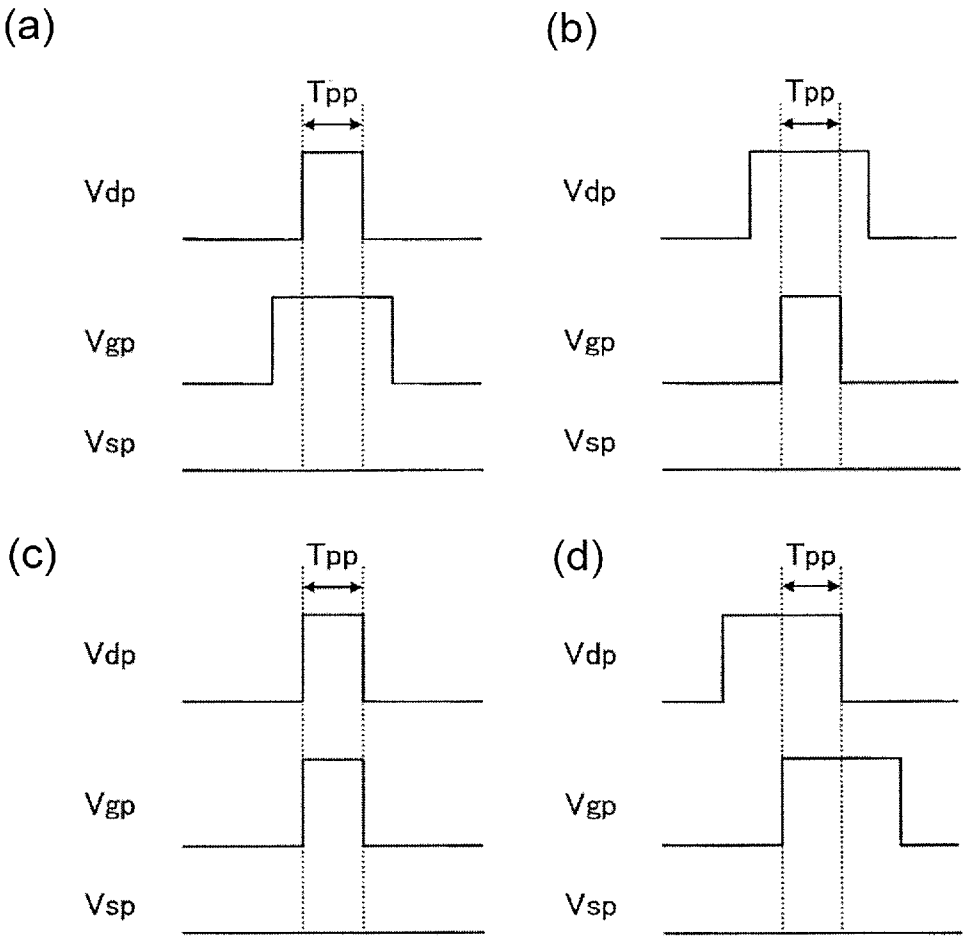
[図2]


(a)
101
10A
10B
9sA
9dA
7A
9sB
9dB
7B
5
1
3A
3B
(b)
10A
7cA
3A
L1
7A
9dA
I
I'
9sA
W1
(c)
10B
7cB
3B
7B
W2
II
II'
L2
9sB
9dB

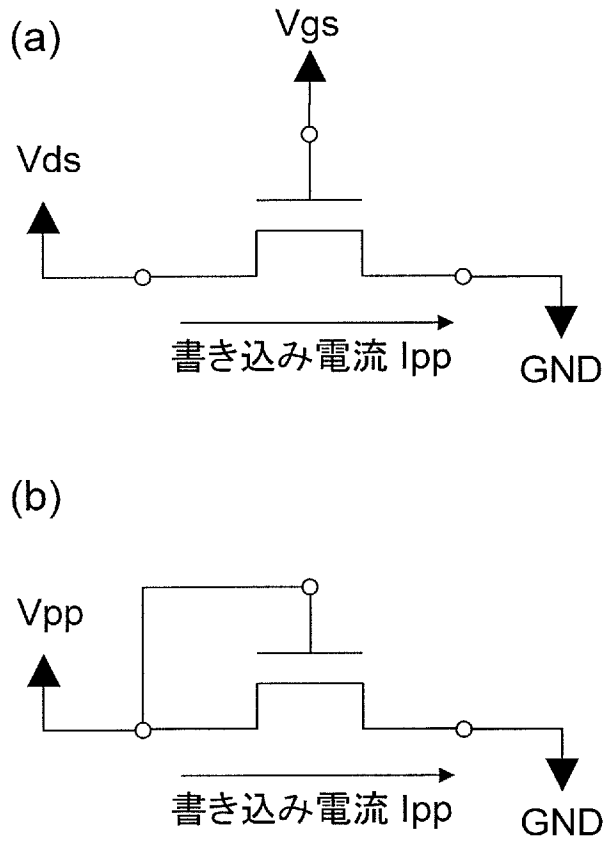
[図3]


(a)
Vpp
Ipp
10A
Vgsm
11G
Vgst
10B_2
10B_1
(b)
Vpp
Ipp
10A
Vgsm
11G
Vgst
10B_3
10B_1
10B_2
(c)
Vpp
11G
Vgst
10B_2
10B_1
Ipp
10A
Vgsm

[図4]

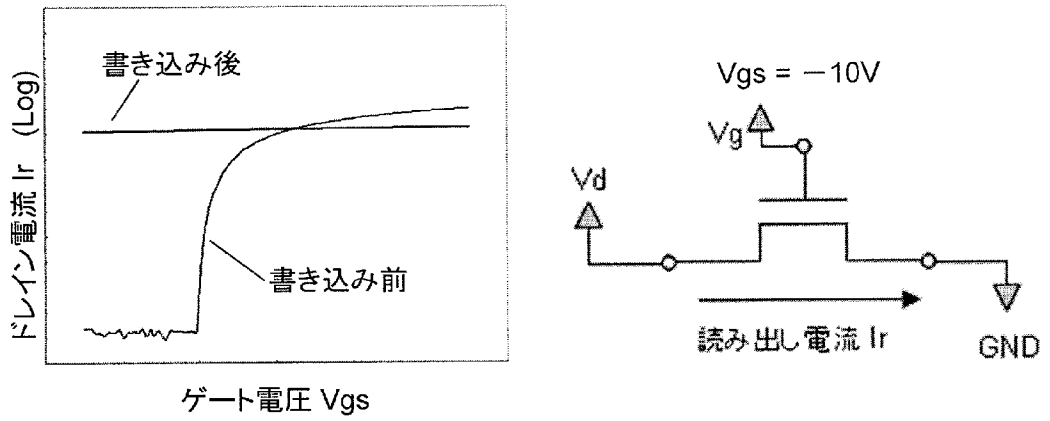

(a)
Tpp
Vdp
Vgp
Vsp
(b)
Tpp
Vdp
Vgp
Vsp
(c)
Tpp
Vdp
Vgp
Vsp
(d)
Tpp
Vdp
Vgp
Vsp

[図5]

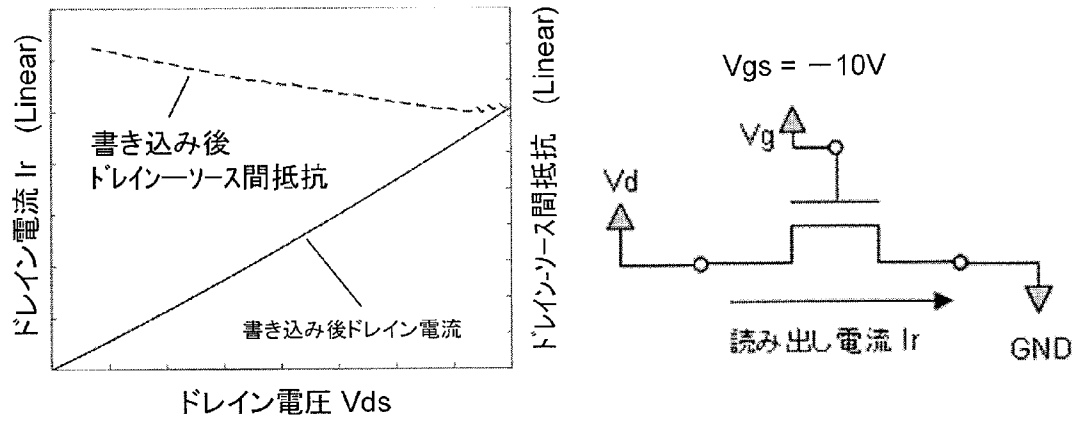


[図6]

(a)

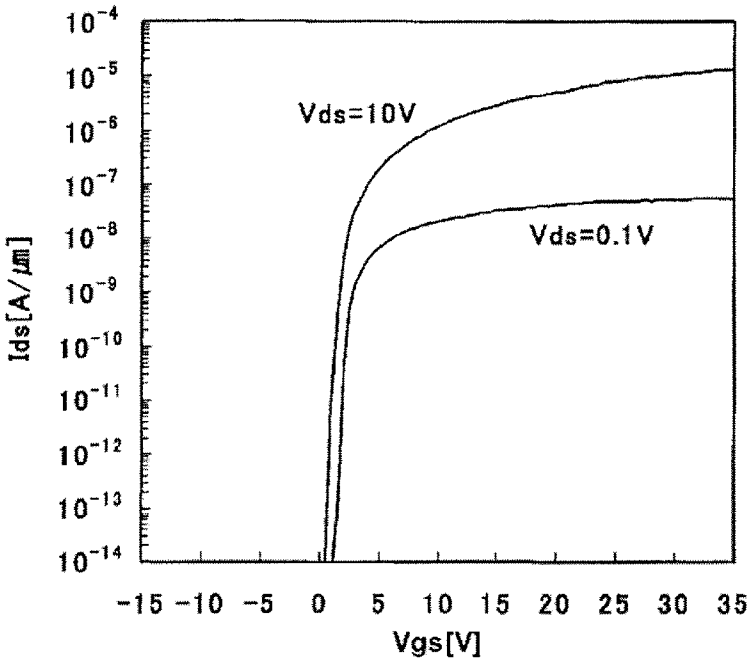

書き込み後
書き込み前
ドレイン電流 Ir (Log)
ゲート電圧 Vgs
Vgs = −10V
Vg
Vd
読み出し電流 Ir
GND

(b)

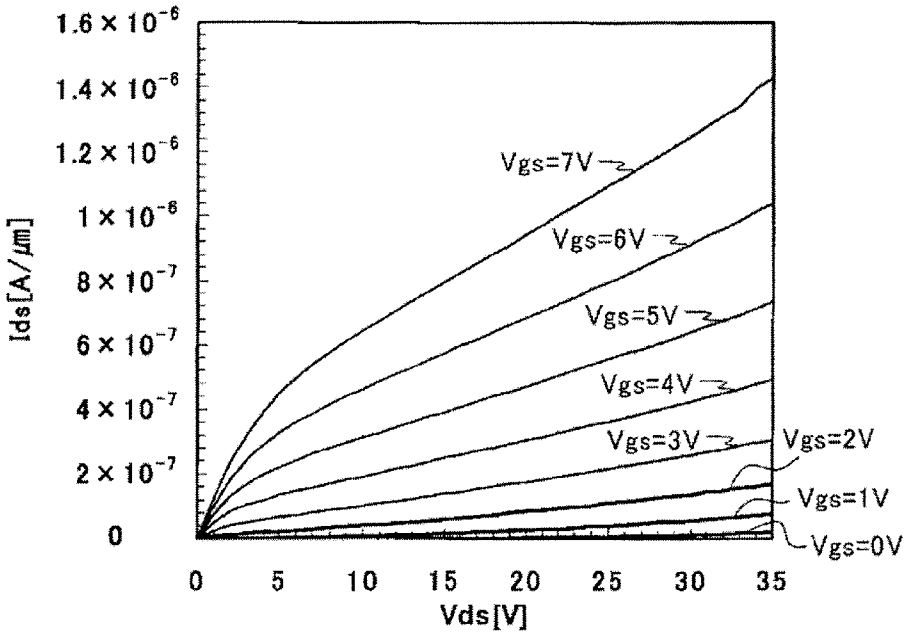

書き込み後
ドレイン—ソース間抵抗
書き込み後ドレイン電流
ドレイン電流 Ir (Linear)
ドレイン-ソース間抵抗 (Linear)
ドレイン電圧 Vds
Vgs = −10V
Vg
Vd
読み出し電流 Ir
GND

[図7]

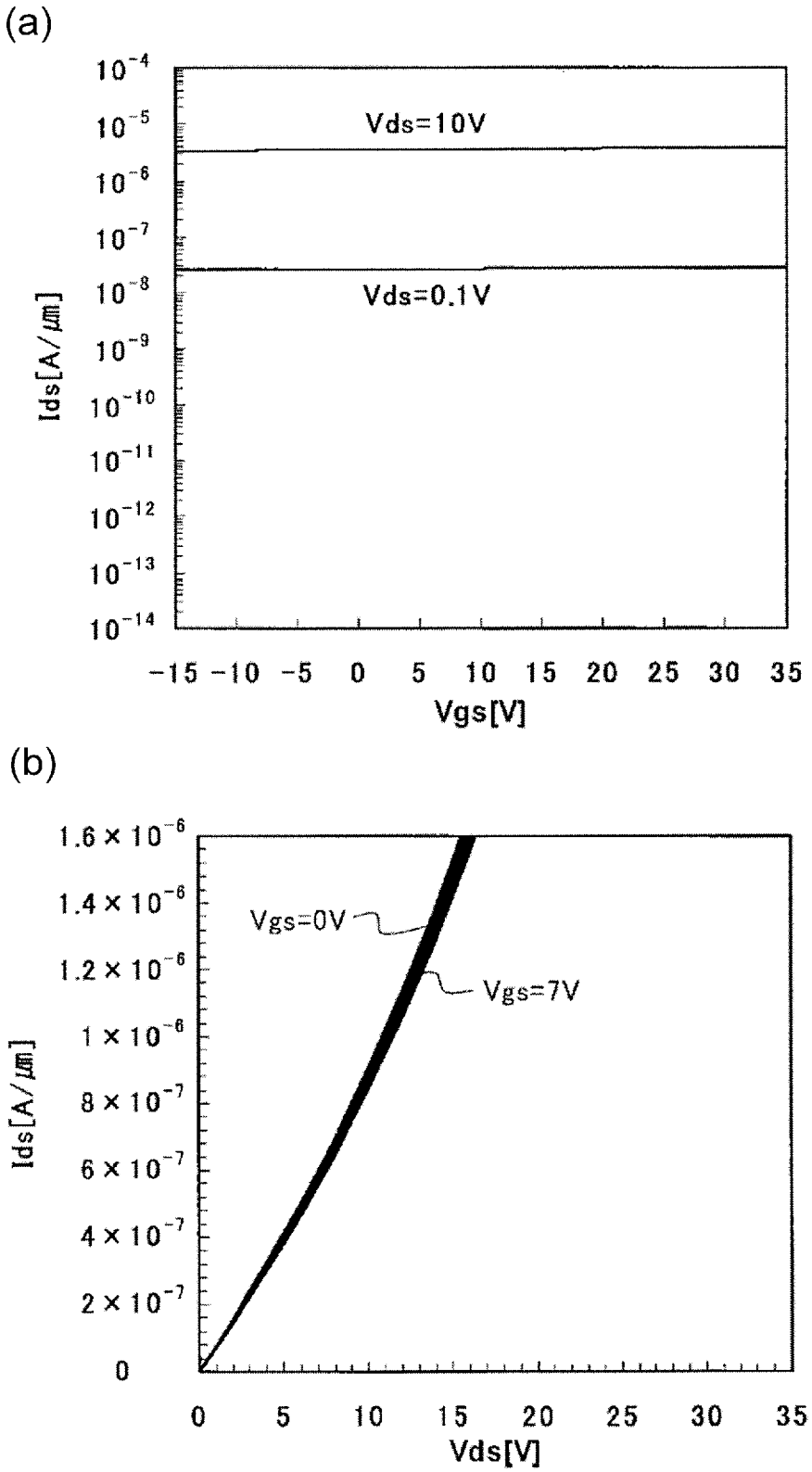
(a)


Vds=10V
Vds=0.1V
Ids[A/μm]
Vgs[V]

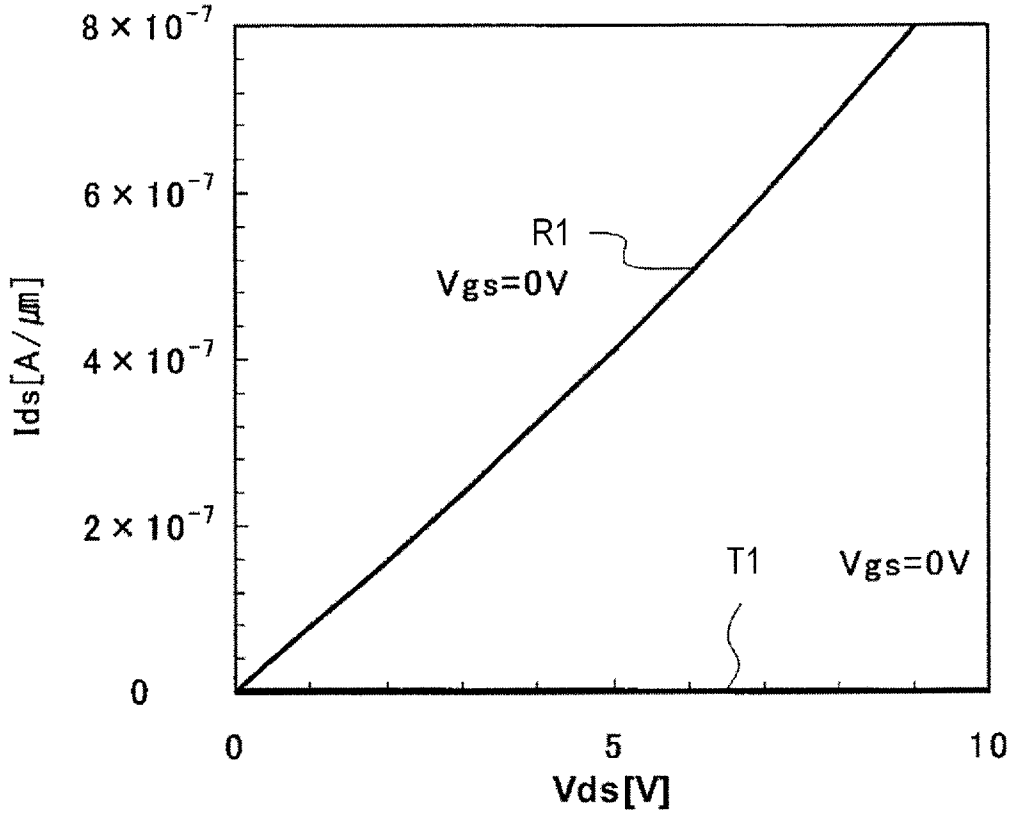
(b)


Vgs=7V
Vgs=6V
Vgs=5V
Vgs=4V
Vgs=3V
Vgs=2V
Vgs=1V
Vgs=0V
Ids[A/μm]
Vds[V]

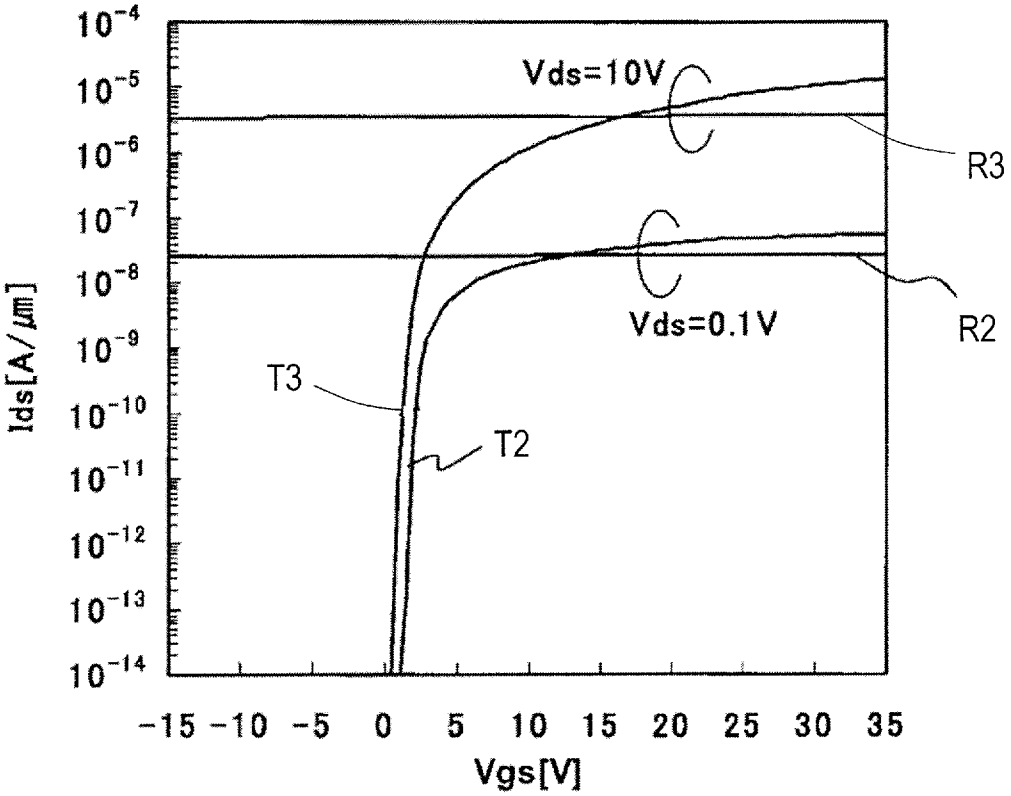
[図8]



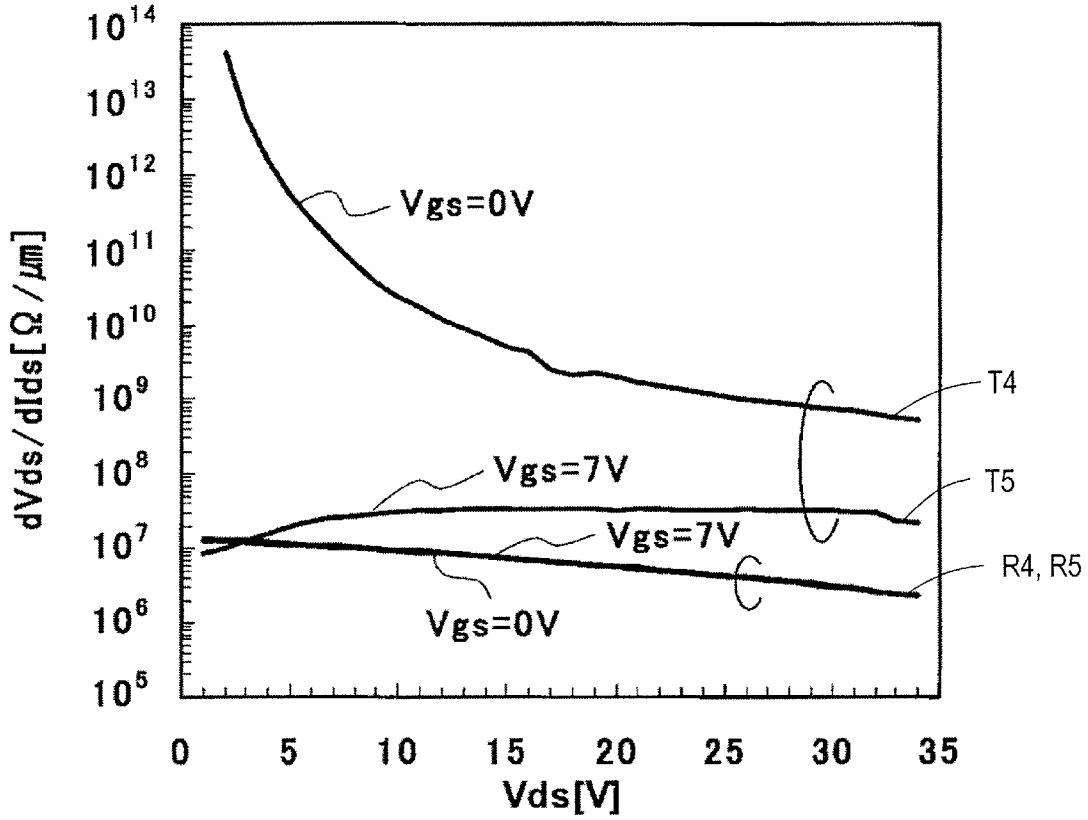
[図9]


8 × 10⁻⁷
6 × 10⁻⁷
4 × 10⁻⁷
2 × 10⁻⁷
0
Ids[A/μm]
R1
Vgs=0V
T1
Vgs=0V
0
5
10
Vds[V]

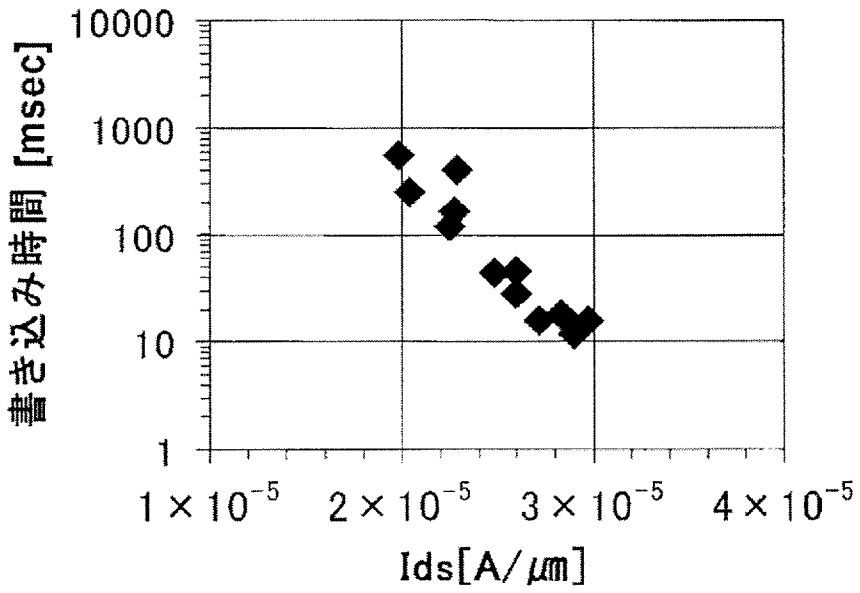
[図10]


10⁻⁴
10⁻⁵
10⁻⁶
10⁻⁷
10⁻⁸
10⁻⁹
10⁻¹⁰
10⁻¹¹
10⁻¹²
10⁻¹³
10⁻¹⁴
Ids[A/μm]
Vds=10V
R3
Vds=0.1V
R2
T3
T2
-15 -10 -5 0 5 10 15 20 25 30 35
Vgs[V]

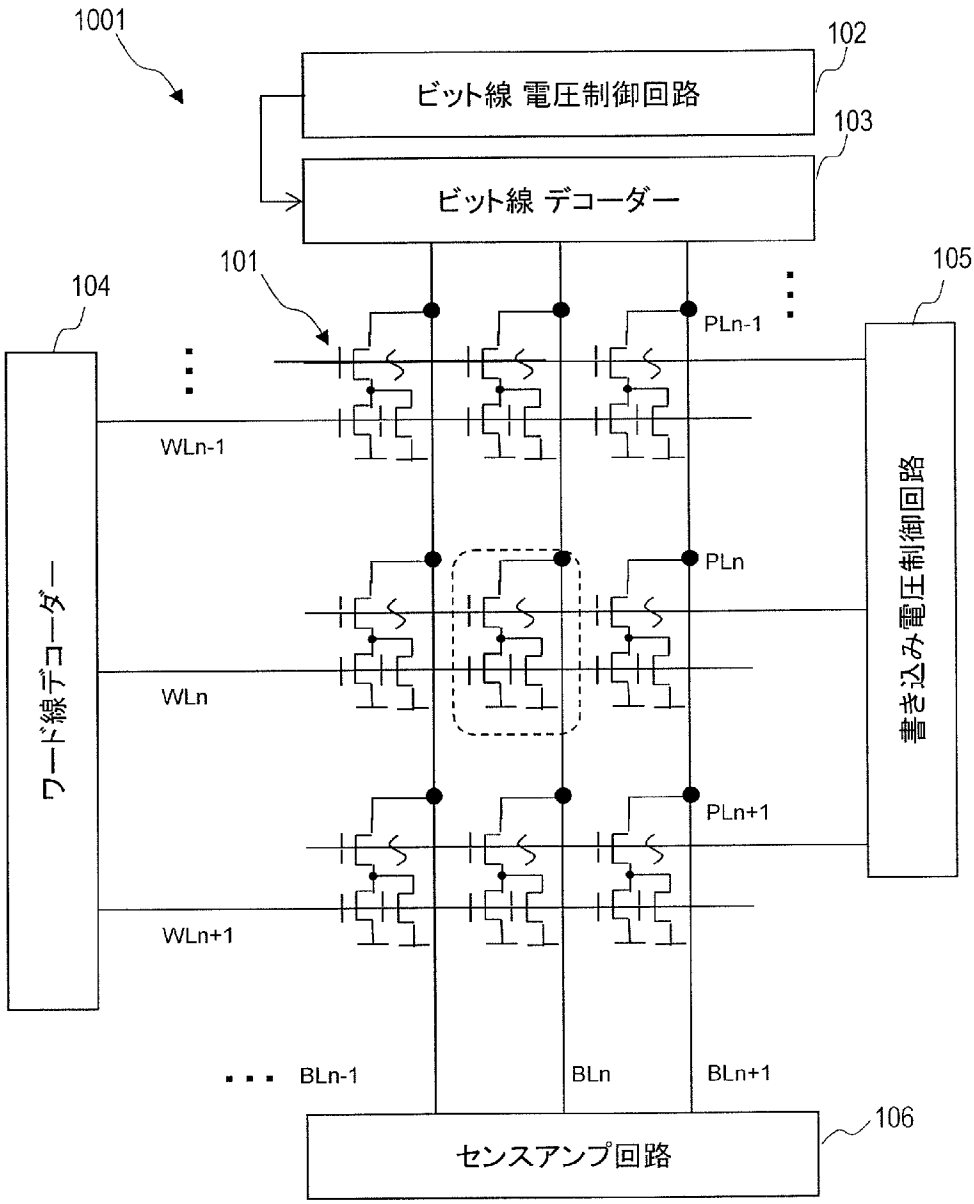
[図11]


dVds/dIds[Ω/μm]
10^14
10^13
10^12
10^11
10^10
10^9
10^8
10^7
10^6
10^5
Vgs=0V
Vgs=7V
Vgs=7V
Vgs=0V
T4
T5
R4, R5
0
5
10
15
20
25
30
35
Vds[V]

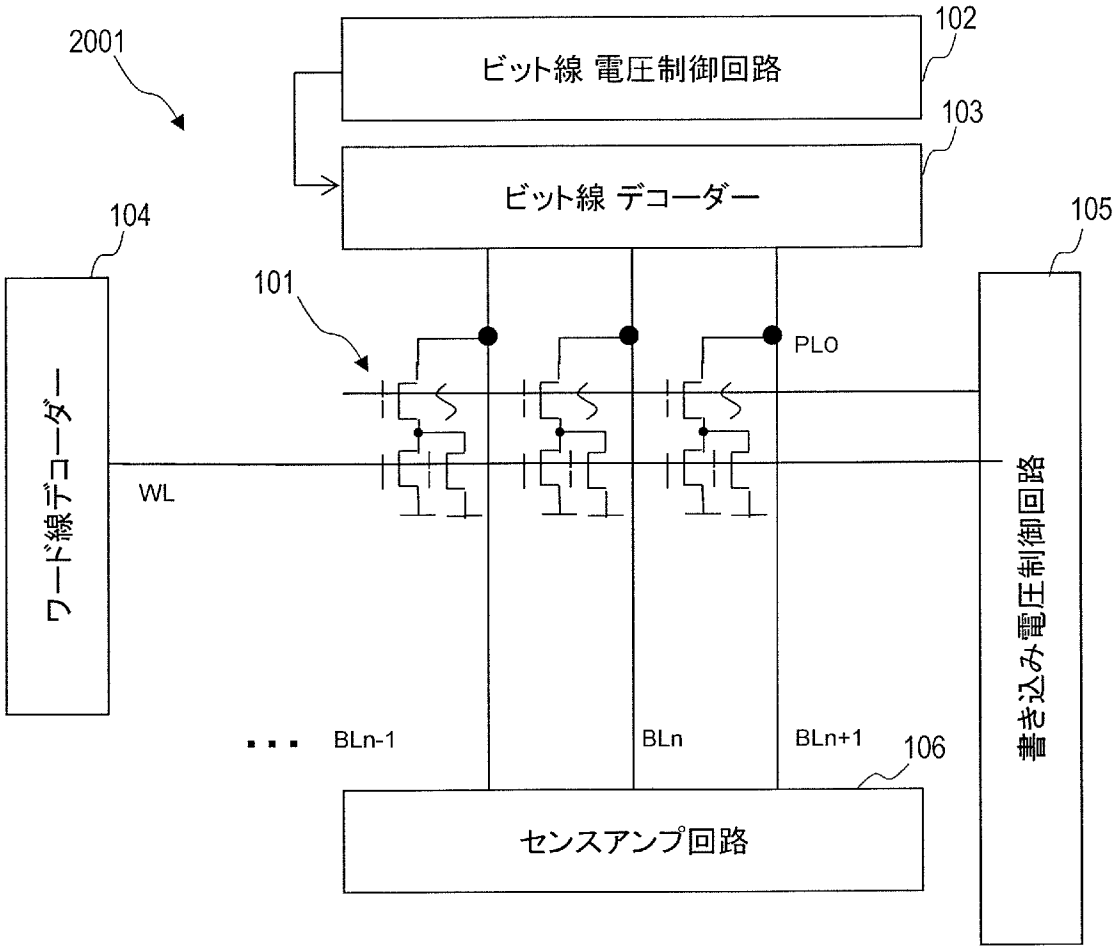
[図12]


書き込み時間 [msec]
10000
1000
100
10
1
1×10^-5
2×10^-5
3×10^-5
4×10^-5
Ids[A/μm]

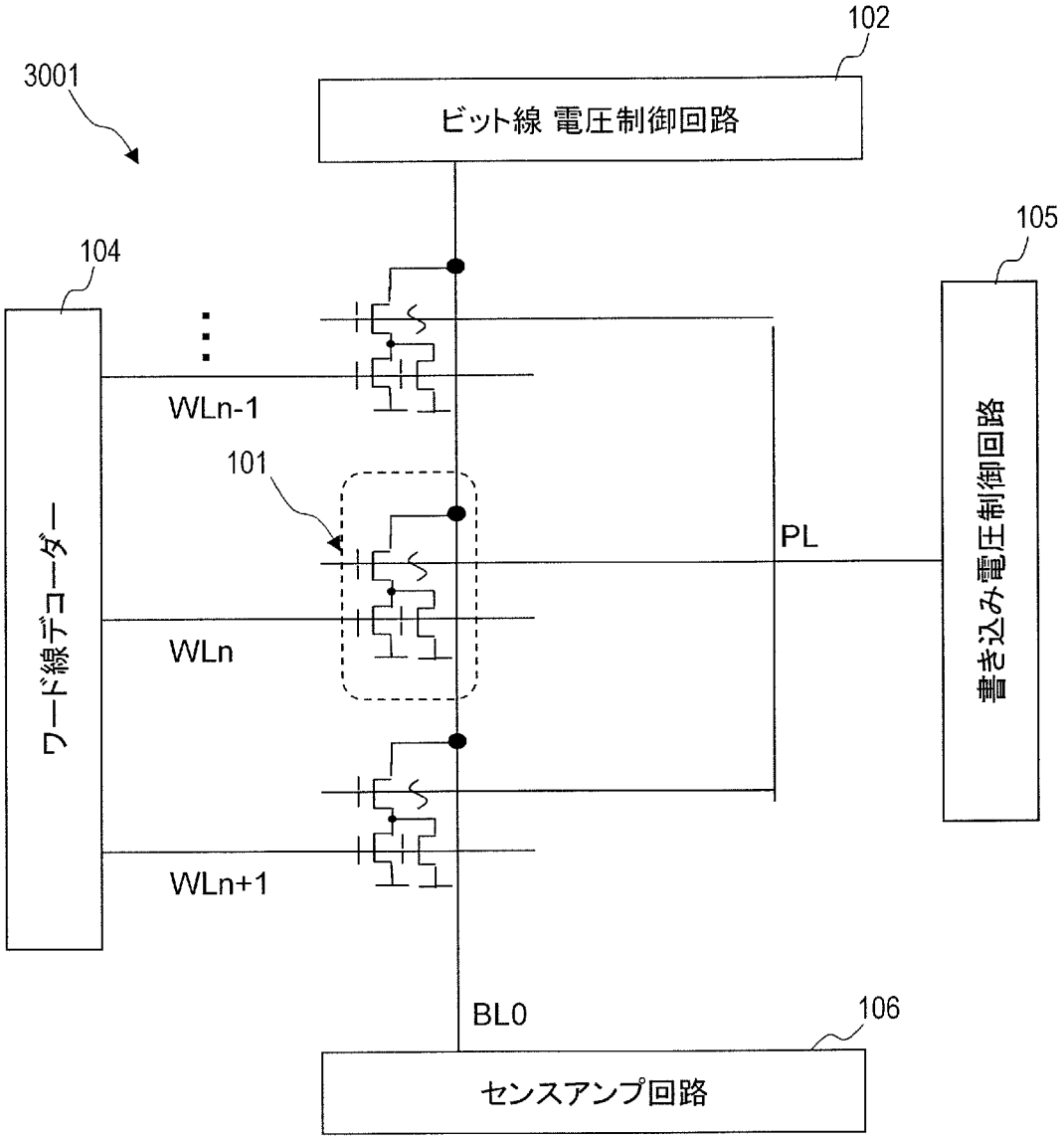
[図13]


1001
102
ビット線 電圧制御回路
103
ビット線 デコーダー
101
104
105
PLn-1
WLn-1
PLn
WLn
PLn+1
WLn+1
ワード線デコーダー
書き込み電圧制御回路
BLn-1
BLn
BLn+1
106
センスアンプ回路

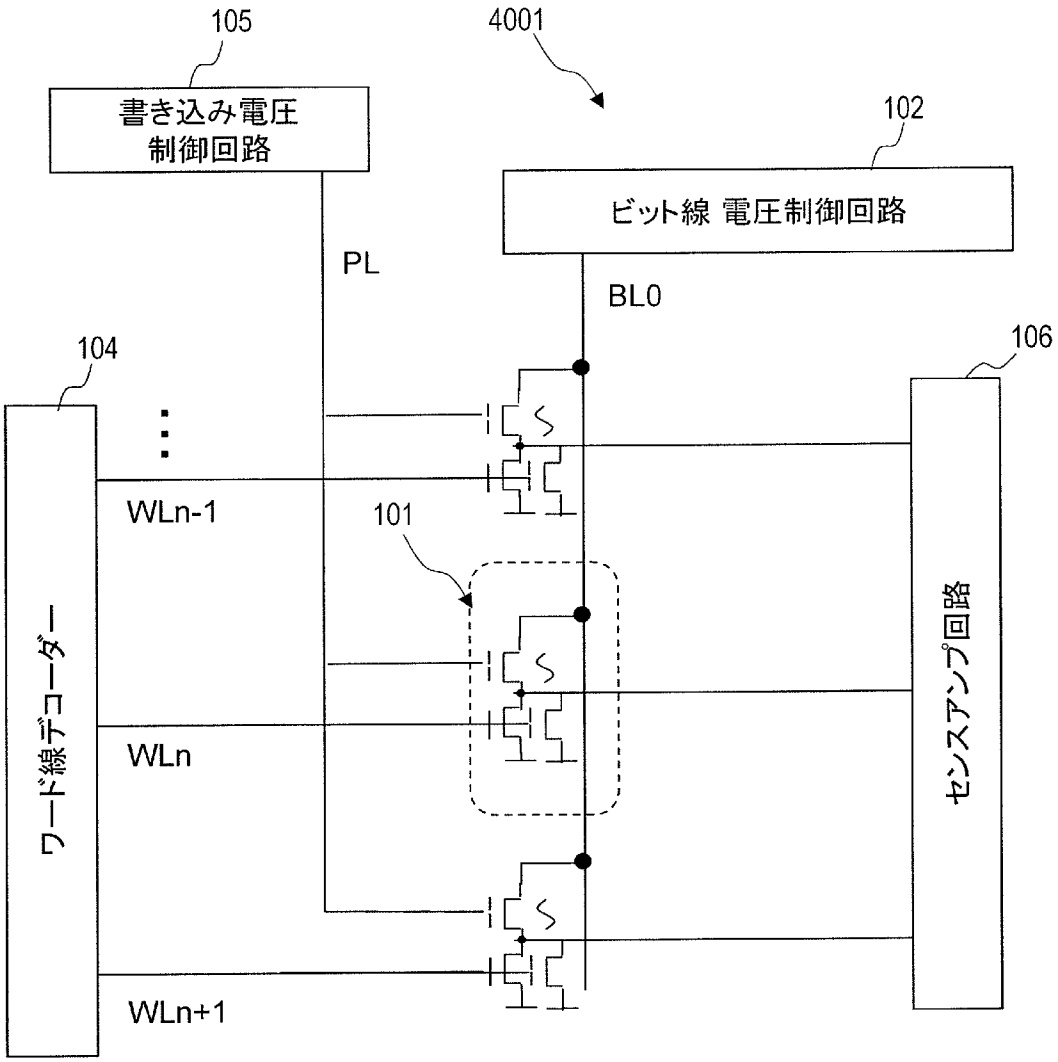
[図14]


2001
ビット線 電圧制御回路
102
ビット線 デコーダー
103
104
105
101
PLO
ワード線デコーダー
WL
書き込み電圧制御回路
BLn-1
BLn
BLn+1
106
センスアンプ回路

[図15]

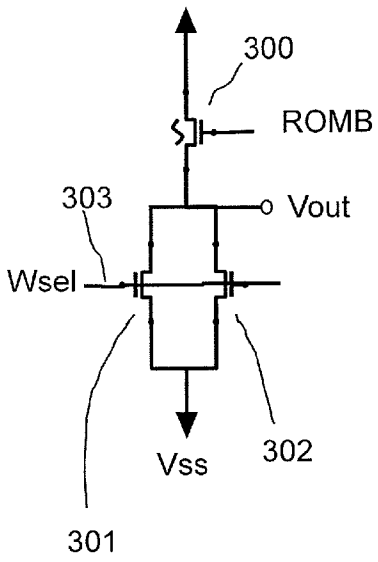

3001
102
ビット線 電圧制御回路
105
104
WLn-1
101
PL
WLn
ワード線デコーダー
書き込み電圧制御回路
WLn+1
BL0
106
センスアンプ回路

[図16]

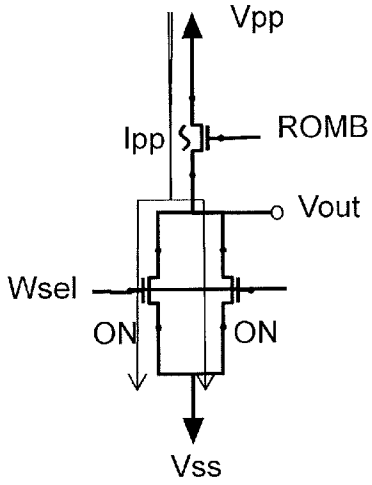

105
書き込み電圧
制御回路
4001
102
ビット線 電圧制御回路
PL
BL0
104
106
WLn-1
101
ワード線デコーダー
WLn
センスアンプ回路
WLn+1

[図17]

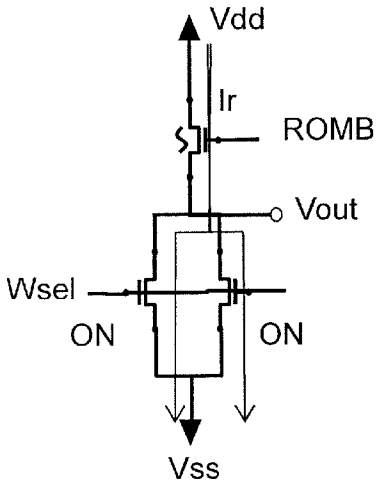
(a)


300
ROMB
303
Vout
Wsel
Vss
302
301

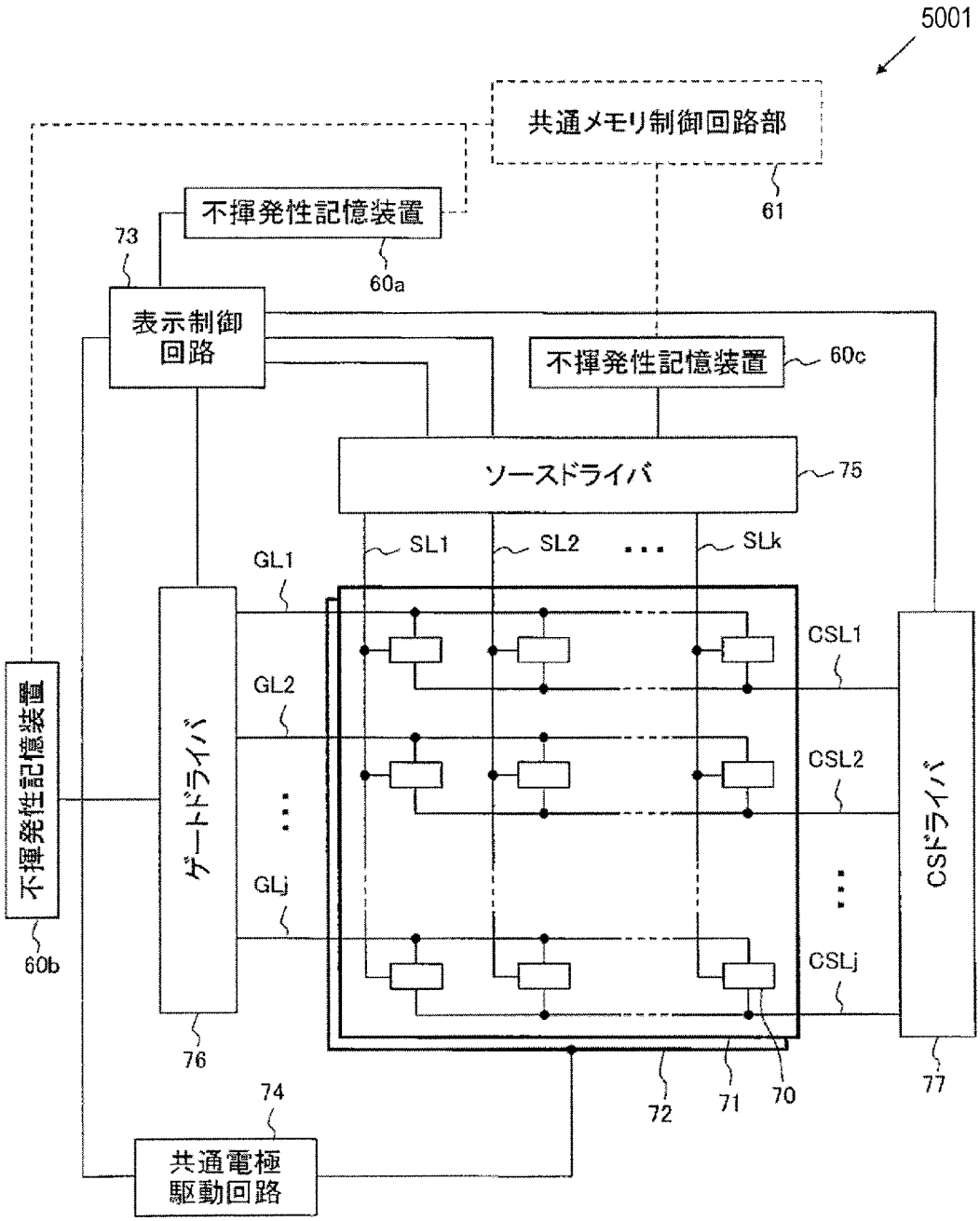
(b)


Vpp
Ipp
ROMB
Vout
Wsel
ON
ON
Vss

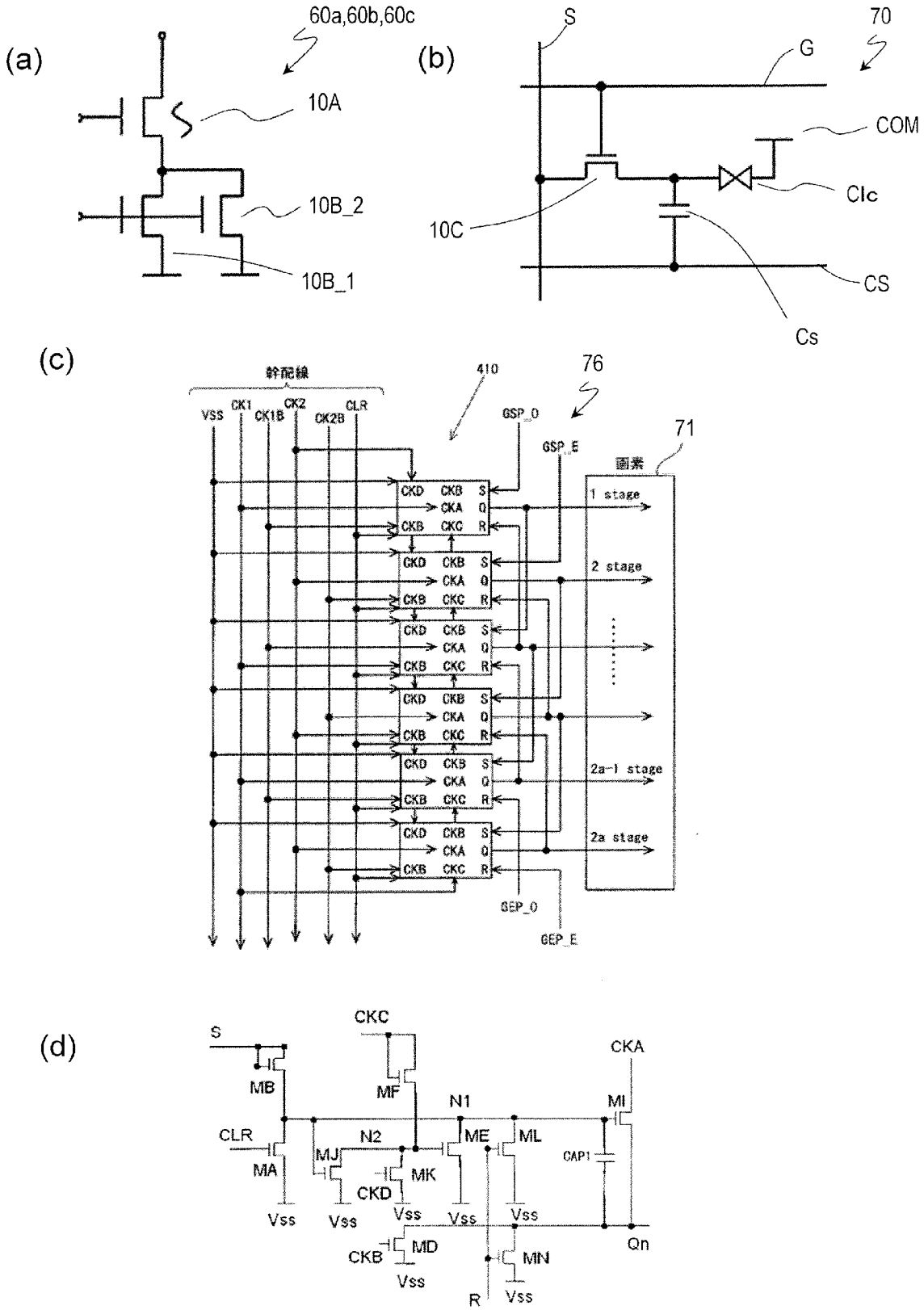
(c)


Vdd
Ir
ROMB
Vout
Wsel
ON
ON
Vss

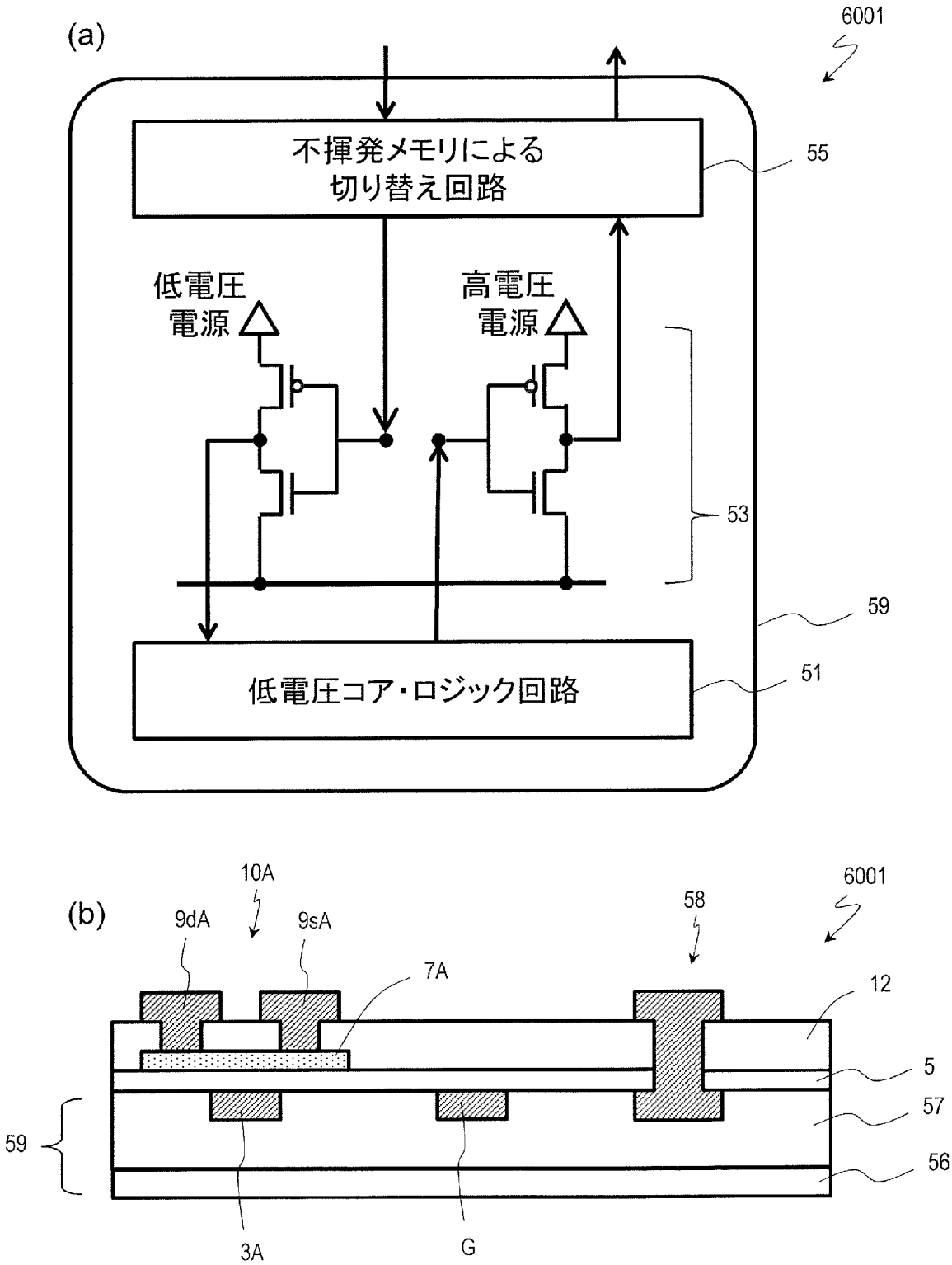
[図18]


5001
共通メモリ制御回路部
61
不揮発性記憶装置
60a
73
表示制御回路
不揮発性記憶装置
60c
ソースドライバ
75
SL1
SL2
SLk
GL1
GL2
GLj
CSL1
CSL2
CSLj
ゲートドライバ
CSドライバ
不揮発性記憶装置
60b
76
77
72
71
70
74
共通電極駆動回路

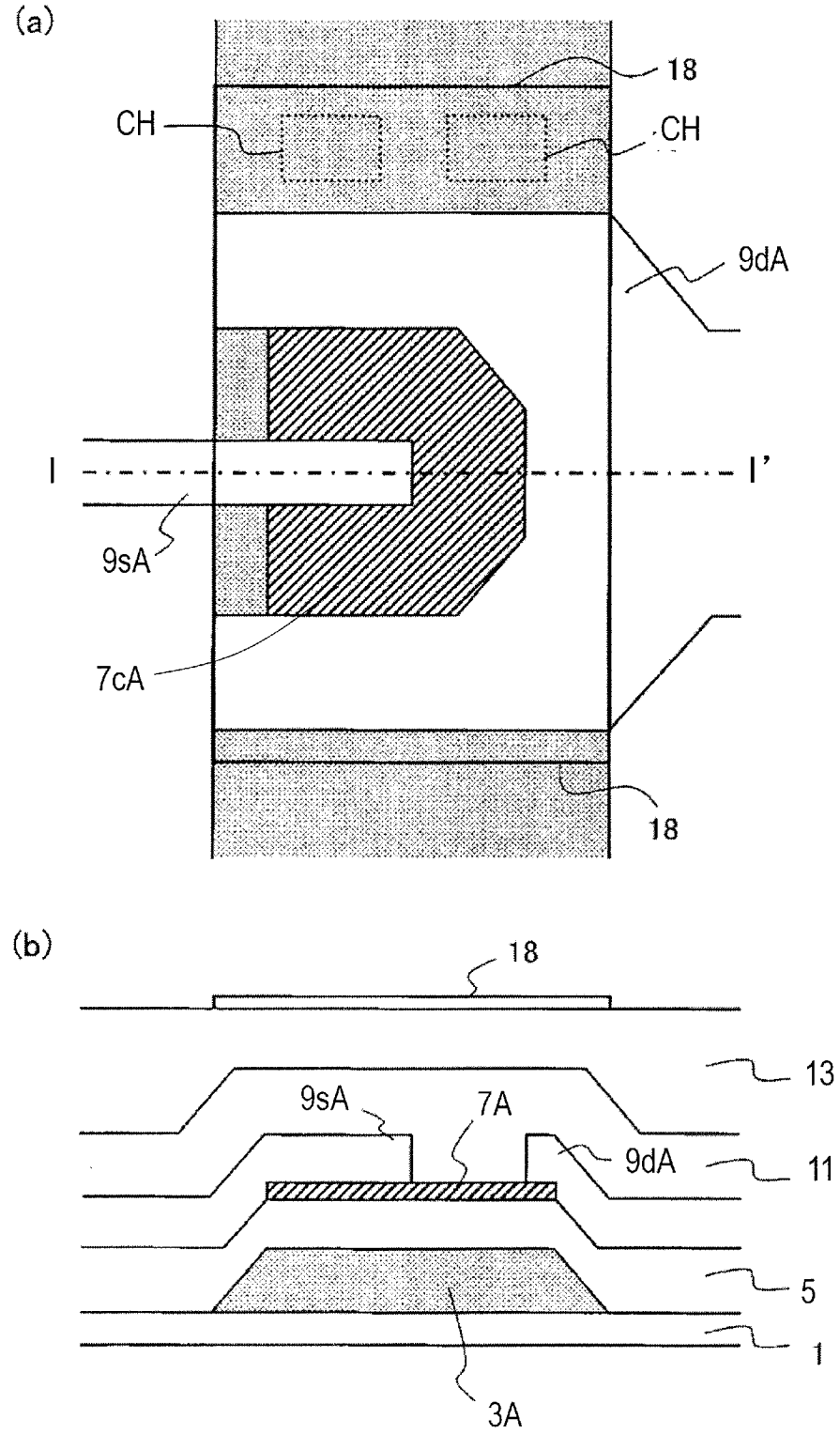
[図19]


(a)
60a,60b,60c
10A
10B_2
10B_1
(b)
S
G
70
COM
Clc
10C
CS
Cs
(c)
幹配線
VSS
CK1
CK1B
CK2
CK2B
CLR
410
76
GSP_O
GSP_E
71
画素
CKD CKB S
CKA Q
CKB CKC R
1 stage
2 stage
2a-1 stage
2a stage
GEP_O
GEP_E
(d)
S
MB
CKC
MF
N1
CKA
MI
CLR
N2
MJ
MA
MK
CKD
ME
ML
CAP1
Vss
CKB
MD
MN
R
Qn

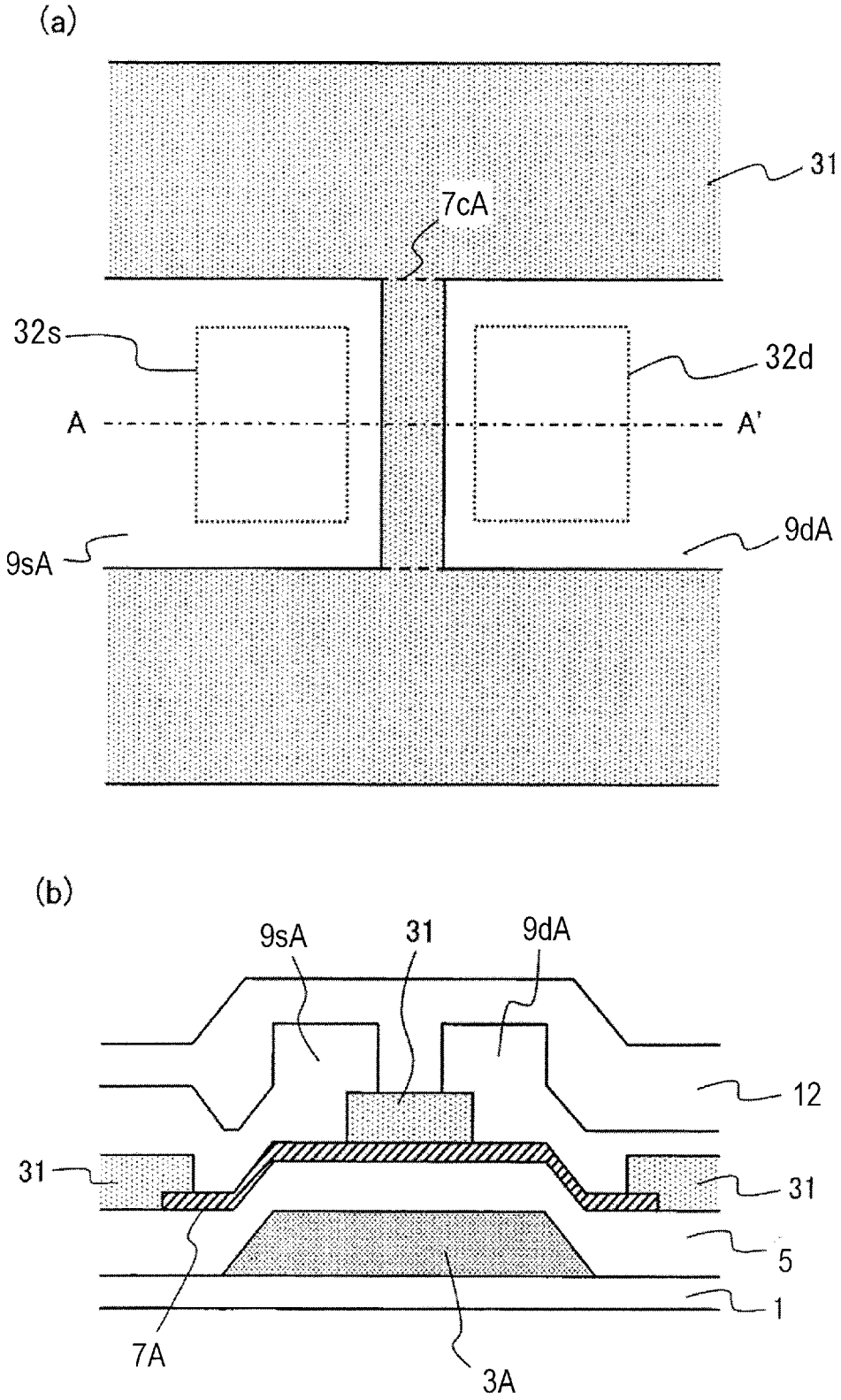
[図20]


(a)
6001
不揮発メモリによる
切り替え回路
55
低電圧
電源
高電圧
電源
53
59
低電圧コア・ロジック回路
51
(b)
10A
9dA
9sA
7A
58
6001
12
5
57
59
56
3A
G

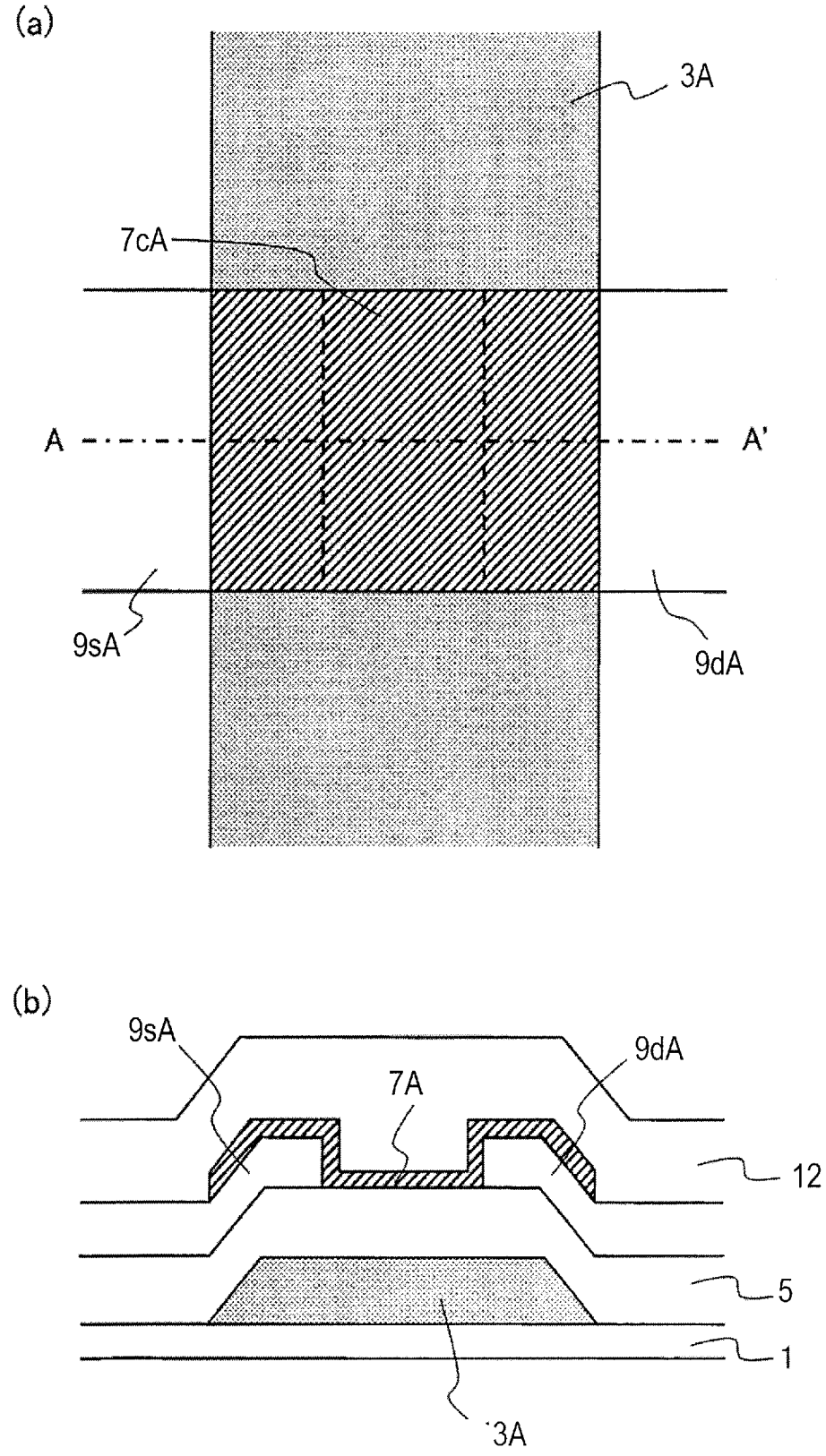
[図21]



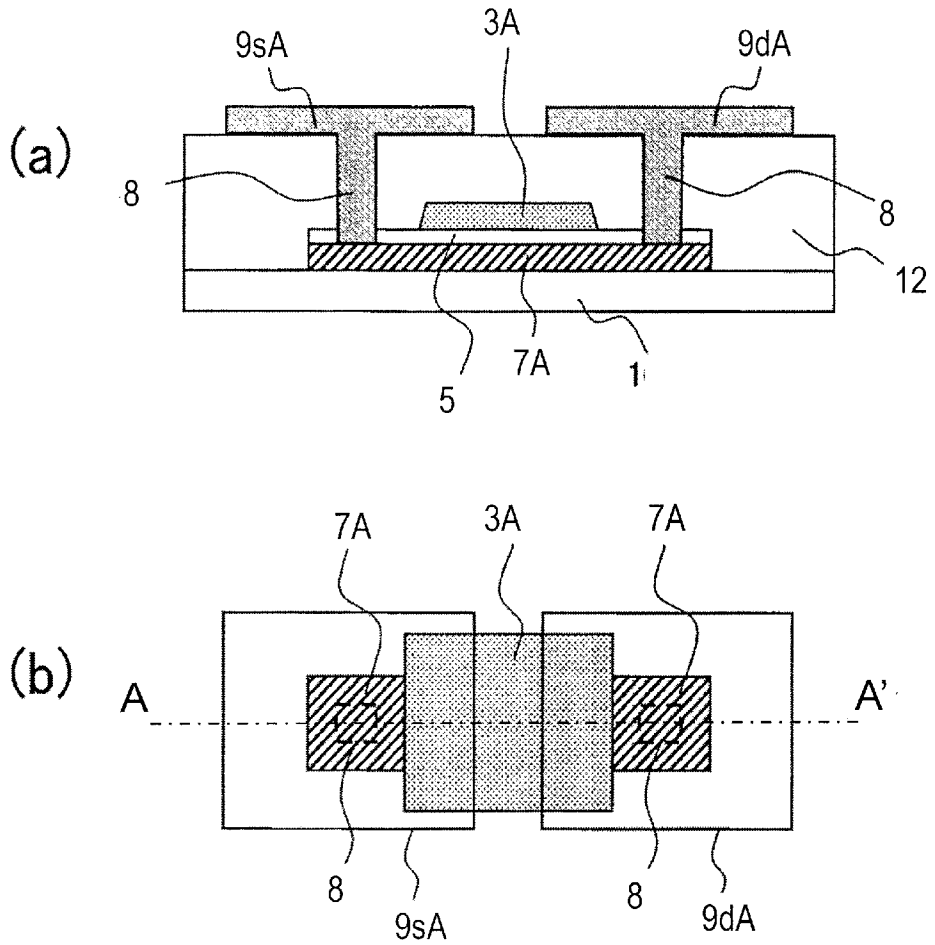
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/073009

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/10(2006.01)i, *G11C16/02*(2006.01)i, *G11C16/04*(2006.01)i, *H01L29/786*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/10, G11C16/02, G11C16/04, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/080784 A1 (Sharp Corp.), 06 June 2013 (06.06.2013), paragraphs [0097] to [0171]; fig. 1, 9, 10, 15, 18, 19 (Family: none)	1,2,4-22 3
Y	JP 2012-174864 A (Sony Corp.), 10 September 2012 (10.09.2012), paragraphs [0074] to [0078]; fig. 13, 14 & US 2012/0212991 A1 & CN 102646451 A	1,2,4-22
Y	JP 2008-277809 A (Renesas Technology Corp.), 13 November 2008 (13.11.2008), paragraphs [0068], [0077]; fig. 6, 9 (Family: none)	1,2,4-22

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 October, 2014 (06.10.14)	14 October, 2014 (14.10.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/073009

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-149961 A (Semiconductor Energy Laboratory Co., Ltd.), 01 August 2013 (01.08.2013), paragraph [0071]; fig. 1 & US 2013/0161609 A1 & KR 10-2013-0073827 A	6-22
Y	JP 2012-134475 A (Semiconductor Energy Laboratory Co., Ltd.), 12 July 2012 (12.07.2012), paragraph [0034]; fig. 2 & US 2012/0138922 A1 & WO 2012/073844 A1	8-22

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７３００９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10, G11C16/02, G11C16/04, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	WO 2013/080784 A1 (シャープ株式会社) 2013.06.06, [0097]-[0171], 図 1, 9, 10, 15, 18, 19 (ファミリーなし)	1, 2, 4-22 3
Y	JP 2012-174864 A (ソニー株式会社) 2012.09.10, [0074]-[0078], 図 13, 14 & US 2012/0212991 A1 & CN 102646451 A	1, 2, 4-22

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．１０．２０１４	１４．１０．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９５５４
加藤　俊哉
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2008-277809 A (株式会社ルネサステクノロジ) 2008.11.13, [0068],[0077],図 6,9 (ファミリーなし)	1,2,4-22
Y	JP 2013-149961 A (株式会社半導体エネルギー研究所) 2013.08.01, [0071],図 1 & US 2013/0161609 A1 & KR 10-2013-0073827 A	6-22
Y	JP 2012-134475 A (株式会社半導体エネルギー研究所) 2012.07.12, [0034],図 2 & US 2012/0138922 A1 & WO 2012/073844 A1	8-22