

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3761481号
(P3761481)

(45) 発行日 平成18年3月29日(2006.3.29)

(24) 登録日 平成18年1月20日(2006.1.20)

(51) Int.C1.

F 1

H03L	7/06	(2006.01)	H03L	7/06	J
H03L	7/14	(2006.01)	H03L	7/14	A
H04L	7/02	(2006.01)	H04L	7/02	Z

請求項の数 5 (全 12 頁)

(21) 出願番号 特願2002-85117(P2002-85117)
 (22) 出願日 平成14年3月26日(2002.3.26)
 (65) 公開番号 特開2003-283332(P2003-283332A)
 (43) 公開日 平成15年10月3日(2003.10.3)
 審査請求日 平成16年2月5日(2004.2.5)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100109900
 弁理士 堀口 浩
 (72) 発明者 吉岡 晋一
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 甲斐 哲雄

(56) 参考文献 特開平10-233768 (JP, A)

最終頁に続く

(54) 【発明の名称】同期回路

(57) 【特許請求の範囲】

【請求項1】

クロック選択信号に応じて、互いに位相の異なる複数のクロック信号の中から適切な位相のクロック信号を選択するクロックセレクタと、
 入力データと前記選択されたクロック信号との位相を比較する位相比較器と、
 前記位相比較器での比較結果に応じて位相制御信号を生成すると共に、オフセット制御信号に応じて前記クロック選択信号を生成する位相制御部と、
 前記位相制御信号に応じて前記オフセット制御信号を生成する周波数オフセット制御部とを具備することを特徴とする同期回路。

【請求項2】

10

前記位相制御信号は、
 前記選択されたクロック信号の位相が前記入力データの位相よりも遅れているときに生成される第1の位相制御信号と、
 前記選択されたクロック信号の位相が前記入力データの位相よりも進んでいるときに生成される第2の位相制御信号と
 を含むことを特徴とする請求項1に記載の同期回路。

【請求項3】

前記周波数オフセット制御部は、
 前記第1の位相制御信号の出力回数と前記第2の位相制御信号の出力回数との出力回数差が第1のしきい値より小さい場合は、前記出力回数差の増加分または減少分が所定数に達す

20

るごとに前記オフセット制御信号を生成することを特徴とする請求項 2 に記載の同期回路。

【請求項 4】

前記周波数オフセット制御部は、

前記出力回数差が前記第 1 のしきい値を超えたときは、さらに所定の間隔で前記オフセット制御信号を出力することを特徴とする請求項 3 に記載の同期回路。

【請求項 5】

前記周波数オフセット制御部は、

前記出力回数差が前記第 1 のしきい値を超えた後に、前記出力回数差が第 2 のしきい値以下になったときには、前記出力回数差に応じてのみ前記オフセット制御信号を出力することを特徴とする請求項 4 に記載の同期回路。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多相クロック選択方式における同期回路に関する。

【0002】

【従来の技術】

図 7 は、従来技術における多相クロック選択方式 (phase picking) の同期回路のブロック図である。従来の同期回路は、クロック発生部 1、クロックセレクタ 2、位相比較器 3、位相制御部 4、位相情報記憶部 6、分周器 7 から構成されている。

20

【0003】

クロック発生部 1 は、PLL (Phase Locked Loop) または DLL (Delay Locked Loop) で構成され、基準信号をもとに多相クロックを生成する。位相比較器 3 は、受信したシリアルデータと、クロックセレクタ 2 により選択されたクロックとの位相差を検出し、信号を出力する。

【0004】

続いて、位相制御部 4 では、位相比較器 3 で検出した信号をもとに、選択されたクロックのエッジがデータの中央に位置するように制御を行う。そして、位置情報記憶部 6 は位相制御部 4 が出力する情報を記憶し、クロックセレクタ 2 は位置情報記憶部 6 の情報に応じて適したクロックを選択する。また、分周器 7 は、クロックセレクタ 2 により選択されたクロックを分周し、位相制御部 4 および位相情報記憶部 6 に供給している。

30

【0005】

すなわち、従来の同期回路では、データ遷移があるときにシリアルデータと選択されたクロックとの位相差が検出され、この検出結果に応じて誤差の調整を行っている。

【0006】

【発明が解決しようとする課題】

受信するシリアルデータの送信速度が上昇してくると、多相クロックの生成数を増やし、その分解能 (resolution) をあげる必要が生じてくる。しかしながら、分解能をあげることは、選択クロックの切り替えによる位相差の補償のゲインを小さくすること、すなわち、ループゲインを下げるなどを意味する。特に、データ遷移のないことを許容するシステムでは、周波数オフセットに対する追従が困難になる。

40

【0007】

例えば、16 相クロックにおいて 200 ppm (0.02%) の周波数オフセットがある場合、1 つ隣のクロックとの位相差 (2 / 16) に相当する位相誤差が生じるサイクル数は、

$$(1 / 16) \div 0.02\% = 1 \div (16 \times 0.0002) = 312.5$$

となる。一方、分解能をあげた 64 相クロックの場合では、

$$(1 / 64) \div 0.02\% = 1 \div (64 \times 0.0002) = 78.125$$

となる。

【0008】

50

つまり、このサイクルに相当する期間で負帰還制御が行われないと、隣のクロックまでの位相差に相当する位相誤差が生じてしまう。すなわち、データの遷移が無い場合には帰還が働かないので、同期回路による追従ができなくなることを意味する。

【0009】

そこで本発明は、データの遷移がないときでも、周波数オフセットを検出して、クロックセレクタにおけるクロックの切り替えを自動的に行うこととする。

【0010】

【課題を解決するための手段】

本発明の一態様によれば、クロック選択信号に応じて、互いに位相の異なる複数のクロック信号の中から適切な位相のクロック信号を選択するクロックセレクタと、入力データと前記選択されたクロック信号との位相を比較する位相比較器と、前記位相比較器での比較結果に応じて位相制御信号を生成すると共に、オフセット制御信号に応じて前記クロック選択信号を生成する位相制御部と、前記位相制御信号に応じて前記オフセット制御信号を生成する周波数オフセット制御部とを具備することを特徴とする同期回路が提供される

10

【0012】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態について説明する。

(第1の実施の形態)

図1は、第1の実施の形態における同期回路のブロック図であり、シリアルデータを入力とし、パラレルデータとして出力するレシーバである。本実施の形態の同期回路は、基準信号に基づいて多相のクロックを生成するクロック発生部1と、多相クロックから所望のクロック(選択クロック)を1つ選択し出力するクロックセレクタ2と、入力データ(シリアルデータ)と選択クロックの位相を比較し、且つ、選択クロックに同期したシリアルデータを出力する位相比較器3と、選択クロックのエッジ(立ち上がり/立ち下がり)が入力データの中央に位置するように選択すべきクロックを制御する位相制御部4と、位相制御部からの信号(位相制御信号)に応じてオフセット制御信号を出力する周波数オフセット制御部5と、位相制御部4が出力する位相情報を記憶し、クロックセレクタ2を制御する位相情報記憶部6と、選択クロックの周波数を分周する分周器7と、選択クロックに同期した高いビットレートのシリアルデータを、選択クロックを分周したクロックに同期した低いビットレートのパラレルデータに変換し出力するデシリアルライザ8から構成されている。

20

【0013】

クロック発生部1は、例えばPLL(Phase Locked Loop)またはDLL(Delay Locked Loop)で構成される。

【0014】

位相制御部4は、位相比較器3での比較結果に応じて位相制御信号(UP信号/DN信号)を出力する。UP信号とDN信号は、周波数オフセット制御部5に供給される。ここで、UP信号とDN信号の出力条件を、選択クロックに対し0°および90°位相差がある2系統の比較クロックを用いて説明する。図2は、位相制御部において出力されるUP信号またはDN信号のタイミングチャート図である。位相が一致しているとき、シリアルデータの遷移に応じてUP信号またはDN信号を出力する(図2(a))。UP信号とDN信号が同じ頻度で、あたかも交互に出力されている状態では、位相が一致していることを表している。

30

【0015】

また、入力データの境界に対し、90°位相差がある比較クロックのエッジ(立ち上がり/立ち下がり)が右側、すなわち、比較クロックのタイミングが遅いとき、UP信号を出力する(図2(b))。一方、入力データの境界に対し、比較クロックのエッジが左側、すなわち、比較クロックのタイミングが早いとき、DN信号を出力する(図2(c))。尚、位相比較器3において比較がされない場合、すなわち、入力データの遷移がない場合

40

50

は、UP信号／DN信号とも出力されない。

【0016】

周波数オフセット制御部5は、位相制御部4からのUP信号とDN信号に基づいて、オフセット制御信号(Shift_UP信号またはShift_DN信号)を出力する。オフセット制御信号は、位相制御部4に供給される。本実施の形態の周波数オフセット制御部5は、例えばアキュムレータとカウンタから構成される。アキュムレータは、UP信号とDN信号を累積する。カウンタは、オフセット制御信号を強制的に出力するための時計の役割をする。

【0017】

UP信号とDN信号の累積数(UP信号 - DN信号)の絶対値が起動しきい値M1より小さいとき、この累積数に応じてオフセット制御信号を出力する。例えば、UP信号とDN信号の累積数が所望数になったとき、オフセット制御信号を出力する。尚、オフセット制御信号は、累積数が正の方向に増えるときShift_UP信号を出力し、負の方向に増えるときShift_DN信号を出力する。例えば、累積数が正の方向に増え所定数になったとき、Shift_UP信号が出力される。その後、累積数が正の方向に増えづけ、再び所定数になれば、Shift_UP信号が出力される。一方、その後、累積数が負の方向に変化し、所定数になったとき、Shift_DN信号が出力される。

10

【0018】

一方、累積数が起動しきい値M1以上になったとき、カウンタに基づいてオフセット制御信号を強制的に出力する。例えば、アキュムレータでの累積数(UP信号 - DN信号)の絶対値が、起動しきい値M1より小さいときカウンタは動作を停止しており、起動しきい値M1に達したときカウンタは動作を開始する。そして、カウンタがキャリー(またはボロー)を出力したとき、すなわち、カウント値がカウンタリセットしきい値C1になったとき、周波数オフセット制御部5は強制的にオフセット制御信号を出力する。

20

【0019】

オフセット制御信号が出力されると、カウンタはリセットされ、再び0からカウントアップを開始する。そして、再びカウンタリセットしきい値C1になると周波数オフセット制御部5はオフセット制御信号を出力する。累積数が停止しきい値M2以下になるまで、カウンタはこの動作を繰り返し行う。尚、停止しきい値M2は、M2 - M1となる値に設定する。

30

【0020】

さらに位相制御部4は、周波数オフセット制御部5からのオフセット制御信号に応じて位相情報記憶部6に位相情報を出力する。位相情報記憶部6は、位相制御部4からの位相情報を記憶する。そして、記憶された位相情報をもとにクロックセレクタ2を制御する。クロックセレクタ2は、現在の選択クロックに対し、最も近接した最小位相差を持つクロックを新たに選択する。

【0021】

次に、本実施の形態における動作について、図3を用いて説明する。クロック発生部1で生成される多相クロックは16相とし、位相制御部4から図3(a)に示したようにUP信号およびDN信号が出力された場合を考える。図4は、16相クロックの場合の位相遷移を示している。このとき、隣り合うクロックの位相差は 2° / 16 (サイクル時間 ÷ 16)となる。クロックセレクタ2では初め、クロック0が選択されているものとする。

40

【0022】

図3(a)では、DN信号よりUP信号が多く出力されている。すなわち、入力データに対し選択クロックのタイミングが遅れていることを表している。入力データの遷移があると、位相制御部4からUP信号/DN信号が出力される。位相制御部4から出力されたUP信号およびDN信号は、周波数オフセット制御部5内のアキュムレータで累積される。図3(b)は、アキュムレータにおける累積数の遷移を示すグラフである。

【0023】

周波数オフセット制御部5は、累積数(UP信号 - DN信号)の絶対値が起動しきい値M

50

1より小さく、且つ、累積数が所定数になると、Shift_UP信号を出力する。図3では、累積数が4の倍数（所定数）になったときにShift_UP信号が出力されている。

【0024】

出力されたShift_UP信号は、位相制御部4に出力される。位相制御部4はShift_UP信号が入力されると、位相情報記憶部6の位相情報を書き換える。位相情報記憶部6はこの位相情報に応じて、クロックセレクタ2を制御する。そして、クロックセレクタ2は、位相情報記憶部6に記憶された位相情報に基づいて、選択されているクロックに対して位相差が $-2 / 16$ あるクロックを選択する。

【0025】

1回目のShift_UP信号が出力されると、位相情報記憶部6の位相情報が書き換えられる。すると、クロックセレクタ2では、クロック0に対し位相差 $-2 / 16$ のクロック、すなわち、クロック15（＝“クロック0” $-2 / 16$ ）が選択される。同様に、2回目のShift_UP信号が出力されたときは、クロック15に対し位相差 $-2 / 16$ のクロック14が選択される。

【0026】

また、累積数が起動しきい値M1に達すると、周波数オフセット制御部5内のカウンタが動作を開始する（図3（c））。カウンタがカウンタリセットしきい値C1に達すると、周波数オフセット制御部5は強制的にShift_UP信号を出力する（図3（d））。

【0027】

Shift_UP信号を強制的に出力すると、カウンタはリセットし、再び0から動作を開始する。そして再びカウンタリセットしきい値C1に達すれば、周波数オフセット制御部5は強制的にShift_UP信号を出力する。以降、カウンタの動作に基づいて強制的にShift_UP信号を出力する動作を繰り返す。そして、Shift_UP信号が度に、新たなクロックが選択される。

【0028】

図3（d）では、累積数に応じて2回目のShift_UP信号が出力された後、UP信号/DN信号の出力が少くなり所定数（4の倍数）に達していないが、Shift_UP信号は出力されている。これは、入力データの遷移がない、すなわち、UP信号/DN信号が出力されなくとも、カウンタに基づいてオフセット制御信号を出力しているためである。つまり、カウンタが動作を始めた以降は、累積数に関係なく、カウンタの動作に応じてオフセット制御信号が出力される。

【0029】

尚、カウンタが停止するのは、累積数が停止しきい値M2（M2>M1）以下になったとき、すなわち、UP信号-DN信号の差が十分小さくなったときである。この場合、位相差は広がらないので、強制的にオフセット制御信号を出力しなくてもよい。

【0030】

以上、Shift_UP信号が出力される場合について説明したが、UP信号よりもDN信号が多いときは、入力データに対し選択クロックのタイミングが早くなっているので、位相の遅れたクロックを選択するためにShift_DN信号が出力される。そして、Shift_DN信号が出力されると、クロックセレクタ2は選択されているクロックに対し、位相差 $+2 / 16$ あるクロックを選択する。

【0031】

第1の実施の形態によれば、データ遷移がなく、位相比較器3において入力データと選択されたクロックの位相比較がされないときでも、周波数オフセット制御部5で強制的にオフセット制御信号を出力させる。これにより、周波数オフセットによっておこる位相誤差を補償し、入力データに同期したクロックを自動的に選択することができる。

（第2の実施の形態）

第2の実施の形態における同期回路は、出力されたUP信号およびDN信号をもとに、周波数オフセット制御部におけるカウンタのキャリー（またはボロー）を出力するしきい値

10

20

30

40

50

を変えることを特徴とする。

【0032】

尚、第2の実施の形態における同期回路の構成は、第1の実施の形態で示した図1と同様である。また、周波数オフセット制御部5以外は、第1の実施の形態における各々と同じ仕様とすることができるので、説明を省略する。

【0033】

周波数オフセット制御部5は、位相制御部4からのUP信号とDN信号に基づいて、オフセット制御信号(Shift_UP信号またはShift_DN信号)を出力する。本実施の形態の周波数オフセット制御部5も、例えばアキュムレータとカウンタから構成される。本実施の形態におけるカウンタのしきい値は、可変であるとする。

10

【0034】

UP信号とDN信号の累積数(UP信号 - DN信号)の絶対値が起動しきい値M1より小さいとき、この累積数に応じてオフセット制御信号を出力する。一方、累積数が起動しきい値M1以上になったとき、カウンタに基づいてオフセット制御信号を出力する。

【0035】

例えばカウンタは、累積数が起動しきい値M1より小さいとき動作を停止しており、起動しきい値M1を超えたとき動作を開始する。そして、カウンタが動作を開始しカウンタリセットしきい値C1を超えたとき、周波数オフセット制御部5は強制的にオフセット制御信号を出力する。オフセット制御信号を出力すると、カウンタはリセットされる。さらにカウンタは、次のオフセット制御信号を出力するためのしきい値を変更し、再び0からカウントアップを開始する。変更後のカウンタリセットしきい値をC2とすると、このしきい値C2を超えたとき周波数オフセット制御部5はオフセット制御信号を出力する。

20

【0036】

尚、カウンタのしきい値は、UP信号およびDN信号の出力頻度、すなわち、累積数の増加する速さに応じて値を変更する。

【0037】

ここで、オフセット制御信号としてShift_UP信号が出力される場合を考える。例えば、DN信号に比べUP信号の出力頻度が高ければ、周波数オフセットの広がりは早い。したがって、次のオフセット制御信号が出力されるタイミングを早くしたいので、カウンタリセットしきい値をC1よりも小さくする。一方、DN信号とUP信号の出力頻度にあまり差がなければ、周波数オフセットの広がりは遅くなる。したがって、そのままのタイミング(カウンタリセットしきい値C1)か、カウンタリセットしきい値をC1よりも大きくしてオフセット制御信号の出力されるタイミングを遅くする。

30

【0038】

また、オフセット制御信号としてShift_DN信号が出力される場合は、UP信号に比べDN信号の出力頻度が高ければ、カウンタリセットしきい値をC1よりも小さくする。一方、DN信号とUP信号の出力頻度にあまり差がなければ、カウンタリセットしきい値の変更をしない。

【0039】

次に、本実施の形態における周波数オフセット制御部5の動作について、図5を用いて説明する。位相制御部4から図5(a)に示したようにUP信号およびDN信号が出力された場合を考える。

40

【0040】

周波数オフセット制御部5は、累積数(UP信号 - DN信号)の絶対値が起動しきい値M1より小さく、且つ、累積数が所定数になると、Shift_UP信号を出力する。

【0041】

また、累積数が起動しきい値M1に達すると、周波数オフセット制御部5内のカウンタが動作を開始する。図5では、2回目のShift_UP信号が出力された後、カウンタが動作を開始している。そして、カウンタがカウンタリセットしきい値C1に達したとき、周波数オフセット制御部5は強制的に3回目のShift_UP信号を出力している。

50

【0042】

S h i f t _ U P 信号を出力すると、カウンタはリセットされ、しきい値を C_1 から C_2 に変更する。図 5 (a)においては、*UP* 信号の出力頻度が *DN* 信号に比べ多かったので、カウンタリセットしきい値 C_2 は C_1 よりも小さい値としている。逆に、*UP* 信号の出力頻度が *DN* 信号の出力頻度よりも少なければ、そのまま $C_2 = C_1$ とする。

【0043】

そして、カウンタリセットしきい値 C_2 に達したとき、周波数オフセット制御部 5 は強制的に *S h i f t _ U P* 信号を出力する。*S h i f t _ U P* 信号を出力すると、カウンタはリセットされ、しきい値を C_2 から C_3 に変更する。しきい値 C_3 は、*UP* 信号の出力頻度が *DN* 信号の出力頻度よりも、多ければ C_2 よりも小さい値とし、少なければ C_1 とする。
10

【0044】

以降、カウンタリセットしきい値 C_n ($n = 3, 4, \dots$) として同様の動作を繰り返し、カウンタリセットしきい値 C_n に達する毎に *S h i f t _ U P* 信号を出力する。尚、カウンタは、累積数が停止しきい値 M_2 ($M_2 > M_1$) になるまで動作し続ける。

【0045】

尚、*UP* 信号 - *DN* 信号 < 0 のときは、*S h i f t _ D N* 信号を出力し、上記説明における *UP* 信号と *DN* 信号の関係を逆にして同様に考えることができる。

【0046】

第 2 の実施の形態によれば、データ遷移がなく、位相比較器 3 において入力データと選択されたクロックの位相比較がされないときでも、周波数オフセット制御部 5 で強制的にオフセット制御信号を出力させる。これにより、周波数オフセットによっておこる位相誤差を補償し、入力データに同期したクロックを自動的に選択することができる。
20

【0047】

また、第 2 の実施の形態における周波数オフセット制御部 5 では、位相誤差の広がり、すなわち、データ遷移があるときの位相比較の結果に応じて、カウンタのしきい値を変更する。これにより、オフセット制御信号を出力するタイミングを変えることができ、周波数オフセットによる位相誤差の広がる速度に応じて追従することができる。

(第 3 の実施の形態)

第 3 の実施の形態における同期回路は、出力された *UP* 信号および *DN* 信号をもとに、周波数オフセット制御部におけるカウンタのゲインを変えることを特徴とする。
30

【0048】

第 3 の実施の形態における同期回路の構成は、第 1 の実施の形態で示した図 1 と同様である。また、周波数オフセット制御部 5 以外は、第 1 の実施の形態における各々と同じ仕様とすることができるので、説明を省略する。

【0049】

周波数オフセット制御部 5 は、位相制御部 4 からの *UP* 信号と *DN* 信号に基づいて、オフセット制御信号 (*S h i f t _ U P* 信号または *S h i f t _ D N* 信号) を出力する。本実施の形態の周波数オフセット制御部 5 も、例えばアキュムレータとカウンタから構成される。本実施の形態におけるカウンタのゲインは、可変である。尚、カウンタのしきい値は固定されているものとする。
40

【0050】

UP 信号と *DN* 信号の累積数 (*UP* 信号 - *DN* 信号) の絶対値が起動しきい値 M_1 より小さいとき、この累積数に応じてオフセット制御信号を出力する。一方、累積数が起動しきい値 M_1 以上になったとき、カウンタに基づいてオフセット制御信号を出力する。

【0051】

例えばカウンタは、累積数が起動しきい値 M_1 より小さいとき動作を停止しており、起動しきい値 M_1 を超えたとき動作を開始する。そして、カウンタが動作を開始しカウント値がカウンタリセットしきい値 C_1 になったとき、周波数オフセット制御部 5 は強制的にオフセット制御信号を出力する。オフセット制御信号を出力すると、カウンタはリセットさ
50

れる。そして、カウンタは、累積数に応じてゲインを変更し、再び0からカウントアップを開始する。そして、再びカウント値がカウンタリセットしきい値C1になったとき周波数オフセット制御部5はオフセット制御信号を出力する。

【0052】

カウンタのゲインは、UP信号およびDN信号の出力頻度、すなわち、累積数の増加・減少する速さに応じて値を変更する。

【0053】

ここで、オフセット制御信号としてShift_UP信号が出力される場合を考える。例えば、DN信号に比べUP信号の出力頻度が高ければ、周波数オフセットの広がりは早いと考えられる。したがって、次のオフセット制御信号が出力されるタイミングを早くしたいので、カウンタのゲインを大きくする。例えば、初期状態では+1づつカウントアップするが、UP信号の出力頻度が高ければ+2づつカウントアップすることでゲインを大きくする。

10

【0054】

一方、DN信号とUP信号の出力頻度にあまり差がなければ、周波数オフセットの広がりは遅くなる。したがって、そのままのタイミングか、ゲインを小さくしてオフセット制御信号の出力されるタイミングを遅くする。例えば、DN信号の出力頻度が低ければ、+2づつカウントアップするのを、+1づつカウントアップすることでゲインを小さくする。

【0055】

また、オフセット制御信号としてShift_DN信号が出力される場合には、UP信号に比べDN信号の出力頻度が高ければ、カウンタのゲインを大きくする。一方、DN信号とUP信号の出力頻度にあまり差がなければ、ゲインの変更をしない。逆に、DN信号の出力頻度が高くなれば、ゲインを小さくする。

20

【0056】

次に、本実施の形態における周波数オフセット制御部5の動作について、図6を用いて説明する。位相制御部4から図6(a)に示したようにUP信号およびDN信号が出力された場合を考える。

【0057】

周波数オフセット制御部5は、累積数(UP信号 - DN信号)の絶対値が起動しきい値M1より小さく、且つ、累積数が所定数になると、Shift_UP信号を出力する。

30

【0058】

また、累積数が起動しきい値M1に達すると、周波数オフセット制御部5内のカウンタが動作を開始する。カウント値がカウンタリセットしきい値C1に達すると、周波数オフセット制御部5は強制的にShift_UP信号を出力する。

【0059】

Shift_UP信号を強制的に出力すると、カウンタはリセットされ、ゲインを変更する。図6では、UP信号の出力頻度がDN信号に比べ十分多いので、ゲインを大きくしている。そして再びカウンタリセットしきい値C1に達すれば、周波数オフセット制御部5は強制的にShift_UP信号を出力する。以降、カウンタは、UP信号とDN信号の出力頻度の多少を比較してゲインを調整し、カウンタリセットしきい値C1に達する毎にShift_UP信号を出力する。尚、カウンタは、累積数が停止しきい値M2(M2-M1)になるまで動作し続ける。

40

【0060】

第3の実施の形態によれば、データ遷移がなく、位相比較器において入力データと選択されたクロックの位相比較がされないときでも、周波数オフセット制御部で強制的にオフセット制御信号を出力させる。これにより、周波数オフセットによっておこる位相誤差を補償し、入力データに同期したクロックを自動的に選択することができる。

【0061】

また、第3の実施の形態における周波数オフセット制御部では、位相誤差の広がり、すなわち、データ遷移があるときの位相比較の結果に応じて、カウンタのゲインを変更する。

50

これにより、オフセット制御信号を出力するタイミングを変えることができ、周波数オフセットによる位相誤差の広がる速度に応じて追従することができる。

【0062】

その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0063】

【発明の効果】

本発明によれば、一定期間データ遷移がなく、位相比較器において入力データと選択されたクロックの位相比較がされないときでも、周波数オフセット制御部で強制的にオフセット制御信号を出力させる。これにより、周波数オフセットによっておこる位相誤差を補償し、入力データに同期したクロックを自動的に選択することができる。10

【0064】

また、周波数オフセット制御部を構成するカウンタのしきい値またはゲインを変更することにより、オフセット制御信号を出力するタイミングを変えることができ、周波数オフセットによる位相誤差の広がる速度に応じて追従することができる。

【図面の簡単な説明】

【図1】本発明における同期回路のブロック図。

【図2】本発明の同期回路における位相制御部のタイミングチャート図。

【図3】第1の実施の形態における同期回路のタイミングチャート図。

【図4】16相クロックの場合の位相遷移図。

【図5】第2の実施の形態における同期回路のタイミングチャート図。

【図6】第3の実施の形態における同期回路のタイミングチャート図。

【図7】従来における同期回路のブロック図。

【符号の説明】

1 ... クロック発生部

2 ... クロックセレクタ

3 ... 位相比較器

4 ... 位相制御部

5 ... 周波数オフセット制御部

6 ... 位相情報記憶部

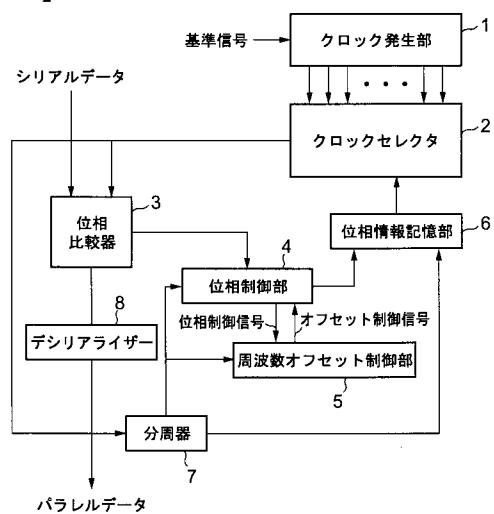
7 ... 分周器

10

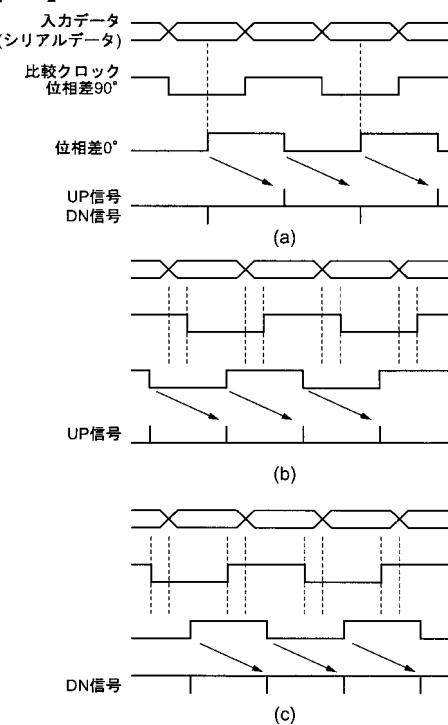
20

30

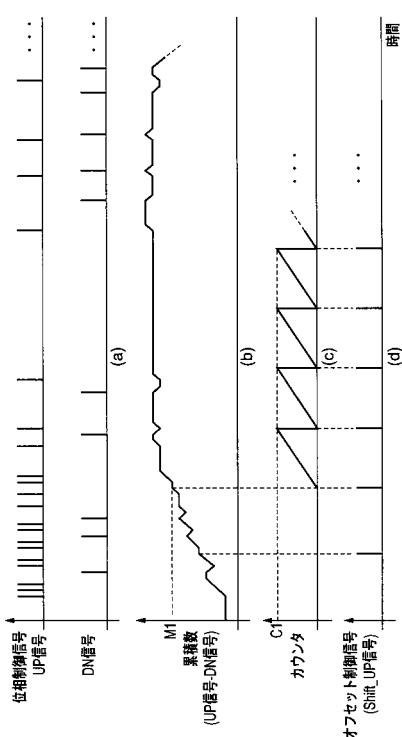
【図1】



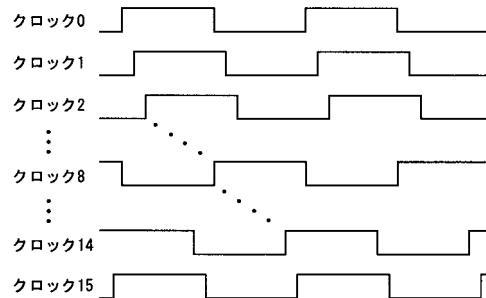
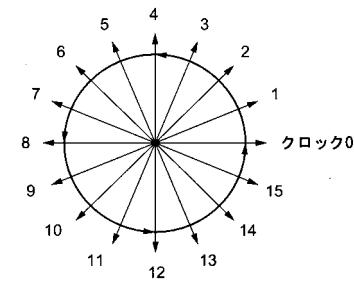
【図2】



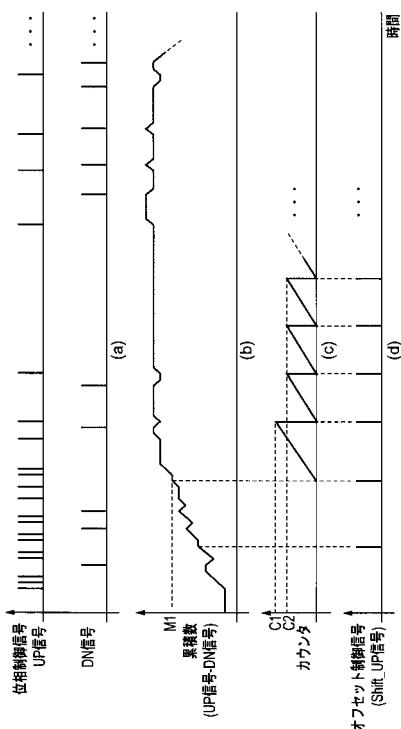
【図3】



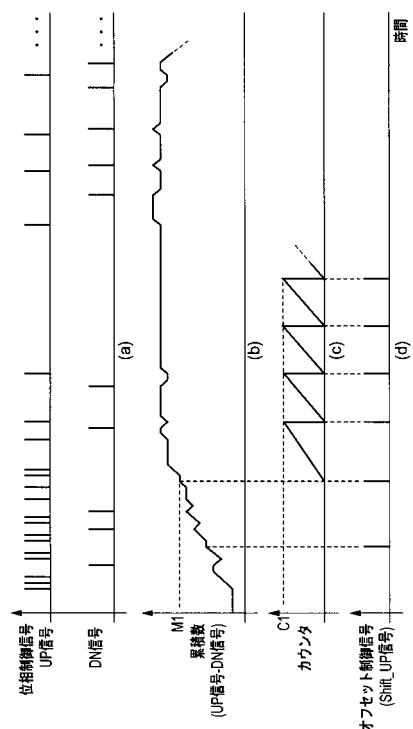
【図4】



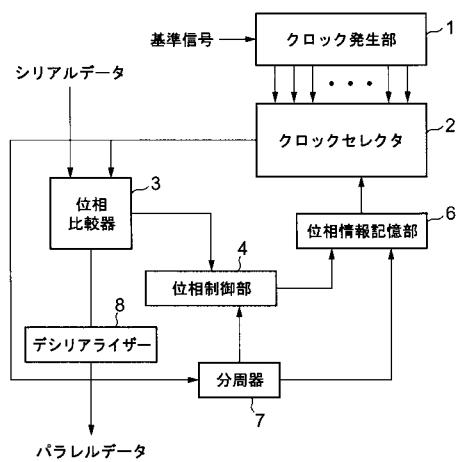
【図5】



【図6】



【図7】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H03L 7/00-7/23

H04L 7/00-7/10