

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-508620

(P2007-508620A)

(43) 公表日 平成19年4月5日(2007.4.5)

(51) Int. Cl.

G06F 13/362 (2006.01)

F I

G06F 13/362 510A

テーマコード (参考)

5B061

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号 特願2006-533965 (P2006-533965)  
 (86) (22) 出願日 平成16年9月22日 (2004.9.22)  
 (85) 翻訳文提出日 平成18年3月24日 (2006.3.24)  
 (86) 国際出願番号 PCT/US2004/031053  
 (87) 国際公開番号 W02005/038563  
 (87) 国際公開日 平成17年4月28日 (2005.4.28)  
 (31) 優先権主張番号 10/682,571  
 (32) 優先日 平成15年10月9日 (2003.10.9)  
 (33) 優先権主張国 米国 (US)

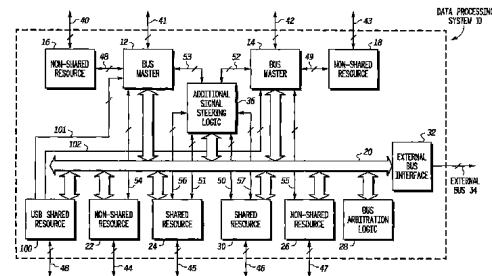
(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 78735 テキサス州  
 オースティン ウィリアム キャノン  
 ドライブ ウェスト 6501  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 ベッドウェル、ライアン ディ.  
 アメリカ合衆国 78640 テキサス州  
 カイル ホーガン 159  
 (72) 発明者 クルーズ、アーナルド アール.  
 アメリカ合衆国 78739 テキサス州  
 オースティン ニーダム レーン 65  
 35

最終頁に続く

(54) 【発明の名称】 マルチマスタ共用資源システム中で使用するための通信ステアリング

## (57) 【要約】

メモリ・アレイとインタフェイスするプロセッサ(18)を有する処理システム(12)の低電力モード中に、漏れ電流が、メモリ・アレイ(28)中において取り除かれる。2つの電力プレーンが、作成されるので、プロセッサ(18)は、このアレイの電源が切られるときにメモリ・アレイ(28)をバイパスしながら、システム・メモリ(80)を使用して命令を実行し続けることができる。スイッチ(56)は、命令の実行から、またはこのプロセッサ以外のどこかのこのシステム中を起源とするソースからもたらされるプロセッサにより開始される制御に応じて供給電圧端子に対する電氣的接続を選択的に除去する。メモリ・アレイ(28)に対する電力の復旧に応じてすぐに、メモリ・アレイに対するアレイをサポートする2つの電力プレーンのうちのどちらが配置されるかに応じて、データは、使用不可能としてマークする必要があることもあり、またはマークする必要がないこともある。所定の判断基準を使用して、電力の復旧のタイミングを制御することができる。複数のアレイを実装して、漏れ電流を独立に低減させることができる。



## 【特許請求の範囲】

## 【請求項 1】

システム・バスと、

該システム・バスに結合された第 1 のバス・マスタと、

該システム・バスに結合された第 2 のバス・マスタと、

該システム・バスに結合され、該第 1 のバス・マスタおよび該第 2 のバス・マスタのうちの少なくとも一方のバス・マスタによって所有されるように構成可能な資源と、

該資源と、該第 1 のバス・マスタおよび該第 2 のバス・マスタのうちの少なくとも一方のバス・マスタとの間で、該資源の所有権に基づいて通信経路を確立する追加信号ステアリング・ロジックと、

10

からなり、該通信経路を使用して、該資源と、該第 1 のバス・マスタおよび該第 2 のバス・マスタのうちの該少なくとも一方のバス・マスタとの間で、少なくとも 1 つの追加信号を転送する、データ処理システム。

## 【請求項 2】

システム・バスを有するデータ処理システムにおいて追加信号を伝えるための方法であって、

該システム・バスに結合された資源と、該システム・バスに結合された複数のバス・マスタのうちの少なくとも 1 つのバス・マスタとの間で該資源の所有権に基づいて通信経路を確立する工程と、

該資源と、該複数のバス・マスタのうちの該少なくとも 1 つのバス・マスタとの間で、該通信経路を介して該システム・バスからは分離されて、追加信号を転送する工程と、

20

からなる方法。

## 【請求項 3】

システム・バスと、

該システム・バスに結合された第 1 のバス・マスタと、

該システム・バスに結合された第 2 のバス・マスタと、

該システム・バスに結合され、該第 1 のバス・マスタおよび該第 2 のバス・マスタによって使用可能であり、該第 1 のバス・マスタおよび該第 2 のバス・マスタのうちの少なくとも一方のバス・マスタによって所有されるように構成可能な資源と、

該資源と、該第 1 のバス・マスタおよび該第 2 のバス・マスタのうちの少なくとも一方のバス・マスタとの間で通信経路を確立する追加信号ステアリング・ロジックと、

30

からなり、該通信経路を使用して、該資源と、該第 1 のバス・マスタおよび該第 2 のバス・マスタのうちの該少なくとも一方のバス・マスタとの間で、少なくとも 1 つの追加信号を転送し、該通信経路が、該資源によって決定されるデータ処理システム。

## 【請求項 4】

システム・バスを有するデータ処理システムにおいて追加信号を伝えるための方法であって、

該システム・バスに結合された資源と、該システム・バスに結合された複数のバス・マスタのうちの少なくとも 1 つのバス・マスタとの間で、該資源によって決定される通信経路を確立すること、および

40

該資源と、該複数のバス・マスタのうちの該少なくとも 1 つのバス・マスタとの間で、該通信経路を介して該システム・バスから分離されて該追加信号を転送すること、

からなる方法。

## 【請求項 5】

第 1 のバス・マスタと、

第 2 のバス・マスタと、

該第 1 のバス・マスタおよび該第 2 のバス・マスタによりアクセス可能な共用再構成可能資源と、

からなり、該共用再構成可能資源は、該第 1 のバス・マスタおよび該第 2 のバス・マスタのうちの少なくとも一方のバス・マスタと、複数の周辺機能から選択される第 1 の周辺

50

機能を実施するための回路と、の間で、通信経路を確立する、データ処理システム。

【請求項 6】

第 1 のマスタと第 1 の周辺機能を実施するための回路との間に第 1 の通信経路を確立するために、再構成可能資源を構成する工程と、

第 2 のマスタと第 2 の周辺機能を実施するための回路との間に第 2 の通信経路を確立ために、該再構成可能資源を構成する工程と、

からなり、

該第 1 の周辺機能および該第 2 の周辺機能のそれぞれが、複数の周辺機能から選択される、再構成可能資源を動作させるための方法。

【請求項 7】

複数の周辺機能に関連する情報を記憶するように構成可能な再構成可能チャネル・ストレージと、

該複数の周辺機能のそれぞれを実施するように構成可能な再構成可能チャネル回路と、  
該再構成可能チャネル・ストレージおよび該再構成可能チャネル回路に結合され、該複数の周辺機能のうちの選択される機能を実施するために、該再構成可能チャネル・ストレージおよび該再構成可能チャネル回路を構成する制御ロジックと、  
からなる共用再構成可能資源。

【請求項 8】

第 1 のマスタおよび第 2 のマスタと情報をやりとりするバス・インタフェースと、

該バス・インタフェースに結合され、複数のエンドポイントがそれぞれ該第 1 のマスタおよび該第 2 のマスタのうちの一方に割付け可能である、該複数のエンドポイントからなるエンドポイント・ストレージ回路と、

U S B ホストと情報をやりとりするシリアル・インタフェース・エンジンと、

該バス・インタフェース、エンドポイント・ストレージ回路、およびシリアル・インタフェース・エンジンに結合され、該シリアル・インタフェース・エンジンに結合された U S B プロトコル・ロジックと、該 U S B プロトコル・ロジックから受け取られる情報に基づいて割込みを生成するエンドポイント割込みロジックと、割込みステアリング・レジスタと、該割込みステアリング・レジスタによって提供されるステアリング情報に基づいて該第 1 のマスタおよび該バス・マスタのうちの対応する一方に該割込みをそれぞれ経路指定する割込みステアリング・ロジックと、からなる U S B 機能コントローラと、  
からなる共用ユニバーサル・シリアル・バス ( U S B ) 資源。

【請求項 9】

複数のエンドポイントがそれぞれ、複数のバス・マスタのうちの 1 つに割付け可能である、複数のエンドポイントと、

同複数のエンドポイントに結合され、U S B ホストからの通信に基づいて割込みを生成するエンドポイント割込みロジック、該複数のバス・マスタによりアクセス可能な少なくとも 1 つの割込みステアリング・レジスタ、および同割込みステアリング・レジスタによって提供されるステアリング情報に基づいて該複数のバス・マスタのうちの対応するバス・マスタに該各割込みを経路指定する割込みステアリング・ロジック、からなる U S B 機能コントローラと、

からなる共用ユニバーサル・シリアル・バス ( U S B ) 資源。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、通信ステアリングに関し、より詳細には、マルチマスタ共用資源システム中で使用するための通信ステアリングに関する。

【背景技術】

【0002】

複数のバス・マスタがデータ処理システム中でより頻繁に使用されるようになりつつあるので、これらの複数のマスタと、1 つ以上の共用資源の間で情報をやりとりするための

10

20

30

40

50

新しいアプローチが必要になっている。共用すべき必要がある資源の1実施例は、USB (Universal Serial Busユニバーサル・シリアル・バス)規格に準拠した回路である。このUSBは、USB-IF (Universal Serial Bus - Implementers Forumユニバーサル・シリアル・バス・インプリメンターズ・フォーラム)による規格として定義されてきている。

【発明の開示】

【発明が解決しようとする課題】

【0003】

残念ながら、このUSB規格はマルチマスタ・システムにおけるエンドポイントの共用制御を可能にするためのメカニズムを含んではいない。

10

【課題を解決するための手段】

【0004】

本発明は、添付図面によって、実施例として限定する目的ではなく示されている。これらの図面中において同様な参照番号は同様な要素を示している。

【発明を実施するための最良の形態】

【0005】

これらの図面中の要素は、簡略化し明確にするように示され、必ずしも寸法通りに示されていない。例えば、これらの図面中における要素の一部の寸法は、本発明のこれらの実施形態の理解を高めるために、他の要素と比べて誇張されている。

【0006】

20

このUSB仕様は、USBエンドポイントの使用をUSBデバイス中に存在するデータ・チャネルおよび制御チャネルとして定義している。これらのUSBエンドポイントは、データのソースまたはシンクであり、メモリおよび追加ロジックを用いて実装され、1つのプロセッサまたはマイクロコントローラによって制御される。一部のケースでは、ある数のエンドポイントを1つのプロセッサによって制御し、他のエンドポイントを異なるプロセッサによって制御し、それによってこれらのすべてのエンドポイントの共用制御を実現することが望ましい。

【0007】

この用語「共用資源」は、複数のバス・マスタ(例えば、バス・マスタ12、14)によってアクセス可能である資源を意味するように使用される。このようなシステムは、複数のバス・マスタのうちの1つ以上のバス・マスタが共用資源の所有権を有し、その所有しているマスタが、所有していないマスタによる資源へのアクセス可能性を決定することができる。本発明の1実施形態において、資源を所有するマスタがゼロ個(すなわち、マスタが存在しない)の場合にはマスタは、他のマスタによるこの資源に対するアクセス可能性を決定する権限をもたない。所有されていない資源に対するアクセス可能性は、様々な方法で決定することができる。1実施例としては、どのようなマスタでも、所有されていない資源に対する完全なアクセスを有することができる。代替実施形態では、異なる方法で、所有されていない資源に対するアクセス可能性を決定することができる。一部の実施形態においては、どのようなマスタによっても所有されていない資源により、すべてのマスタが所有権を請求することが可能になる。したがって、一部の実施形態では、所有権が明け渡されるようにすることもできる。本発明の一部の実施形態においては、1つの資源が複数のマスタによって所有される場合、この資源は所有されていないものと見なされる。本発明の代替実施形態においては、1つの資源が複数のマスタによって所有される場合には、この資源に対するアクセス可能性は、これら複数の所有しているマスタによって一緒に決定することができる。

30

40

【0008】

図1は、本発明の1実施形態によるデータ処理システム10をブロック図形式で示している。本発明の1実施形態において、データ処理システム10は、すべてバス20に双方向に結合されて情報のやりとりをスムーズに実行する複数のバス・マスタ12、14と、複数の共用資源24、30、100と、複数の非共用資源22、26を含んでいる。図1

50

のこの実施形態において、バス・マスタ１２、１４は、プロセッサなどの１つのバス・マスタ、または１つ以上のプロセッサ、ならびにサポート回路（supporting circuit）を備えるサブシステムを表すことができる。共用資源２４、３０、１００は、オプションとして複数のバス・マスタ１２、１４によって共用されることもあることに留意されたい。非共用資源２２、２６は、バス・マスタ１２、１４によって共用されず、したがってバス・マスタ１２、１４のうちの一方によってしかアクセスされない。本明細書中で使用している用語「バス」は、データ、アドレス、制御、ステータスなどの１つ以上の様々なタイプの情報を転送するために使用することができる複数の信号または導体を意味する。これらの用語「導体」および「信号」は、本明細書中では、交換可能なように使用される。本発明の１実施形態において、バス２０は、１つ以上のバス・プロトコルを使用して実装される。バス調停ロジック２８を使用して、バス・マスタ１２と１４の間の調停を行って、これら複数のバス・マスタ１２、１４のうちのどちらがバス２０の支配権を有するかを決定する。

10

#### 【０００９】

本発明の一部の実施形態においては、バス・マスタ１２は、バス２０を介するのでなく、導体４８を介して１つ以上の非共用資源（例えば、１６）に双方向に結合することができる。同様に、本発明の一部の実施形態においては、バス・マスタ１４は、バス２０を介するのでなく、導体４９を介して１つ以上の非共用資源（例えば、１８）に双方向に結合することができる。この例示の実施形態において、非共用資源１６は、バス・マスタ１２によってしかアクセスされず、バス・マスタ１４によってはアクセスされない。同様に、非共用資源１８は、バス・マスタ１４によってしかアクセスされず、バス・マスタ１２によってはアクセスされない。本発明の一部の実施形態は、データ処理システム１０の外部にある外部バス３４にバス２０を結合することができる外部バス・インタフェース３２を含んでいる。本発明の１実施形態においては、データ処理システム１０は、１つの集積回路上で実装される。本発明の代替実施形態は、任意の適切な回路を使用した任意の方法でデータ処理システム１０を実装することができる。

20

#### 【００１０】

本発明の一部の実施形態においては、非共用資源１６は、１つ以上の端子４０を介してデータ処理システム１０の外部にある回路に結合することができる。バス・マスタ１２は、１つ以上の端子４１を介してデータ処理システム１０の外部にある回路に結合することができる。バス・マスタ１４は、１つ以上の端子４２を介してデータ処理システム１０の外部にある回路に結合することができる。非共用資源１８は、１つ以上の端子４３を介してデータ処理システム１０の外部にある回路に結合することができる。ＵＳＢ共用資源１００は、１つ以上の端子４８を介してデータ処理システム１０の外部にある回路に結合することができる。非共用資源２２は、１つ以上の端子４４を介してデータ処理システム１０の外部にある回路に結合することができる。共用資源２４は、１つ以上の端子４５を介してデータ処理システム１０の外部にある回路に結合することができる。共用資源３０は、１つ以上の端子４６を介してデータ処理システム１０の外部にある回路に結合することができる。また非共用資源２６は、１つ以上の端子４７を介してデータ処理システム１０の外部にある回路に結合することができる。本発明の代替実施形態は、端子４０～４８のうちの任意の組合せを使用してもよいし、また使用しなくてもよい。端子４０～４８は、使用可能な任意の方法で実装することができる。

30

40

#### 【００１１】

引き続き図１を参照すると、共用資源２４は、バス・マスタ１２および１４によって共用することができる。また共用資源２４は、どのバス・マスタによっても所有することができるか、またはバス・マスタ１２および１４のうちのどちらか一方だけによって所有することもできる。ＵＳＢ共用資源１００は、パーティションに区分することができ、その結果、１つ以上の部分は、バス・マスタ１２および１４により共用することができる。また、ＵＳＢ共用資源１００は、パーティションに区分することができ、その結果、１つ以上の部分は、どのバス・マスタによっても所有することができないか、またはバス・マ

50

スタ１２および１４のどちらか一方だけによって所有することもできる。本発明の様々な実施形態は、リセット後に所望の任意の方法で、共用資源またはその一部分の所有権を割り付けることができることに留意されたい。１実施例として、本発明の１実施形態では、ＵＳＢ共用資源１００のすべての部分は、リセットから出てくることができ、その結果、所定の単１バス・マスタ（例えば、バス・マスタ１２）は、所有権を有することになる。

#### 【００１２】

本発明のこの例示の実施形態においては、追加信号ステアリング・ロジック３６を使用して、どのバス・マスタ、またはバス・マスタ１２、１４が、追加信号５６、５７のうちのどの１つ以上の信号を受け取るかを決定する。バス２０に含まれるこれらの信号は、バス２０によって実装されるバス・プロトコルによって定義される信号であることに留意されたい。追加信号５６、５７は、データ処理システム１０中のバス・マスタ１２、１４のサブセットに対して選択的に提供することができる信号を含んでいる。本発明の代替実施形態においては、これらの１つ以上のバス信号を、バス・マスタ１２、１４のサブセットに選択的に提供する必要がある場合には、追加信号ステアリング・ロジック３６を使用して、これらのバス信号２０のうちの１つ以上の信号を方向付けすることができることに留意されたい。バス・マスタ１２、１４のサブセットは、ある種のケースではすべてのバス・マスタのフルセットを含むことができるが、一般的には、追加信号５６、５７はデータ処理システム１０中においてこれらのバス・マスタ１２、１４のすべてに対するよりも少なく方向付けが行われる。信号５０および５１を使用して、追加信号５６、５７のステアリングについての制御および／またはステータスを実現する。

10

20

#### 【００１３】

本発明のこの例示の実施形態においては、追加信号ステアリング・ロジック３６は、追加信号５７を受け取り、方向付けするために共用資源３０に結合される。追加信号５７は、共用資源３０と適切なバス・マスタ１２、１４との間でそれぞれ信号５３または５２を介して追加信号ステアリング・ロジック３６によって方向付ける必要がある１つ以上の信号を含んでいる。追加信号５７は、所望の任意の機能を有することができるが、これらの信号は一般に、すべてのバス・マスタ１２、１４に対してほぼ同時に供給すべきではなく、その代わりにバス・マスタ１２、１４のサブセットに対してしか提供すべきでない信号である。追加信号５７の１実施例は、共用資源３０の所有権を有し、この割込みに対して応答する必要があるバス・マスタに対してしか方向付けされ供給されるべきでない割込み信号である。本発明の他の実施形態は、追加信号ステアリング・ロジック３６を使用して、この全体のバス・マスタ（例えば、１２、１４）のサブセットに対して所望の任意の信号を方向付けすることができる。方向付けすることができる他の追加信号の一部の実施例は、リセット信号、ＤＭＡ要求信号およびＤＭＡ認可信号、モード制御信号（例えば、電力制御モード）、カスタム・プロトコル・ハンドシェイク信号、プライベート・メッセージ・チャンネル、ならびに１つ以上の他の所望の任意の信号である。本発明の一部の実施形態では、追加信号５７のうちの１つ以上の信号を、選択された状況下においてこれらのバス・マスタ１２、１４のすべてに方向付けすることができる実施形態が存在し得ることに留意されたい。さらに、本発明の一部の実施形態では、信号５２、５３、５６、および５７のうちのどの信号も、双方向でなくてもよく、また一部の信号、またはすべての信号が双方向であってもよい。

30

40

#### 【００１４】

追加信号ステアリング・ロジック３６は、信号５０を介して共用資源３０に対して双方向に結合される。信号５０は、追加信号５７の方向付け（steering）において使用される制御情報および／またはステータス情報を提供するために使用される１つ以上の信号を含んでいる。本発明の代替実施形態は、任意のタイプの信号を使用してこの制御情報および／またはステータス情報を伝えることができる。すべての必要な制御情報および／またはステータス情報は、追加信号ステアリング・ロジック３６中に存在し、あるいは別の方法で追加信号ステアリング・ロジック３６に対して与えられるので、本発明の一部の実施形態は、信号５０を必要としないこともある。

50

## 【 0 0 1 5 】

本発明のこの例示の実施形態において、追加信号ステアリング・ロジック 3 6 は、追加信号 5 6 を受け取り方向付けするために共用資源 2 4 に結合される。追加信号 5 6 は、共用資源 2 4 と適切なバス・マスタ 1 2、1 4 の間でそれぞれ信号 5 3 または 5 2 を介して追加信号ステアリング・ロジック 3 6 によって方向付けする必要がある 1 つ以上の信号を含んでいる。追加信号 5 6 は、所望の任意の機能を有することができるが、これらの信号は、一般的にすべてのバス・マスタ 1 2、1 4 に対してほぼ同時に供給すべきではなく、その代わりにバス・マスタ 1 2、1 4 のサブセットだけにしか供給すべきでない信号である。追加信号 5 6 の 1 つの可能な実施例は、共用資源 2 4 の所有権を有し、この割込みに応答する必要があるバス・マスタに対してしか方向付けされ供給されるべきでない割込み信号である。本発明の他の実施形態は、追加信号ステアリング・ロジック 3 6 を使用して、これらの全体のバス・マスタ（例えば、1 2、1 4）のサブセットに所望の任意の信号を方向付けすることができる。本発明の一部の実施形態では、選択された状況下において追加信号 5 6 のうちの 1 つ以上の信号をすべてのバス・マスタ 1 2、1 4 に対して方向付けすることができるシナリオが存在し得ることに留意されたい。

## 【 0 0 1 6 】

追加信号ステアリング・ロジック 3 6 は、信号 5 1 を介して共用資源 2 4 に対して双方向に結合される。信号 5 1 は、追加信号 5 6 の方向付けにおいて使用される制御情報および / またはステータス情報を提供するために使用される 1 つ以上の信号を含んでいる。本発明の代替実施形態は、任意のタイプの信号を使用して、この制御情報および / またはステータス情報を伝えることができる。すべての必要な制御情報および / またはステータス情報は、追加信号ステアリング・ロジック 3 6 中に存在し、あるいは別の方法で追加信号ステアリング・ロジック 3 6 に対して与えられるので、本発明の一部の実施形態は、信号 5 1 を必要としないこともある。

## 【 0 0 1 7 】

本発明の一部の実施形態においては、追加信号ステアリング・ロジック 3 6 によって実施されるステアリング機能のすべてまたは一部分は、共用資源それ自体の一部分として含めることができる。例えば、図 1 に示す実施形態において、信号 1 0 1 および 1 0 2 についてのステアリング機能は、U S B 共用資源 1 0 0 内の回路によって実施され、したがって信号 1 0 1 および 1 0 2 は、追加信号ステアリング・ロジック 3 6 を通過させて正しいバス・マスタ 1 2、1 4 に対して方向付けする必要はない。図 1 に示す本発明の実施形態においては、信号 1 0 1 を使用して、例えば割込みなどの 1 つ以上の追加信号をバス・マスタ 1 2 に対して供給することができる。同様に、信号 1 0 2 を使用して、例えば割込みなどの 1 つ以上の追加信号をバス・マスタ 1 4 に対して供給することができる。本発明の代替実施形態は、信号 1 0 1 および 1 0 2 を追加信号ステアリング・ロジック 3 6 に供給して、信号 1 0 1 および 1 0 2 をそれぞれ信号 5 3 および 5 2 を介してこの正しいバス・マスタ 1 2、1 4 に方向付けすることができる。

## 【 0 0 1 8 】

本発明のこの例示の実施形態においては、非共用資源 2 2 は、バス・マスタ 1 2 によってしかアクセスされず、したがって、非共用資源 2 2 に関連するこれらの追加信号は、信号 5 4 を介して直接にバス・マスタ 1 2 に双方向に結合される。信号 5 4 は、そもそも 1 つのバス・マスタ 1 2 に対してしか供給されないの、信号 5 4 は、追加信号ステアリング・ロジック 3 6 によって方向付けする必要はない。同様に、本発明のこの例示の実施形態においては、非共用資源 2 6 は、バス・マスタ 1 4 によってしかアクセスされず、したがって、非共用資源 2 6 に関連するこれらの追加信号は、信号 5 5 を介して直接にバス・マスタ 1 4 に双方向に結合される。信号 5 5 は、そもそも 1 つのバス・マスタ 1 4 に対してしか供給されないの、信号 5 5 は、追加信号ステアリング・ロジック 3 6 によって方向付けする必要はない。

## 【 0 0 1 9 】

図 2 は、本発明の 1 実施形態による、図 1 の追加信号ステアリング・ロジック 3 6 の一

部分をブロック図形式で示している。この例示の実施形態において、追加信号ステアリング・ロジック 36 は、信号 56 および 57 についての実際のステアリング機能を実施するステアリング回路 60 を含んでいる。信号 56 および 57 は、信号 53 を介してバス・マスタ 12 へ、または信号 52 を介してバス・マスタ 14 へと方向付けすることができる。信号 50 および 51 は、それぞれ共用資源 30 および 24 からの情報を提供する。制御回路 62 に提供され、または記憶される他の制御情報と一緒に信号 50 および 51 を使用して、ステアリング回路 60 によって実施されるステアリング機能を制御する。

#### 【0020】

制御回路 62 は、レジスタ 70 を含んでいる。本発明の 1 実施形態においては、レジスタ 70 は、ステアリング・モード・セクタ・レジスタ 71、ステアリング・マップ・セクタ・レジスタ 72、マップ定義レジスタ 73、マップ定義レジスタ 74、および資源所有権レジスタ 75 を含んでいる。本発明の代替実施形態は、より多くの、より少ない、または異なるレジスタを使用して、ステアリング回路 60 を制御するための制御情報の一部分を提供することができる。本発明の 1 実施形態においては、レジスタ 70 の一部またはすべては、バス・マスタ 12 および 14 のうちの少なくとも一方によって読み取り、書き込むことができるソフトウェア・プログラマブル・レジスタである。

#### 【0021】

所望の任意の経路指定スキームは、追加信号 56 および 57 をこれら所望の 1 つ以上のバス・マスタ 12、14 に対して方向付けするために使用することができる。しかし、本発明のこの例示の実施形態においては、共用資源 24、20 ごとの少なくとも 1 つのステアリング・モード・セクタ・レジスタ 71、共用資源 24、20 ごとの少なくとも 1 つのステアリング・マップ・セクタ・レジスタ 72 が存在し、また少なくとも 1 つのマップ定義レジスタ 73、74 が存在する。各ステアリング・モード・セクタ・レジスタ 71 を使用して、その対応する共用資源 24、30 についての複数のステアリング・モードのうちの 1 つを選択することができる。この選択されたステアリング・モードは、次いでマップ定義レジスタ 73、74 のうちの一方に記憶されたマップ定義の使用を必要として、どの 1 つ以上のバス・マスタ 12、14 が、ステアリング回路 60 によって方向付けされる信号を受け取るべきかを決定することができる。各ステアリング・マップ・セクタ・レジスタを使用して、複数のマップ定義レジスタ 73、74 のうちの一方を選択することができる。

#### 【0022】

本発明の 1 実施形態においては、追加信号 56 および 57 は、選択されているステアリング・モードに応じて、またオプションとしてマップ定義レジスタ 73、74 に記憶されるマップ定義に応じて、複数の方法でバス・マスタ 12、14 に経路指定することができる。例えば、1 つのステアリング・モードは、この追加信号（例えば、56）を方向付けすることができ、その結果、この追加信号は、この共用資源（例えば、24）の所有権を現在有するバス・マスタ（例えば、12）に供給される。マップ定義レジスタは、このステアリング・モードでは、必要とされない。第 2 のステアリング・モードは、追加信号 56、57 を方向付けすることができ、その結果、この追加信号は、マップ定義レジスタ 73、74 の一方に記憶されるプログラマブル経路指定マップによって決定されるように 1 つ以上のバス・マスタ 12、14 に供給される。このプログラマブル経路指定マップは、1 つ以上のバス・マスタ 12、14 によってプログラムすることができる。本発明の一部の実施形態においては、共用資源 24、30 の所有権を有するマスタしか、共用資源 24、30 に対応するマップ定義レジスタ 73、74 に書き込むことができず、したがってこれらを変更することができない。本発明の代替実施形態は、1 つ以上のマップ定義のプログラミングを異なった方法で制御することができる。

#### 【0023】

第 3 のステアリング・モードは、この追加信号（56 または 57 のうちの一方）を方向付けすることができ、その結果、この追加信号は、マップ定義レジスタ 73、74 に記憶される複数のプログラマブル経路指定マップのうちの 1 つによって決定されるように、1

10

20

30

40

50

つ以上のバス・マスタ 12、14 に供給される。このプログラマブル経路指定マップは、どちらのバス・マスタ 12、14 が、追加信号 56、57 を供給し、またはこれらの追加信号に関連する共用資源 24、30 の所有権を現在有するかに基づいて選択することができる。本発明の一部の実施形態においては、共用資源 24、30 の所有権を有するバス・マスタしか、この共用資源 24、30 に対応するマップ定義レジスタ 73、74 に書き込むことができず、したがってこれらを変更することができない。本発明の代替実施形態は、1 つ以上のマップ定義のプログラミングを異なった方法で制御することができる。

#### 【0024】

第 4 のステアリング・モードは、この追加信号 (56 または 57 のうちの一方) を方向付けすることができ、その結果、この追加信号は、マップ定義レジスタ 73、74 に記憶される複数のプログラマブル経路指定マップのうちの 1 つによって決定されるように、1 つ以上のバス・マスタ 12、14 に供給される。このプログラマブル経路指定マップは、追加信号 56、57 を供給し、またはこれらの追加信号に関連する共用資源 24、30 の現在の状態に基づいて選択することができる。本発明の一部の実施形態においては、マップ定義レジスタ 73、74 は、共用資源 24、30 のいくつかの状態のそれぞれに対応する静的マップとすることができる。本発明の他の実施形態においては、マップ定義レジスタ 73、74 は、1 つ以上のバス・マスタ 24、30 (例えば、この所有しているマスタ) によってプログラム可能とすることもできる。本発明の一部の実施形態においては、共用資源 24、30 の所有権を有するバス・マスタしか、この共用資源 24、30 に対応するマップ定義レジスタ 73、74 に書き込むことができず、したがってこれらを変更することができない。本発明の代替実施形態は、1 つ以上のマップ定義のプログラミングまたは確立を異なった方法で制御することができる。

#### 【0025】

第 5 のステアリング・モードは、この追加信号 (56 または 57 のうちの一方) を方向付けすることができ、その結果、この追加信号は、マップ定義レジスタ 73、74 に記憶される複数のプログラマブル経路指定マップのうちの 1 つによって決定されるように、1 つ以上のバス・マスタ 12、14 に供給される。このプログラマブル経路指定マップは、追加信号 56、57 を供給し、またはこれらの追加信号に関連する共用資源 24、30 によって選択することができる。本発明の一部の実施形態においては、共用資源 24、30 それ自体しか、この共用資源 24、30 に対応するマップ定義レジスタ 73、74 に書き込むことができず、したがってこれらを変更することができない。本発明の代替実施形態は、1 つ以上のマップ定義のプログラミングを異なった方法で制御することができる。

#### 【0026】

本発明の代替実施形態では、ステアリング回路 60 を制御するために使用される制御回路 62 についての所望の任意の構成を使用することができる。制御回路 62 の代替実施形態は、レジスタを有さなくてもよく、あるいは、より少ない、より多くの、または異なったレジスタ 70 を有していてもよい。制御回路 62 は、信号 61 を介してステアリング回路 60 に双方向に結合される。制御回路 62 は、バス 20 に双方向に結合され、その結果、レジスタ 70 は、例えば 1 つ以上のバス・マスタ 12、14 によって読み取り、書き込むことができる。本発明の 1 実施形態においては、信号 50、51 は、どの共用資源 24、30 が、信号 56、57 を供給し、またはこれらの信号に関連するか、どのステアリング・モードを使用するか、またどのマップ定義を使用するかに関連する情報を提供する。本発明の代替実施形態においては、信号 50、51 は、どの共用資源 24、30 が、信号 56、57 を供給し、またはこれらの信号に関連するかに関する情報を提供し、レジスタ 70 を使用して、このステアリング・モード情報およびマップ定義情報の残りをステアリング回路 60 に提供する。

#### 【0027】

図 3 は、他の回路と一緒に、本発明の 1 実施形態による、図 1 の共用資源 24 の一部分をブロック図形式で示している。本発明のこの例示の実施形態において、共用資源 24 は、バス 20 に双方向に結合されたバス・インタフェース 310 を含んでいる。バス・イン

10

20

30

40

50

タフェイス 310 は、導体 320 によって再構成可能制御ロジック 304 に双方向に結合され、導体 326 によって再構成可能チャンネル・ストレージ回路 300 に双方向に結合され、その結果、304 および 300 内のレジスタおよび他の回路は、バス 20 を介して読取りアクセス可能および / または書込みアクセス可能とすることができる。1 実施形態においては、再構成可能チャンネル・ストレージ回路 300 は、再構成可能チャンネル・ストレージ回路 301 ~ 303 を含んでいる。本発明の代替実施形態は、再構成可能チャンネル・ストレージ回路 300 内に、より少ない、より多い、または同じ数の再構成可能チャンネル・ストレージ回路 301 ~ 303 を有していてもよい。再構成可能チャンネル・ストレージ回路 300 は、導体 322 を介して再構成可能制御ロジック 304 に双方向に結合される。本発明の 1 実施形態においては、信号 322 を使用して、再構成可能チャンネル・ストレージ回路 300 と再構成可能制御ロジック 304 との間で、制御情報および / またはステータス情報を転送する。再構成可能チャンネル・ストレージ回路 300 は、信号 328 を介して再構成可能チャンネル回路 312 に双方向に結合される。再構成可能チャンネル回路 312 は、導体 324 を介して、再構成可能制御ロジック 304 に双方向に結合される。再構成可能チャンネル回路 312 は、導体 45 を介してバス 330 に双方向に結合される。

10

20

30

40

50

#### 【0028】

図 3 に示す本発明の実施形態においては、ペリフェラル機能回路 306 ~ 308 ごとに 1 つの再構成可能チャンネル・ストレージ回路 301 ~ 303 が存在する。本発明の代替実施形態は、ペリフェラル機能回路 306 ~ 308 ごとに任意数の再構成可能チャンネル・ストレージ回路 301 ~ 303 を有することもできる。各ペリフェラル機能回路 306 ~ 308 は、例えば、タイマ機能、通信機能、変換機能、データ処理機能、ストレージ機能など、1 つ以上の任意タイプの所望の機能を実施することができる。さらに、本発明の一部の実施形態においては、再構成可能チャンネル回路 312 は、再構成可能回路を含んでいて、例えば、タイマ機能、通信機能、変換機能、データ処理機能、ストレージ機能など、1 つ以上の任意タイプの所望の機能を実施する。したがって、機能を実施する回路は、(例えば、再構成可能チャンネル回路 312 中に配置することができる) 共用資源 24 と同じ集積回路上に配置することもでき、あるいは代わりに (例えば、任意のペリフェラル機能回路 306 ~ 308 中に配置することができる) 共用資源 24 を組み込んでいる集積回路の外側に配置することもできる。

#### 【0029】

図 3 に示す本発明の実施形態においては、再構成可能制御ロジック 304 を使用して、追加信号ステアリング・ロジック 36 (図 1 参照) に対して信号 56 および信号 51 を供給する。また再構成可能制御ロジック 304 を使用して、バス・マスタ 12、14 のうちの一方から 1 つ以上のペリフェラル機能回路 306 ~ 308 に対して使用される通信経路を決定し、または選択する。この通信経路は、バス 20、バス・インタフェイス 310、再構成可能チャンネル・ストレージ回路 301 ~ 303 のうちの 1 つ (どの 1 つかは再構成可能制御ロジック 304 によって決定される)、再構成可能チャンネル回路 312、信号 45、およびバス 330 を使用する。

#### 【0030】

本発明の 1 実施形態においては、再構成可能チャンネル回路 312 を使用して、再構成可能チャンネル・ストレージ回路 300 とペリフェラル機能回路 306 ~ 308 の間の通信経路を決定し、または選択することに留意されたい。本発明の一部の実施形態においては、再構成可能チャンネル回路 312 は、再構成可能制御ロジック 304 を介してプログラムされる。本発明の代替実施形態においては、再構成可能チャンネル回路 312 は、バス・インタフェイス 310 を介してバス・マスタ 12 または 14 によってプログラムすることができる。本発明の一部の実施形態においては、再構成可能チャンネル・ストレージ回路 300 は、再構成可能制御ロジック 304 によって再構成することができるストレージ回路としてもっぱら機能することができる。同様に再構成可能チャンネル回路 312 は、この機能が、再構成可能制御ロジック 304 によって選択可能な所望の機能を実施するようにもっぱら機能することもできる。本発明の代替実施形態は、共用資源 24 のストレージ部分、機

能部分、および制御部分をどのような方法でも、パーティションに区分することができる。本発明の代替実施形態は、再構成可能チャネル回路 312 を使用することができず、その代わりに再構成可能制御ロジック 304 を直接に使用して、再構成可能チャネル・ストレージ回路 300 とペリフェラル機能回路 306 ~ 308 の間の通信経路を決定し、または選択することができることに留意されたい。

#### 【0031】

図 4 は、他の回路と一緒に、本発明の 1 実施形態による、図 1 の USB 共用資源 100 の一部分をブロック図形式で示している。1 実施形態においては、USB 共用資源 100 は、ユニバーサル・シリアル・バス (USB) 規格に準拠し、USB バス 43 を介して USB ホスト 420 と情報をやりとりする。USB 共用資源 100 はまた、バス 20 にも結合される。図 4 に示す本発明の実施形態においては、USB 共用資源 100 は、エンドポイント・ストレージ回路 470 およびバス・インタフェース 400 に双方向に結合される USB 機能コントローラ 413 を含んでいる。バス・インタフェース 400 は、エンドポイント・ストレージ回路 470 に双方向に結合され、バス 20 に双方向に結合される。本発明の 1 実施形態においては、USB 機能コントローラ 413 は、USB プロトコル・ロジック 415 を介してシリアル・インタフェース・エンジン 418 に双方向に結合される。シリアル・インタフェース・エンジン 418 は、USB バス 43 に双方向に結合される。

10

#### 【0032】

本発明の 1 実施形態においては、USB 機能コントローラ 413 は、USB プロトコル・ロジック 415 に結合される複数の USB 機能制御レジスタ 402 を含んでいる。USB プロトコル・ロジック 415 は、エンドポイント割込みロジック 417 に結合されて、いつ割込みをバス・マスタ 12、14 に提供すべきかに関する割込み情報を提供する。ステアリング・ロジック 480 は、エンドポイント割込みロジック 417 および USB 機能制御レジスタ 402 からの情報を受け取り、それに応答して割込み信号 101 および 102 をそれぞれバス・マスタ 12 および 14 に提供する。追加信号ステアリング・ロジック 36 を使用してどのバス・マスタ 12、14 がどの追加信号を受け取るかを決定する共用資源 24 (図 1 参照) と違って、USB 共用資源 100 は、このステアリング機能を実施するための回路を含んでいる。その結果、信号 101 および 102 は、追加信号ステアリング・ロジック 36 を介して経路指定する必要がなくなる。追加信号ステアリング・ロジック 36 によって実現されるこのステアリング機能は、USB 共用資源 100 内で実施される。

20

30

#### 【0033】

本発明の 1 実施形態においては、ステアリング・ロジック 480 は、それぞれ、1 入力 が USB 機能制御レジスタ 402 に結合され、1 入力 がエンドポイント割込みロジック 417 に結合されている AND ゲート 422、424、426、および 428 を含んでいる。ステアリング・ロジック 480 はまた、AND ゲート 422、424、426、および 428 からの入力を受け取り、出力 101 および 102 をそれぞれバス・マスタ 12、14 に供給する複数の OR ゲート 430、432 も含んでいる。

#### 【0034】

本発明の 1 実施形態においては、各エンドポイントは、対応するビット 460 または 462、対応するラッチ 410 または 412、対応するビット 450 または 452、および エンドポイント割込みロジックの対応する一部分 440 または 442 を有する。図 4 に示す特定の回路は、単に例示の目的で示されているにすぎないことに留意されたい。本発明の代替実施形態では、適切な任意の回路を使用して、USB 機能コントローラ 413 によって必要とされるステアリング機能を実装することができる。

40

#### 【0035】

本発明の 1 実施形態においては、USB 機能制御レジスタ 402 は、割込みステアリング・レジスタ 403、他の共用レジスタ 414、および非共用レジスタ 416 を含んでいる。本発明の 1 実施形態においては、割込みステアリング・レジスタ 403 は、割込みス

50

テアリング・ストレージ回路 408 に結合されて、セット信号およびリセット信号を供給して、それぞれラッチ 410、412 をセット/リセットする割込みステアリング・セット・レジスタ 406 および割込みステアリング・クリア・レジスタ 404 を含んでいる。本発明の代替実施形態は、割込みステアリング・レジスタ 403 を実装するために使用される方法と同様にしてセット・レジスタ、クリア・レジスタ、および複数のセット/リセット・ラッチを使用して実装される複数の他の共用レジスタ 414 を含むことができる。

#### 【0036】

共用レジスタ 403 および 414、エンドポイント割込みロジック 417、ならびにステアリング・ロジック 480 の使用を介して、USB 機能コントローラ 413 は、マルチマスタ・システム中のエンドポイントの共用制御を可能にする機能を有することに留意されたい。図 1 に示すマルチマスタ・システムは、2つのバス・マスタ 12、14 を使用しているが、本発明の代替実施形態は、データ処理システム 10 の外部にあるバス・マスタを含めて、任意数または任意タイプのバス・マスタを使用することもできる。

10

#### 【0037】

次に USB 共用資源 100 の機能について、さらに詳細に説明することにする。USB プロトコル・ロジック 415 は、シリアル・インタフェース・エンジン 418 に対してデータを提供し、またそこからデータを受け取る。シリアル・インタフェース・エンジン 418 は、USB ホスト 420 に対してデータを提供し、そこからデータを受け取り、この USB 規格に従って機能する。

#### 【0038】

本発明の 1 実施形態においては、USB 共用資源 100 は、所有されていない共用資源であると考えられる。しかし、USB 共用資源 100 は、パーティションに区分され、その結果、1つ以上の部分（例えば、USB エンドポイント）を異なるバス・マスタ 12 および 14 に割り付けることができる。本発明の 1 実施形態においては、これらの USB エンドポイントは、エンドポイント・ストレージ回路 470 に記憶することができる。本発明の 1 実施形態においては、割込みステアリング・レジスタ 403 を追加して、エンドポイント割込みを複数のバス・マスタ 12、14 のうちの一方に方向付けしている。

20

#### 【0039】

本発明のこの例示の実施形態においては、割込みステアリング・レジスタ 403 は、割込みステアリング・セット・レジスタ 406、割込みステアリング・クリア・レジスタ 404、および割込みステアリング・ストレージ回路 408 を使用して実装されている。この例示の実施形態においては、バス・マスタ 12、14 の選択を指定してこの割込みを受け取る 2つのロジック状態しか使用可能ではない。したがって、この例示の実施形態では、エンドポイント割込みは、たった 2つのバス・マスタ 12、14 のうちの 1つに対してしか方向付けすることができない。しかし、本発明の代替実施形態は、割込みステアリング・レジスタ 403 を実装することができ、その結果、エンドポイント割込みを複数のバス・マスタに対して方向付けすることができる。本発明のこの例示の実施形態においては、割込みステアリング・セット・レジスタ 406 も割込みステアリング・クリア・レジスタ 404 も共に、このメモリ・マップ/プログラムのモデル中のレジスタであり、バス 20 およびバス・インタフェース 400 を介して書き込むことができることに留意されたい。レジスタ 406 および 404 の読取りは、本発明のこの例示の実施形態においては、使用されないが、本発明の代替実施形態は、所望のどのような方法でもレジスタ 406 および 404 の読取りを扱うことができることに留意されたい。

30

40

#### 【0040】

本発明の 1 実施形態においては、バス・マスタ 12 も 14 も共に、共用レジスタ 414 および割込みステアリング・レジスタ 403 に書き込み、これらを修正することができる。これは、レジスタ 414 および 403 の内容の破損をもたらすこともあることに留意されたい。このメモリ・マップ/プログラムのモデル中の一意のアドレスに配置される別の割込みステアリング・セット・レジスタ 406 の使用と、このメモリ・マップ中の異なるアドレスに配置される別の割込みステアリング・クリア・レジスタ 404 の使用により、

50

複数のバス・マスタ12、14は、レジスタ403中の非選択ビットに影響を及ぼすことなく、レジスタ403中の選択されたビットを独立にセットし、またはクリアすることができるようになる。本発明の一部の実施形態では、1つ以上の他の共用レジスタ414をレジスタ403と同様に（すなわち、別々のセット・レジスタおよびクリア・レジスタ406、404を使用して）実装することができることに留意されたい。例えば、エンドポイント・オペレーションに関連した他の共用レジスタ414のすべてまたは一部分は、レジスタ403と同様に実装することができる。本発明の代替実施形態は、レジスタ401、および1つ以上のレジスタ414の内容の破損を回避する異なるメカニズムを使用することもできる。かかるメカニズムの1実施例は、レジスタ402および414に対する原子読取り修正書込みアクセス（atomic read-modify-write access）である。

10

#### 【0041】

本発明のこの例示の実施形態において、ビット460に対する「1」の書込みは、対応するラッチ410をセットすることになり、ビット460に対する「0」の書込みは、ラッチ410に対して影響を及ぼさないことになる。同様に、ビット450に対する「1」の書込みは、対応するラッチ410をクリアすることになり、ビット450に対する「0」の書込みは、ラッチ410に対して影響を及ぼさないことになる。このメカニズムは、バス・マスタ12とバス・マスタ14の両方によるレジスタ403のビットごとの制御を可能にすることに留意されたい。USB共用資源100を使用した一部の用途では、バス・マスタ12は、レジスタ・ビット403の一部をセットすることになり、バス・マスタ14は、レジスタ・ビット403のオーバーラップしていない異なる部分をクリアすることになる。この場合には、レジスタ403のビット中の「1」は、この対応するエンドポイント割込みをバス・マスタ12へと方向付けし、レジスタ403のビット中の「0」は、この対応するエンドポイント割込みをバス・マスタ14へと方向付けする。

20

#### 【0042】

本発明の1実施形態では、非共用レジスタ416は、複数のバス・マスタ12、14を用いて適切に動作するように修正する必要はない。例えば、非共用レジスタ416中のあるレジスタは、読取り専用にすることができ、非共用レジスタ416中の他のレジスタは、所定のソフトウェア規定によって指定されるように1つのバス・マスタ12、14によってアクセスすることができる。

30

#### 【0043】

本発明の1実施形態においては、USBプロトコル・ロジック415およびエンドポイント割込みロジック417は、複数のマスタ使用のために修正する必要はない。しかし、エンドポイント割込みロジック417によって提供されるこれらの割込み出力は、今やレジスタ403の対応するビットによって指定されるバス・マスタへとステアリング・ロジック480によって方向付けされる必要がある。ステアリング・ロジック480は、どのような方法でも実装することができ、図4に示す回路は、ただステアリング・ロジック480の1つの可能性のある実装形態にすぎない。1つのバス・マスタ（例えば12または14）しか、USB共用資源100を利用していなかった場合には、ステアリング・ロジック480は、必要とされないはずであることに留意されたい。この場合には、すべての割込みがこの1つのバス・マスタに進むはずなので、方向付けは必要とされないはずである。

40

#### 【0044】

図4に示す残りの回路は、標準のUSB回路と同様に機能することができる。

前述の明細書では、特定の実施形態に関して本発明を説明している。しかし、添付の特許請求の範囲で述べる本発明の範囲を逸脱することなく、様々な修正および変更を行うことができることが、当業者には理解されよう。したがって、この明細書および図面は、限定的な意味ではなくて例示的な意味で考慮すべきであり、すべてのかかる修正形態は、本発明の範囲内に含めるべきであることが意図されている。

#### 【0045】

50

利点、他の長所、および問題に対する解決法について、特定の実施形態に関して以上で説明してきている。しかし、どのような利点、長所、または解決方法をも引き起こし、より明確になるようにさせ得るこれらの利点、長所、問題に対する解決法、および1つ（または複数）のどのような要素も、任意の請求項またはすべての請求項の重要な、必要な、あるいは必須の特徴または要素として解釈すべきではない。本明細書中で使用しているように、用語「からなる（含む）（comprises）」、「からなる（含む）（comprising）」またはこの任意の他の変形は、要素のリストを含む工程、方法、物、または装置が、これらの要素を含むだけでなく、かかる工程、方法、物、または装置に明示的にリストアップされない、または固有の他の要素も含むことができるように、非排他的包含を範囲に含むことを意図している。

10

【0046】

追加テキスト（1）

〔請求項1〕 システム・バスと、  
該システム・バスに結合された第1のバス・マスタと、  
該システム・バスに結合された第2のバス・マスタと、  
該システム・バスに結合され、該第1のバス・マスタおよび該第2のバス・マスタのうちの少なくとも一方のバス・マスタによって所有されるように構成可能な資源と、  
該資源と、該第1のバス・マスタおよび該第2のバス・マスタのうちの少なくとも一方のバス・マスタとの間で、該資源の所有権に基づいて通信経路を確立する追加信号ステアリング・ロジックと、  
からなり、該通信経路を使用して、該資源と、該第1のバス・マスタおよび該第2のバス・マスタのうちの該少なくとも一方のバス・マスタとの間で、少なくとも1つの追加信号を転送するデータ処理システム。

20

【0047】

〔請求項2〕 前記データ処理システムが、前記資源の所有権を示す資源所有権ストレージ回路をさらに備える、請求項1に記載のデータ処理システム。

〔請求項3〕 前記資源所有権ストレージ回路は、前記第1のバス・マスタが前記資源を所有するかどうか、前記第2のバス・マスタが前記資源を所有するかどうか、および前記第1のバス・マスタも前記第2のバス・マスタも前記資源を所有しないかどうかのうちの少なくとも1つを示す、請求項2に記載のデータ処理システム。

30

【0048】

〔請求項4〕 前記第1のバス・マスタも前記第2のバス・マスタも共に前記資源の所有権を請求するときに、前記資源所有権ストレージ回路は、前記資源が所有されていないことを示す、請求項2に記載のデータ処理システム。

【0049】

〔請求項5〕 前記第1のバス・マスタも前記第2のバス・マスタも前記資源の所有権を請求しないときに、前記資源所有権ストレージ回路は、前記資源が所有されていないことを示す、請求項2に記載のデータ処理システム。

【0050】

〔請求項6〕 前記追加信号ステアリング・ロジックが、前記資源所有権ストレージ回路内に記憶される情報に基づいて前記通信経路を確立する、請求項2に記載のデータ処理システム。

40

【0051】

〔請求項7〕 前記追加信号ステアリング・ロジックが、前記資源と、前記第1のバス・マスタおよび前記第2のバス・マスタのうちの一方のバス・マスタだけとの間で前記通信経路を確立する、請求項1に記載のデータ処理システム。

【0052】

〔請求項8〕 前記追加信号ステアリング・ロジックが、前記資源と、前記第1のバス・マスタおよび前記第2のバス・マスタのうちのそれぞれとの間で前記通信経路を確立する、請求項1に記載のデータ処理システム。

50

## 【 0 0 5 3 】

〔請求項 9〕 前記少なくとも 1 つの追加信号が、前記システム・バスの一部分ではない、請求項 1 に記載のデータ処理システム。

〔請求項 10〕 前記システム・バスが、システム・バス・プロトコルに従って動作し、前記少なくとも 1 つの追加信号が、該システム・バス・プロトコルの外側で動作する、請求項 1 に記載のデータ処理システム。

## 【 0 0 5 4 】

〔請求項 11〕 前記資源からなるペリフェラルをさらに含む、請求項 1 に記載のデータ処理システム。

〔請求項 12〕 前記ペリフェラルが、第 2 の資源からなり、前記追加信号ステアリング・ロジックが、該第 2 の資源に関連する少なくとも 1 つの追加信号を転送するために、該第 2 の資源と、前記第 1 のバス・マスタおよび前記第 2 のバス・マスタのうちの少なくとも一方のバス・マスタとの間で該第 2 の資源の所有権に基づいて第 2 の通信経路を確立する、請求項 11 に記載のデータ処理システム。 10

## 【 0 0 5 5 】

〔請求項 13〕 前記システム・バスに結合された第 2 の資源をさらに含み、前記追加信号ステアリング・ロジックが、該第 2 の資源に関連する少なくとも 1 つの追加信号を転送するために、該第 2 の資源と、前記第 1 のバス・マスタおよび前記第 2 のバス・マスタのうちの少なくとも一方のバス・マスタとの間で該第 2 の資源の所有権に基づいて第 2 の通信経路を確立する、請求項 1 に記載のデータ処理システム。 20

## 【 0 0 5 6 】

〔請求項 14〕 前記追加信号ステアリング・ロジックが、前記資源と、前記第 1 のバス・マスタおよび前記第 2 のバス・マスタのうちの、前記資源を所有している所有するバス・マスタとの間で通信経路を確立する、請求項 1 に記載のデータ処理システム。

## 【 0 0 5 7 】

〔請求項 15〕 前記追加信号ステアリング・ロジックが、マップ定義を記憶するマップ・ストレージ回路からなり、前記追加信号ステアリング・ロジックが、該マップ定義に基づいて前記通信経路を確立する、請求項 1 に記載のデータ処理システム。

## 【 0 0 5 8 】

〔請求項 16〕 前記マップ定義が、前記第 1 のバス・マスタおよび前記第 2 のバス・マスタのうちの、前記資源を所有している所有するバス・マスタによってプログラム可能である、請求項 15 に記載のデータ処理システム。 30

## 【 0 0 5 9 】

〔請求項 17〕 前記マップ・ストレージ回路が、複数のマップ定義を記憶し、前記追加信号ステアリング・ロジックが、前記資源の所有権に基づいて選択される該複数のマップ定義のうちの 1 つのマップ定義に基づいて前記通信経路を確立する、請求項 15 に記載のデータ処理システム。

## 【 0 0 6 0 】

〔請求項 18〕 前記複数のマップ定義のうちの前記 1 つのマップ定義は、前記第 1 のバス・マスタが前記資源を所有するかどうか、前記第 2 のバス・マスタが、前記資源を所有するかどうか、および前記資源が所有されないかどうかのうちの少なくとも 1 つに基づいて選択される、請求項 17 に記載のデータ処理システム。 40

## 【 0 0 6 1 】

〔請求項 19〕 前記資源が、前記追加信号ステアリング・ロジックの少なくとも一部分からなる、請求項 1 に記載のデータ処理システム。

〔請求項 20〕 システム・バスを有するデータ処理システムにおいて追加信号を伝えるための方法であって、

該システム・バスに結合された資源と、該システム・バスに結合された複数のバス・マスタのうちの少なくとも 1 つのバス・マスタとの間で該資源の所有権に基づいて通信経路を確立すること、および

該資源と、該複数のバス・マスタのうちの該少なくとも1つのバス・マスタとの間で、該通信経路を介して該システム・バスとは別の該追加信号を転送すること、  
からなる方法。

【0062】

〔請求項21〕 前記通信経路を確立することが、  
前記複数のバス・マスタから、前記資源を所有している所有するバス・マスタを決定すること、および  
前記資源と、該所有するバス・マスタとの間で前記通信経路を確立すること、  
からなる、請求項20に記載の方法。

【0063】

〔請求項22〕 前記通信経路を確立することが、  
前記資源が前記複数のバス・マスタのうちのどれかによって所有されないときに、前記資源と、前記バス・マスタのうちの前記少なくとも1つのバス・マスタとの間で前記複数のバス・マスタのうちの第1のバス・マスタによって定義されるマップ定義に基づいて前記通信経路を確立することをさらに含む、請求項21に記載の方法。

【0064】

〔請求項23〕 前記通信経路を確立することが、  
前記資源と、前記複数のバス・マスタのうちの前記少なくとも1つのバス・マスタの間で、前記複数のバス・マスタのうちの、前記資源を所有している所有するバス・マスタによって定義されるマップ定義に基づいて前記通信経路を確立することからなる、請求項20に記載の方法。

【0065】

〔請求項24〕 前記通信経路を確立することが、  
前記資源の所有権に基づいて複数のマップ定義のうちの1つのマップ定義を選択すること、および  
前記資源と、前記複数のバス・マスタのうちの前記少なくとも1つのバス・マスタとの間で、該複数のマップ定義のうちの該選択される1つのマップ定義に基づいて前記通信経路を確立すること、からなる、請求項20に記載の方法。

【0066】

〔請求項25〕 システム・バスと、  
該システム・バスに結合された第1のバス・マスタと、  
該システム・バスに結合された第2のバス・マスタと、  
該システム・バスに結合され、該第1のバス・マスタおよび該第2のバス・マスタによって使用可能であり、該第1のバス・マスタおよび該第2のバス・マスタのうちの少なくとも一方のバス・マスタによって所有されるように構成可能な資源と、  
該資源と、該第1のバス・マスタおよび該第2のバス・マスタのうちの少なくとも一方のバス・マスタとの間で、通信経路を確立する追加信号ステアリング・ロジックと、  
からなり、該通信経路を使用して、該資源と、該第1のバス・マスタおよび該第2のバス・マスタのうちの該少なくとも一方のバス・マスタとの間で、少なくとも1つの追加信号を転送し、該通信経路が、該資源によって決定されるデータ処理システム。

【0067】

〔請求項26〕 前記通信経路が、前記資源の現在の状態によって決定される、請求項25に記載のデータ処理システム。

〔請求項27〕 前記資源の前記現在の状態が、前記資源の動作モードからなる、請求項26に記載のデータ処理システム。

【0068】

〔請求項28〕 前記通信経路が、前記資源によって定義されるマップ定義に基づいて決定される、請求項25に記載のデータ処理システム。

〔請求項29〕 前記追加信号ステアリング・ロジックが、前記マップ定義を記憶するマップ定義ストレージ回路からなる、請求項28に記載のデータ処理システム。

10

20

30

40

50

## 【 0 0 6 9 】

〔請求項 3 0〕 前記追加信号ステアリング・ロジックが、前記資源と、前記第 1 のバス・マスタと前記第 2 のバス・マスタの両方との間で、前記通信経路を確立する、請求項 2 5 に記載のデータ処理システム。

## 【 0 0 7 0 】

〔請求項 3 1〕 前記少なくとも 1 つの追加信号が、前記システム・バスの一部ではない、請求項 2 5 に記載のデータ処理システム。

〔請求項 3 2〕 前記システム・バスが、システム・バス・プロトコルに従って動作し、前記少なくとも 1 つの追加信号が、該システム・バス・プロトコルの外側で動作する、請求項 2 5 に記載のデータ処理システム。

10

## 【 0 0 7 1 】

〔請求項 3 3〕 前記資源が、前記追加信号ステアリング・ロジックの少なくとも一部分からなる、請求項 2 5 に記載のデータ処理システム。

〔請求項 3 4〕 システム・バスを有するデータ処理システムにおいて追加信号を伝えるための方法であって、

該システム・バスに結合された資源と、該システム・バスに結合された複数のバス・マスタのうちの少なくとも 1 つのバス・マスタとの間で、該資源によって決定される通信経路を確立すること、および

該資源と、該複数のバス・マスタのうちの該少なくとも 1 つのバス・マスタとの間で、該通信経路を介して該システム・バスとは別の該追加信号を転送すること、  
からなる方法。

20

## 【 0 0 7 2 】

〔請求項 3 5〕 前記通信経路を確立することが、  
前記資源の現在の状態を決定すること、および  
前記資源の該現在の状態に基づいて前記通信経路を確立すること、  
からなる、請求項 3 4 に記載の方法。

## 【 0 0 7 3 】

〔請求項 3 6〕 前記通信経路を確立することが、  
前記資源によって定義されるマップ定義を提供すること、および  
該マップ定義に基づいて前記通信経路を確立すること、  
からなる、請求項 3 4 に記載の方法。

30

## 【 0 0 7 4 】

追加テキスト ( 2 )

〔請求項 1〕 第 1 のバス・マスタと、  
第 2 のバス・マスタと、

該第 1 のバス・マスタおよび該第 2 のバス・マスタによりアクセス可能な共用再構成可能資源と、

からなり、該共用再構成可能資源が、該第 1 のバス・マスタおよび該第 2 のバス・マスタのうちの少なくとも一方のバス・マスタと、複数のペリフェラル機能から選択される第 1 のペリフェラル機能を実施するための回路との間で、通信経路を確立するデータ処理システム。

40

## 【 0 0 7 5 】

〔請求項 2〕 前記共用再構成可能資源が、前記第 1 のペリフェラル機能を実施するための前記回路の少なくとも一部分からなる再構成可能チャネル回路からなる、請求項 1 に記載のデータ処理システム。

## 【 0 0 7 6 】

〔請求項 3〕 前記共用再構成可能資源が、前記第 1 のペリフェラル機能を実施する際に使用するための前記再構成可能チャネル回路によりアクセス可能な再構成可能チャネル・ストレージからなる、請求項 2 に記載のデータ処理システム。

## 【 0 0 7 7 】

50

〔請求項４〕 前記再構成可能チャネル回路が、前記複数のペリフェラル機能から選択される第２のペリフェラル機能を実施するように構成可能である、請求項２に記載のデータ処理システム。

【００７８】

〔請求項５〕 前記共用再構成可能資源が、前記第１のバス・マスタおよび前記第２のバス・マスタのうちの少なくとも一方のバス・マスタと、前記第２のペリフェラル機能を実施するための回路との間で、第２の通信経路を確立し、前記再構成可能チャネル回路が、前記第２のペリフェラル機能を実施するための該回路の少なくとも一部分からなる、請求項４に記載のデータ処理システム。

【００７９】

〔請求項６〕 前記第２のペリフェラル機能を実施するための前記回路が、シリアル・ペリフェラル・インタフェース（ＳＰＩ）、ユニバーサル非同期式レシーバ／トランスミッタ（ＵＡＲＴ）、ユニバーサル・シリアル・バス（ＵＳＢ）、入力キャプチャ、出力比較、汎用入出力、タイマ、および同期式シリアル・インタフェース（ＳＳＩ）のうちの少なくとも１つからなる、請求項５に記載のデータ処理システム。

【００８０】

〔請求項７〕 前記データ処理システムが、前記共用再構成可能資源に結合された第１のペリフェラル機能回路をさらに備え、該第１のペリフェラル機能回路が、前記第１のペリフェラル機能を実施するための前記回路の少なくとも第１の部分からなる、請求項１に記載のデータ処理システム。

【００８１】

〔請求項８〕 前記共用再構成可能資源が、前記第１のペリフェラル機能を実施するための前記回路の少なくとも第２の部分からなる、請求項７に記載のデータ処理システム。

【００８２】

〔請求項９〕 前記共用再構成可能資源が、前記第１のバス・マスタおよび前記第２のバス・マスタのうちの少なくとも一方のバス・マスタと、前記複数のペリフェラル機能から選択される第２のペリフェラル機能を実施するための回路との間で、第２の通信経路を確立する、請求項８に記載のデータ処理システム。

【００８３】

〔請求項１０〕 前記データ処理システムが、前記共用再構成可能資源に結合された第２のペリフェラル機能回路をさらに備え、該第２のペリフェラル機能回路が、前記第２のペリフェラル機能を実施するための前記回路の少なくとも第１の部分からなり、前記共用再構成可能資源が、前記第２のペリフェラル機能を実施するための前記回路の少なくとも第２の部分からなる、請求項９に記載のデータ処理システム。

【００８４】

〔請求項１１〕 前記第２のペリフェラル機能を実施するための前記回路が、シリアル・ペリフェラル・インタフェース（ＳＰＩ）、ユニバーサル非同期式レシーバ／トランスミッタ（ＵＡＲＴ）、ユニバーサル・シリアル・バス（ＵＳＢ）、入力キャプチャ、出力比較、汎用入出力、タイマ、および同期式シリアル・インタフェース（ＳＳＩ）のうちの少なくとも１つからなる、請求項８に記載のデータ処理システム。

【００８５】

〔請求項１２〕 前記第１のペリフェラル機能を実施するための前記回路が、シリアル・ペリフェラル・インタフェース（ＳＰＩ）、ユニバーサル非同期式レシーバ／トランスミッタ（ＵＡＲＴ）、ユニバーサル・シリアル・バス（ＵＳＢ）、入力キャプチャ、出力比較、汎用入出力、タイマ、および同期式シリアル・インタフェース（ＳＳＩ）のうちの少なくとも１つからなる、請求項１に記載のデータ処理システム。

【００８６】

〔請求項１３〕 第１のマスタと、第１のペリフェラル機能を実施するための回路との間で、再構成可能資源を構成して第１の通信経路を確立すること、および

10

20

30

40

50

第2のマスタと、第2のペリフェラル機能を実施するための回路との間で、該再構成可能資源を構成して第2の通信経路を確立すること、

からなり、該第1のペリフェラル機能および該第2のペリフェラル機能のそれぞれが、複数のペリフェラル機能から選択される、該再構成可能資源を動作させるための方法。

【0087】

〔請求項14〕 前記再構成可能資源を構成して前記第1の通信経路を確立することが、前記再構成可能資源内でチャンネル回路を構成して前記第1のペリフェラル機能を実施することからなる、請求項13に記載の方法。

【0088】

〔請求項15〕 前記再構成可能資源を構成して前記第2の通信経路を確立することが、前記再構成可能資源内で前記チャンネル回路を構成して前記第2のペリフェラル機能を実施することからなる、請求項14に記載の方法。 10

【0089】

〔請求項16〕 前記第1のバス・マスタおよび前記第2のバス・マスタが、前記再構成可能資源に結合された異なるマスタである、請求項15に記載の方法。

〔請求項17〕 前記第1のバス・マスタおよび前記第2のバス・マスタが、前記再構成可能資源に結合された同じマスタである、請求項15に記載の方法。

【0090】

〔請求項18〕 前記チャンネル回路を構成して前記第1のペリフェラル機能を実施すること、および前記チャンネル回路を構成して前記第2のペリフェラル機能を実施することが、それぞれ前記チャンネル回路に結合されたチャンネル・ストレージを構成することからなる、請求項15に記載の方法。 20

【0091】

〔請求項19〕 前記第1のペリフェラル機能と、前記第2のペリフェラル機能が、同じペリフェラル機能からなる、請求項15に記載の方法。

〔請求項20〕 前記第1のペリフェラル機能と、前記第2のペリフェラル機能が、異なるペリフェラル機能からなる、請求項15に記載の方法。

【0092】

〔請求項21〕 前記複数のペリフェラル機能が、シリアル・ペリフェラル・インタフェイス（SPI）機能、ユニバーサル非同期式レシーバ/トランスミッタ（UART）機能、ユニバーサル・シリアル・バス（USB）機能、入力キャプチャ機能、出力比較機能、汎用入出力機能、タイマ機能、および同期式シリアル・インタフェイス（SSI）機能のうちの少なくとも1つからなる、請求項13に記載の方法。 30

【0093】

〔請求項22〕 複数のペリフェラル機能に関連する情報を記憶するように構成可能な再構成可能チャンネル・ストレージと、

該複数のペリフェラル機能のそれぞれを実施するように構成可能な再構成可能チャンネル回路と、

該再構成可能チャンネル・ストレージおよび該再構成可能チャンネル回路に結合された制御ロジックと、 40

からなり、該制御ロジックが、該再構成可能チャンネル・ストレージおよび該再構成可能チャンネル回路を構成して、該複数のペリフェラル機能のうちの選択されるペリフェラル機能を実施する共用再構成可能資源。

【0094】

〔請求項23〕 前記制御ロジックが、複数のマスタのうちの少なくとも1つのマスタと、前記複数のペリフェラル機能のうちの前記選択されるペリフェラル機能を実施するための回路との間で通信経路を確立する、請求項22に記載の共用再構成可能資源。

【0095】

〔請求項24〕 前記再構成可能チャンネル回路が、前記複数のペリフェラル機能のうちの前記選択されるペリフェラル機能を実施するための前記回路の少なくとも一部分から 50

なる、請求項 23 に記載の共用再構成可能資源。

【0096】

〔請求項 25〕 前記制御ロジックが、前記再構成可能チャネル・ストレージおよび前記再構成可能チャネル回路に対して前記複数のペリフェラル機能のうちの前記選択されるペリフェラル機能を示す、請求項 22 に記載の共用再構成可能資源。

【0097】

〔請求項 26〕 前記複数のペリフェラル機能が、第 1 のシリアル・ペリフェラル・インタフェース (SPI) 機能、ユニバーサル非同期式レシーバ/トランスミッタ (UART) 機能、ユニバーサル・シリアル・バス (USB) 機能、入力キャプチャ機能、出力比較機能、汎用入出力機能、タイマ機能、および同期式シリアル・インタフェース (SSI) 機能からなる、請求項 22 に記載の共用再構成可能資源。 10

【0098】

〔請求項 27〕 前記複数のペリフェラル機能が、第 2 のシリアル・ペリフェラル・インタフェース (SPI) 機能、ユニバーサル非同期式レシーバ/トランスミッタ (UART) 機能、ユニバーサル・シリアル・バス (USB) 機能、入力キャプチャ機能、出力比較機能、汎用入出力機能、タイマ機能、および同期式シリアル・インタフェース (SSI) 機能からなる、請求項 26 に記載の共用再構成可能資源。

【0099】

〔請求項 28〕 前記複数のペリフェラル機能の第 1 のサブセットが、第 1 のマスタに対応し、前記複数のペリフェラル機能の第 2 のサブセットが、第 2 のマスタに対応する、請求項 22 に記載の共用再構成可能資源。 20

【0100】

〔請求項 29〕 第 1 のマスタおよび第 2 のマスタと情報をやりとりするバス・インタフェースと、

該バス・インタフェースに結合され、各エンドポイントが、該第 1 のマスタおよび該第 2 のマスタのうちの一方に割付け可能である、複数のエンドポイントからなるエンドポイント・ストレージ回路と、

USB ホストと情報をやりとりするシリアル・インタフェース・エンジンと、

該バス・インタフェース、エンドポイント・ストレージ回路、およびシリアル・インタフェース・エンジンに結合され、 30

該シリアル・インタフェース・エンジンに結合された USB プロトコル・ロジックと、

該 USB プロトコル・ロジックから受け取られる情報に基づいて割込みを生成するエンドポイント割込みロジックと、

割込みステアリング・レジスタと、

該割込みステアリング・レジスタによって提供されるステアリング情報に基づいて、該第 1 のマスタおよび該バス・マスタのうちの対応する一方に該各割込みを経路指定する割込みステアリング・ロジックと、

からなる USB 機能コントローラと、

からなる共用ユニバーサル・シリアル・バス (USB) 資源。 40

【0101】

〔請求項 30〕 前記複数のエンドポイントが、前記割込みステアリング・レジスタに基づいて割り付けられる、請求項 29 に記載の共用 USB 資源。

〔請求項 31〕 前記複数のエンドポイントのそれぞれについて、前記割込みステアリング・レジスタが、前記第 1 のマスタおよび前記第 2 のマスタのうちの一方に対する割付けを指示する、請求項 30 に記載の共用 USB 資源。

【0102】

〔請求項 32〕 前記割込みステアリング・レジスタが、割込みステアリング・セット・レジスタと、割込みステアリング・クリア・レジスタと、からなる、請求項 30 に記載の共用 USB 資源。

【0103】

〔請求項 3 3〕 前記割込みステアリング・レジスタが、前記割込みステアリング・セット・レジスタおよび前記割込みステアリング・クリア・レジスタに結合され、前記ステアリング情報を前記割込みステアリング・ロジックに提供する割込みステアリング・ストレージ回路をさらに含む、請求項 3 2 に記載の共用 U S B 資源。

【 0 1 0 4 】

〔請求項 3 4〕 前記割込みステアリング・ストレージ回路が、複数のセット・リセット・ラッチからなる、請求項 3 3 に記載の共用 U S B 資源。

〔請求項 3 5〕 各エンドポイントが、複数のバス・マスタのうちの 1 つのバス・マスタに割付け可能である複数のエンドポイントと、

該複数のエンドポイントに結合され、

U S B ホストからの通信に基づいて割込みを生成するエンドポイント割込みロジックと

、  
該複数のバス・マスタによりアクセス可能な少なくとも 1 つの割込みステアリング・レジスタと、

該割込みステアリング・レジスタによって提供されるステアリング情報に基づいて該複数のバス・マスタのうちの対応するバス・マスタに該各割込みを経路指定する割込みステアリング・ロジックと、

からなる U S B 機能コントローラと、

からなる共用ユニバーサル・シリアル・バス ( U S B ) 資源。

【 0 1 0 5 】

〔請求項 3 6〕 前記少なくとも 1 つの割込みステアリング・レジスタが、割込みステアリング・セット・レジスタと、割込みステアリング・クリア・レジスタと、からなる、請求項 3 5 に記載の共用 U S B 資源。

【 0 1 0 6 】

〔請求項 3 7〕 前記少なくとも 1 つの割込みステアリング・レジスタが、前記割込みステアリング・セット・レジスタおよび前記割込みステアリング・クリア・レジスタに結合され、前記ステアリング情報を前記割込みステアリング・ロジックに提供する割込みステアリング・ストレージ回路をさらに含む、請求項 3 6 に記載の共用 U S B 資源。

【図面の簡単な説明】

【 0 1 0 7 】

【図 1】 本発明の 1 実施形態によるデータ処理システム 1 0 をブロック図形式で示す図。

【図 2】 本発明の 1 実施形態による、図 1 の追加信号ステアリング・ロジック 3 6 の一部分をブロック図形式で示す図。

【図 3】 本発明の 1 実施形態による、図 1 の共用資源 2 4 の一部分を他の回路と共にブロック図形式で示す図。

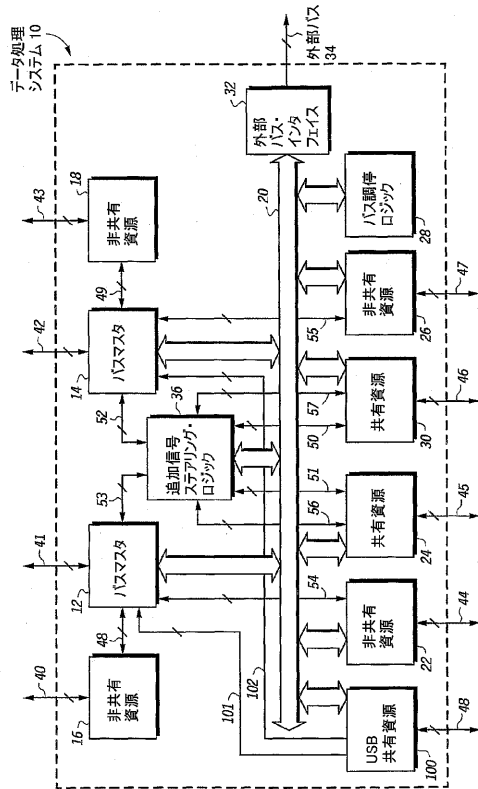
【図 4】 本発明の 1 実施形態による、図 1 の U S B 共用資源 1 0 0 の一部分を他の回路と共に一部分はブロック図形式で、一部分は回路図形式で示す図。

10

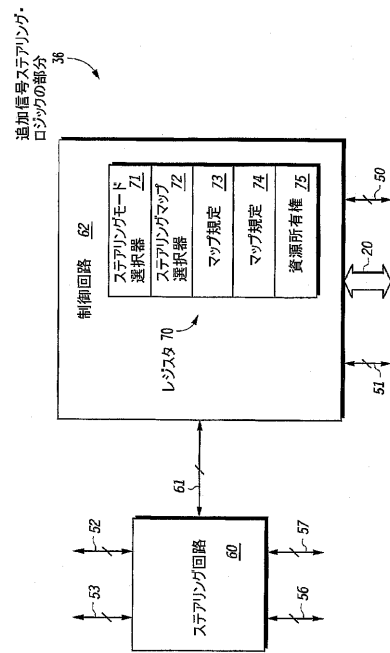
20

30

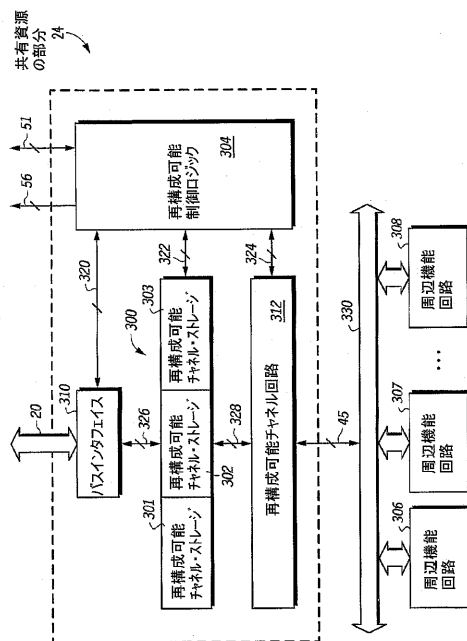
【 図 1 】



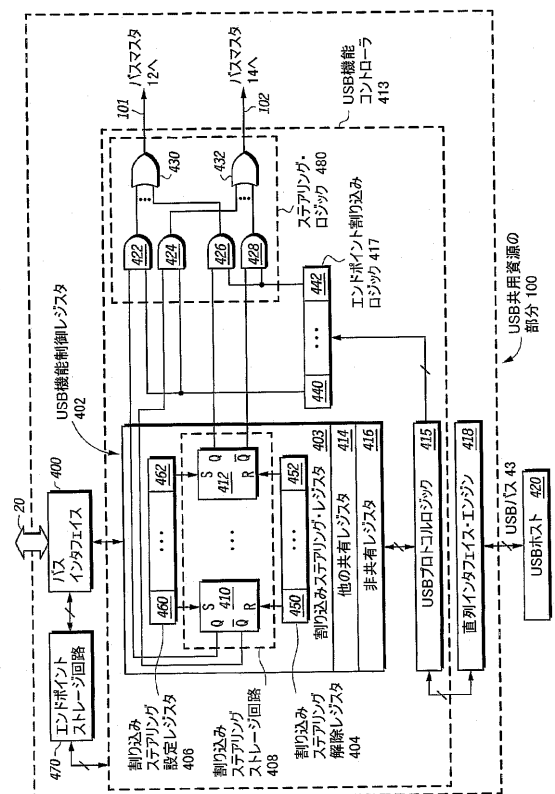
【 図 2 】



【 図 3 】



【 図 4 】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US04/31053																		
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(7) : G06F 13/24 US CL : 710/260 According to International Patent Classification (IPC) or to both national classification and IPC																				
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 710/263, 266, 305 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																				
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 5,640,571 A (HEDGES et al) 17 June 1997 (17.06.1997)</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 6,237,058 B1 (NAKAGAWA) 22 May 2001 (22.05.2001)</td> <td>1-9</td> </tr> <tr> <td>A, E</td> <td>US 6,877,057 B2 (ALEXANDER et al.) 05 April 2005 (05.04.2005)</td> <td>1-9</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	US 5,640,571 A (HEDGES et al) 17 June 1997 (17.06.1997)	1-9	A	US 6,237,058 B1 (NAKAGAWA) 22 May 2001 (22.05.2001)	1-9	A, E	US 6,877,057 B2 (ALEXANDER et al.) 05 April 2005 (05.04.2005)	1-9						
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
A	US 5,640,571 A (HEDGES et al) 17 June 1997 (17.06.1997)	1-9																		
A	US 6,237,058 B1 (NAKAGAWA) 22 May 2001 (22.05.2001)	1-9																		
A, E	US 6,877,057 B2 (ALEXANDER et al.) 05 April 2005 (05.04.2005)	1-9																		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																				
<table border="1"> <thead> <tr> <th colspan="2">* Special categories of cited documents:</th> <th></th> </tr> </thead> <tbody> <tr> <td>"A"</td> <td>document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E"</td> <td>earlier application or patent published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L"</td> <td>document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O"</td> <td>document referring to an oral disclosure, use, exhibition or other means</td> <td>"Z" document member of the same patent family</td> </tr> <tr> <td>"P"</td> <td>document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </tbody> </table>			* Special categories of cited documents:			"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O"	document referring to an oral disclosure, use, exhibition or other means	"Z" document member of the same patent family	"P"	document published prior to the international filing date but later than the priority date claimed	
* Special categories of cited documents:																				
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention																		
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																		
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																		
"O"	document referring to an oral disclosure, use, exhibition or other means	"Z" document member of the same patent family																		
"P"	document published prior to the international filing date but later than the priority date claimed																			
Date of the actual completion of the international search 31 October 2005 (31.10.2005)		Date of mailing of the international search report 17 NOV 2005																		
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer Khanh Dang Telephone No. 571-272-3626																		

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 バグリカ、ジョン ジェイ .

アメリカ合衆国 7 8 7 4 8 テキサス州 オースティン クリーク ビュー ドライブ 1 0 6  
2 2

(72)発明者 モイヤー、ウィリアム シー .

アメリカ合衆国 7 8 6 2 0 テキサス州 ドリッピング スプリングス ピア ブランチ ロー  
ド 1 0 0 5

Fターム(参考) 5B061 CC09

## 【要約の続き】

。