(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월11일
(11) 등록번호 10-0784380
(24) 등록일자 2007년12월04일

(51) Int. Cl.
G11C 11/15 (2006.01)
(21) 출원번호 10-2001-0023745
(22) 출원일자 2001년05월02일
심사청구일자 2006년05월02일
(65) 공개번호 10-2001-0100953
(43) 공개일자 2001년11월14일
(30) 우선권주장
09/564,713 2000년05월03일 미국(US)
(56) 선행기술조사문헌
US 5793697 B

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
퍼너프레데릭에이
미국캘리포니아주94306
팔로알토라모나스트리트3234
엘드릿지케네스제이
미국아이다호주83709보이스캐매스스트리트11111
트랜룽티
미국캘리포니아주95070
사라토가우드브레이코트5085
(74) 대리인
권혁수, 송윤호, 오세준

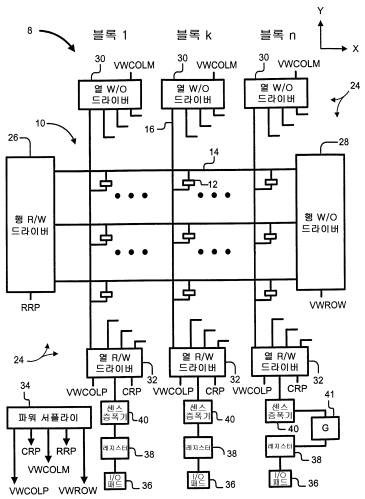
전체 청구항 수 : 총 8 항 심사관 : 이선택

(54) 자기 랜덤 액세스 메모리(MRAM) 디바이스

(57) 요 약

자기 랜덤 액세스 메모리("MRAM") 디바이스(8)의 메모리 셀(12)의 대규모 어레이(10)에 대한 기입 회로(24)가 개시된다. 기입 회로(24)는 메모리 셀(12)의 브레이크다운 한도를 초과하지 않고 선택된 워드 라인 및 비트 라인(14, 16)에 제어가능한 양방향성 기입 전류를 제공할 수 있다. 또한, 기입 회로(24)는 시간경과에 따라 기입 전류를 전파하여 피크 전류를 감소시킬 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

메모리 셀(12)의 어레이(10)와,

상기 메모리 셀(12)에 교차하는 복수의 워드 라인(14)과,

상기 메모리 셀(12)에 교차하는 복수의 비트 라인(16)과,

상기 복수의 비트 라인(16)과 상기 복수의 메모리 셀(12)을 포함하는 각각의 메모리 셀 블록마다 열 드라이버(32)를 포함하되,

상기 열 드라이버(32)는 각각 기입 동작 동안에 대응하는 블록내의 선택된 비트 라인에 전류 펄스를 제공하고, 적어도 몇 개의 상이한 블록마다 각각 다른 시간에 기입을 행하는 회로(24)를 포함하는 MRAM 디바이스(8).

청구항 2

제 1 항에 있어서,

상기 회로(24)는 상기 열 드라이버(32)마다 기입 인에이블 펄스를 발생하는 적어도 하나의 구성요소(122)를 포함하되, 상기 기입 인에이블 펄스는 상기 열 드라이버(32)에 순차적으로 공급되고, 상기 각 기입 인에이블 펄스는 상기 열 드라이버(32)로 하여금 전류 펄스를 발생하게 함으로써, 상기 전류 펄스가 상기 메모리 셀 블록에 순차적으로 공급되는 MRAM 디바이스.

청구항 3

제 2 항에 있어서,

상기 회로(24)는 각각의 블록마다 펄스 발생기(122)를 포함하고, 상기 각 펄스 발생기(122)는 기입 인에이블 신호를 제공하는 출력을 가지며, 상기 각 기입 인에이블 신호는 상기 열 드라이버(32)로 하여금 전류 펄스를 발생하게 하고, 상기 펄스 발생기(122)는 제 1 블록의 펄스 발생기(122)부터 시작해서 최종 블록의 펄스 발생기(122)에서 끝나는 기입 인에이블 펄스를 리플하도록 접속되는 MRAM 디바이스.

청구항 4

제 3 항에 있어서,

상기 최종 블록의 열 드라이버(32)에 결합되어 상기 열 드라이버(32)의 동작 가능성을 나타내는 게이트(41)를 더 포함하는 MRAM 디바이스.

청구항 5

제 1 항에 있어서,

상기 회로(24)는 제 1 스위치 회로(114), 제 2 스위치 회로(118), 제 3 스위치 회로(126), 제 4 스위치 회로(132)를 포함하되, 상기 제 1 스위치 회로(114)는 기입 동작 동안에 비선택된 워드 라인의 제 1 단부를 하이 임피던스에 결합시키고, 상기 제 2 스위치 회로(118)는 기입 동작 동안에 비선택된 워드 라인의 제 2 단부를 하이 임피던스에 결합시키며, 상기 제 3 스위치 회로(126)는 기입 동작 동안에 비선택된 비트 라인의 제 1 단부를 하이 임피던스에 결합시키고, 상기 제 4 스위치 회로(132)는 기입 동작 동안에 비선택된 비트 라인의 제 2 단부를 하이 임피던스에 결합시키는 MRAM 디바이스.

청구항 6

제 5 항에 있어서,

상기 제 1 스위치 회로(114)는 기입 동작 동안에 선택된 워드 라인의 제 1 단부에 기준 전위를 인가하고, 상기 제 2 스위치 회로(118)는 기입 동작 동안에 선택된 워드 라인의 제 2 단부에 행 기입 전위를 인가하며, 상기 제 3 스위치 회로(126)는 기입 동작 동안에 선택된 비트 라인의 제 1 단부에 기준 전위 및 제 1 열 기입 전위중 하나를 인가하고, 상기 제 4 스위치 회로(132)는 기입 동작 동안에 선택된 비트 라인의 제 2 단부에 기준 전위 및

제 2 열 기입 전위중 하나를 인가하는 MRAM 디바이스.

청구항 7

제 6 항에 있어서,

상기 제 3 및 제 4 스위치 회로들(126, 132)에 제 1 및 제 2 기입 전위를 인가하는 마스터-슬레이브 드라이버(124, 130)를 더 포함하는 MRAM 디바이스.

청구항 8

제 5 항에 있어서,

각각의 블록마다 센스 증폭기(40)를 더 포함하며,

상기 각 제 1 스위치 회로(114)는 판독 동작 동안에 선택된 워드 라인의 제 2 단부에 판독 기준 전위를 인가하고, 상기 각 제 3 스위치 회로(126)는 판독 동작 동안에 상기 센스 증폭기(40)에 선택된 비트 라인의 제 2 단부를 결합시키는 MRAM 디바이스.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<20> 본 발명은 데이터 저장용 랜덤 액세스 메모리에 관한 것이다. 보다 구체적으로, 본 발명은 메모리 셀 어레이와 이 메모리 셀에 데이터를 기입하는 회로를 포함하는 자기 랜덤 액세스 메모리 디바이스(a magnetic random access memory device)에 관한 것이다.

<21> 자기 랜덤 액세스 메모리("MRAM")는 장기간 데이터 저장용으로 고려되고 있는 비휘발성 메모리의 한 유형이다. MRAM 디바이스로부터의 데이터 액세스는 하드 드라이브와 같은 통상적인 장기간 저장 디바이스로부터의 데이터 액세스보다 몇배 더 빠르다. 또한, MRAM 디바이스는 하드 드라이브 및 다른 통상의 장기간 저장 디바이스보다 더욱 컴팩트하고 덜 파워를 소비한다.

<22> 전형적인 MRAM 디바이스는 메모리 셀 어레이를 포함한다. 워드 라인은 메모리 셀의 행을 따라 연장하며, 비트 라인은 메모리 셀의 열을 따라 연장한다. 각 메모리 셀은 워드 라인과 비트 라인의 교차점에 위치된다.

<23> 각 메모리 셀은 자화 방향으로서 정보 비트를 저장한다. 각 메모리 셀의 자화 방향은 임의의 주어진 시간에 두 개의 안정한 방향 중 하나를 취할 수 있다. 이들 두 안정한 자화 방향, 즉, 평행 및 역평행은 "1"과 "0"의 로직 값을 나타낸다.

<24> 선택된 메모리 셀에 대한 기입 동작은 선택된 메모리 셀을 교차하는 워드 라인과 비트 라인에 기입 전류를 공급함으로써 수행된다. 기입 전류는 선택된 메모리 셀에 자화 방향을 세트하는 외부 자계를 야기한다. 자화 방향은 외부 자계의 방향에 의해 결정된다. 또한 외부 자계의 방향은 워드 라인과 비트 라인을 통해 흐르는 기입 전류의 방향에 의해 결정된다.

<25> 데이터는 통상 n비트 워드로서 MRAM 어레이에 기입된다. 예컨대, 16비트 워드는 16개의 메모리 셀에 교차하는 워드 라인에 기입 전류를 공급하고 16개의 메모리 셀에 교차하는 16개의 비트 라인에 개별 기입 전류를 공급함으로써 16개의 메모리 셀에 기입될 수 있다.

발명이 이루고자 하는 기술적 과제

<26> 대규모 MRAM 어레이에 대해 기입 회로를 설계하는데 있어 다수의 문제점이 있다. 하나는 MRAM 어레이의 기입 성능을 저하시키지 않고 피크 기입 전류를 감소시키는 것이다. 고 피크 전류는 기입 회로 부분에 오버스트레스하여 허용할 수 없는 레벨의 전류 노이즈를 발생할 수 있다. 더욱이, 고 피크 전류는 메모리 셀을 손상시킬 수 있다.

<27> 다른 문제는 기입 전류를 지정된 범위로 제어하는 것이다. 기입 전류는 신뢰성있는 기입 동작을 수행하기 위해 지정된 범위로 제어되어야 한다. 지나치게 작은 기입 전류는 선택된 메모리 셀이 그의 자화 방향을 변화시키지 못하게 할 수 있고, 지나치게 큰 기입 전류는 선택되지 않은 메모리 셀을 교란시킨다.

<28> 이러한 문제점은 양방향의 기입 전류에 대한 필요에 의해 복잡해진다. 통상적으로, 비트 라인 전류는 한 방향으로 흘러서 평행 자화 방향을 세트하며, 반대 방향으로 흘러서 역평행 자화 방향을 세트한다.

<29> 이러한 문제점들은 메모리 셀들간의 저항성 교차 결합에 의해 더욱 복잡해진다. 각 메모리 셀은 하나의 저항 요소로서 표현될 수 있으며, 저장된 데이터는 작은 차분 저항으로 표현될 수 있다. MRAM 어레이에서 각 저항 요소는 다른 저항 요소에 결합된다. 기입 전류는 선택된 메모리 셀과 선택되지 않은 메모리 셀의 저항성 교차 결합에 의해 영향을 받을 수 있다.

발명의 구성 및 작용

<30> 이러한 설계 문제점들은 본 발명에 의해 만족된다. 본 발명의 일 측면에 따르면, MRAM 디바이스는 메모리 셀에 교차하는 워드 라인에 기입 전류를 공급하고 메모리 셀에 교차하는 비트 라인에 전류 펄스를 공급함으로써 복수의 메모리 셀에 대해 데이터 워드를 기입하는 기입 회로를 포함한다. 적어도 몇 개의 전류 펄스가 지그재그 순서(a staggered sequence)로 비트 라인에 공급된다. 결과적으로, 피크 기입 전류가 감소된다.

<31> 본 발명의 다른 측면에 따르면, 기입 회로는 선택된 워드 라인과 비트 라인에 기입 전류를 인가하며, 각각의 선택되지 않은 라인의 양 단부를 하이 임피던스에 접속시킨다. 결과적으로, 기생 전류와 같은 저항성 교차-결합의 영향이 감소되고 기입 전류는 지정된 범위로 제어된다.

<32> 본 발명의 다른 측면 및 장점들은 첨부 도면과 관련해서 본 발명의 원리를 예로서 예시하는 이후의 상세한 설명으로부터 명백하게 된다.

<33> 예시를 목적으로 도면에 도시된 바와 같이, 본 발명은 기입 회로와 메모리 셀 어레이를 포함하는 MRAM 디바이스로 구현된다. 기입 회로는 메모리 셀의 브레이크다운 한도를 초과하지 않고 선택된 워드 라인 및 비트 라인에 대해 제어가능한 양방향성 기입 전류를 공급할 수 있다. 결과적으로, 기입 회로는 회로를 오버스트레스(overstress)하거나 메모리 셀을 손상시키지 않고 메모리 셀에 데이터를 저장하는 신뢰성을 향상시킨다. 기입 회로는 또한 피크 전류를 감소시킬 수 있다. 피크 전류를 감소시키는 것은 고도의 평행 동작 모드(예컨대, 64비트폭 동작, 128비트폭 동작)에 대해 특히 바람직하다. 기입 회로는 또한 그의 열 기입 드라이버의 관측능력을 향상시키는 실장 검사 특징(built-in test feature)을 갖는다.

<34> 이제 도 1을 참조하면, 메모리 셀(12)의 어레이(10)를 포함하는 MRAM 디바이스(8)가 도시되어 있다. 메모리 셀(12)은 행 및 열로 배열되며, 행은 x방향을 따라 연장하고 열은 y방향을 따라 연장한다. 본 발명의 설명을 간략화하기 위해 단지 비교적 작은 수의 메모리 셀(12)만이 도시되어 있다. 실제로는 어레이(10)는 임의 사이즈일 수 있다.

<35> 워드 라인(14)으로서 기능하는 트레이스(traces)는 메모리 셀 어레이(10)의 대향 측면상의 평면에서 x방향을 따라 연장한다. 비트 라인(16)으로서 기능하는 트레이스는 메모리 셀 어레이(10)의 대향 측면상의 평면에서 y방향을 따라 연장한다. 어레이(10)의 각 행에 대해 하나의 워드 라인(14)이 있고 어레이(10)의 각 열에 대해 하나의 비트 라인(16)이 있을 수 있다. 각 메모리 셀(12)은 워드 라인(14)과 비트 라인(16)의 교차점에 위치된다.

<36> 메모리 셀(12)은 어떤 특정 유형의 디바이스에 제한되지 않는다. 예컨대, 메모리 셀(12)은 스핀 종속 터널링(spin dependent tunneling:"SDT") 접합 디바이스일 수 있다.

<37> 다음으로, 도 2a 및 2b를 참조하면, 전형적인 SDT 접합 디바이스(12)는 고정층(20)의 평면에서 정위되는 자화를 갖지만 관심 영역에서 인가되는 자계의 존재하에 회전하지 않도록 고정되는 고정층(20)을 포함한다. SDT 접합 디바이스(12)는 또한 고정되지 않은 자화 방향을 갖는 "자유(free)"층(18)을 포함한다. 오히려, 자화는 자유층(18)의 평면에 놓이는 축("용이(easy)"축)을 따른 두 방향중 어느 방향으로 정위될 수 있다. 자유 및 고정 층들(18, 20)의 자화가 동일한 방향인 경우, 방향은 "평행(parallel)"한 것(도 2a에 화살표로 도시됨)으로 말하여진다. 자유 및 고정 층들(18, 20)의 자화가 반대 방향인 경우, 방향은 "역평행(anti-parallel)"인 것(도 2b에

화살표로 도시됨)으로 말하여진다.

<38> 자유 및 고정 층들(18, 20)은 절연 터널 장벽(an insulating tunnel barrier)(22)으로 분리된다. 절연 터널 장벽(22)은 자유층(18)과 고정층(20) 사이에 양자 역학적 터널링의 발생을 허용한다. 이러한 터널링 현상은 전자 스핀 종속적으로서 SDT 접합 디바이스(12)의 저항을 자유층(18)과 고정층(20)의 자화의 상대적 방향의 함수가 되게 한다. 예컨대, SDT 접합 디바이스(12)의 저항은, 자유층(18)과 고정층(20)의 자화 방향이 평행한 경우 제 1 값 R이고 자화 방향이 역평행한 경우 제 2 값 R+ΔR이다.

<39> 다음으로 도 3을 참조하면, 기입 동작동안 선택된 메모리 셀(12)이 도시되어 있다. 선택된 메모리 셀(12)의 자유층(18)의 자화는, 선택된 메모리 셀(12)에 교차하는 선택된 워드 라인(14) 및 비트 라인(16) 모두에 기입 전류 Ix 및 Iy를 인가함으로써 정위된다. 워드 라인(14)에 전류 Ix가 인가되면 워드 라인(14) 주위에 자계 Hy가 형성된다. 비트 라인(16)에 전류 Iy가 인가되면 비트 라인(16) 주위에 자계 Hx가 형성된다. 충분히 큰 전류 Ix 및 Iy가 이들 선택된 라인(14, 16)을 통해 흐르면, 자유층(18) 근방의 결합된 자계는 자유층(18)의 자화를 평행 방향으로부터 역평행 방향으로 또는 그 역으로 회전시킨다. 전류 크기는 결합된 자계가 자유층(18)의 스위칭 자계를 초과하지만 고정층(20)의 스위칭 자계를 초과하지는 않도록 선택된다. 이와 같이 해서, 두 개의 자계 Hx 및 Hy가 인가되면 자유층(18)의 자화 방향이 스위칭된다.

<40> 비트 라인 전류 Iy의 방향은 자유층(18)의 자화 방향을 결정한다. 예컨대, 충분한 포지티브 비트 라인 전류 Iy는 자화 방향을 평행하게 하는 반면, 충분한 네가티브 비트 라인 전류 Iy는 자화 방향을 역평행하게 한다.

<41> 도 1을 다시 참조하면, MRAM 디바이스(8)는 선택된 메모리 셀(12)에 대해 기입 동작을 수행하기 위한 기입 회로(24)를 더 포함한다. 기입 회로(24)는 행 판독/기입("R/W") 드라이버(26)와 행 기입-전용("W/O") 드라이버(28)를 포함한다. 기입 회로(24)는 복수의 열 W/O 드라이버(30), 복수의 열 R/W 드라이버(32) 및 파워 서플라이(34)를 더 포함한다. 파워 서플라이(34)는 각각의 열 W/O 드라이버(30)에 제 1 열 기입 전위 VWCOLM을, 각각의 열 R/W 드라이버(32)에 제 2 열 기입 전위 VWCOLP를, 행 W/O 드라이버(28)에 행 기입 전위 VWROW를 공급한다. 파워 서플라이는 또한 행 R/W 드라이버(26)에 행 판독 전위 RRP를, 각각의 열 R/W 드라이버(32)에 열 판독 전위 CRP를 공급한다.

<42> 드라이버(26~32)는 선택된 메모리 셀(12)에 대한 기입 동작 동안에 선택된 워드 라인(14) 및 비트 라인(16)에 기입 전류 Ix 및 Iy를 공급한다. 열 W/O 드라이버(30) 및 R/W 드라이버(32)의 각 쌍은 메모리 셀의 블록(즉, 복수의 열)에 비트 라인 기입 전류를 공급한다. 예컨대, n=18의 메모리 셀 블록과 18쌍의 열 드라이버(30, 32)를 갖는 어레이(10)에서, 비트 라인 전류는 기입 동작 동안에 18개의 비트 라인에 공급된다. 다른 열 드라이버(30, 32) 쌍은 다른 메모리 셀(12) 블록에 비트 라인 전류를 공급한다.

<43> 메모리 셀(12)에 기입될 데이터는 I/O 패드(36)를 통해 MRAM 디바이스(8)에 공급되어 데이터 레지스터(38)에 저장된다(도 1에는 I/O 패드(36)당 단지 하나의 데이터 레지스터(38)만이 도시되었지만, 디바이스(8)는 I/O 패드(36)당 복수의 데이터 레지스터(38)를 포함할 수 있음을 알 수 있으며, 이에 따라 데이터는 I/O 패드(36)에 직렬로 공급되고 상이한 데이터 레지스터(38)로 역다중화된다). 열 드라이버(30, 32)의 각 쌍은 메모리 셀 블록(12)에 대해 기입 동작을 수행한다. 임의의 주어진 시간에 열 드라이버 쌍(30, 32)은 블록내 단일의 메모리 셀(12)에 기입을 행한다.

<44> 기입 회로(24)는 동시에 모든 블록에 기입을 행할 수 있다. 그러나, 기입 회로(24)는 또한 지그재그 순서로 블록에 기입할 수 있다. 지그재그 순서로 블록에 기입을 행하는 것은 시간경과에 따라 전류를 전파시키는 장점을 제공하는데, 이에 의해 전류 피크가 감소된다. 16개의 블록이 동시에 기입되는 첫 번째 예와, 16개의 블록이 비중첩 시간 간격에서 지그재그 순서(예컨대, 한번에 하나)로 기입되는 두 번째 예와, 블록이 한번에 두 개에 기입되는 세 번째 예를 생각해 보자. 1 밀리암페어의 워드 라인 및 비트 라인 기입 전류가 각 메모리 셀의 자화 방향을 세트하기에 충분하다고 가정한다. 첫 번째 예에서, 모든 16개의 블록에 동시에 기입하면 비트 라인 기입 전류는 16 밀리암페어가 된다. 그러나, 두 번째 예에서, 선택된 메모리 셀은 한번에 하나에 기입되므로 비트 라인 기입 전류는 최고 1밀리암페어가 된다. 더욱이, 피크 전류는 첫 번째 예에서보다 두 번째 예에서 더욱 낮다. 세 번째 예에서, 비트 라인 기입 전류는 첫 번째 예에서의 최대 피크 전류보다 낮고 두 번째 예에서의 최대 피크 전류보다 높은 최고 2밀리암페어이다. 그러나, 세 번째 예에서의 기입 시간은 두 번째 예에서의 기입 시간보다 빠르다.

<45> 전류 변동 및 피크 전류는 부분적으로는 MRAM 디바이스(8)의 프로세스 변동으로부터 발생한다. 상이한 메모리 셀은 상이한 저항을 갖고, 상이한 워드 라인 및 비트 라인은 상이한 저항을 가지며, 상이한 메모리 셀 및 라인

에 인가되는 전압은 상이한 전류를 생성하는 등으로 된다. 복수의 메모리 셀에 대한 동시 기입은 한번에 하나의 메모리 셀에 대한 기입보다 높은 피크 전류를 초래한다.

<46> 행 드라이버(26, 28)는 기입 동작 동안에 각각의 비선택된 워드 라인의 양 단부를 분리시키며, 열 드라이버(30, 32)는 또한 기입 동작 동안에 각각의 비선택된 비트 라인의 양 단부를 분리시킨다. 비선택된 라인의 양 단부를 분리시키는 것은 비선택된 라인이 기준 전위 또는 기입 파워 서플라이로의 바람직하지 않은 경로를 제공하는 것을 방지한다. 비선택된 라인이 기입 동작 동안에 바람직하지 않은 경로를 제공하는 경우, 기생 전류가 어레이를 통해 흐르게 된다. 이들 기생 전류는 기입 동작을 방해할 수 있다. 그러나, 각각의 비선택된 라인의 양 단부를 분리시킴(예컨대, 양 단부를 하이 임피던스에 접속함)으로써, 기생 전류의 상대적 크기가 기입 동작을 방해하지 않도록 감소된다.

<47> 선택된 메모리 셀(12)에 대한 판독 동작 모드 동안에, 행 R/W 드라이버(26)는 비선택된 워드 라인을 기준 전위에 접속시키고, 열 R/W 드라이버(32)는 비선택된 비트 라인을 기준 전위 REF에 접속시킨다. 대안적으로, 행 R/W 드라이버(26)는 선택된 워드 라인을 행 판독 전위 RRP에 접속시키고, 열 R/W 드라이버(32)는 선택된 비트 라인을 열 판독 전위에 접속시킨다. 어느 경우든, 선택된 메모리 셀(12)을 통해 감지 전류가 흐른다. 센스 증폭기(40)는 선택된 메모리 셀(12)의 저항 상태를 감지하여 선택된 메모리 셀(12)에 저장된 로직 값을 결정한다. 예컨대, 센스 증폭기(40)는 감지 전류를 측정하여 메모리 셀이 제 1 상태에 대응하는 저항 값 R 또는 제 2 상태에 대응하는 값 R+ΔR을 갖는지의 여부를 판정할 수 있다. 대응하는 데이터 값은 레지스터(38)에 저장된다. 데이터 레지스터(38)에 저장된 값은 I/O 패드(36)를 통해 MRAM 디바이스(8)로부터 판독된다.

<48> MRAM 디바이스(8)는 "등전위(equi-potential)" 방법을 이용해서 기생 전류의 크기를 감소시키고 감지 전류가 신뢰성있게 판독되도록 할 수 있다. 열 R/W 드라이버(32)는 비선택된 비트 라인에 선택된 비트 라인과 동일한 전위를 공급하거나, 행 R/W 드라이버(26)는 비선택된 워드 라인에 선택된 비트 라인과 동일한 전위를 공급할 수 있다. 등전위 방법은 참조로 본 명세서에서 인용되는 미국 특허 출원 제 호에 더욱 상세히 설명되어 있다.

<49> 다음으로, 도 4를 참조하면, 메모리 셀(12) 블록에 대한 열 드라이버 쌍(30, 32)이 도시되어 있다. 도면에는 행 드라이버(26, 28)도 또한 도시되어 있다. 행 R/W 드라이버(26)는 행 R/W 디코더(112)와, 복수의 행 R/W 스위치(114), 즉, 메모리 셀 행당 하나의 R/W 스위치(114)를 포함할 수 있다. 행 R/W 디코더(112)는 메모리 셀 어드레스 Ax를 디코딩하여, 각각의 행 R/W 스위치(114)가 워드 라인의 제 1 단부를 행 판독 전위, 기준 전위 또는 하이 임피던스에 접속하게 한다.

<50> 행 R/W 드라이버(26)에 대한 예시적인 행 R/W 스위치(114)가 도 5a에 도시되어 있다. 예시적인 행 R/W 스위치(114)는 판독 및 기입 동작 동안에 선택된 워드 라인의 제 1 단부를 행 판독 전위(RRP)에 접속하고, 판독 동작 동안에 비선택된 워드 라인의 제 1 단부를 어레이 기준 전위(REF)에 접속하며, 기입 동작 동안에 비선택된 워드 라인의 제 1 단부를 하이 임피던스로 스위칭한다. "Wrow"는 글로벌 기입 인에이블 신호를 표시한다. 기입 동작 동안에, 글로벌 기입 인에이블 신호 Wrow는 Hi로 되어 노어 게이트(114a)의 출력을 Lo 상태로 구동한다. 노어 게이트 출력의 Lo 상태는 N채널 풀-업 트랜지스터(114b)를 턴 오프시킴으로써 워드 라인(14)과 기준 전위(REF)간을 하이 임피던스로 접속시킨다. 행이 비선택되면, 풀다운 트랜지스터(114c)는 또한 오프되며, 이것은 행 R/W 스위치(114)에 대해 하이 임피던스 상태를 야기한다.

<51> 행 W/O 드라이버(28)는 행 W/O 디코더(116)와, 복수의 행 W/O 스위치(118), 즉, 메모리 셀 행당 하나의 행 W/O 스위치(118)를 포함할 수 있다. 행 W/O 디코더(116)는 메모리 셀 어드레스 Ax를 디코드하여, 각각의 행 W/O 스위치(118)로 하여금 워드 라인의 제 2 단부를 행 기입 전위 VWROW 또는 하이 임피던스에 접속하게 한다. 선택된 워드 라인의 제 2 단부는 기입 동작 동안에 행 기입 전위 VWROW에 접속되며, 판독 동작 동안에 하이 임피던스에 접속된다. 비선택된 워드 라인의 제 2 단부는 판독 및 기입 동작 동안에 하이 임피던스에 접속된다. 행 W/O 드라이버(28)에 대한 예시적인 행 W/O 스위치(118)가 도 5b에 도시되어 있다.

<52> 열 R/W 드라이버(32)는 열 R/W 디코더(120), 펄스 발생기(122), 열 마스터 기입 드라이버(124) 및 복수의 열 R/W 스위치(126), 즉, 메모리 셀 열당 하나의 열 R/W 스위치(126)를 포함한다. 열 R/W 디코더(120)는 메모리 셀 어드레스 Ay를 디코드하여, 열 R/W 스위치(126)로 하여금 판독 및 기입 동작 동안에 선택된 비트 라인의 제 1 단부를 센스 증폭기(40)와 마스터 기입 드라이버(124)에 접속하고, 판독 동작 동안에 비선택된 비트 라인의 제 1 단부를 열 판독 전위(CRP)에 접속하며, 기입 동작 동안에 비선택된 비트 라인의 제 1 단부를 하이 임피던스에 접속하게 한다. 열 R/W 드라이버(32)에 대한 예시적인 열 R/W 스위치(126)가 도 5c에 도시되어 있다.

<53> 열 W/O 드라이버(30)는 열 W/O 디코더(128), 열 슬레이브 드라이버(130) 및 복수의 열 W/O 스위치(132), 즉, 메모리 셀 열당 하나의 열 W/O 스위치(132)를 포함할 수 있다. 열 W/O 디코더(116)는 메모리 셀 어드레스 Ay를 디코드하여, 열 W/O 스위치(132)로 하여금 기입 동작 동안에 선택된 비트 라인의 제 2 단부를 슬레이브 기입 드라이버(130)에, 비선택된 비트 라인의 제 2 단부를 하이 임피던스에 접속하게 한다. 판독 동작 동안에, 열 W/O 디코더(128)는 열 W/O 스위치(132)로 하여금 비트 라인의 제 2 단부를 하이 임피던스에 접속하게 한다. 예시적인 열 W/O 스위치(132)가 도 5d에 도시되어 있다.

<54> 이들 스위치(114, 118, 126, 132)는 기입 동작을 방해하지 않도록 기생 전류의 상대적 크기를 감소시키는데 사용된다. 이와 같이 해서, MRAM 어레이의 모든 네 개의 측면은 행 또는 열 디코더(112, 116, 120, 128)중 어느 하나로부터의 제어를 받는 스위치를 사용한다. 두 측면에서 간단한 스위치가 사용되어 판독 동작 동안에 열 기입 드라이버(30, 32)를 분리하고, 다른 두 측면에서 토템폴 스위치(totem pole switch)가 사용되어 열 기입 드라이버(30, 32)로 하여금 기입 동작과 등전위 판독 동작간을 스위치하게 한다.

<55> 열 마스터 및 슬레이브 드라이버(124, 130)는 기입 동작 동안에 기입 전류의 방향 및 지속시간을 제어한다. 예시적인 마스터 및 슬레이브 드라이버(124, 130)가 도 6에 도시되어 있다. 열 마스터 드라이버(124)는 드라이버 로직(134)과, 제 2 열 기입 전위 VWCOLP와 기준 전위 REF 사이에 결합된 제어형 전류 경로를 갖는 제 1 스위치 쌍(136, 138)을 포함한다. 열 슬레이브 드라이버(130)는 제 1 열 기입 전위 VWCOLM와 기준 전위 사이에 결합된 제어형 전류 경로를 갖는 제 2 스위치 쌍(140, 142)을 포함한다.

<56> 열 기입 인에이블 신호 Wcol가 Hi로 되면, 기입 로직(134)은 열 마스터 및 슬레이브 드라이버(124, 130)로 하여금 비트 라인의 한 단부에 열 기입 전위 VWCOLP 또는 VWCOLM을, 비트 라인의 다른 단부에 기준 전위 REF를 인가하게 한다. 마스터 및 슬레이브 드라이버(124, 130)의 스위치(136, 142)는 푸쉬-풀 방식으로 동작하여 비트 라인 전류의 방향을 설정한다. 전류가 한 방향으로 흐르는 경우, 열 슬레이브 드라이버(130)는 선택된 비트 라인을 제 1 열 기입 전위 VWCOLM에 접속하고 열 마스터 드라이버(124)는 선택된 비트 라인을 기준 전위 REF에 접속한다. 반대 방향으로 전류가 흐르는 경우, 열 슬레이브 드라이버(130)는 선택된 비트 라인을 기준 전위 REF에 접속하고 열 마스터 드라이버(124)는 선택된 비트 라인을 제 2 기입 전위 VWCOLP에 접속한다. 기입 로직은 데이터 레지스터(38)내 데이터 Din의 값에 따라 전류 흐름 방향을 선택한다.

<57> 판독 동작 동안, 열 기입 인에이블 신호 Wcol은 Lo이고 이에 의해 마스터 및 슬레이브 기입 드라이버(124, 130)의 트랜지스터는 턴 오프된다. 슬레이브 기입 드라이버(130)는 열 W/O 스위치(132)에 의해 선택된 비트 라인으로부터 분리된다. 마스터 기입 드라이버(124)는 마스터 기입 드라이버 스위치(136, 138)의 하이 임피던스 상태에 의해 선택된 비트 라인으로부터 분리된다.

<58> 마스터 및 슬레이브 드라이버(124, 130)의 네 개의 스위치(136~142)는 선택된 비트 라인에 접속된 메모리 셀에 인가되는 최저 가능 기입 전압 스트레스 특성을 갖는 양방향성 기입 전류를 제공한다. 이들 기입 전압은 기입 드라이버 및 스위치의 사이즈와 워드 라인 및 비트 라인의 저항을 조정함으로써 세트된다.

<59> 열 기입 인에이블 신호 Wcol는 각각의 블록에 공급되는 글로벌 신호(이 경우 R/W 드라이버(32)의 펄스 발생기(122)는 단일 펄스 발생기로 대체될 수 있음)일 수 있다. 글로벌 열 기입 인에이블 신호 Wcol는 기입 펄스가 선택된 비트 라인에 동시에 공급되게 한다. 글로벌 열 기입 인에이블 신호의 펄스폭은 선택된 메모리 셀에서 저장된 자계의 방향을 세트하기에 충분히 길다.

<60> 대안적으로, 기입 펄스는 지그재그로 될 수 있다. 펄스는, 열 기입 전류 펄스가 넓은 시간 주기에 걸쳐 전파하도록 펄스는 한번에 하나, 한번에 두 개, 등으로 공급될 수 있는데, 이에 의해 피크 기입 전류를 제어할 수 있다. 각각의 펄스 발생기(122)는 개별의 열 기입 인에이블 신호 $Wcol_i$($1 \le i \le n$이고 n은 어레이(10)내 블록의 수)을 발생할 수 있다. i^{th} 열 기입 인에이블 신호 $Wcol_i$의 지속시간은 단지 기입 열 펄스의 폭, 따라서, i^{th} 블록의 선택된 메모리 셀에 저장된 자계를 세트하기에 충분히 길다. 최소 기입 시간은 1~10ns 정도일 수 있다.

<61> 도 7에는 전류 펄스가 선택된 비트 라인에 한번에 하나 공급되게 하는 열 기입 인에이블 신호 $Wcol_i$를 발생하도록 상이한 R/W 드라이버(32)의 펄스 발생기(122)가 배열되는 방법이 도시되어 있다. 기입 동작은 제 1 R/W 드라이버(32)의 펄스 발생기(122)에 신호 $Wcol_0$를 공급함으로써 개시된다. 신호 $Wcol_0$은 제 1 R/W 드라이버(32)의 펄스 발생기(122)로 하여금 제 1 펄스 $Wcol_1$을 발생하게 한다. 제 1 펄스는 제 1 블록의 열 드라이버(30, 32)에 대한 열 기입 인에이블 신호 $Wcol_1$이다. 제 1 펄스 $Wcol_1$는 또한 제 2 R/W 드라이버(32)의 펄스 발생기

(122)에 공급된다. 제 1 펄스 $Wcol_1$의 하강 에지에서 제 2 R/W 드라이버(32)의 펄스 발생기(122)는 제 2 펄스 $Wcol_2$를 발생한다. 제 2 펄스는 제 2 블록의 열 드라이버(30, 32)에 대한 열 기입 인에이블 신호 $Wcol_2$이다. i^{th} 펄스(즉, I번째 열 기입 인에이블 신호 $Wcol_i$)는 i^{th} 블록의 펄스 발생기(122)에 의해 발생되어, $(I+1)^{th}$ 블록의 펄스 발생기(122)에 공급된다. 이와 같이 해서, 열 기입 인에이블 신호 $Wcol_i$는 펄스 발생기(122)를 가로질러 전파된다(도 8에 도시됨). 결과적으로, 기입 펄스는, 임의의 주어진 시간에 블록당 단지 하나의 메모리 셀만이 기입되도록 비트 라인을 가로질러 전파된다.

<62> 기입 회로(22)는 열 R/W 드라이버(32)를 검사하는 회로를 포함할 수 있다. 검사 회로는 기입 회로의 검사 동안에 최종(n^{th}) 데이터 레지스터(38)에 공급되는 신호를 발생할 수 있다. 최종 데이터 레지스터(38)에 인가되는 신호는 열 마스터 기입 드라이버(124)로부터 열 슬레이브 기입 드라이버(130)로의 풀 다운 신호일 수 있다. 논리적으로, 풀 다운 신호는 n^{th} 열 기입 인에이블 신호 $Wcol_n$에 의해 게이팅되는 데이터-인 신호로서, 최종 블록의 펄스 발생기(122)에 의해 발생된다. 이러한 검사 회로는 기입 동작 동안에 열 R/W 드라이버(32)의 동작을 관측하는데 유용하다. 데이터-아웃은 기입 동작 동안에는 사용되지 않으며, 이러한 검사 데이터는 기입 동작 동안에 데이터-아웃 신호 상으로 다중화될 수 있다. 기입 검사 특징을 위해 부가되는 로직은 n^{th} 센스 증폭기로부터 n^{th} 데이터 레지스터(38)로의 데이터-아웃 라인에 배치된 완전 CMOS 전송 게이트(41)(도 1 참조)일 수 있다. 전송 게이트(41)는 열 마스터 기입 드라이버 회로에 이미 존재하는 열 기입 인에이블 신호에 의해 제어될 수 있다.

<63> 도 9에는 기입 동작 동안의 열 드라이버(30, 32)의 동작이 도시되어 있다. 기입 전류는 세 개의 기입 전류, 즉, VWROW, VWCOLP, VWCOLM에 의해 설정되어 제어된다(블럭 202). 기입 동작이 시작하기 전에, 행 및 열 디코더(112, 116, 120, 128)에 어드레스 Ax 및 Ay를 공급함으로써 하나의 행 및 한 세트의 열이 선택된다(블럭 204). 데이터 레지스터(38)에 저장된 데이터는 열 R/W 드라이버(32)에 인가된다(블럭 206). 글로벌 기입 인에이블 신호 Wrow가 선택된 워드 라인에 워드 라인 기입 전류를 설정하도록 송출되고, 열 기입 인에이블 신호 $Wcol_0$이 송출되어, 기입 펄스가 한번에 하나씩 선택된 비트 라인에 공급되는데, 제 1 블록의 비트 라인으로 시작해서 최종 블록의 비트 라인에서 종료한다(블럭 208). 최종(n^{th}) R/W 드라이버(32)의 펄스 발생기(122)로부터의 출력을 관측해서 기입 동작이 완료된 때를 판정할 수 있다(블럭 210). 프로세스는 모든 기입 동작에 대해 반복될 수 있다.

<64> 다음으로, 도 10을 참조하면, 다중레벨 MRAM 칩(300)이 도시되어 있다. MRAM 칩(300)은 기판(304)상에 z방향으로 적층된 N개의 메모리 셀 레벨(302)을 포함한다. 여기서 N은 1보다 크거나 같고 양의 정수이다. 메모리 셀 레벨(302)은 실리콘 산화물과 같은 절연 재료(미도시됨)에 의해 분리될 수 있다. 이 기판(304)상에 판독 및 기입 회로가 제조될 수 있다. 판독 및 기입 회로는 판독 및 기입되는 레벨을 선택하기 위한 부가의 다중화기를 포함할 수 있다.

<65> 다음으로, 대규모 MRAM 어레이에 대한 기입 회로가 개시된다. 기입 회로는 메모리 셀의 브레이크다운 한도를 초과하지 않고 선택된 워드 라인 및 비트 라인에 제어가능한 양방향성 기입 전류 펄스를 제공할 수 있다. 결과적으로, 기입 회로는 회로를 오버스트레스하거나 메모리 셀을 손상시키지 않고 메모리 셀에 대한 데이터 저장 신뢰성을 향상시킨다. 기입 회로는 시간경과에 따라 전류 펄스를 전파하여 피크 전류를 감소시킬 수 있다. 피크 전류 감소는 파워 소비 및 열 방출을 감소시킨다. 피크 전류 감소는 고도의 평행 동작 모드에 대해 특히 바람직하다.

<66> 기입 회로는 판독 동작 동안에 선택 및 비선택된 라인에 동일 전위를 인가하는 판독 회로와 호환된다. 기입 회로는 열 기입 드라이버의 관측능력을 향상시키는 실장 검사 특징을 갖는다. 내부 모드 상태의 관측능력 때문에, 기입 회로의 검사 범위가 향상된다.

<67> 본 발명에 따른 MRAM 디바이스는 광범위한 애플리케이션에서 이용될 수 있다. 도 11에는 하나 이상의 MRAM 칩(300)에 대한 예시적인 일반 애플리케이션이 도시되어 있다. 일반 애플리케이션은 MRAM 저장장치 모듈(402), 인터페이스 모듈(404) 및 프로세서(406)를 포함하는 머신(400)으로 구현된다. MRAM 저장장치 모듈(402)은 장기간 저장용 하나 이상의 MRAM 칩(300)을 포함한다. 인터페이스 모듈(404)은 프로세서(406)와 MRAM 저장장치 모듈(402) 사이에 인터페이스를 제공한다. 머신(400)은 또한 단기간 저장용 고속 휘발성 메모리(예컨대, SRAM)를

포함할 수 있다.

<68> 노트북 컴퓨터 또는 퍼스널 컴퓨터와 같은 머신(400)의 경우, MRAM 저장장치 모듈(402)은 다수의 MRAM 칩(300)을 포함할 수 있으며, 인터페이스 모듈(404)은 EIDE 또는 SCSI 인터페이스를 포함할 수 있다. 서버와 같은 머신(400)의 경우, MRAM 저장장치 모듈(402)은 다수의 MRAM 칩(300)을 포함할 수 있고, 인터페이스 모듈(404)은 파이버 채널 또는 SCSI 인터페이스를 포함할 수 있다. 이러한 MRAM 저장장치 모듈(402)은 하드 드라이브와 같은 통상적인 장기간 저장 디바이스를 대신 또는 보충할 수 있다.

<69> 디지털 카메라와 같은 머신(400)의 경우, MRAM 저장장치 모듈(402)은 보다 작은 수의 MRAM 칩(300)을 포함할 수 있고, 인터페이스 모듈(404)은 카메라 인터페이스를 포함할 수 있다. 이러한 MRAM 저장장치 모듈(402)은 디지털 카메라 내장 디지털 이미지의 장기간 저장을 가능하게 한다.

<70> 본 발명에 따른 MRAM 디바이스는 하드 드라이브와 같은 통상적인 장기간 데이터 저장 디바이스에 비해 다수의 장점을 제공한다. MRAM 디바이스로부터의 데이터 액세스는 하드 드라이브와 같은 통상적인 장기간 저장 디바이스로부터의 데이터 액세스보다 몇배 더 빠르다. 또한, MRAM 디바이스는 하드 드라이브보다 컴팩트하다.

<71> MRAM 디바이스는 앞서 설명되고 도시된 특정 실시예에 제한되지 않는다. 예컨대, 메모리 셀은 SDT 접합 디바이스에 제한되지 않는다. 사용될 수 있는 다른 유형의 디바이스로는, 제한적이지는 않지만, 거대용량 자기저항("GMR") 디바이스가 포함된다.

<72> MRAM 어레이는 용이축을 따라 정위되는 행과 관련하여 설명되었다. 그러나, 행 및 열은 바뀔수 있으며, 이 경우 열은 용이축을 따라 정위된다.

<73> 행 및 열 드라이버는 도 5a 내지 5d에 도시된 스위치에 제한되지 않는다. 그러나, 도 5a 내지 5d에 도시된 스위치는 NMOS 트랜지스터로 구현될 수 있으며, 이것은 저전압 설계 및 고밀도 레이아웃을 지원한다.

<74> 파워 서플라이는 임의 수의 방법으로 구현될 수 있다. 예컨대, 파워 서플라이는 상이한 전위를 제공하기 위한 다양한 전압원들을 포함할 수 있다. 대안적으로, 제어형 전류원들은 하이 임피던스로 제어되는 전류원 또는 전류 미러를 포함할 수 있다.

<75> 펄스 발생기(122)는 도 4에 도시된 바와 같은 R/W 드라이버(32)의 일부일 수 있다. 대안적으로, 열 기입 인에이블 신호 $Wcol_i$는 외부에서 발생될 수 있다.

<76> 복수의 펄스 발생기 이외의 회로들이 열 기입 인에이블 신호를 발생시키는데 이용될 수 있다. 예컨대, 열 기입 인에이블 신호는 하나 이상의 쉬프트 레지스터에 의해 발생될 수 있다(예컨대, 하나의 쉬프트 레지스터가 한번에 하나씩 기입 인에이블 신호를 생성할 수 있고, 병렬로 동작하는 두 개의 쉬프트 레지스터가 한번에 두 개씩 기입 인에이블 신호를 생성할 수 있다).

<77> 이와 같이 해서, 기입 동작은 한번에 하나의 블록, 한번에 두 개의 블록, 등에 대해 수행될 수 있다. 각각의 부가적인 기입 펄스는 피크 비트 라인 전류를 증가시킨다. 그러나, 각각의 부가적인 기입 펄스는 또한 기입 속도를 증가시키게 된다. 따라서, 설계자는 기입 속도 증가 대 피크 기입 전류 감소를 허용가능한 레벨로 절충하는 문제에 직면한다.

<78> 본 발명은 앞서 설명되고 도시된 특정 실시예에 제한되지 않는다. 대신에, 본 발명은 이후의 청구범위에 따라 해석된다.

발명의 효과

<79> 본 발명에 의하면, 메모리 셀(12)의 브레이크다운 한도를 초과하지 않고 선택된 워드 라인 및 비트 라인(14, 16)에 제어가능한 양방향성 기입 전류를 제공할 수 있는, 자기 랜덤 액세스 메모리("MRAM") 디바이스(8)의 메모리 셀(12)의 대규모 어레이(10)용 기입 회로(24)가 제공된다. 또한, 기입 회로(24)는 시간경과에 따라 기입 전류를 전파하여 피크 전류를 감소시킬 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명에 따른 메모리 셀 어레이 및 기입 회로를 포함하는 MRAM 디바이스를 도시한 도면,

<2> 도 2a 및 2b는 SDT 접합 메모리 셀의 자화 방향을 도시한 도면,

<3> 도 3은 기입 동작동안의 메모리 셀 및 그의 교차하는 워드 라인 및 비트 라인을 도시한 도면,

<4> 도 4는 기입 회로 블록 및 대응하는 메모리 셀 블록을 도시한 도면,

<5> 도 5a 내지 5d는 기입 회로에 대한 행 및 열 드라이버 스위치를 도시한 도면,

<6> 도 6은 기입 회로에 대한 열 마스터/슬레이브 기입 드라이버를 도시한 도면,

<7> 도 7은 열 판독/기입 드라이버간에 기입 인에이블 신호를 전파시키는 회로를 도시한 도면,

<8> 도 8은 도 7에 도시된 회로에 대한 타이밍도,

<9> 도 9는 메모리 셀 블록에 기입하기 위해 기입 회로를 이용하는 방법의 흐름도,

<10> 도 10은 본 발명에 따른 MRAM 칩을 도시한 도면,

<11> 도 11은 하나 이상의 MRAM 칩을 포함하는 머신을 도시한 도면.

<12> 도면의 주요 부분에 대한 부호의 설명

<13> 8 : 자기 랜덤 액세스 메모리 디바이스 10 : 메모리 셀 어레이

<14> 12 : 메모리 셀 14 : 워드 라인

<15> 16 : 비트 라인 18 : 자유층

<16> 20 : 고정층 22 : 절연 터널 장벽

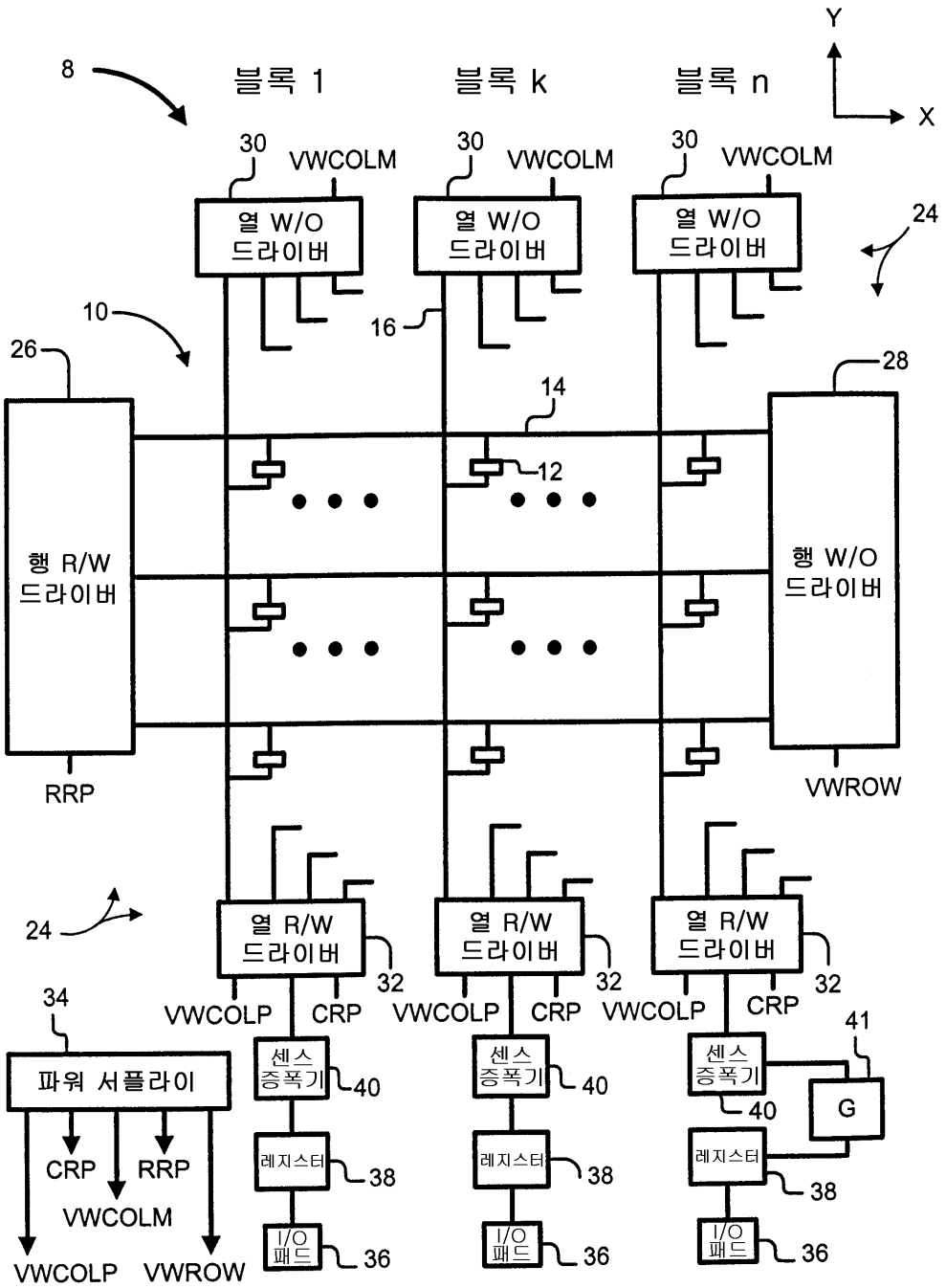
<17> 24 : 기입 회로 26 : 행 R/W 드라이버

<18> 28 : 행 W/O 드라이버 30 : 열 W/O 드라이버

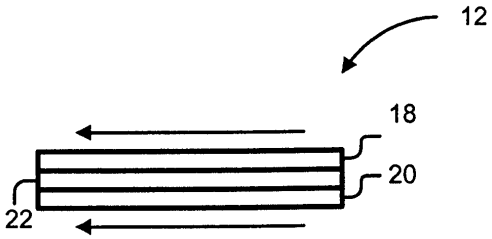
<19> 32 : 열 R/W 드라이버

도면

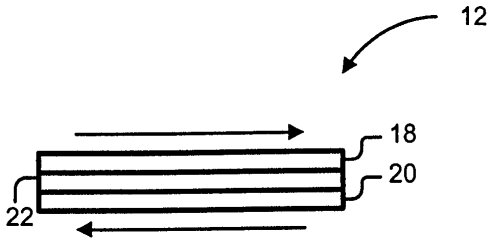
도면1


8
블록 1
블록 k
블록 n
Y
X
30
VWCOLM
열 W/O 드라이버
24
10
16
26
28
14
12
행 R/W 드라이버
행 W/O 드라이버
RRP
VWROW
열 R/W 드라이버
32
VWCOLP
CRP
34
파워 서플라이
센스 증폭기
40
41
G
레지스터
38
I/O 패드
36
VWCOLM
VWROW

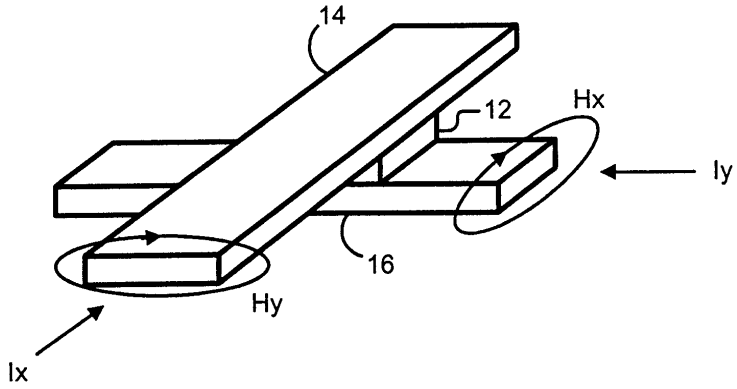
도면2a



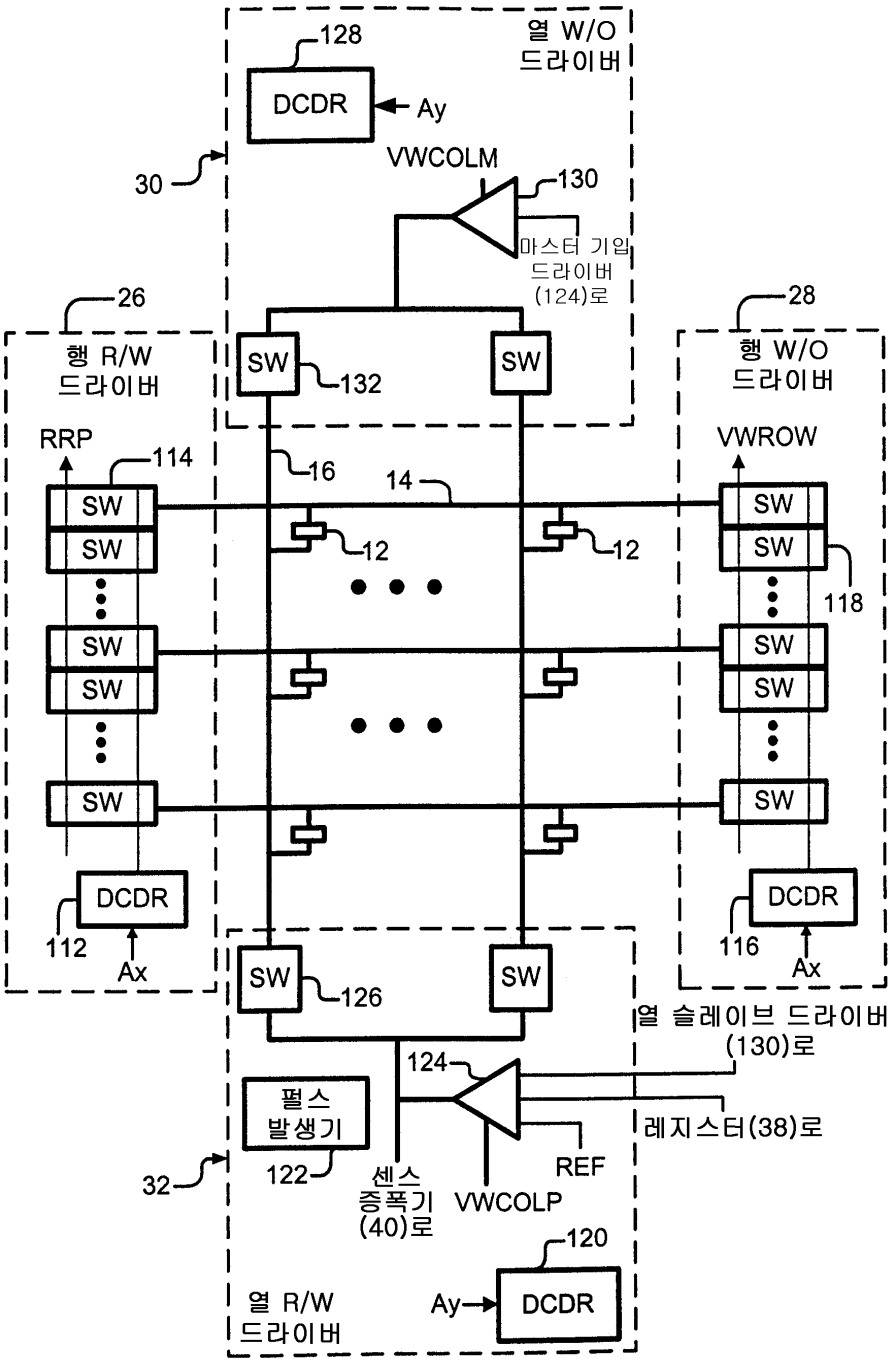
도면2b



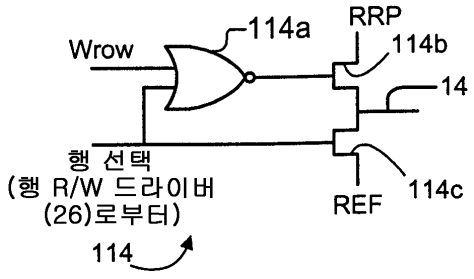
도면3



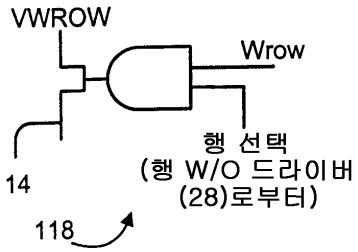
도면4


128
열 W/O
드라이버
DCDR
Ay
VWCOLM
30
130
마스터 기입
드라이버
(124)로
26
28
행 R/W
드라이버
SW
132
SW
행 W/O
드라이버
RRP
114
16
14
VWROW
SW
12
12
118
DCDR
112
Ax
116
126
열 슬레이브 드라이버
(130)로
124
펄스
발생기
122
32
센스
증폭기
(40)로
VWCOLP
REF
레지스터(38)로
120
열 R/W
드라이버
Ay
DCDR

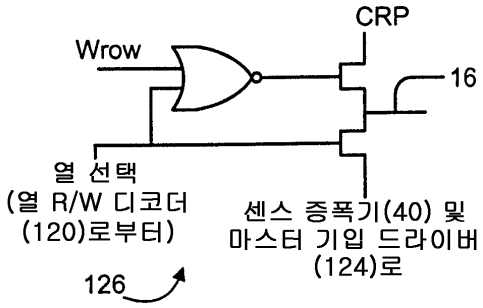
도면5a


Wrow
114a
RRP
114b
14
행 선택
(행 R/W 드라이버
(26)로부터)
114
REF
114c

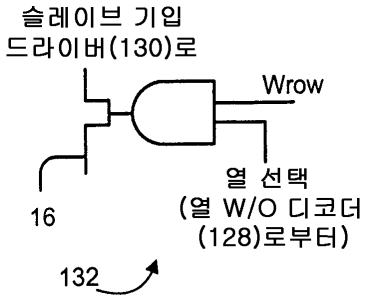
도면5b



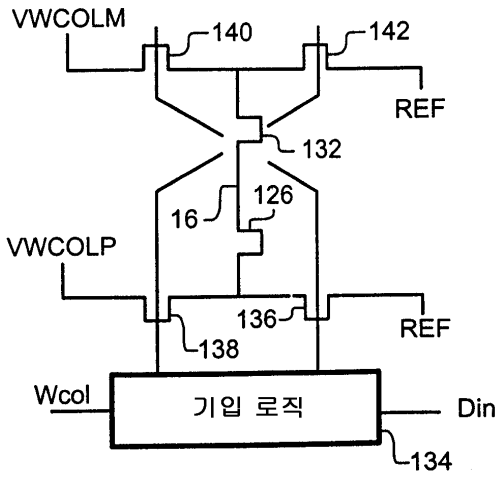
도면5c



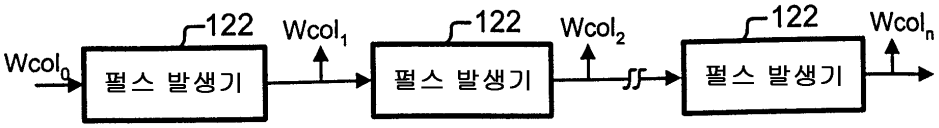
도면5d



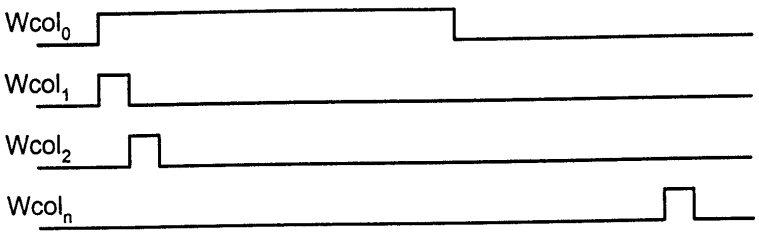
도면6


VWCOLM
140
142
REF
132
126
16
VWCOLP
136
REF
138
Wcol
기입 로직
Din
134

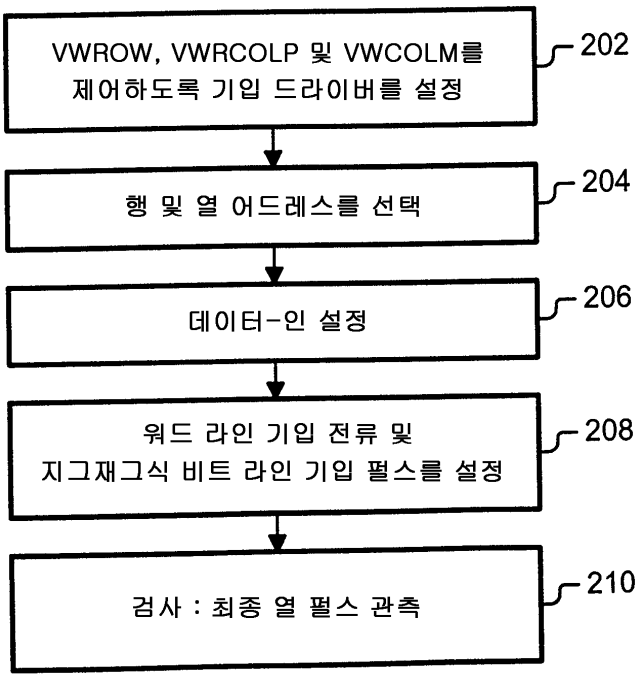
도면7


122
Wcol0
Wcol1
펄스 발생기
122
Wcol2
펄스 발생기
122
Wcoln
펄스 발생기

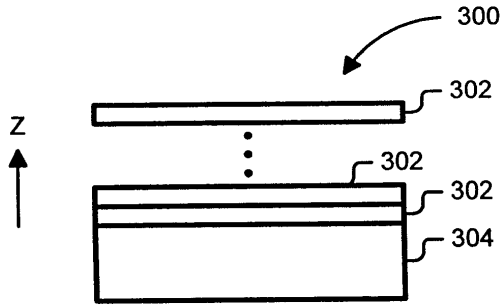
도면8


Wcol0
Wcol1
Wcol2
Wcoln

도면9



도면10



도면11

