

(12) 发明专利申请

(10) 申请公布号 CN 102160129 A

(43) 申请公布日 2011. 08. 17

(21) 申请号 200980128602. 2

H01C 7/10(2006. 01)

(22) 申请日 2009. 05. 22

H01C 7/105(2006. 01)

(30) 优先权数据

H01C 7/102(2006. 01)

102008024479. 1 2008. 05. 21 DE

(85) PCT申请进入国家阶段日

2011. 01. 21

(86) PCT申请的申请数据

PCT/EP2009/056247 2009. 05. 22

(87) PCT申请的公布数据

W02009/141437 DE 2009. 11. 26

(71) 申请人 埃普科斯股份有限公司

地址 德国慕尼黑

(72) 发明人 T·费希廷格 G·恩格尔

A·佩西纳

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 张涛 李家麟

(51) Int. Cl.

H01C 7/12(2006. 01)

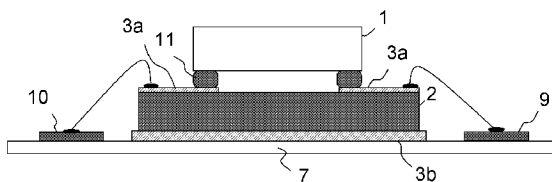
权利要求书 1 页 说明书 7 页 附图 3 页

(54) 发明名称

电器件装置

(57) 摘要

本发明描述一种电器件装置, 该电器件装置具有安装在压敏电阻本体(2)上的半导体器件(1)。所述压敏电阻本体与所述半导体器件接触以保护该半导体器件免受静电放电的损害并且包含复合材料, 所述复合材料具有压敏电阻陶瓷作为基质并且具有与所述压敏电阻陶瓷不同的、导热的材料作为填料。



1. 一种电器件装置,具有至少一个安装在压敏电阻本体(2)上的半导体器件(1),其中所述压敏电阻本体与所述半导体器件接触以保护该半导体器件免受静电放电损害,并且其中所述压敏电阻本体包含复合材料,所述复合材料具有压敏电阻陶瓷作为基质并且具有与所述压敏电阻陶瓷不同的、导热的材料作为填料。

2. 根据权利要求1所述的器件装置,其中所述填料从金属、导热陶瓷中的至少一种材料中选择。

3. 根据以上权利要求之一所述的器件装置,其中所述压敏电阻本体(2)具有多个电接线端子(3a,3b),其中至少一个第一电接线端子(3a)接触所述半导体器件(1)。

4. 根据权利要求3所述的器件装置,其中所述压敏电阻本体(2)的多个电接线端子(3a,3b)包括与第一电接线端子分离的第二电接线端子(3b),所述第二电接线端子(3b)向外接触所述压敏电阻本体。

5. 根据权利要求4所述的器件装置,其中所述第二电接线端子(3b)布置在所述压敏电阻本体(2)的底侧上。

6. 根据以上权利要求之一所述的器件装置,其中所述半导体器件(1)与所述压敏电阻本体(2)通过倒装芯片接触。

7. 根据权利要求3至6之一所述的器件装置,其中所述压敏电阻本体(2)具有至少一个与电接线端子(3a,3b)连接的内电极(4)。

8. 根据权利要求7所述的器件装置,其中所述内电极(4)借助于至少一个通孔接触部(5)与所述电接线端子(3a,3b)连接。

9. 根据权利要求7或8之一所述的器件装置,其中所述多个内电极(4)接触所述压敏电阻本体(2)的不同电接线端子(3a,3b)并且具有共同的重叠面。

10. 根据以上权利要求之一所述的器件装置,其中所述压敏电阻本体(2)具有至少一个导热通道(6),通过所述至少一个导热通道能够传导所述半导体器件(1)的热量。

11. 根据权利要求10所述的器件装置,其中所述导热通道(6)包含从金属、导热陶瓷中的至少一种材料中选择材料。

12. 根据以上权利要求之一所述的器件装置,其中所述压敏电阻本体(2)与在其上安装的半导体器件(1)集成在壳体(7)中,其中所述壳体具有与所述压敏电阻本体连接的导热区域,所述导热区域与所述压敏电阻本体热耦合。

13. 根据以上权利要求之一所述的器件装置,其中所述压敏电阻本体(2)和所述半导体器件(1)并联。

14. 根据以上权利要求之一所述的器件装置,其中所述半导体器件(1)可以选自大量的器件,这些器件包含:LED、电容器、热敏电阻、二极管、放大器、变压器。

15. 根据以上权利要求之一所述的器件装置,还具有热敏电阻,所述热敏电阻根据其电阻/温度特征曲线有助于所述半导体器件(1)的控制电流的调节。

电器件装置

技术领域

[0001] 本发明描述一种电器件装置,尤其是具有用于过压保护的手段的电器件装置。

背景技术

[0002] 从 DE 10 2007 014 300 A1 中公知一种具有压敏电阻和发光器件的设备。

发明内容

[0003] 要解决的任务在于,说明一种设备或手段,借助所述设备或手段可以经济地保护电器件以防过压。

[0004] 本发明提出:在电器件装置中将半导体器件安装在压敏电阻本体上或者由压敏电阻本体支承。压敏电阻本体为了保护电器件而与该电器件接触。半导体器件和压敏电阻本体优选相互电并联。

[0005] 压敏电阻本体被形成成为独立的机械单元并且应被理解为半导体器件的载体。压敏电阻本体可以与半导体器件分离地制造并且具有向半导体器件提供支承面或安装面的形状。

[0006] 借助于用作为半导体器件的载体的压敏电阻本体,向半导体器件提供用于过压保护、尤其是静电放电保护的简单手段,其中优选不必为此目的进一步构造或者匹配半导体器件。出于对与压敏电阻本体耦合的半导体器件的尽可能好的过压保护的,在不考虑半导体器件的结构的情况下分离地制造或设计压敏电阻本体。因此,应当在没有由半导体器件的结构决定的限制的情况下充分利用压敏电阻本体的过压保护功能。

[0007] 根据器件装置的一个优选实施方式,压敏电阻本体包含复合材料,该复合材料至少由压敏电阻陶瓷和良好导热的材料组成,其中该良好导热的材料与主要选择用于压敏电阻本体的非线性电阻函数的压敏电阻陶瓷不同。

[0008] 根据一个实施方式,压敏电阻陶瓷被形成成为复合材料的主要成分或者基质并且所述导热材料被形成成为所述基质中的填料。良好导热的填料的示例是金属;尤其是指具有大于 $100 \text{ W}/(\text{m}^*\text{K})$ 的导热能力的金属以及第2和第3过渡金属周期的贵金属或者它们的合金。填料优选作为良好导热的颗粒在压敏电阻本体中存在。

[0009] 优选作为压敏电阻陶瓷中的填料存在的金属具有以下优点:使压敏电阻本体具有更高的导热能力,使得半导体器件的热量也可以通过压敏电阻本体传导。因此,压敏电阻可以同时具有两个功能:过压保护的功能和热量传导的功能。

[0010] 以下实施方式是有利的:压敏电阻本体包含良好导热的陶瓷,所述陶瓷与压敏电阻陶瓷不同或者具有比压敏电阻陶瓷更高的导热能力。例如,氮化铝、碳化硅、氧化钪和氧化锰被证实是合适的陶瓷,尤其是因为它们可以与优选的压敏电阻陶瓷——例如氧化锌——良好地烧结,而不在压敏电阻本体中形成不期望的晶体断裂。该附加的良好导热的陶瓷可以与作为填料的金属类似地存在于实施为基质的压敏电阻陶瓷中。

[0011] 压敏电阻本体可以实施为具有压敏电阻陶瓷层的堆叠和至少部分位于其间的内

电极层的多层压敏电阻。优选地,多层压敏电阻是经烧结的单片的多层器件。作为各个层的压敏电阻陶瓷,在主要成分方面选择氧化锌,其中内电极可以包含银、钼、铂、铜、镍或者这些材料的合金。

[0012] 根据一个实施方式,被构造为多层压敏电阻的压敏电阻本体的一个或多个层可以具有氧化锆。在此优选地,至少多层压敏电阻的其上安装有半导体器件的覆盖层包含氧化锆。

[0013] 由此可以降低多层压敏电阻的杂散电容对半导体器件的影响。如果多层压敏电阻集成在壳体中或者多层压敏电阻位于印刷电路板上,则优选的是:基层也包含氧化锆,以便相对壳体或印刷电路板实现与以上所述相同的效果。

[0014] 取代多层压敏电阻,体型压敏电阻(Bulkvaristor)可以用作半导体器件的载体。所述体型压敏电阻在其外侧上具有极性相反的外部接触部,但在内部不具有金属层。

[0015] 根据一个实施方式,压敏电阻本体具有多个电接线端子,其中至少一个第一电接线端子接触半导体器件。该电接线端子优选实施为金属层。金属层可以例如借助于丝网印刷施加在压敏电阻本体的上侧的至少一个区域上。利用实施为层的电接线端子,为所述器件装置提供特别紧凑的形状。但电接线端子的其他形状也是可以考虑的,例如接触线。

[0016] 根据器件装置的一个实施方式,压敏电阻本体的多个电接线端子包括至少一个与第一电接线端子分离的第二电接线端子,该第二电接线端子向外接触压敏电阻本体,这意味着:具有所述第二电接线端子的压敏电阻同与半导体器件分离的第二电势连接。在此,第二电接线端子可以与印刷电路板上的印制导线接触。第二电接线端子例如是接地接线端子。

[0017] 第一电接线端子和第二电接线端子均可以实施为金属层。压敏电阻本体的实施为金属层的电接线端子可以包含以下材料中的至少一种:金、镍、铬、钼。

[0018] 根据器件装置的一个实施方式,向外接触压敏电阻本体的第二电接线端子布置在压敏电阻本体的底侧上,也就是说,布置在与半导体器件的安装面垂直对置的面上。第二电接线端子例如可以实施为接合焊盘。所述第二电接线端子可以与印刷电路板或壳体的导电结构接触。此外,第二电接线端子包括接触线,其中所述接触线例如与由电接线端子包括的接合焊盘连接。根据一个实施方式还设置:第二电接线端子与第一电接线端子间隔开地布置在压敏电阻本体的上侧上。

[0019] 优选地,半导体器件在其安装侧或底侧上具有倒装芯片接触部。所述倒装芯片接触部可以具有半导体器件的底侧上的焊球布置或焊球阵列。

[0020] 根据一个实施方式设置:压敏电阻本体的接触半导体器件的第一电接线端子在必要时使用与第一电接线端子连接的接触线的情况下同时向外形成压敏电阻本体的接触部。

[0021] 根据一个实施方式,压敏电阻本体具有至少一个内电极,所述至少一个内电极可以用于调整压敏电阻本体的电容。内电极可以是接地电极,该接地电极通过压敏电阻传导或由压敏电阻本体传导过压或者浪涌电流。内电极与压敏电阻本体的至少一个电接线端子连接。例如,内电极可以借助于至少一个通孔接触部——也称为通路——与至少一个电接线端子连接。

[0022] 根据一个实施方式,在压敏电阻本体中存在多个内电极并且所述多个内电极接触压敏电阻本体的不同的电接线端子。在此优选地,所述多个内电极借助于压敏电阻陶瓷或

借助于电介质彼此分离并且具有重叠面,通过所述重叠面可产生电容。根据一个实施方式,内电极与半导体器件的安装面垂直地延伸。

[0023] 根据器件装置的一个实施方式,压敏电阻本体具有至少一个导热通道,通过所述至少一个导热通道可以传导来自半导体器件的热量。导热通道优选实施为以良好导热材料填充的孔。所述导热通道可以作为压敏电阻本体的上侧和底侧之间的金属路径延伸。在此,所述导热通道基本上被构造为销状的。但是导热通道也可以构造为具有高导热能力的陶瓷路径,其中所述陶瓷路径或路径的陶瓷具有比压敏电阻本体的周围材料更高的导热能力。

[0024] 优选地,带有壳体的器件装置具有与压敏电阻本体和 / 或与半导体器件接触的至少一个导电部件或区域。壳体支承压敏电阻本体,其中半导体器件和压敏电阻本体与壳体的导电部件并联。壳体的导电部件可以实施为金属层,例如实施为印制导线。壳体的导电部件优选包含铝或者铜。

[0025] 在压敏电阻本体的良好导热的实施方式中,压敏电阻本体用作半导体器件和壳体之间的热机械缓冲区。

[0026] 根据一个实施方式,壳体具有至少一个导热区域,所述至少一个导热区域与压敏电阻本体热耦合。由此,从压敏电阻本体吸收的热量可以由壳体传导。在此,所述区域可以具有良好导热的材料,例如良好导热的陶瓷或者金属。

[0027] 根据器件装置的一个有利的实施方式,所述器件装置还具有热敏电阻,所述热敏电阻与半导体器件连接。所述热敏电阻根据其电阻 / 温度特征曲线有助于调节半导体器件的控制电流,使得该半导体器件可以经济地运行。根据一个实施方式,热敏电阻安装在压敏电阻本体上,但是不是必须这样。取而代之地,所述热敏电阻例如可以在共同的壳体中集成在压敏电阻旁边。热敏电阻可以与分析单元连接,所述分析单元使用热敏电阻的测量值以调节馈送到半导体器件的电流。如此进行对控制电流的调节,使得 LED 不遭受浪涌电流或者在尽可能恒定的交变电流下运行。

[0028] 半导体器件可以从多个器件中选择。所述半导体器件可以是光电器件——例如 LED、电容器或多层电容器、热敏电阻或具有 PTC 或 NTC 特性的多层热敏电阻、二极管或者放大器。在每种情况中,压敏电阻本体都能够经济地保护由其支承的半导体器件免受过压损害,并且甚至根据一些在此文献中描述的实施方式能够传导来自半导体器件的热量。作为半导体器件的 LED 优选由以下材料中一种或多种组成:磷化镓(GaP)、氮化镓(GaN)、磷砷化镓(GaAsP)、磷化铝镓铟(AlGaInP)、磷化铝镓(AlGaP)、砷化铝镓(AlGaAs)、氮化铟镓(InGaN)、氮化铝(AlN)、氮化铝镓铟(AlGaInN)、硒化锡(ZnSe)。

附图说明

[0029] 根据以下附图和实施例进一步阐述所述主题。在此:

图 1a 示出具有电接线端子的第一布置的器件装置的俯视图,

图 1b 示出图 1a 所示的器件装置的截面图,

图 2 示出器件装置的截面图,该器件装置具有壳体具有第一电布线,

图 3 示出器件装置的截面图,该器件装置具有壳体具有第二电布线,

图 4 示出器件装置的截面图,该器件装置具有第一电布线具有壳体,

图 5a 示出器件装置的俯视图,该器件装置具有两个分离的上侧的电接线端子,

图 5b 示出图 5a 呈现的器件装置的截面图，

图 6 示出具有带有凹陷的壳体的器件装置的截面图，

图 7 示出具有根据图 5a 和 5b 的上侧的器件装置的截面图，其中压敏电阻本体具有内电极和通孔接触部，

图 8 示出具有压敏电阻本体具有根据图 5a 和图 5b 的上侧的器件装置的截面图，其中还示出半导体器件和具有导热通道以及多个内电极的压敏电阻本体，

图 9 示出根据图 8 的器件装置的截面图，该器件装置具有替代的导热通道和内电极。

具体实施方式

[0030] 图 1a 示出对于半导体器件(例如 LED)用作载体的压敏电阻本体 2 的俯视图，该压敏电阻本体 2 在其上侧上具有用于与半导体器件进行接触的接触层 3a。接触层 3a 可以是阳极接触部。优选地，接触层 3a 包含金，优选主要成分是金。压敏电阻本体 2 可以具有 90 至 100 μm 之间的厚度。作为用于压敏电阻本体的压敏电阻陶瓷优选使用氧化锌。

[0031] 图 1b 示出根据图 1a 的压敏电阻本体 2 如何在其底侧上设有实施为接触层的第二电接线端子 3b，该第二电接线端子 3b 例如可以用作阴极接触部或者接地接触部。在此优选地，下部的接触层 3b 是包含铝的接触层，优选主要成分是铝。接触层 3b 优选用于压敏电阻本体 2 向外的接触，例如用于与壳体或者与其导电部件的接触。

[0032] 压敏电阻本体的陶瓷在主要成分方面优选由复合材料构成，所述复合材料具有压敏电阻陶瓷作为基质并且具有金属作为填料。作为压敏电阻陶瓷或者作为基质可以使用氧化锌或氧化锌-铋(Bi)-锑(Sb)混合物或者氧化锌-镨(Pr)混合物，其中与以下所述的金属填料不同的是，与氧化锌结合的金属或类金属——铋、锑或铅——不是作为与基质分离的颗粒存在。优选从银(Ag)、钯(Pd)、铂(Pt)、钨(W)、这些元素的合金或者以上所述物质的混合物中选择作为填料存在的金属。作为合金考虑所述金属相互之间和/或其他元素的合金；例如银-钯合金。将填料理解为优选随机地在压敏电阻陶瓷中分布的金属颗粒，这些金属颗粒分别由金属化合物构成。优选地，颗粒尽可能均匀地分布。

[0033] 图 2 示出光电器件装置的截面图，其中作为半导体器件在压敏电阻本体 2 上安装有 LED 1。半导体器件包括壳体 7，该壳体 7 的一部分被示出。压敏电阻本体 2 安装在壳体 7 上或者由壳体 7 支承。压敏电阻本体 2 通过实施为层、优选包含铝的接地接线端子 3b 与壳体 7 的导电部件接触。在上侧，压敏电阻本体 2 借助于实施为层的阳极接触部 3a 或通过第一电接线端子与 LED 1 接触。LED 在上侧设有实施为层或者接合焊盘的阴极接触部 8。阴极接触部 8 具有与接合焊盘连接的接触线，所述接触线建立与壳体 7 的相应的阴极接触部 9 的电连接。壳体的阴极接触部 9 可以实施为印制导线。壳体也具有例如实施为印制导线的阳极接触部 10，该阳极接触部 10 借助于接触线与在压敏电阻 2 和 LED 1 之间的阳极接触部 3a 电连接。第一电接线端子 3a 具有被半导体器件空出的面，该面提供在压敏电阻本体的相同上侧上将该压敏电阻本体向外接触的地方。

[0034] 图 3 示出光电器件装置的截面图，其中作为半导体器件在压敏电阻本体 2 上安装有 LED 1，其中 LED 在其底侧上具有倒装芯片接触部 11。在上侧，压敏电阻本体 2 具有两个彼此间隔开的电接线端子 3a 和 3b 作为阳极接触部和作为阴极接触部。压敏电阻本体 2 借助于分别实施为金属层的接线端子 3a 和 3b 与 LED 1 的倒装芯片接触部 11 接触。器件装

置包括壳体 7, 该壳体 7 的一部分在图中被示出, 其中压敏电阻本体 2 的电接线端子 3a 与壳体 7 的相应接触部 9 和 10 连接。压敏电阻本体 2 通过实施为层、优选包含铝的接地接线端子 3b 作为第二电接线端子与壳体 7 的导电部件接触。

[0035] 图 4 示出光电器件装置的截面图, 其中在压敏电阻本体 2 上安装有 LED 1, 其中未示出的阳极接线端子和 LED 的底侧上的阴极接线端子使该 LED 与压敏电阻本体 2 接触。压敏电阻本体在其方面由壳体 7 支承, 所述壳体 7 具有凹部 12 或者凹坑, 具有由其支承的 LED 1 的压敏电阻本体 2 可以布置到所述凹部 12 或者凹坑中。因此, LED 和压敏电阻本体集成在壳体中。LED 在上侧具有两个电接线端子, 这两个电接线端子分别具有接触线。接触线分别接触壳体的相应的导电的阳极部件 9 或者阴极部件 10。压敏电阻本体 2 在其底侧上设有接地接线端子 3b, 该接地接线端子 3b 接触壳体 7 的与壳体的阳极部件 9 或者阴极部件 10 隔离的接地接触部 13。隔离通过隔离层 14 实现, 所述隔离层 14 可以实施为壳体的组成部分。

[0036] 在 LED 作为半导体器件由压敏电阻本体 2 支承的情况下, 壳体 7 的朝向 LED 的上表面——尤其是凹陷 12 的内表面——优选设有反射层, 该反射层改善由 LED 发射的光的整体输出耦合。为了同一目的, 压敏电阻本体的空出的表面同样设有反射层。

[0037] 图 5a 示出器件装置的俯视图, 其中在压敏电阻本体 2 的上侧上布置有两个相互分离的电接线端子 3a 和 3b 或者分别施加为导电层。示出为虚线框的第一电接线端子 3a 接触安装在压敏电阻本体 2 上的半导体器件 1, 其中该半导体器件在其方面具有与电接线端子 3a 极性相反的电接线端子, 例如在该半导体器件的上侧上(为此例如也参见图 6)。与第一电接线端子 3a 分离并且相邻地, 在压敏电阻本体 2 的上侧上同样布置有第二电接线端子 3b, 该第二电接线端子 3b 使压敏电阻本体 2 向外接触, 例如与壳体的导电部件 9 接触。除施加在压敏电阻本体上的金属层外, 第二电接线端子 3b 优选具有接触线, 该接触线使压敏电阻与壳体 7 电接触。

[0038] 图 5b 示出根据图 5a 的器件装置的截面图, 尤其是还附加地示出器件装置的底侧上的接地接线端子 3b。

[0039] 图 6 示出光电器件装置, 其中支承半导体器件 1 (例如 LED) 的压敏电阻本体 2 集成在壳体 7 的凹部或凹陷 12 中。压敏电阻本体 2 的电接线端子根据对图 5a 和 5b 的描述来构造。凹部 12 优选在其暴露于 LED 的光的表面上具有反射层。由此可以增大器件装置的光输出的耦合。压敏电阻本体的接地接线端子 3b 与壳体 7 的相应的接地接线端子 13 接触, 该接地接线端子 13 借助于隔离层 14 与阴极接线端子 9 和阳极接线端子 10 电去耦。具有凹部 12 的壳体区域可以是壳体的接地接线端子 13 的区域。该区域例如可以由金属——例如铜或铝——构成。尤其是优选金属, 使得以较小的电阻导电并且对于改善了的光输出耦合具有高发射率。

[0040] 优选地, 压敏电阻本体 2 与壳体的良好导热的区域机械连接, 但是在任何情况下都与该区域热耦合, 从而壳体可以将压敏电阻本体吸收的热量继续向外传导, 所述热量来自压敏电阻本体 2 和 / 或半导体元件 1 或者由它们发出。

[0041] 图 7 示出器件装置的截面图, 其中压敏电阻本体 2 具有内电极 4, 该内电极 4 在压敏电阻本体内部与半导体器件的支承面平行地延伸并且与通孔接触部 5 连接。内电极 4 的边缘留在压敏电阻本体内部; 内电极 4 的边缘不延伸到压敏电阻本体的边缘处。除内电极

与通孔接触部 5 的接触外,内电极应被视为“悬浮的”。通孔接触部或者通路 5 使内电极 4 与压敏电阻本体的上侧上的第二电接线端子 3b 电连接。通孔接触部可以通过压敏电阻本体中由金属填充的孔实现。通孔接触部优选具有与第二电接线端子 3b 以及与内电极 4 相同的材料。在压敏电阻本体 2 的底侧上示出接地接线端子 3b。

[0042] 压敏电阻本体 2 具有压敏电阻陶瓷的层堆叠,其中内电极布置在堆叠的两个相邻的层之间。

[0043] 在根据图 8 的器件装置中,压敏电阻本体 2 具有多个导热通道 6,这些导热通道 6 也可以称作热通路。这些导热通道并排地垂直于压敏电阻本体 2 上的半导体器件 1 的支承面延伸并且从那里延伸到压敏电阻本体的底侧或者延伸到压敏电阻本体的基面。所述热通路可以实施为压敏电阻本体的以良好导热的材料填充的垂直孔。热通路 6 可以分别具有金属。但是根据一个实施方式,这些热通路 6 具有良好导热的陶瓷,尤其是具有比周围材料更高的导热能力的陶瓷。热通路 6 同样可以具有由金属和良好导热的陶瓷组成的混合物。替代于多个热通路 6,唯一的热通路 6 也可以从压敏电阻本体 2 的上侧一直延伸到底侧。

[0044] 如图所示,在所有在此文献中所描述的器件装置的实施方式中,热通路可以位于压敏电阻本体中。

[0045] 图 8 此外示出,在压敏电阻本体中,在横向上在热通路 6 旁边(参照半导体器件的支承面)存在多个相叠布置的内电极 4,这些内电极 4 分别与通孔接触部 5 连接。在此,第一内电极 4 借助于通孔接触部 5 与压敏电阻本体 2 的底侧上的接地接线端子 3b 电连接,而第二内电极借助于另一通孔接触部 5 与向外接触压敏电阻本体的电接线端子 3b 接触,该电接线端子 3b 例如可以布置在压敏电阻本体的上侧上。在内电极之间存在压敏电阻材料。内电极与压敏电阻本体上的半导体器件 1 的安装面平行地延伸;通孔接触部 5 与内电极垂直。在此,压敏电阻本体 2 同样具有压敏电阻陶瓷的层堆叠,其中在两个相邻的层之间布置有至少一个内电极。

[0046] 图 9 示出位于其纵侧上的多层压敏电阻本体 2,其中在相邻的压敏电阻陶瓷层之间存在金属结构。薄的金属层在安装多层压敏电阻本体的上部纵侧上的半导体器件 1 的下方延伸,这些薄的金属层将热量从半导体器件传导至壳体 7。内电极 4 与多层压敏电阻本体 2 的第二电接线端子 3b 连接,其中这些接线端子中的一个为接地接线端子,其中分别有第一组内电极与接地接线端子接触并且第二组内电极与另一电接线端子 3b 接触。在堆叠方向上,第一组的一个内电极 4 和第二组的一个内电极 4 分别相邻。内电极在多层压敏电阻本体的堆叠方向上具有重叠的面(正交投影)。在内电极的重叠的面之间,产生具有作为电介质的压敏电阻陶瓷的电容。半导体器件下方的导热金属结构 6 以及内电极 4 垂直于半导体器件的支承面延伸。

[0047] 特别有利地,在根据图 9 的实施方式中,导热路径 6 和内电极 6 可以以相同的方式压印在压敏电阻陶瓷层上,这明显地降低器件装置的制造成本。

[0048] 在本文献所述实施例的范围内,应当如此理解:每个压敏电阻本体可以包含由作为主要成分或作为基质的压敏电阻陶瓷和作为填料的良好导热材料构成的复合材料。在多层压敏电阻中,单个或所有压敏电阻陶瓷层可以具有这样的组成。

[0049] 附图标记列表

1 半导体器件

2	压敏电阻本体
3a	压敏电阻本体与 LED 的电接触部
3b	压敏电阻本体向外的电接触部
4	压敏电阻本体的内电极
5	压敏电阻本体的通孔接触部
6	压敏电阻本体的导热通道
7	壳体
8	LED 的第一电接触部
9	壳体的第一电部件
10	壳体的第二导电部件
11	LED 的倒装芯片接触部
12	壳体的凹部
13	壳体的接地接线端子
14	壳体的隔离层

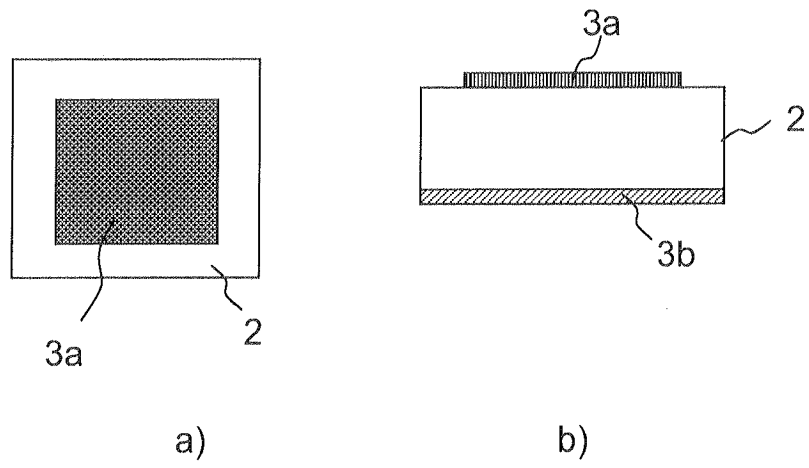


图 1

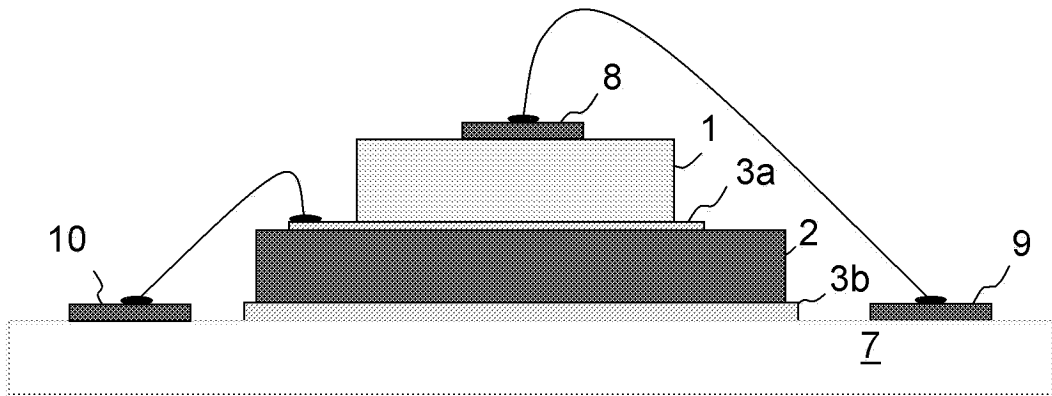


图 2

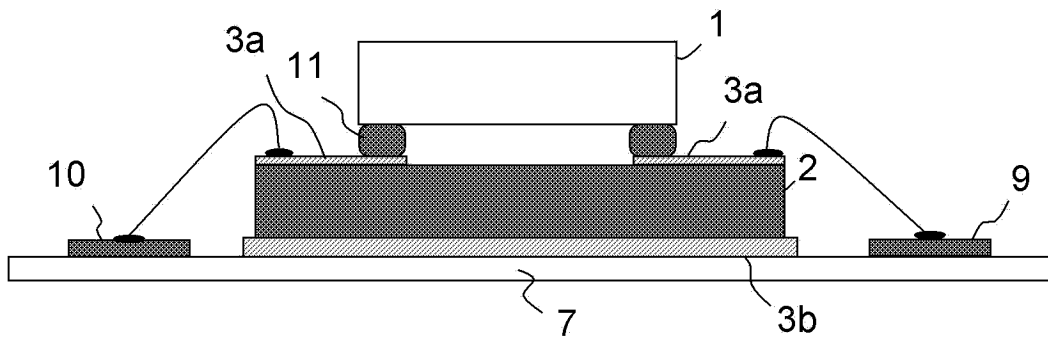


图 3

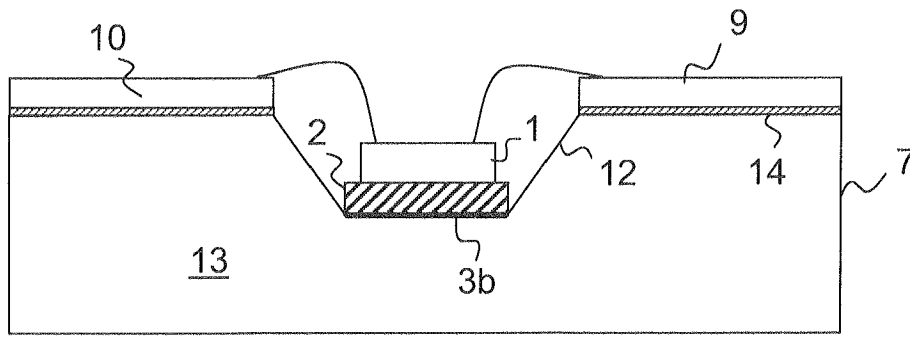


图 4

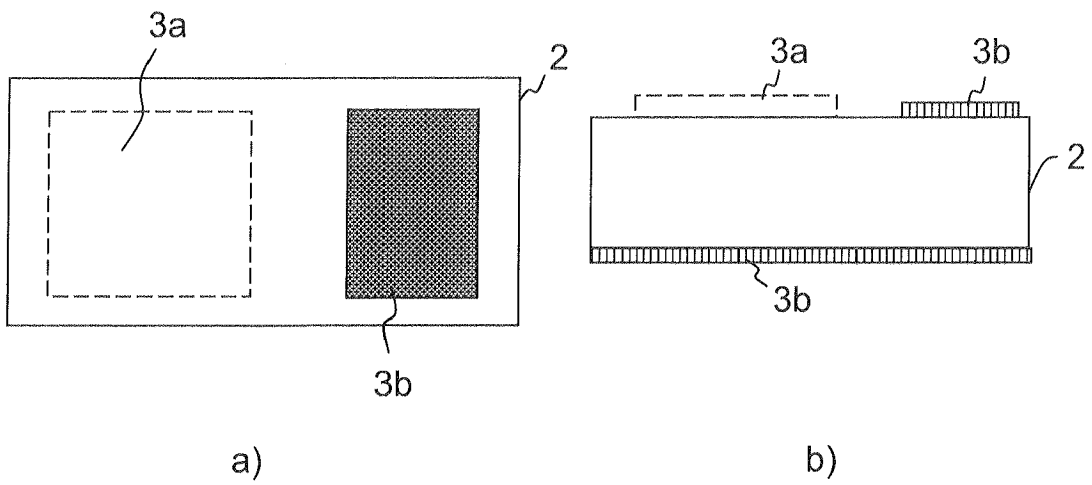


图 5

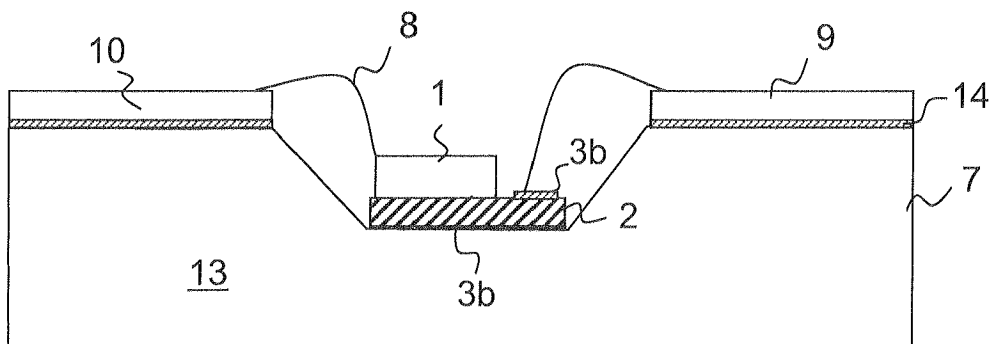


图 6

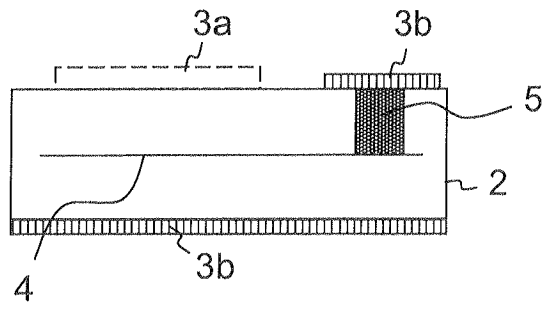


图 7

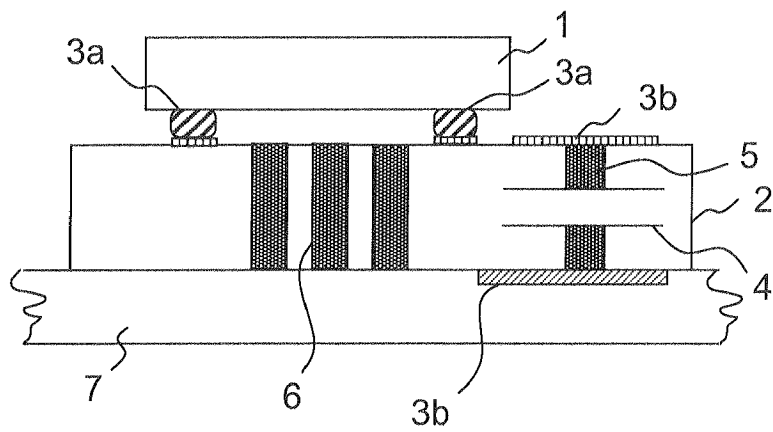


图 8

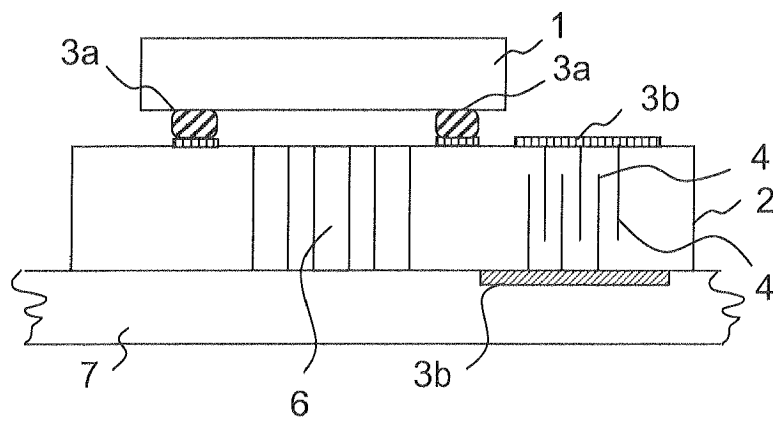


图 9