



(12) 发明专利

(10) 授权公告号 CN 101202472 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200710193979. 9

(22) 申请日 2007. 11. 29

(30) 优先权数据

2006-321034 2006. 11. 29 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 盐野入丰

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 王永刚

(51) Int. Cl.

H02J 17/00 (2006. 01)

H02M 7/04 (2006. 01)

H02M 7/217 (2006. 01)

H01L 25/00 (2006. 01)

H01L 27/00 (2006. 01)

(56) 对比文件

EP 0791706 A1, 1997. 08. 27, 全文.

CN 1722595 A, 2006. 01. 18, 全文.

JP 特开 2006-166415 A, 2006. 06. 22, 全文.

JP 昭 58-125914 A, 1983. 07. 27, 全文.

JP 特开平 11-196568 A, 1999. 07. 21, 全文.

US 5874829 A, 1999. 02. 23, 全文.

审查员 李明娟

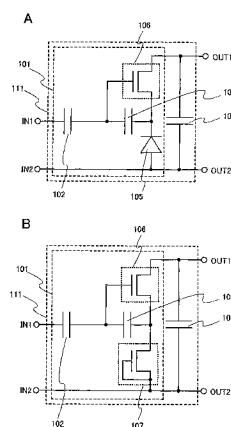
权利要求书 2 页 说明书 28 页 附图 23 页

(54) 发明名称

整流电路、电源电路以及半导体装置

(57) 摘要

本发明的课题是提供可以抑制过电流所引起的半导体元件的劣化或绝缘损坏的整流电路。其中至少包括第一电容器、第二电容器、以及二极管,它们在连结晶体管、输入端子、两个输出端子的一方的路径上按顺序串联连接。第二电容器连接到该晶体管的源区及漏区的一方和栅电极之间。此外,上述晶体管的源区及漏区的另一方和所述两个输出端子的另一方彼此连接。



1. 一种整流电路,包括:

第一电容器;

第二电容器;

晶体管;以及

二极管,

其中,所述第一电容器、所述第二电容器、以及所述二极管顺序地串联连接在第一输入端子和第一输出端子之间,

所述第二电容器连接在所述晶体管的源区及漏区中的一方和栅电极之间,

所述晶体管的所述源区及漏区中的另一方连接到第二输出端子,并且

第二输入端子连接到所述第一输出端子。

2. 根据权利要求1所述的整流电路,还包括连接在所述晶体管的所述栅电极和所述第一或第二输出端子之间的电阻器。

3. 根据权利要求1所述的整流电路,其中所述晶体管是n沟道型,并且所述晶体管的所述源区及漏区中的所述的一方连接到所述二极管的阴极。

4. 根据权利要求1所述的整流电路,其中所述晶体管是p沟道型,并且所述晶体管的所述源区及漏区中的所述的一方连接到所述二极管的阳极。

5. 根据权利要求1所述的整流电路,其中所述二极管是源区或漏区连接到栅电极的晶体管。

6. 一种电源电路,包括:

第一电容器;

第二电容器;

第三电容器;

晶体管;以及

二极管,

其中,所述第一电容器、所述第二电容器、以及所述二极管顺序地串联连接在第一输入端子和第一输出端子之间,

所述第二电容器连接在所述晶体管的源区及漏区中的一方和栅电极之间,

所述晶体管的所述源区及漏区中的另一方连接到第二输出端子,以及

所述第三电容器连接在所述第一及第二输出端子之间,并且

第二输入端子连接到所述第一输出端子。

7. 根据权利要求6所述的电源电路,还包括连接在所述晶体管的所述栅电极和所述第一或第二输出端子之间的电阻器。

8. 根据权利要求6所述的电源电路,其中所述晶体管是n沟道型,并且所述晶体管的所述源区及漏区中的所述的一方连接到所述二极管的阴极。

9. 根据权利要求6所述的电源电路,其中所述晶体管是p沟道型,并且所述晶体管的所述源区及漏区中的所述的一方连接到所述二极管的阳极。

10. 根据权利要求6所述的电源电路,其中所述二极管是源区或漏区连接到栅电极的晶体管。

11. 一种半导体装置,包括:

从天线接收 AC 电压的整流电路，

其中，所述整流电路包括第一电容器、第二电容器、晶体管、以及二极管，

所述第一电容器、所述第二电容器、以及所述二极管顺序地串联连接在第一输入端子和第一输出端子之间，

所述第二电容器连接在所述晶体管的源区及漏区中的一方和栅电极之间，

所述晶体管的所述源区及漏区中的另一方连接到第二输出端子，并且

第二输入端子连接到所述第一输出端子。

12. 根据权利要求 11 所述的半导体装置，其中所述整流电路还包括连接在所述晶体管的所述栅电极和所述第一或第二输出端子之间的电阻器。

13. 根据权利要求 11 所述的半导体装置，其中所述晶体管是 n 沟道型，并且所述晶体管的所述源区及漏区中的所述的一方连接到所述二极管的阴极。

14. 根据权利要求 11 所述的半导体装置，其中所述晶体管是 p 沟道型，并且所述晶体管的所述源区及漏区中的所述的一方连接到所述二极管阳极。

15. 根据权利要求 11 所述的半导体装置，其中所述二极管是源区或漏区连接到栅电极的晶体管。

16. 根据权利要求 11 所述的半导体装置，还包括调制电路、解调电路、以及存储器。

17. 一种半导体装置，包括：

从天线接收 AC 电压的电源电路，

其中，所述电源电路包括第一电容器、第二电容器、第三电容器、晶体管、以及二极管，

所述第一电容器、所述第二电容器、以及所述二极管顺序地串联连接在第一输入端子和第一输出端子之间，

所述第二电容器连接在所述晶体管的源区及漏区中的一方和栅电极之间，

所述晶体管的所述源区及漏区中的另一方连接到第二输出端子，

所述第三电容器连接在所述第一及第二输出端子之间，并且

第二输入端子连接到所述第一输出端子。

18. 根据权利要求 17 所述的半导体装置，其中所述电源电路还包括连接在所述晶体管的所述栅电极和所述第一或第二输出端子之间的电阻器。

19. 根据权利要求 17 所述的半导体装置，其中所述晶体管是 n 沟道型，并且所述晶体管的所述源区及漏区中的所述的一方连接到所述二极管的阴极。

20. 根据权利要求 17 所述的半导体装置，其中所述晶体管是 p 沟道型，并且所述晶体管的所述源区及漏区中的所述的一方连接到所述二极管的阳极。

21. 根据权利要求 17 所述的半导体装置，其中所述二极管是源区或漏区连接到栅电极的晶体管。

22. 根据权利要求 17 所述的半导体装置，还包括调制电路、解调电路、以及存储器。

整流电路、电源电路以及半导体装置

技术领域

[0001] 本发明涉及使用二极管的整流电路以及使用该整流电路的电源电路。本发明还涉及使用上述整流电路或上述电源电路且能够进行无线通信的半导体装置。

背景技术

[0002] 与嵌入有集成电路及天线的介质(RF 标签)之间以非接触的方式收发信号的技术(RFID:射频识别)已经在各种领域上获得实际使用,且作为一种新的信息通信的形态而有望进一步扩展其市场。在很多情况下用于RFID的RF标签的形状是卡状或比卡状更小型的芯片状,但可以根据其用途而采用各种各样的形状。

[0003] 在RFID中,可以利用电波来进行读出器、读写器、或询问器和RF标签之间的通信。具体而言,从询问器发射的电波在RF标签中的天线转换为电信号,RF标签中的集成电路根据该电信号而工作。并且,通过从天线发射根据从集成电路输出的电信号而被调制的电波,可以以非接触的方式将信号发送到询问器。在此,询问器也具有天线。

[0004] 注意,RF标签大致可划为两个类型,即有源型及无源型。有源型内部装有一次电池,在RF标签中不生成电能。另一方面,无源型可以利用询问器所发射的电波来在RF标签中生成电能。具体而言,在将从询问器接收的电波在天线转换为交流电压之后,在整流电路对该交流电压整流并使用平滑用电容器等,从而作为电源电压供应到RF标签中的各个电路中。

[0005] 在下述专利文献1中公开了使用一个二极管的整流电路和将平滑用电容器连接到该整流电路的输出一侧的结构。在图18中示出专利文献1所公开的整流电路和平滑用电容器的结构。在图18所示的整流电路中,二极管800连接到输入端子801和输出端子802之间。二极管800的阳极配置在输入端子801一侧,而阴极配置在输出端子802一侧。此外,电容器803所具有的两个电极之一方连接到输出端子802,而另一方接地(GND)。

[0006] [专利文献1] 日本专利2909867号公报(第6页、第1图)

[0007] 在RFID中,按照ISO、JIS等的规格或法令来规定询问器所发射的电波强度。

[0008] 但是,当询问器所发射的电波强度相同时,RF标签和询问器之间的通信距离越近,在RF标签中的天线所接收的交流信号的电压振幅越大。当天线所接收的交流信号的电压振幅大时,由先接收该信号的整流电路和平滑用电容器等生成比所希望的值高的电压。生成了的电压提供到连接到该整流电路的后级的电路。其结果,由于对在该电路中的半导体元件提供比所希望的值大的电压,并且流过的电流出乎预料地大,因此发生半导体元件容易劣化或损坏的问题。

[0009] 此外,在询问器所发射的电波包括噪声的情况以及询问器以外的电子设备发射不希望有的辐射的情况下,RF标签被暴露于超过规定的强大电波。在此情况下,天线接收超过预定范围那样大电压振幅的交流信号。当天线所接收的交流信号的电压振幅大时,由先接收该信号的整流电路生成比所希望的值高的电压。生成了的电压提供到连接到该整流电路的后级的电路。其结果,由于对在该电路中的半导体元件提供比所希望的值大的电压,并

且流过的电流出乎预料地大,因此发生半导体元件容易劣化或损坏的问题。

[0010] 此外,为了降低集成电路的成本,一般地进行如下步骤:通过使半导体元件微细化来缩小由半导体元件构成的集成电路的尺寸,从而增加可以形成在一个母玻璃上的集成电路数量。但是,半导体元件的微细化引起其耐压降低且因过电流而 RF 标签容易被损坏的问题。

[0011] 此外,RF 标签还具有如下问题,即当询问器所发射的电波包括噪声时,该噪声妨碍在 RF 标签中的电路的正常工作。

[0012] 假定对图 18 所示的整流电路的输入端子 801 输入具有图 19A 所示的特性的交流信号。在此情况下,如图 19B 中的虚线所示那样,二极管 800 对输入到输入端子 801 的交流信号整流,并输出到输出端子 802。由于电容器 803 使输出到输出端子 802 的信号平滑化,因此实际上具有如图 19B 的实线所示的特性的信号被输出到输出端子 802。

[0013] 图 19C 以提高时间尺度的方式示出图 19B 所示的输出端子 802 中的电压的时间变化。如图 19C 所示那样,虽然可以看到周期性的电压上升和下降,但是每个周期的电压平均值在理想上保持为相同,输出到输出端子 802 的信号的电压被认为直流电压。

[0014] 但是,在询问器所发射的电波中包括噪声的情况下,噪声也包括在通过整流电路和连接到其输出一侧的平滑用电容器生成的电压中。图 19D 示出在低频噪声包括在询问器所发射的电波中的情况下的输出端子 802 的电压的时间变化。如图 19D 所示那样,每个周期的电压的平均值以更长的周期上升和下降的形式出现噪声(低频噪声)。当从整流电路输出的电压包括如图 19D 所示的噪声时,直流电压根据时间而变动,因此可能会对后级的电路工作产生不良影响。

[0015] 此外,图 19E 示出询问器所发射的电波包括高频噪声的情况下的输出端子 802 的电压的时间变化。由于图 19A 所示的信号包括更高频率的信号,所以如图 19E 所示那样出现电压突然变化的噪声(高频噪声)。因为当从整流电路输出的电压包括如图 19E 所示的噪声时,与出现低频噪声的情况相同,直流电压根据时间而变动,所以可能会对后级的电路工作产生不良影响。

发明内容

[0016] 鉴于上述问题,本发明的课题为提供一种整流电路,其中,在整流电路或连接到整流电路的后级的电路中可以抑制过电压及过电流所引起的半导体元件的劣化或损坏。此外,还提供一种半导体装置,其中,在整流电路或连接到整流电路的后级的电路中可以抑制过电压及过电流所引起的半导体元件的劣化或损坏,且可以进行无线通信。

[0017] 另外,鉴于上述问题,本发明的课题为提供一种电源电路,其中,可以防止噪声包括在被输出的电压中,且由整流电路和平滑用电容器形成。此外,还提供一种半导体装置,其中,即使询问器所发射的电波包括噪声也可以防止该噪声妨碍集成电路的正常工作,且无线地进行通信。

[0018] 本发明的整流电路,除了现有的二极管之外还包括至少一个 MOS(金属氧化物半导体)晶体管,该 MOS 晶体管在栅电极与源区或漏区的任何一方之间具有电容器。

[0019] 具体来说,本发明的整流电路至少具有第一电容器、第二电容器、二极管,它们在连结晶体管、输入端子、及两个输出端子中之任何一方输出端子的路径上按顺序串联连接。

第二电容器连接到上述晶体管的源区或漏区的一方和栅电极之间。另外,本发明的整流电路至少具有一个二极管。上述晶体管的源区及漏区的另一方连接到所述两个输出端子中之另一方输出端子。注意,在上述晶体管为n沟道型的情况下,该晶体管的源区及漏区的任何一方连接到二极管的阴极。与此相反,在该晶体管为p沟道型的情况下,该晶体管的源区及漏区的任何一方连接到二极管的阳极。通过上述结构,当对输入端子输入交流信号时,从两个输出端子的任何一方输出被整流了的信号。

[0020] 此外,本发明的电源电路,除了上述整流电路之外还具有并联连接到两个输出端子之间的第三电容器。通过上述第三电容器,使从输出端子的任何一方输出的信号平滑化,从而生成直流电压。

[0021] 注意,本发明的整流电路或电源电路也可以将电阻器或二极管连接到上述晶体管的栅电极和输出端子之间。

[0022] 此外,本发明的半导体装置在集成电路中具有上述整流电路或上述电源电路,且天线所接收的交流信号输入到整流电路的输入端子或电源电路的输入端子。注意,本发明的半导体装置至少具有集成电路即可,也可以不包括天线。再者,本发明的半导体装置所具有的集成电路至少具有对天线所接收的交流信号整流的整流电路、或对天线所接收的交流信号的电压整流来生成直流电压的电源电路即可。

[0023] 在本发明的整流电路中,在输入端子和输出端子之一之间,第一电容器及第二电容器与二极管或晶体管的前级串联连接。因此,即使电压振幅大的交流电压供应到输入端子,也可以使施加到晶体管及二极管的电压较小。此外,对二极管及晶体管不直接施加电压。因而,可以抑制过电压所引起的二极管及晶体管的劣化或损坏。

[0024] 因此,即使询问器和RF标签之间的通信距离短,或因不希望有的辐射而RF标签被暴露于超过规定的强大电波,也可以确保半导体装置的可靠性。

[0025] 此外,在本发明的电源电路中,处于接通状态的晶体管或二极管可以被看作电阻器。因此,第二电容器和该电阻器串联连接。另外,第三电容器与晶体管及二极管并联连接。因为该第二电容器、电阻器和第三电容器也起到低通滤波器的作用,所以即使供应到输入端子的交流电压包括高频噪声,也可以防止该噪声被包括在通过整流电路及平滑电容器生成的直流电压中。

[0026] 再者,在本发明的电源电路中,当将电阻器连接到晶体管的栅电极和输出端子之间时,由于该电阻器和第一电容器起到高通滤波器的作用,所以即使供应到输入端子的交流电压包括低频噪声,也可以防止该噪声被包括在电源电路中生成的直流电压中。

[0027] 从而,即使询问器所发射的电波包括高频或低频噪声,该噪声也不容易包括在电源电路中生成的直流电压中。其结果,使用该直流电压工作的半导体装置中的各种电路的工作不容易受到噪声的影响,因而可以使半导体装置的工作稳定。

附图说明

[0028] 图1A和1B是示出本发明的整流电路及电源电路的结构的电路图;

[0029] 图2A和2B是示出本发明的整流电路及电源电路的动作的图;

[0030] 图3A和3B是示出本发明的整流电路及电源电路的动作的图;

[0031] 图4A和4B是示出本发明的整流电路及电源电路的结构的电路图;

- [0032] 图 5A 和 5B 是示出本发明的整流电路及电源电路的动作的图；
- [0033] 图 6A 和 6B 是示出本发明的整流电路及电源电路的动作的图；
- [0034] 图 7A 和 7B 是示出本发明的整流电路及电源电路的结构的电路图；
- [0035] 图 8 是示出本发明的半导体装置的结构方块图；
- [0036] 图 9A 和 9B 是示出本发明的半导体装置的外观的图；
- [0037] 图 10A 至 10C 是示出本发明的半导体装置的制造方法的图；
- [0038] 图 11A 至 11C 是示出本发明的半导体装置的制造方法的图；
- [0039] 图 12A 和 12B 是示出本发明的半导体装置的制造方法的图；
- [0040] 图 13A 和 13B 是示出本发明的半导体装置的制造方法的图；
- [0041] 图 14A 至 14C 是示出本发明的半导体装置的制造方法的图；
- [0042] 图 15A 至 15C 是示出本发明的半导体装置的制造方法的图；
- [0043] 图 16A 和 16B 是示出本发明的半导体装置的制造方法的图；
- [0044] 图 17 是本发明的电源电路的俯视图；
- [0045] 图 18 是示出现有的整流电路的结构的电路图；
- [0046] 图 19A 至 19E 是示出从整流电路输出的电压的时间变化的图；
- [0047] 图 20A 和 20B 是示出本发明的半导体装置的利用方法的图；
- [0048] 图 21A 和 21B 是示出本发明的半导体装置的利用方法的图；
- [0049] 图 22 是示出用于本发明的半导体装置的薄膜二次电池的结构的图；
- [0050] 图 23 是示出本发明的半导体装置的结构方块图；
- [0051] 图 24 是示出本发明的半导体装置的动作的图。

具体实施方式

[0052] 下面，将参照附图说明本发明的实施方式。但是，本发明可以通过多种不同的方式来实施，所属技术领域的普通人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在本实施方式所记载的内容中。

[0053] 实施方式 1

[0054] 参照图 1A 和 1B 来说明本发明的整流电路及电源电路的结构。在图 1A 中，附图标记 101 相当于本发明的整流电路。整流电路 101 连接到两个输入端子 IN1、IN2 以及两个输出端子 OUT1、OUT2。整流电路 101 至少具有第一电容器 102、第二电容器 103、二极管 105、晶体管 106。注意，图 1A 示出在晶体管 106 是 n 沟道型的情况下的整流电路 101 的结构。此外，本发明的电源电路 111 除了整流电路 101 之外还具有第三电容器 104。

[0055] 在连结输入端子 IN1 和输出端子 OUT2 的路径上，第一电容器 102、第二电容器 103、二极管 105 按顺序串联连接。更详细地说明，第一电容器 102 所具有的第一电极连接到输入端子 IN1。此外，第一电容器 102 所具有的第二电极连接到第二电容器 103 所具有的第一电极。第二电容器 103 所具有的第二电极连接到二极管 105 的阴极。二极管 105 的阳极连接到输出端子 OUT2 及输入端子 IN2。

[0056] 另外，第一电容器 102 连接到输入端子 IN1 和晶体管 106 的栅电极之间。另外，第

二电容器 103 连接到晶体管 106 的源区及漏区的一方和晶体管 106 的栅电极之间。晶体管 106 的源区及漏区中之任何一方连接到输出端子 OUT1, 另一方连接到二极管 105 的阴极。二极管 105 的阳极不仅连接到输出端子 OUT2, 而且还连接到输入端子 IN2。第三电容器 104 连接到输出端子 OUT1 与输出端子 OUT2 及输入端子 IN2 之间。

[0057] 注意, 也可以将电阻器或二极管连接到第一电容器 102 所具有的第二电极和输出端子 OUT2 之间。

[0058] 此外, 作为二极管 105, 也可以使用晶体管。在此情况下, 二极管 105 也可以通过与晶体管 106 相同的制造工序形成。图 1B 示出在图 1A 的整流电路 101 及电源电路 111 中将 n 沟道型晶体管 107 用作二极管 105 的情况的结构。图 1B 的晶体管 107 的栅电极连接到输入端子 IN2 及输出端子 OUT2。此外, 晶体管 107 的源区及漏区中之一方连接到第二电容器 103 所具有的第二电极, 另一方连接到栅电极、输出端子 OUT2 及输入端子 IN2。当将 n 沟道型晶体管 107 看作二极管时, 源区及漏区之中的连接到栅电极的区域与栅电极一起用作阳极, 而另一个区域用作阴极。

[0059] 注意, 晶体管 107 也可以是 p 沟道型。在此情况下, 晶体管 107 的栅电极连接到第二电容器 103 所具有的第二电极。此外, 晶体管 107 的源区及漏区中之一方连接到输入端子 IN2 及输出端子 OUT2, 另一方连接到栅电极及第二电容器 103 所具有的第二电极。当将 p 沟道型晶体管 107 看作二极管时, 源区及漏区之中的连接到栅电极的区域与栅电极一起用作阴极, 而另一个区域用作阳极。

[0060] 接着, 参照图 2A 来说明图 1A 所示的整流电路 101 及电源电路 111 的动作。如图 2A 所示那样, 假定将比接地 (GND) 高的电压 V_h 施加到输入端子 IN1。此时, 输入端子 IN2 及输出端子 OUT2 连接到地 (GND)。当将电压 V_h 施加到输入端子 IN1 时, 对第一电容器 102 的第二电极、第二电容器 103 的第一电极、以及晶体管 106 的栅电极施加电压 V_h 。下面, 将第一电容器 102 的第二电极、第二电容器 103 的第一电极、以及晶体管 106 的栅电极的电压表示为第一节点 (N1) 的电压。注意, 实际上, 由于电压根据第一电容器 102、第二电容器 103、晶体管 106 的栅电容、寄生电阻及寄生电容而降低, 因此第一节点 (N1) 的电压低于电压 V_h 。但是即使将第一节点的电压认为与电压 V_h 几乎相同, 在动作的说明上也没有问题。

[0061] 当第一节点 (N1) 的电压成为电压 V_h 时, 对第二电容器 103 的第二电极及二极管 105 的阴极施加电压 V_h 。下面, 将第二电容器 103 的第二电极及二极管 105 的阴极的电压表示为第二节点 (N2) 的电压。注意, 实际上, 由于电压根据第二电容器 103、晶体管 106 的栅电极和漏区之间的电容、寄生电阻以及寄生电容而降低, 因此第二节点 (N2) 的电压比电压 V_h 更低。但是即使将第二节点的电压认为与电压 V_h 几乎相同在动作的说明上也没有问题。

[0062] 当第二节点 (N2) 的电压成为电压 V_h 时, 因为晶体管 106 是 n 沟道型, 所以可以将晶体管 106 所具有的一对杂质区域中连接到第二电容器 103 的第二电极以及二极管 105 的阴极的区域看作漏区 (D), 而可以将连接到输出端子 OUT1 的区域看作源区 (S)。当相当于栅电极和源区之间的电压的栅电压变成高于晶体管 106 的阈值电压 V_{th} 时, 晶体管 106 接通。此外, 由于对二极管 105 施加反向偏置的电压, 因此二极管 105 截止。从而比第二节点 (N2) 的电压降低了晶体管 106 的阈值电压 V_{th} 的电压、此时为电压 $(V_h - V_{th})$ 被供应到输出端子 OUT1。

[0063] 图 2B 示出在将处于接通状态的晶体管 106 被看作电阻器的情况下的电源电路 111 的结构。因为在图 2A 中二极管 105 截止,所以在图 2B 中将它图示为开路的开关。在对输入端子 IN1 施加电压 V_h 的情况下,第一电容器 102、第二电容器 103、以及作为电阻器的晶体管 106 串联连接。第三电容器 104 连接到输出端子 OUT1 和接地 (GND) 的输出端子 OUT2 之间。由于在此第二电容器 103、作为电阻器的晶体管 106、以及第三电容器 104 用作低通滤波器 108,所以即使供应到输入端子 IN1 的交流信号包括高频噪声,也可以防止该噪声被包括在从输出端子 OUT1 输出的直流电压中。

[0064] 再者,在本发明的电源电路 111 中,在将电阻器 110 连接到第一电容器 102 所具有的第二电极和第二输入端子 IN2 之间的情况下,第一电容器 102 和该电阻器 110 起高通滤波器 109 的作用。因此,即使供应到输入端子 IN1 的交流信号包括低频噪声也可以防止该噪声被包括在从输出端子 OUT1 输出的直流电压中。

[0065] 从而,即使询问器所发射的电波包括高频或低频噪声,该噪声也不容易包括在从电源电路 111 输出的直流电压中,因此使用该直流电压来工作的各种电路的工作不容易受到该噪声的影响。从而可以使各种电路的工作稳定。

[0066] 注意,在低通滤波器 108 中,当经过该滤波器的电压的频率为 F_L 、第二电容器 103 的电容值为 C_2 、在将晶体管 106 看作电阻器的情况下的电阻值为 R_t 、第三电容器 104 的电容值为 C_3 时, F_L 满足算式 1。因此,优选根据要遮断的噪声的频率而设定电容值 C_2 、电阻值 R_t 、以及电容值 C_3 的值。此外,在高通滤波器 109 中,当经过该滤波器的电压的频率为 F_H 、第一电容 102 的电容值为 C_1 、电阻器 110 的电阻值为 R 时,满足 $F_H \geq 1/(2\pi \times C_1 \times R)$ 。因此,优选根据要遮断的噪声的频率而设定电容值 C_1 、电阻值 R 的值。

[0067] [算式 1]

$$[0068] \quad F_L \leq \frac{\sqrt{2-(1+C_3/C_2)^2}}{2\pi \times C_3 \times R_t}$$

[0069] 接着,如图 3A 所示那样,假定对输入端子 IN1 施加比接地 (GND) 低的电压 $V_1 (= -V_h)$ 。此时,输入端子 IN2 接地 (GND)。当对输入端子 IN1 施加电压 V_1 时,第一节点 (N1) 的电压成为电压 V_1 。注意,实际上,由于电压根据第一电容器 102、第二电容器 103、晶体管 106 的栅电容、寄生电阻以及寄生电容而升高,因此第一节点 (N1) 的电压比电压 V_1 高。但是即使将第一节点的电压认为与电压 V_1 几乎相同在动作的说明上也没有问题。

[0070] 当第一节点 (N1) 的电压成为电压 V_1 时,第二节点 (N2) 的电压也成为电压 V_1 。注意,实际上,由于电压根据第二电容器 103、晶体管 106 的栅电极和漏区之间的电容、寄生电阻以及寄生电容而升高,因此第二节点 (N2) 的电压比电压 V_1 更高。但是即使将第二节点的电压认为与电压 V_1 几乎相同在动作的说明上也没有问题。

[0071] 当第二节点 (N2) 的电压成为电压 V_1 时,因为晶体管 106 是 n 沟道型,所以可以将晶体管 106 所具有的一对杂质区域中连接到第二电容器 103 的第二电极以及二极管 105 的阴区的区域看作源区 (S),而可以将连接到输出端子 OUT1 的区域看作漏区 (D)。当栅电压比晶体管 106 的阈值电压 V_{th} 低时,晶体管 106 截止。在此,输出端子 OUT1 的电压由第三电容器 104 保持。此外,因为对二极管 105 施加正向偏压的电压,所以二极管 105 接通。因此,第二节点 (N2) 的电压逐渐成为接地 (GND) 的电压。

[0072] 图 3B 示出在将处于截止状态的晶体管 106 看作开路的开关的情况下的电源电路 111 的结构。因为在图 3A 中二极管 105 接通,所以在图 3B 中将它图示为电阻器。如图 3B 所示那样,在电压 V1 施加到输入端子 IN1 的情况下,第一电容器 102 和电阻器 110 与图 2B 所示的情况同样地用作高通滤波器 109。再者,第二电容器 103 和由二极管 105 形成的电阻器用作高通滤波器 112。因此成为两级高通滤波器串联连接的结构,从而低频噪声更不容易包括在从输出端子 OUT1 输出的直流电压中。

[0073] 注意,用于整流电路 101 以及电源电路 111 的半导体元件的种类及其数量不局限于本实施方式所示的结构。除了图 1A 所示的半导体元件之外,还可以适当地提供电阻器、电容器、二极管、电感器、开关等,以获得更理想的整流特性。

[0074] 如上所述那样,在本实施方式的整流电路中,第一电容器 102 及第二电容器 103 与二极管 105 或晶体管 106 的前级串联连接。因此当将电压的振幅大的交流信号供应到输入端子 IN1 时,也可以使施加到二极管 105 或晶体管 106 的电压小。此外,对二极管 105 或晶体管 106 不直接施加电压。从而,可以抑制过电压所引起的二极管 105 或晶体管 106 的劣化或损坏。

[0075] 此外,在本实施方式的电源电路 111 中,即使询问器所发射的电波包括高频或低频噪声,该噪声也不容易包括在从电源电路 111 输出的直流电压中。其结果,使用该直流电压来工作的半导体装置中的各种电路的工作不容易受到噪声的影响,从而可以使半导体装置的工作稳定。

[0076] 实施方式 2

[0077] 参照图 4A 和 4B 来说明本发明的整流电路及电源电路的结构。在图 4A 中,附图标记 201 相当于本发明的整流电路。整流电路 201 连接到两个输入端子 IN1、IN2 以及两个输出端子 OUT1、OUT2。天线所具有的两个端子分别连接到输入端子 IN1 和输入端子 IN2。此外,整流电路 201 至少具有第一电容器 202、第二电容器 203、二极管 205、晶体管 206。注意,图 4A 示出在晶体管 206 是 p 沟道型的情况下的整流电路 201 的结构。此外,本发明的电源电路 211 除了整流电路 201 之外还具有第三电容器 204。

[0078] 在连结输入端子 IN1 和输出端子 OUT1 的路径上,第一电容器 202、第二电容器 203、二极管 205 按顺序串联连接。更详细地说明,第一电容器 202 所具有的第一电极连接到输入端子 IN1。此外,第一电容器 202 所具有的第二电极连接到第二电容器 203 所具有的第一电极。第二电容器 203 所具有的第二电极连接到二极管 205 的阳极。二极管 205 的阴极连接到输出端子 OUT1。

[0079] 第一电容器 202 连接到输入端子 IN1 和晶体管 206 的栅电极之间。再者,第二电容器 203 连接到晶体管 206 的源区及漏区的一方和晶体管 206 的栅电极之间。晶体管 206 的源区及漏区中之任何一方连接到输入端子 IN2 以及输出端子 OUT2,另一方连接到二极管 205 的阳极。第三电容器 204 连接到输出端子 OUT1 和输出端子 OUT2 之间。

[0080] 注意,也可以将电阻器或二极管连接到第一电容器 202 所具有的第二电极和输出端子 OUT2 之间。

[0081] 此外,作为二极管 205,也可以使用晶体管。在此情况下,二极管 205 也可以通过与晶体管 206 相同的制造工序形成。图 4B 示出在图 4A 的整流电路 201 及电源电路 211 中将 p 沟道型晶体管 207 用作二极管 205 的情况的结构。在图 4B 的晶体管 207 中,栅电极连接

到输出端子 OUT2。此外,晶体管 207 的源区及漏区中之一方连接到第二电容器 203 所具有的第二电极,另一方连接到栅电极及输出端子 OUT1。当将 p 沟道型晶体管 207 看作二极管时,源区及漏区之中的连接到栅电极的区域与栅电极一起用作阴极,而另一个区域用作阳极。

[0082] 注意,晶体管 207 也可以是 n 沟道型。在此情况下,晶体管 207 的栅电极连接到第二电容器 203 所具有的第二电极。此外,晶体管 207 的源区及漏区中之一方与栅电极一起连接到第二电容器 203 所具有的第二电极,另一方连接到输出端子 OUT1。当将 n 沟道型晶体管 207 看作二极管时,源区及漏区之中的连接到栅电极的区域与栅电极一起用作阳极,而另一个区域用作阴极。

[0083] 接着,参照图 5A 来说明图 4A 所示的整流电路 201 及电源电路 211 的动作。如图 5A 所示那样,假定将比接地 (GND) 高的电压 V_h 施加到输入端子 IN1。此时,输入端子 IN2 连接到接地 (GND)。当将电压 V_h 施加到输入端子 IN1 时,对第一电容器 202 的第二电极、第二电容器 203 的第一电极、以及晶体管 206 的栅电极施加电压 V_h 。下面,将第一电容器 202 的第二电极、第二电容器 203 的第一电极、以及晶体管 206 的栅电极的电压表示为第一节点 (N1) 的电压。注意,实际上,由于电压根据第一电容器 202、第二电容器 203、晶体管 206 的栅电容、寄生电阻及寄生电容而降低,因此第一节点 (N1) 的电压低于电压 V_h 。但是即使将第一节点的电压认为与电压 V_h 几乎相同,在动作的说明上也没有问题。

[0084] 当第一节点 (N1) 的电压成为电压 V_h 时,对第二电容器 203 的第二电极及二极管 205 的阳极施加电压 V_h 。下面,将第二电容器 203 的第二电极及二极管 205 的阳极的电压表示为第二节点 (N2) 的电压。注意,实际上,由于电压根据第二电容器 203、晶体管 206 的栅电极和漏区之间的电容、寄生电阻以及寄生电容而降低,因此第二节点 (N2) 的电压比电压 V_h 更低。但是即使将第二节点的电压认为与电压 V_h 几乎相同在动作的说明上也没有问题。

[0085] 当第二节点 (N2) 的电压成为电压 V_h 时,因为晶体管 206 是 p 沟道型,所以可以将晶体管 206 所具有的一对杂质区域中连接到第二电容器 203 的第二电极以及二极管 205 的阳极的区域看作源区 (S),而可以将连接到输出端子 OUT2 的区域看作漏区 (D)。当相当于栅电极和源区之间的电压的栅电压变成高于晶体管 206 的阈值电压 V_{th} 时,晶体管 206 截止。此外,由于对二极管 205 施加正向偏压的电压,因此二极管 205 接通。从而从第二节点 (N2) 的电压减去在二极管 205 中降低的电压 V_d 而获得的电压、此时为电压 $(V_h - V_d)$ 供应到输出端子 OUT1,并且第三电容器 204 保持输出端子 OUT1 的电压。

[0086] 图 5B 示出在将处于接通状态的二极管 205 看作电阻器的情况下的电源电路 211 的结构。在图 5A 中晶体管 206 截止,而在图 5B 中将它图示为开路的开关。在对输入端子 IN1 施加电压 V_h 的情况下,第一电容器 202、第二电容器 203、以及作为电阻器的二极管 205 串联连接。第三电容器 204 连接到输出端子 OUT1 和接地 (GND) 的输出端子 OUT2 之间。由于在此第二电容器 203、作为电阻器的二极管 205、以及第三电容器 204 用作低通滤波器 208,所以即使供应到输入端子 IN1 的交流信号包括高频噪声,也可以防止该噪声被包括在从输出端子 OUT1 输出的直流电压中。

[0087] 再者,在本发明的电源电路 211 中,在将电阻器 210 连接到第一电容器 202 所具有的第二电极和第二输入端子 IN2 之间的情况下,第一电容器 202 和该电阻器 210 用作高通

滤波器 209。因此,即使供应到输入端子 IN1 的交流电压包括低频噪声也可以防止该噪声被包括在从输出端子 OUT1 输出的直流电压中。

[0088] 因此,即使询问器所发射的电波包括高频或低频噪声,该噪声也不容易包括在从整流电路 201 输出的直流电压中,从而该噪声不容易妨碍使用该直流电压来工作的各种电路的工作。

[0089] 注意,在低通滤波器 208 中,当经过该滤波器的电压的频率为 F_L 、第二电容器 203 的电容值为 C_2 、在将二极管 205 看作电阻的情况下的电阻值为 R_L 、第三电容器 204 的电容值为 C_3 时, F_L 满足算式 1。因此,优选根据要遮断的噪声的频率而设定电容值 C_2 、电阻值 R_L 、以及电容值 C_3 的值。此外,在高通滤波器 209 中,当经过该滤波器的电压的频率为 F_H 、第一电容器 202 的电容值为 C_1 、电阻器 210 的电阻值为 R 时,满足 $F_H \geq 1/(2\pi \times C_1 \times R)$ 。因此,优选根据要遮断的噪声的频率而设定电容值 C_1 、电阻值 R 的值。

[0090] 接着,如图 6A 所示那样,假定对输入端子 IN1 施加比接地 (GND) 低的电压 $V_1 (= -V_h)$ 。此时,输入端子 IN2 连接到接地 (GND)。当对输入端子 IN1 施加电压 V_1 时,第一节点 (N1) 的电压成为电压 V_1 。注意,实际上,由于电压根据第一电容器 202、第二电容器 203、晶体管 206 的栅电容、寄生电容以及寄生电阻而升高,因此第一节点 (N1) 的电压比电压 V_1 高。但是即使将第一节点的电压认为与电压 V_1 几乎相同在动作的说明上也没有问题。

[0091] 当第一节点 (N1) 的电压成为电压 V_1 时,第二节点 (N2) 的电压也成为电压 V_1 。注意,实际上,由于电压根据第二电容器 203、晶体管 206 的栅电极和源区之间的电容、寄生电阻以及寄生电容而升高,因此第二节点 (N2) 的电压比电压 V_1 更高。但是即使将第二节点的电压认为与电压 V_1 几乎相同在动作的说明上也没有问题。

[0092] 当第二节点 (N2) 的电压成为电压 V_1 时,因为晶体管 206 是 p 沟道型,所以可以将晶体管 206 所具有的一对杂质区域中连接到第二电容器 203 的第二电极以及二极管 205 的阳极的区域看作漏区 (D),而可以将连接到输出端子 OUT2 的区域看作源区 (S)。当相当于栅电极和源区之间的电压的栅电压比晶体管 206 的阈值电压 V_{th} 低时,晶体管 206 接通。此外,因为对二极管 205 施加反向偏压的电压,所以二极管 205 截止。因此,第二节点 (N2) 的电压逐渐成为接地 (GND) 的电压。第三电容器 204 保持输出端子 OUT1 的电压。

[0093] 图 6B 示出在将处于截止状态的二极管 205 看作开路的开关的情况下的电源电路 211 的结构。因为在图 6A 中晶体管 206 接通,所以在图 6B 中将它图示为电阻器。如图 6B 所示那样,在电压 V_1 施加到输入端子 IN1 的情况下,第一电容器 202 和电阻器 210 与图 5B 所示的情况同样地用作高通滤波器 209。再者,第二电容器 203 和由晶体管 206 形成的电阻器用作高通滤波器 212。因此成为两级高通滤波器串联连接的结构,从而低频噪声更不容易包括在从输出端子 OUT1 输出的直流电压中。

[0094] 注意,用于整流电路 201 以及电源电路 211 的半导体元件的种类及其数量不局限于本实施方式所示的结构。除了图 4A 所示的半导体元件之外,还可以适当地提供电阻器、电容器、二极管、电感器、开关等,以获得更理想的整流特性。

[0095] 如上所述那样,在本实施方式的整流电路中,第一电容器 202 及第二电容器 203 与二极管 205 或晶体管 206 的前级串联连接。因此当将电压的振幅大的交流信号供应到输入端子 IN1 时,也可以使施加到二极管 205 或晶体管 206 的电压小。此外,对二极管 205 或晶

晶体管 206 不直接施加电压。从而,可以抑制过电压所引起的二极管 205 或晶体管 206 的劣化或损坏。

[0096] 此外,在本实施方式中,即使询问器所发射的电波包括高频或低频噪声,该噪声也不容易包括在从电源电路 211 输出的直流电压中。其结果,使用该直流电压来工作的半导体装置中的各种电路的工作不容易受到噪声的影响,从而可以使半导体装置的工作稳定。

[0097] 实施方式 3

[0098] 在实施方式 1 及 2 中说明了可以从输出端子 OUT1 获得正的直流电压的整流电路及电源电路的结构。在本实施方式中,说明可以获得负的直流电压的本发明的整流电路及电源电路的结构。

[0099] 图 7A 示出本实施方式的整流电路及电源电路的结构。图 7A 所示的整流电路 301 连接到两个输入端子 IN1、IN2 以及两个输出端子 OUT1、OUT2。天线所具有的两个端子分别连接到输入端子 IN1 和输入端子 IN2。此外,整流电路 301 至少具有第一电容器 302、第二电容器 303、二极管 305、晶体管 306。注意,图 7A 示出晶体管 306 是 n 沟道型的情况下的整流电路 301 的结构。此外,本发明的电源电路 309 除了整流电路 301 之外还具有第三电容器 304。

[0100] 在连结输入端子 IN1 和输出端子 OUT1 的路径上,第一电容器 302、第二电容器 303、二极管 305 按顺序串联连接。更详细地说明,第一电容器 302 所具有的第一电极连接到输入端子 IN1。此外,第一电容器 302 所具有的第二电极连接到第二电容器 303 所具有的第一电极。第二电容器 303 所具有的第二电极连接到二极管 305 的阴极。二极管 305 的阳极连接到输出端子 OUT1。

[0101] 另外,第一电容器 302 连接到输入端子 IN1 和晶体管 306 的栅电极之间。再者,第二电容器 303 连接到晶体管 306 的源区及漏区的一方和晶体管 306 的栅电极之间。晶体管 306 的源区及漏区中之任何一方连接到输入端子 IN2 以及输出端子 OUT2,另一方连接到二极管 305 的阴极。第三电容器 304 连接到输出端子 OUT1 和输出端子 OUT2 之间。

[0102] 注意,也可以将电阻器或二极管连接到第一电容器 302 所具有的第二电极和输出端子 OUT2 之间。

[0103] 此外,作为二极管 305,也可以使用晶体管。在此情况下,二极管 305 也可以通过与晶体管 306 相同的制造工序形成。在使用 n 沟道型晶体管作为二极管 305 的情况下,该晶体管的栅电极连接到输出端子 OUT1。此外,用作二极管 305 的晶体管的源区和漏区之一方连接到第二电容器 303 所具有的第二电极,另一方连接到栅电极及输出端子 OUT1。当将 n 沟道型晶体管看作二极管时,源区及漏区之中的连接到栅电极的区域与栅电极一起用作阳极,而另一个区域用作阴极。此外,在使用 p 沟道型晶体管作为二极管 305 的情况下,该晶体管的栅电极连接到第二电容器 303 所具有的第二电极。此外,用作二极管 305 的晶体管的源区及漏区之一方连接到输出端子 OUT1,另一方连接到栅电极以及第二电容器 303 所具有的第二电极。当将 p 沟道型晶体管看作二极管时,源区及漏区之中连接到栅电极的区域与栅电极一起用作阴极,而另一个区域用作阳极。

[0104] 通过上述结构,当对输入端子 IN1 输入交流信号时,从输出端子 OUT1 输出负的直流电压。

[0105] 注意,用于整流电路 301 以及电源电路 309 的半导体元件的种类及其数量不局限

于本实施方式所示的结构。除了图 7A 所示的半导体元件之外,还可以适当地提供电阻器、电容器、二极管、电感器、开关等,以获得更理想的整流特性。

[0106] 在图 7A 所示的整流电路中,第一电容器 302 及第二电容器 303 与二极管 305 或晶体管 306 的前级串联连接。因此当将电压的振幅大的交流信号供应到输入端子 IN1 时,也可以使施加到二极管 305 或晶体管 306 的电压小。此外,对二极管 305 或晶体管 306 不直接施加电压。从而,可以抑制过电压所引起的二极管 305 或晶体管 306 的劣化或损坏。

[0107] 此外,在图 7A 所示的电源电路 309 中,与图 1A 所示的整流电路的情况相同,即使询问器所发射的电波包括高频或低频噪声,该噪声也不容易包括在从电源电路 309 输出的直流电压中。其结果,使用该直流电压来工作的半导体装置中的各种电路的工作不容易受到噪声的影响,从而可以使半导体装置的工作稳定。

[0108] 下面,说明可以获得负的直流电压的本发明的整流电路及电源电路的其他结构。

[0109] 图 7B 示出本实施方式的整流电路及电源电路的结构。图 7B 所示的整流电路 311 连接到两个输入端子 IN1、IN2 以及两个输出端子 OUT1、OUT2。天线所具有的两个端子分别连接到输入端子 IN1 和输入端子 IN2。此外,整流电路 311 至少具有第一电容器 312、第二电容器 313、二极管 315、晶体管 316。注意,图 7B 示出晶体管 316 是 p 沟道型的情况下的整流电路 311 的结构。此外,本发明的电源电路 319 除了整流电路 311 之外还具有第三电容器 314。

[0110] 在连结输入端子 IN1 和输出端子 OUT2 的路径上,第一电容器 312、第二电容器 313、二极管 315 按顺序串联连接。更详细地说明,第一电容器 312 所具有的第一电极连接到输入端子 IN1。此外,第一电容器 312 所具有的第二电极连接到第二电容器 313 所具有的第一电极。第二电容器 313 所具有的第二电极连接到二极管 315 的阳极。二极管 315 的阴极连接到输出端子 OUT2。

[0111] 第一电容器 312 连接到输入端子 IN1 和晶体管 316 的栅电极之间。再者,第二电容器 313 连接到晶体管 316 的源区及漏区的一方和晶体管 316 的栅电极之间。晶体管 316 的源区及漏区中之任何一方连接到输出端子 OUT1,另一方连接到二极管 315 的阳极。第三电容器 314 连接到输出端子 OUT1 和输出端子 OUT2 之间。

[0112] 注意,也可以将电阻器或二极管连接到第一电容器 312 所具有的第二电极和输出端子 OUT2 之间。

[0113] 此外,作为二极管 315,也可以使用晶体管。在此情况下,二极管 315 也可以通过与晶体管 316 相同的制造工序形成。在使用 p 沟道型晶体管作为二极管 315 的情况下,该晶体管的栅电极连接到输入端子 IN2 及输出端子 OUT2。此外,用作二极管 315 的晶体管的源区及漏区之一方连接到第二电容器 313 所具有的第二电极,另一方与栅电极一起连接到输入端子 IN2 及输出端子 OUT2。当将 p 沟道型晶体管看作二极管时,源区及漏区之中连接到栅电极的区域与栅电极一起用作阴极,而另一个区域用作阳极。此外,在使用 n 沟道型晶体管作为二极管 315 的情况下,该晶体管的栅电极连接到输出端子 OUT2。此外,用作二极管 315 的晶体管的源区及漏区之一方连接到第二电容器 313 所具有的第二电极,另一方连接到栅电极及输出端子 OUT2。当将 n 沟道型晶体管看作二极管时,源区及漏区之中连接到栅电极的区域与栅电极一起用作阳极,而另一个区域用作阴极。

[0114] 通过上述结构,当对输入端子 IN1 输入交流信号时,从输出端子 OUT1 输出负的直

流电压。

[0115] 注意,用于整流电路 311 以及电源电路 319 的半导体元件的种类及其数量不局限于本实施方式所示的结构。除了图 7B 所示的半导体元件之外,还可以适当地提供电阻器、电容器、二极管、电感器、开关等,以获得更理想的整流特性。

[0116] 在图 7B 所示的整流电路中,第一电容器 312 及第二电容器 313 与二极管 315 或晶体管 316 的前级串联连接。因此当将电压的振幅大的交流信号供应到输入端子 IN1 时,也可以使施加到二极管 315 或晶体管 316 的电压小。此外,对二极管 315 或晶体管 316 不直接施加电压。从而,可以抑制过电压所引起的二极管 315 或晶体管 316 的劣化或损坏。

[0117] 此外,在图 7B 所示的电源电路 319 中,与图 4A 所示的整流电路的情况相同,即使询问器所发射的电波包括高频或低频噪声,该噪声也不容易包括在从电源电路 311 输出的直流电压中。其结果,使用该直流电压来工作的半导体装置中的各种电路的工作不容易受到噪声的影响,从而可以使半导体装置的工作稳定。

[0118] 实施例 1

[0119] 参照图 8 说明本发明的半导体装置的结构。图 8 是示出本发明的半导体装置的一个方式的方块图。在图 8 中,半导体装置 900 具有天线 901 和集成电路 902。集成电路 902 具有电源电路 903、解调电路 904、调制电路 905、调整器 906、控制电路 907、以及存储器 909。本发明的整流电路可以在电源电路 903、解调电路 904 中使用。

[0120] 当从询问器发送电波时,在天线 901 中将该电波转换为交流电压。在电源电路 903 中,对来自天线 901 的交流电压整流,并且生成电源用的电压。在本发明的电源电路 903 中,即使在天线 901 所接收的交流信号具有超过预定范围那样大的振幅,也可以抑制电源电路 903 中的半导体元件的劣化或损坏并且生成电源用的电压。此外,即使天线 901 所接收的交流信号包括噪声也可以防止该噪声包括在输出的直流电压中。因此,可以防止该噪声对电源电路 903 的后级的调整器 906 及控制电路 907 的工作造成不良影响。

[0121] 在电源电路 903 中所生成的电源用的电压供应到控制电路 907 和调整器 906。调整器 906 在使来自电源电路 903 的电源用的电压稳定或调整其高度之后,将该电压供应到集成电路 902 中的解调电路 904、调制电路 905、控制电路 907、以及存储器 909 等各种电路。

[0122] 解调电路 904 解调天线 901 所接收的交流信号并输出到后级的控制电路 907。控制电路 907 根据从解调电路 904 输入的信号进行运算处理,而另行生成信号。在进行上述运算处理之际,可以将存储器 909 用作一次高速缓冲存储器或二次高速缓冲存储器。此外,控制电路 907 分析从解调电路 904 输入的信号且根据从询问器发送的指令内容来进行在存储器 909 中的信息的输出或在存储器 909 中的指令内容的保存。从控制电路 907 输出的信号被编码,然后发送到调制电路 905。调制电路 905 根据该信号调制天线 901 所接收的电波。在天线 901 中调制的电波由询问器接收。并且可以知道从半导体装置 900 输出的信息。

[0123] 像这样,通过调制用作载波的电波来进行半导体装置 900 和询问器的通信。根据规格存在有各种各样的载波,如 125kHz、13.56MHz、950MHz、2.45GHz 等。此外,作为调制方式,根据规格存在有各种各样的方式,如振幅调制、频率调制、相位调制等。但是可以使用任何方式,而只要是适合于规格的调制方式即可。

[0124] 信号的传送方式可以根据载波的波长来分为电磁耦合方式、电磁感应方式、微波方式等各种各样的种类。在采用电磁耦合方式和电磁感应方式的情况下,因为半导体装置

暴露于强大的电波,所以有可能在天线产生过大的交流电压。若使用本发明的整流电路,就可以防止由于过大的交流电压而导致的集成电路中的半导体元件的劣化或损坏,因而在采用电磁耦合方式和电磁感应方式时特别有效。

[0125] 存储器 909 可以是非易失性存储器或易失性存储器。作为存储器 909,例如可以使用 SRAM、DRAM、闪存、EEPROM、FeRAM 等。

[0126] 在本实施例中,虽然说明了具有天线 901 的半导体装置 900 的结构,但本发明的半导体装置也可以不必具有天线。另外,也可以在图 8 所示的半导体装置中设置振荡电路或二次电池。

[0127] 另外,在图 8 中,虽然说明了仅具有一个天线的半导体装置的结构,但本发明不局限于该结构。也可以具有以下两个天线,即用来接收电力的天线、以及用来接收信号的天线。当具有一个天线时,例如,当以 950MHz 的电波进行电力的供应和信号的传送这两者时,大电力传送到远地方,从而有可能妨碍其他无线设备的接收工作。因此,优选降低电波的频率以近距离供应电力,但在此情况下通信距离必然缩短。但是,当具有两个天线时,可以分别使用供应电力的电波的频率和发送信号的电波的频率。例如,当发送电力时以电波的频率为 13.56MHz 且利用磁场,而当发送信号时以电波的频率为 950MHz 且利用电场。像这样,通过根据功能分别使用天线,当供应电力时仅进行近距离的通信,而当发送信号时还能够进行远距离的通信。

[0128] 本实施例可以与实施方式 1 至 3 适当地组合来实施。

[0129] 实施例 2

[0130] 下面,说明本发明的半导体装置的外观。

[0131] 图 9A 使用透视图示出形成为芯片状的本发明的半导体装置的一个方式。附图标记 1601 相当于集成电路,1602 相当于天线。天线 1602 连接到集成电路 1601。附图标记 1603 相当于衬底,1604 相当于覆盖材料。本发明的整流电路及电源电路包括在集成电路 1601 中。集成电路 1601 形成在衬底 1603 上,覆盖材料 1604 以覆盖集成电路 1601 及天线 1602 的方式与衬底 1603 重叠。注意,既可以将天线 1602 形成在衬底 1603 上,又可以在形成集成电路 1601 之后将另行形成的天线 1602 贴合在衬底 1603 上。

[0132] 图 9B 使用透视图示出形成为卡状的本发明的半导体装置的一个方式。附图标记 1605 相当于集成电路,1606 相当于天线,并且天线 1606 连接到集成电路 1605。附图标记 1608 相当于用作插入片(inletsheet)的衬底,附图标记 1607 和 1609 相当于覆盖材料。集成电路 1605 及天线 1606 形成在衬底 1608 上,衬底 1608 夹在两个覆盖材料 1607 和 1609 之间。

[0133] 注意,虽然在图 9A 及 9B 中示出了天线 1602 及天线 1606 具有线圈状的情况,但用于本发明的天线的形状不局限于此。在不利用磁场而利用电场来进行通信的情况下,可以使用偶极天线作为天线 1602 及天线 1606。

[0134] 本发明的整流电路及电源电路可以通过通常的 MOS 工艺形成。

[0135] 本实施例可以与实施方式 1 至 3、以及实施例 1 适当地组合来实施。

[0136] 实施例 3

[0137] 下面,详细地说明本发明的半导体装置的制造方法。注意,虽然在本实施例中以薄膜晶体管(TFT)示出为半导体元件的一例,但用于本发明的半导体装置的半导体元件不局

限于此。例如,除了 TFT 之外,还可以使用存储元件、二极管、电阻器、电容器、电感器等。

[0138] 首先,如图 10A 所示,在具有耐热性的衬底 700 上按顺序形成绝缘膜 701、剥离层 702、用作基底膜的绝缘膜 703、以及半导体膜 704。绝缘膜 701、剥离层 702、绝缘膜 703、以及半导体膜 704 可以连续形成。

[0139] 作为衬底 700,例如可以使用诸如硼硅酸钡玻璃或硼硅酸铝玻璃等玻璃衬底、石英衬底、陶瓷衬底等。此外,也可以使用包括不锈钢衬底的金属衬底或如硅衬底等半导体衬底。虽然由具有挠性的合成树脂如塑料等构成的衬底的耐热温度通常低于上述衬底,但只要能够耐受制造工序中的处理温度,就可以使用。

[0140] 作为塑料衬底,可以举出以聚对苯二甲酸乙二酯 (PET) 为代表的聚酯、聚醚砜 (PES)、聚萘二酸乙二酯 (PEN)、聚碳酸酯 (PC)、尼龙、聚醚醚酮 (PEEK)、聚砜 (PSF)、聚醚酰亚胺 (PEI)、聚丙烯酸酯 (PAR)、聚对苯二甲酸丁二酯 (PBT)、聚酰亚胺、丙烯腈-丁二烯-苯乙烯树脂、聚氯乙烯、聚丙烯、聚乙酸乙烯酯、丙烯酸树脂等。

[0141] 注意,在本实施例中虽然在衬底 700 的整个表面上设置剥离层 702,但本发明不局限于该结构。例如,也可以使用光刻法等衬底 700 上部分地形成剥离层 702。

[0142] 绝缘膜 701 和绝缘膜 703 通过使用 CVD 法或溅射法等并且使用氧化硅、氮化硅 (SiN_x 、 Si_3N_4 等)、氧氮化硅 (SiO_xN_y) ($x > y > 0$)、氮氧化硅 (SiN_xO_y) ($x > y > 0$) 等的具有绝缘性的材料形成。

[0143] 设置绝缘膜 701 和绝缘膜 703,以便防止包含在衬底 700 中的 Na 等的碱金属或碱土金属扩散到半导体膜 704 中而对 TFT 等半导体元件的特性产生不良影响。另外,绝缘膜 703 还具有以下作用:防止包含在剥离层 702 中的杂质元素扩散到半导体膜 704 中,并且在之后的剥离半导体元件的工序中保护半导体元件。

[0144] 绝缘膜 701、绝缘膜 703 可以是使用单个绝缘膜而成的,也可以是层叠多个绝缘膜而成的。在本实施例中,按顺序层叠氮含量比氧高的 100nm 厚的氧氮化硅膜、氧含量比氮高的 50nm 厚的氮氧化硅膜、氮含量比氧高的 100nm 厚的氧氮化硅膜来形成绝缘膜 703,但各个膜的材质、膜厚度、层叠个数不局限于此。例如,也可以通过旋转涂敷法、狭缝式涂布机法、液滴喷射法、印刷法等形成 0.5 μm 至 3 μm 厚的硅氧烷树脂而代替下层的氧氮化硅膜。另外,也可以使用氮化硅膜 (SiN_x 、 Si_3N_4 等) 而代替中层的氮氧化硅膜。另外,也可以使用氧化硅膜而代替上层的氧氮化硅膜。另外,它们的膜厚度分别优选为 0.05 μm 至 3 μm ,从该范围内可以任意选择。

[0145] 或者,也可以使用氧氮化硅膜或氧化硅膜形成与剥离层 702 最接近的绝缘膜 703 的下层,使用硅氧烷树脂形成中层,并且使用氧化硅膜形成上层。

[0146] 注意,硅氧烷树脂相当于以硅氧烷材料作为起始材料而形成的包含 Si-O-Si 键的树脂。硅氧烷树脂除了氢以外,还可以具有氟、烷基、或芳烃中的至少一种作为取代基。

[0147] 氧化硅膜可以使用硅烷和氧、TEOS (四乙氧基硅烷) 和氧等的混合气体并且通过热 CVD、等离子体 CVD、常压 CVD、偏压 ECRCVD 等方法来形成。另外,氮化硅膜可以典型地使用硅烷和氮的混合气体并且通过等离子体 CVD 来形成。另外,氧氮化硅膜和氮氧化硅膜可以典型地使用硅烷和一氧化二氮的混合气体并且通过等离子体 CVD 来形成。

[0148] 剥离层 702 可以使用金属膜、金属氧化膜、以及层叠金属膜和金属氧化膜而形成的膜。金属膜和金属氧化膜可以是单层,也可以具有层叠有多个层的叠层结构。另外,除了

金属膜和金属氧化膜以外,还可以使用金属氮化物和金属氧氮化物。剥离层 702 可以通过溅射法或等离子体 CVD 法等各种 CVD 法等来形成。

[0149] 作为用于剥离层 702 的金属,可以举出钨 (W)、钼 (Mo)、钛 (Ti)、钽 (Ta)、铌 (Nb)、镍 (Ni)、钴 (Co)、锆 (Zr)、锌 (Zn)、钌 (Ru)、铑 (Rh)、钯 (Pd)、锇 (Os) 或铱 (Ir) 等。剥离层 702 除了由上述金属形成的膜以外,还可以使用由以上述金属为主要成分的合金形成的膜、或使用包含上述金属的化合物来形成的膜。

[0150] 另外,剥离层 702 既可以使用由硅 (Si) 单体形成的膜,又可以使用由以硅 (Si) 为主要成分的化合物形成的膜。或者,也可以使用由硅 (Si) 和包含上述金属的合金形成的膜。包含硅的膜可以具有非晶、微晶、多晶结构中的任一种结构。

[0151] 剥离层 702 可以使用单层的上述膜,也可以使用上述多个膜的叠层。层叠了金属膜和金属氧化膜的剥离层 702 可以通过在形成成为基本的金属膜之后使该金属膜的表面氧化或氮化来形成。具体而言,在氧气氛中或一氧化二氮气氛中对成为基本的金属膜进行等离子体处理、或者在氧气氛中或一氧化二氮气氛中对金属膜进行加热处理即可。另外,也可以通过与成为基本的金属膜上接触地形成氧化硅膜或氧氮化硅膜来进行金属膜的氧化。另外,可以通过与成为基本的金属膜上接触地形成氮氧化硅膜或氮化硅膜来进行金属膜的氮化。

[0152] 作为进行金属膜的氧化或氮化的等离子体处理,可以进行如下高密度等离子体处理,即等离子体密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上,优选为 $1 \times 10^{11} \text{cm}^{-3}$ 至 $9 \times 10^{15} \text{cm}^{-3}$ 以下,并且使用微波(例如,频率为 2.45GHz)等的高频。

[0153] 注意,虽然可以通过使成为基本的金属膜的表面氧化来形成层叠有金属膜和金属氧化膜的剥离层 702,但是也可以在形成金属膜之后另行形成金属氧化膜。

[0154] 例如,在将钨用作金属的情况下,在通过溅射法或 CVD 法等形成钨膜作为成为基本的金属膜之后,对该钨膜进行等离子体处理。通过该工序,可以形成相当于金属膜的钨膜、以及与该金属膜接触且由钨的氧化物形成的金属氧化膜。

[0155] 另外,钨的氧化物由 WO_x 表示。 x 在 2 以上 3 以下的范围内,有如下情况: x 为 2(WO_2)、 x 为 2.5(W_2O_5)、 x 为 2.75(W_4O_{11})、以及 x 为 3(WO_3)。当形成钨的氧化物时,对 x 值没有特别的限制,而根据蚀刻速率等来设定 x 值即可。

[0156] 半导体膜 704 优选在形成绝缘膜 703 之后,以不暴露于大气的方式形成。半导体膜 704 的厚度为 20nm 至 200nm(优选为 40nm 至 170nm,更优选为 50nm 至 150nm)。注意,半导体膜 704 既可以是非晶半导体,又可以是多晶半导体。此外,作为半导体,除了硅以外,还可以使用硅锗。在使用硅锗的情况下,锗的浓度优选为 0.01 ~ 4.5atomic% 左右。

[0157] 另外,半导体膜 704 也可以通过众所周知的技术来晶化。作为众所周知的晶化方法,有利用激光的激光晶化法、使用催化元素的晶化法。或者,也可以采用组合了使用催化元素的晶化法和激光晶化法的方法。另外,在使用石英等具有优越的耐热性的衬底作为衬底 700 的情况下,也可以采用组合了如下方法的晶化法:使用电热炉的热晶化法、利用红外光的灯退火晶化法、或使用催化元素的晶化法、950℃ 左右的高温退火的晶化法。

[0158] 例如,在采用激光晶化法的情况下,在激光晶化之前对半导体膜 704 以 550℃ 进行 4 小时的加热处理,以便提高半导体膜 704 对于激光的耐性。之后,通过使用能够连续振荡的固体激光器并照射基波的二次至四次谐波的激光,可以获得粒径大的结晶。例如,典型

地,最好使用 Nd:YVO₄ 激光器(基波为 1064nm)的二次谐波(532nm)或三次谐波(355nm)。具体而言,由连续振荡型 YVO₄ 激光器发射的激光由非线性光学元件转换为谐波以获得输出功率为 10W 的激光。优选地,通过使用光学系统在照射表面上成形矩形或椭圆形的激光,并且将它照射到半导体膜 704 上。在这种情况下,需要 0.01MW/cm² 至 100MW/cm² 左右(优选为 0.1MW/cm² 至 10MW/cm²) 的功率密度。将扫描速度设定为 10cm/sec 至 2000cm/sec 左右来照射。

[0159] 作为连续振荡的气体激光器,可以使用 Ar 激光器、Kr 激光器等。另外,作为连续振荡的固体激光器,可以使用 YAG 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、镁橄榄石(Mg₂SiO₄) 激光器、GdVO₄ 激光器、Y₂O₃ 激光器、玻璃激光器、红宝石激光器、变石激光器、Ti:蓝宝石激光器等。

[0160] 另外,作为脉冲振荡的激光器,例如可以使用 Ar 激光器、Kr 激光器、受激准分子激光器、CO₂ 激光器、YAG 激光器、Y₂O₃ 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、玻璃激光器、红宝石激光器、变石激光器、Ti:蓝宝石激光器、铜蒸汽激光器、或金蒸汽激光器。

[0161] 另外,也可以通过使脉冲振荡的激光的振荡频率为 10MHz 以上并且使用比通常使用的几十 Hz 至几百 Hz 的频带高得多的频带,来进行激光晶化。一般认为:从以脉冲振荡方式将激光照射到半导体膜 704 且半导体膜 704 熔融后直到半导体膜 704 完全固化的时间是几十 nsec 至几百 nsec。因此,通过使用上述频率,在半导体膜 704 因为激光而熔融到固化的期间,可以照射下一个脉冲的激光。因此,由于可以在半导体膜 704 中将固液界面连续地移动,所以形成具有朝向扫描方向连续生长的晶粒的半导体膜 704。具体而言,可以形成被包含的晶粒的在扫描方向上的宽度为 10 μm 至 30 μm 并且在垂直于扫描方向的方向上的宽度为 1 μm 至 5 μm 左右的晶粒的集合。可以通过形成沿着所述扫描方向连续生长的单晶晶粒,来形成至少在 TFT 的沟道方向上几乎不存在晶界的半导体膜 704。

[0162] 另外,激光晶化既可以并行地照射连续振荡的基波的激光和连续振荡的谐波的激光,又可以并行地照射连续振荡的基波的激光和脉冲振荡的谐波的激光。

[0163] 另外,也可以在稀有气体或氮等惰性气体气氛中照射激光。通过这种方式,可以抑制由于激光照射而导致的半导体表面的粗糙度,并且可以抑制由于界面态密度的不均匀性而产生的阈值的均匀性。

[0164] 通过上述的激光照射来形成进一步提高了结晶性的半导体膜 704。注意,也可以预先使用通过溅射法、等离子体 CVD 法、热 CVD 法等形成的多晶半导体作为半导体膜 704。

[0165] 另外,虽然在本实施例中使半导体膜 704 晶化,但也可以不使它晶化而以非晶硅膜或微晶半导体膜的状态进入后续的步骤。因为使用非晶半导体或微晶半导体的 TFT 的制造工序少于使用多晶半导体的 TFT 的制造工序,所以其具有可以抑制成本而提高成品率的优点。

[0166] 可以辉光放电分解包含硅的气体来获得非晶半导体。作为包含硅的气体,可以举出 SiH₄、Si₂H₆。也可以采用氢或氦及氮稀释上述包含硅的气体来使用。

[0167] 接着,对半导体膜 704 进行以低浓度添加赋予 p 型的杂质元素或赋予 n 型的杂质元素的沟道掺杂。既可以对半导体膜 704 整体进行沟道掺杂,又可以对半导体膜 704 的一部分选择性地沟道掺杂。作为赋予 p 型的杂质元素,可以使用硼(B)、铝(Al)、镓(Ga)等。作为赋予 n 型的杂质元素,可以使用磷(P)、砷(As)等。在此,使用硼(B)作为杂质元

素,以 1×10^{16} 至 $5 \times 10^{17}/\text{cm}^3$ 左右的浓度添加该硼。

[0168] 接着,如图 10B 所示,将半导体膜 704 加工(构图)为预定的形状,以形成岛状半导体膜 705、706。覆盖岛状半导体膜 705、706 地形成栅绝缘膜 708。栅绝缘膜 708 可以通过使用等离子体 CVD 法或溅射法等以包含氮化硅、氧化硅、氮氧化硅或氧氮化硅的膜的单层或叠层来形成。在层叠的情况下,例如,优选采用从衬底 700 一侧层叠氧化硅膜、氮化硅膜、氧化硅膜的三层结构。

[0169] 栅绝缘膜 708 也可以通过进行高密度等离子体处理使岛状半导体膜 705、706 的表面氧化或氮化来形成。高密度等离子体处理例如使用 He、Ar、Kr、Xe 等的稀有气体与氧、氧化氮、氨、氮、氢等的混合气体来进行。在此情况下,可以通过引入微波来进行等离子体的激发,而生成低电子温度且高密度的等离子体。通过由这种高密度的等离子体生成的氧基(也有包括 OH 基的情况)或氮基(也有包括 NH 基的情况)来使半导体膜的表面氧化或氮化,与半导体膜接触地形成厚度为 1nm 至 20nm,典型为 5nm 至 10nm 的绝缘膜。将该 5nm 至 10nm 厚的绝缘膜用作栅绝缘膜 708。

[0170] 上述的利用高密度等离子体处理的半导体膜的氧化或氮化以固相反应进行,从而可以使栅绝缘膜和半导体膜之间的界面态密度极为低。通过利用高密度等离子体处理来直接使半导体膜氧化或氮化,可以抑制被形成的绝缘膜的厚度的不均匀性。另外,在半导体膜具有结晶性的情况下,可以通过利用高密度等离子体处理以固相反应使半导体膜的表面氧化,仅在晶界抑制氧化的快速进行,并且形成均匀性好且界面态密度低的栅绝缘膜。将利用高密度等离子体处理来形成的绝缘膜包括在栅绝缘膜的一部分或整体中而成的晶体管可以抑制特性的不均匀性。

[0171] 接着,如图 10C 所示,通过在将导电膜形成在栅绝缘膜 708 上之后将该导电膜加工(构图)为预定的形状,在岛状半导体膜 705、706 的上方形成电极 709。在本实施例中,通过对层叠了的两个导电膜进行构图来形成电极 709。导电膜可以使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、铌(Nb)等。另外,也可以使用以上述金属为主要成分的合金,也可以使用包含上述金属的化合物。或者,也可以使用对半导体膜掺杂了赋予导电性的杂质元素如磷等而成的多晶硅等半导体来形成。

[0172] 在本实施例中,使用氮化钽膜或钽(Ta)膜作为第一层导电膜,并且使用钨(W)膜作为第二层导电膜。作为两个导电膜的组合,除了本实施例所示的实例以外,还可以举出氮化钨膜和钨膜、氮化钼膜和钼膜、铝膜和钽膜、以及铝膜和钛膜等。由于钨和氮化钽具有高耐热性,所以在形成两层导电膜之后的工序中可以进行目的在于热激活的加热处理。另外,作为第二层导电膜的组合,例如可以使用掺杂了赋予 n 型的杂质的硅和镍硅化物、掺杂了赋予 n 型的杂质的 Si 和 WSi_x 等。

[0173] 另外,虽然在本实施例中使用层叠了的两个导电膜形成电极 709,但本实施例不局限于该结构。电极 709 既可以由单层的导电膜形成,又可以通过层叠三层以上的导电膜来形成。在采用层叠三层以上的导电膜的三层结构的情况下,优选采用钼膜、铝膜和钼膜的叠层结构。

[0174] 作为形成导电膜的方法,可以使用 CVD 法、溅射法等。在本实施例中,以 20nm 至 100nm 的厚度形成第一层导电膜,并且以 100nm 至 400nm 的厚度形成第二层导电膜。

[0175] 注意,作为当形成电极 709 之际使用的掩模,也可以使用氧化硅、氧氮化硅等而代

替抗蚀剂。在此情况下,虽然还要添加进行构图来形成氧化硅、氧氮化硅等的掩模的工序,但由于当蚀刻时的掩模的膜厚度的降低比抗蚀剂少,所以可以形成具有所希望的宽度的电极 709。另外,也可以通过使用液滴喷射法选择性地形成电极 709,而不使用掩模。

[0176] 注意,液滴喷射法意味着从细孔喷出或喷射包含预定组成物的液滴来形成预定图形的方法,喷墨法等包括在其范畴内。

[0177] 接着,将电极 709 作为掩模对岛状半导体膜 705、706 以低浓度掺杂赋予 n 型的杂质元素(典型为 P(磷)或 As(砷))(第一掺杂工序)。第一掺杂工序的条件设定为:剂量是 $1 \times 10^{15}/\text{cm}^2$ 至 $1 \times 10^{19}/\text{cm}^2$ 、加速电压是 50keV 至 70keV,但不局限于此。借助于该第一掺杂工序,隔着栅绝缘膜 708 进行掺杂,在岛状半导体膜 705、706 中分别形成低浓度杂质区域 710。注意,也可以使用掩模覆盖成为 p 沟道型 TFT 的岛状半导体膜 706 来进行第一掺杂工序。

[0178] 接着,如图 11A 所示,覆盖成为 n 沟道型 TFT 的岛状半导体膜 705 地形成掩模 711。不仅使用掩模 711,还使用电极 709 作为掩模,对岛状半导体膜 706 以高浓度掺杂赋予 p 型的杂质元素(典型为 B(硼))(第二掺杂工序)。第二掺杂工序的条件为:剂量是 $1 \times 10^{19}/\text{cm}^2$ 至 $1 \times 10^{20}/\text{cm}^2$ 、加速电压是 20keV 至 40keV。借助于该第二掺杂工序,隔着栅绝缘膜 708 进行掺杂,在岛状半导体膜 706 中形成 p 型高浓度杂质区域 712。

[0179] 接着,如图 11B 所示,在通过灰化等去除掩模 711 之后,覆盖栅绝缘膜 708 及电极 709 地形成绝缘膜。该绝缘膜通过等离子体 CVD 法及溅射法等并且以由硅膜、氧化硅膜、氧氮化硅膜、氮氧化硅膜、或含有有机树脂等有机材料的膜的单层或叠层形成。在本实施例中,通过等离子体 CVD 法形成 100nm 厚的氧化硅膜。

[0180] 之后,通过以垂直方向为主体的各向异性蚀刻,部分地蚀刻栅绝缘膜 708 及该绝缘膜。通过上述各向异性蚀刻,栅绝缘膜 708 部分地被蚀刻,以在岛状半导体膜 705、706 上部分地形成栅绝缘膜 713。另外,通过上述各向异性蚀刻部分地蚀刻绝缘膜,而形成与电极 709 的侧面接触的侧壁 714。侧壁 714 用作当形成 LDD(轻掺杂漏)区域时的掺杂用掩模。在本实施例中,使用 CHF_3 和 He 的混合气体作为蚀刻气体。注意,形成侧壁 714 的工序不局限于此。

[0181] 接着,覆盖成为 p 沟道型 TFT 的岛状半导体膜 706 地形成掩模。除了使用形成的掩模之外,还使用电极 709 及侧壁 714 作为掩模,以高浓度掺杂赋予 n 型的杂质元素(典型为 P 或 As)(第三掺杂工序)。第三掺杂工序的条件为:剂量是 $1 \times 10^{19}/\text{cm}^2$ 至 $1 \times 10^{20}/\text{cm}^2$ 、加速电压是 60keV 至 100keV。借助于该第三掺杂工序,在岛状半导体膜 705 中形成 n 型高浓度杂质区域 715。

[0182] 注意,侧壁 714 用作当之后掺杂高浓度的赋予 n 型的杂质且在侧壁 714 的下部形成低浓度杂质区域或无掺杂的偏移区域时的掩模。因此,为了控制低浓度杂质区域或偏移区域的宽度,适当地改变当形成侧壁 714 时的各向异性蚀刻条件或用于形成侧壁 714 的绝缘膜的厚度来调节侧壁 714 的大小即可。此外,在 p 沟道型 TFT 718 中,也可以在侧壁 714 的下部形成低浓度杂质区域或无掺杂的偏移区域。

[0183] 接着,也可以在通过灰化等去除掩模之后,利用杂质区域的加热处理进行激活。例如,在形成 50nm 的氧氮化硅膜之后,在氮气氛中以 550℃ 进行 4 小时的加热处理即可。

[0184] 另外,也可以在将包含氢的氮化硅膜形成成为 100nm 厚之后进行以下工序,即在氮

气氛中以 410℃ 进行 1 小时的加热处理,来使岛状半导体膜 705、706 氢化。或者,也可以进行在包含氢的气氛中以 300℃ 至 450℃ 进行 1 至 12 小时的加热处理,来使岛状半导体膜 705、706 氢化的工序。作为加热处理,可以使用热退火、激光退火法、或 RTA 法等。借助于加热处理,不仅进行氢化,而且还可以进行添加到半导体膜中的杂质元素的激活。另外,作为氢化的其他方法,也可以进行等离子体氢化(使用由等离子体激发的氢)。借助于该氢化工序,可以使用热激发的氢来使悬空键终结。

[0185] 借助于上述的一系列工序,形成 n 沟道型 TFT 716、717、电容器 719、以及 p 沟道型 TFT 718。注意,电容器 719 由岛状半导体膜 705、栅绝缘膜 713 以及电极 709 形成。在电容器 719 中,可以对岛状半导体膜 705 中的与电极 709 重叠的区域掺杂杂质。

[0186] 接着,如图 11C 所示,形成用作保护 TFT 716 至 718 以及电容器 719 的钝化膜的绝缘膜 720。虽然不需要一定设置绝缘膜 720,但可以通过形成绝缘膜 720 来防止碱金属或碱土金属等杂质进入到 TFT716 至 718 以及电容器 719 中。具体地,作为绝缘膜 720,优选使用氮化硅、氮氧化硅、氮化铝、氧化铝、氧化硅等。在本实施例中,使用 600nm 厚左右的氧氮化硅膜作为绝缘膜 720。在此情况下,也可以在形成该氧氮化硅膜之后进行上述氢化工序。

[0187] 接着,覆盖 TFT 716 至 718 及电容器 719 地在绝缘膜 720 上形成绝缘膜 721。绝缘膜 721 可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、环氧等。另外,除了上述有机材料之外,还可以使用低介电常数材料(low-k 材料)、硅氧烷树脂、氧化硅、氮化硅、氧氮化硅、氮氧化硅、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)、氧化铝等。除了氢之外,硅氧烷树脂也可以具有氟、烷基、或芳烃中的至少一种作为取代基。注意,也可以通过层叠多个由上述材料形成的绝缘膜,来形成绝缘膜 721。

[0188] 绝缘膜 721 可以根据其材料而使用 CVD 法、溅射法、SOG 法、旋转涂敷、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)、刮刀、辊涂、幕涂、刮刀涂布等来形成。

[0189] 接着,分别露出岛状半导体膜 705、706 的一部分地在绝缘膜 720 及绝缘膜 721 中形成接触孔。之后,形成导电膜 722 和通过该接触孔与岛状半导体膜 705、706 接触的导电膜 723 至 728。虽然使用 CHF₃ 和 He 的混合气体作为用于当形成接触孔时的蚀刻工序的气体,但不局限于此。

[0190] 导电膜 722 至 728 可以通过 CVD 法及溅射法等来形成。具体而言,作为导电膜 722 至 728,可以使用铝(Al)、钨(W)、钛(Ti)、钽(Ta)、钼(Mo)、镍(Ni)、铂(Pt)、铜(Cu)、金(Au)、银(Ag)、锰(Mn)、钕(Nd)、碳(C)、硅(Si)等。另外,既可以使用以上述金属为主要成分的合金,又可以使用包含上述金属的化合物。导电膜 722 至 728 可以采用使用上述金属的膜的单层或叠层来形成。

[0191] 作为以铝为主要成分的合金的实例,可以举出以铝为主要成分且包含镍的合金。另外,也可以举出以铝为主要成分且包含镍以及碳和硅的一方或双方的合金作为实例。铝和铝硅的电阻值很低且其价格低廉,所以作为形成导电膜 722 至 728 的材料最合适。尤其是,与铝膜相比,当对导电膜 722 至 728 进行构图时,铝硅(Al-Si)膜可以防止在抗蚀剂焙烧中产生小丘。另外,也可以在铝膜中混入 0.5%左右的 Cu 而代替硅(Si)。

[0192] 导电膜 722 至 728 例如优选采用阻挡膜、铝硅(Al-Si)膜和阻挡膜的叠层结构;阻挡膜、铝硅(Al-Si)膜、氮化钛(TiN)膜和阻挡膜的叠层结构。注意,阻挡膜是使用钛、钛的氮化物、钼、或钼的氮化物来形成的膜。若中间夹着铝硅(Al-Si)膜地形成阻挡膜,则可以

进一步防止产生铝或铝硅的小丘。另外,若使用具有高还原性的元素的钛来形成阻挡膜,即使在岛状半导体膜 705、706 上形成有薄的氧化膜,包含在阻挡膜中的钛也可以还原该氧化膜,而导电膜 723 至 728 和岛状半导体膜 705、706 可以良好地接触。另外,也可以层叠多个阻挡膜来使用。在此情况下,例如,可以使导电膜 722 至 728 具有按顺序层叠有钛、氮化钛、铝硅、钛、氮化钛的五层结构。

[0193] 注意,导电膜 723、724 连接到 n 沟道型 TFT 716 的高浓度杂质区域 715。导电膜 725、726 连接到 n 沟道型 TFT 717 的高浓度杂质区域 715。导电膜 727、728 连接到 p 沟道型 TFT 718 的高浓度杂质区域 712。此外, n 沟道型 TFT 716 所具有的电极 709 和电容器 719 所具有的电极 709 电连接。并且,导电膜 724 和导电膜 725 电连接。

[0194] 接着,如图 12A 所示,覆盖导电膜 722 至 728 地形成绝缘膜 730,之后露出导电膜 722 的一部分地在该绝缘膜 730 中形成接触孔。并且,在该接触孔中与导电膜 722 接触地形成导电膜 731。只要是可用于导电膜 722 至 728 的材料,就可以用于导电膜 731 的材料。

[0195] 绝缘膜 730 可以使用有机树脂膜、无机绝缘膜、或硅氧烷绝缘膜来形成。当采用有机树脂膜时,例如可以使用丙烯酸、环氧、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯等。当采用无机绝缘膜时,可以使用氧化硅、氮化硅、氮氧化硅、或以 DLC(类金刚石碳)为代表的包含碳的膜等。注意,可以通过液滴喷射法或印刷法形成用于通过光刻法形成开口部的掩模。另外,绝缘膜 730 可以根据其材料而采用 CVD 法、溅射法、液滴喷射法或印刷法等来形成。

[0196] 接着,其一部分与导电膜 731 接触地形成用作天线的导电膜 732。导电膜 732 可以使用银 (Ag)、金 (Au)、铜 (Cu)、钯 (Pd)、铬 (Cr)、铂 (Pt)、钼 (Mo)、钛 (Ti)、钽 (Ta)、钨 (W)、铝 (Al)、铁 (Fe)、钴 (Co)、锌 (Zn)、锡 (Sn)、镍 (Ni) 等的金属来形成。导电膜 732 除了使用由上述金属形成的膜之外,还可以使用由以上述金属为主要成分的合金形成的膜或由包含上述金属的化合物形成的膜。导电膜 732 可以以单层使用上述的膜,也可以层叠上述多个膜来使用。

[0197] 导电膜 732 可以通过 CVD 法、溅射法、印刷法如丝网印刷或胶版印刷等、液滴喷射法、分配器法、涂镀法、光刻法、气相沉积法等来形成。

[0198] 例如,在采用丝网印刷法的情况下,可以通过在绝缘膜 730 上选择性地印刷导电膏,形成导电膜 732,所述导电膏是通过将粒径为几 nm 至几十 μm 的具有导电性的粒子(导电体粒子)分散在有机树脂中而成的。导电体粒子可以使用银 (Ag)、金 (Au)、铜 (Cu)、镍 (Ni)、铂 (Pt)、钯 (Pd)、钽 (Ta)、钼 (Mo)、锡 (Sn)、铅 (Pb)、锌 (Zn)、铬 (Cr)、或钛 (Ti) 等来形成。导电体粒子既可以由上述金属形成,又可以由以上述金属为主要成分的合金形成或使用包含上述金属的化合物来形成。另外,也可以使用卤化银的微粒子或分散纳米粒子。另外,可以使用聚酰亚胺、硅氧烷树脂、环氧树脂、硅树脂等作为包含在导电膏中的有机树脂。

[0199] 作为上述金属的合金的一个实例,可以举出以下组合:银 (Ag) 和钯 (Pd)、银 (Ag) 和铂 (Pt)、金 (Au) 和铂 (Pt)、金 (Au) 和钯 (Pd)、银 (Ag) 和铜 (Cu)。另外,例如也可以使用通过由银 (Ag) 涂布铜 (Cu) 而成的导电体粒子等。

[0200] 注意,当形成导电膜 732 时,优选在通过印刷法或液滴喷射法挤出导电膏之后进行焙烧。例如,在采用以银为主要成分的导电体粒子(例如粒径为 1nm 以上至 100nm 以下)作为导电膏的情况下,可以通过以 150℃ 至 300℃ 的温度范围进行焙烧而形成导电膜 732。

焙烧可以通过使用红外光灯、氙灯、卤灯等的灯退火来进行,也可以通过使用电炉的退火来进行。另外,也可以通过使用受激准分子激光器、Nd:YAG 激光器的激光退火法来进行。另外,也可以使用以焊料或无铅焊料为主要成分的微粒子,在此情况下,优选使用粒径为 $20\text{ }\mu\text{m}$ 以下的微粒子。焊料和无铅焊料具有低成本的优点。

[0201] 通过使用印刷法或液滴喷射法,可以形成导电膜 732,而不使用曝光用的掩模。另外,与光刻法不同,液滴喷射法和印刷法不会浪费材料,例如通过蚀刻被去除。另外,由于不需要使用昂贵的用于曝光的掩模,所以可以抑制半导体装置的制造所需的成本。

[0202] 接着,如图 12B 所示,覆盖导电膜 731 及导电膜 332 地在绝缘膜 730 上形成绝缘膜 733。绝缘膜 733 可以使用有机树脂膜、无机绝缘膜或硅氧烷绝缘膜来形成。当采用有机树脂膜时,例如可以使用丙烯酸、环氧、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯等。当采用无机绝缘膜时,可以使用氧化硅、氮化硅、氮氧化硅、或以 DLC(类金刚石碳)为代表的包含碳的膜等。注意,可以通过液滴喷射法或印刷法形成用于通过光刻法形成开口部的掩模。另外,绝缘膜 733 可以根据其材料而通过 CVD 法、溅射法、液滴喷射法或印刷法等形成。注意,不必形成绝缘膜 733。

[0203] 接着,如图 13A 所示,从衬底 700 剥离从绝缘膜 703 到绝缘膜 733 的包括以 TFT 为代表的半导体元件和各种导电膜的层(以下称为“元件形成层 734”)。在本实施例中,将第一片材 735 贴合在元件形成层 734 的绝缘膜 733 一侧的表面,并且利用物理力量从衬底 700 剥离元件形成层 734。剥离层 702 也可以是不被整体去除而留下一部分的状态。

[0204] 另外,上述剥离也可以通过利用剥离层 702 的蚀刻的方法来进行。在此情况下,露出剥离层 702 的一部分地形成槽。该槽通过切割、划线、利用含有 UV 光的激光的加工、光刻法等来形成。槽只要具有露出剥离层 702 的深度即可。使用氟化卤作为蚀刻气体,从槽引入该气体。在本实施例中,例如使用 ClF_3 (三氟化氯),在以下条件下进行:温度为 350°C 、流量为 300scm 、气压为 6Torr 、时间为 3h 。另外,也可以使用在 ClF_3 气体中混合了氮的气体。通过使用 ClF_3 等氟化卤素,可以选择性地蚀刻剥离层 702,并且从 TFT 716 至 718 剥离衬底 700。注意,氟化卤素可以是气体或液体。

[0205] 接着,如图 13B 所示,在将第二片材 736 贴合在通过上述剥离露出了的元件形成层 734 的表面上之后,从第一片材 735 剥离元件形成层 734。

[0206] 注意,当在衬底 700 上形成有对应于多个半导体装置的半导体元件时,按每个半导体装置来分断元件形成层 734。可以使用激光照射装置、切割装置、划线装置等来分断。

[0207] 注意,虽然在本实施例中说明了在与半导体元件相同的衬底上形成天线的实例,但本发明不局限于该结构。也可以在形成半导体元件之后将另行形成的天线与集成电路电连接。在此情况下,可以通过使用各向异性导电膜(ACF)或各向异性导电膏(ACP)等将天线和集成电路压合来将它们电连接。另外,也可以使用导电粘合剂如银膏、铜膏或碳膏等;或者焊接来进行连接。

[0208] 注意,也可以在完成图 13B 所示的半导体装置之后,覆盖绝缘膜 733 地贴合第三片材,并且进行加热处理和加压处理的一方或双方来将第二片材 736 和第三片材彼此贴合。作为第二片材 736、第三片材,可以使用热熔膜等。另外,也可以在不剥离第一片材 735 的情况下贴合第一片材 735 和第二片材 736,而不准备第三片材。

[0209] 另外,作为第二片材 736、第三片材,也可以使用防止静电等的施加了抗静电处理

的膜（以下写为抗静电膜）。可以通过使用抗静电膜进行密封，当作为产品处理时抑制半导体元件受到来自外部的静电等带来的不良影响。

[0210] 作为抗静电膜，可以举出以下类型：在膜中掺有可以防止带电的材料（抗静电剂）的类型；膜自身具有防止带电的效果的类型；以及在膜上涂敷抗静电剂的类型等。抗静电剂可以使用非离子聚合物、阴离子聚合物、阳离子聚合物、非离子界面活性剂、阴离子界面活性剂、阳离子界面活性剂、两性界面活性剂。另外，金属、铟和锡的氧化物（ITO）等也可以用作抗静电剂。另外，作为具有防止带电的效果的膜的材料，可以使用烯烃聚合物、ABS 树脂、苯乙烯树脂、PMMA 树脂、聚碳酸酯、PVC 聚酯树脂、聚酰胺树脂、变性 PPO 树脂等。

[0211] 注意，虽然在本实施例中示出使用导电膜 732 形成线圈状天线的情况作为实例，但是本实施例不局限于此。在本发明中，天线不局限于线圈状，可以采用偶极天线或平板天线。在本实施例中使用的天线只要具有接收电波的功能且能够通过光刻法制造即可。

[0212] 此外，虽然本实施例示出如下实例，即将元件形成层 734 从衬底 700 剥离来利用，但是也可以以不设置剥离层 702 的方式在衬底 700 上制造上述元件形成层 734 且将它用作半导体装置。

[0213] 注意，虽然在本实施例中说明了使用多晶半导体、非晶半导体作为半导体膜 704 的实例，但是通过利用 SOI（绝缘体上硅结构）衬底，也可以将单晶半导体用作半导体膜 704。可以通过如下方法制造 SOI 衬底，例如：以智能剥离（smart-cut）为代表的 UNIBOND、ELTRAN（外延层转移）、电介质分离法、PACE（等离子辅助化学蚀刻）法等贴合方法；以及 SIMOX（注氧分离）法等。

[0214] 本实施例可以与实施方式 1 至 3、实施例 1 及 2 适当地组合来实施。

[0215] 实施例 4

[0216] 在本实施例中，说明使用形成在单晶衬底上的晶体管来制造本发明的半导体装置的实例。由于形成在单晶衬底上的晶体管可以抑制特性的不均匀性，所以可以抑制用于半导体装置的晶体管的数量。

[0217] 首先，如图 14A 所示，在半导体衬底 2300 上使用绝缘膜形成用于使半导体元件电分离的元件分离绝缘膜 2301。通过形成元件分离绝缘膜 2301，可以使用于形成晶体管的区域（元件形成区域）2302 和元件形成区域 2303 电分离。

[0218] 作为半导体衬底 2300，例如可以使用具有 n 型或 p 型导电类型的单晶硅衬底、化合物半导体衬底（GaAs 衬底、InP 衬底、GaN 衬底、SiC 衬底、蓝宝石衬底、ZnSe 衬底等）。

[0219] 作为元件分离绝缘膜 2301 的形成方法，可以使用选择氧化法（LOCOS 法）或沟槽分离法等。

[0220] 另外，本实施例示出使用具有 n 型导电类型的单晶硅衬底作为半导体衬底 2300，并且在元件形成区域 2303 中形成 p 阱 2304 的实例。形成在半导体衬底 2300 的元件形成区域 2303 中的 p 阱 2304 可以通过将赋予 p 型导电类型的杂质元素选择性地引入到元件形成区域 2303 中来形成。作为赋予 p 型的杂质元素，可以使用硼（B）、铝（Al）、镓（Ga）等。另外，在使用具有 p 型导电类型的半导体衬底作为半导体衬底 2300 的情况下，可以将赋予 n 型的杂质元素选择性地引入到元件形成区域 2302 中来形成 n 阱。

[0221] 注意，在本实施例中，因为使用具有 n 型导电类型的半导体衬底作为半导体衬底 2300，所以对元件形成区域 2302 没有引入有杂质元素。但是，也可以通过引入赋予 n 型的

杂质元素而在元件形成区域 2302 中形成 n 阱。作为赋予 n 型的杂质元素,可以使用磷 (P) 或砷 (As) 等。

[0222] 接着,如图 14B 所示,覆盖元件形成区域 2302、2303 地分别形成绝缘膜 2305、2306。在本实施例中,将借助于使半导体衬底 2300 热氧化而形成在元件形成区域 2302、2303 中的氧化硅膜用作绝缘膜 2305、2306。另外,也可以通过在借助于热氧化来形成氧化硅膜之后进行氮化处理,使氧化硅膜的表面氮化形成氧氮化硅膜,并且将层叠有氧化硅膜和氧氮化硅膜的层用作绝缘膜 2305、2306。

[0223] 另外,也可以如上所述那样采用等离子体处理来形成绝缘膜 2305、2306。例如,通过利用高密度等离子体处理使半导体衬底 2300 的表面氧化或氮化,在元件形成区域 2302、2303 中形成用作绝缘膜 2305、2306 的氧化硅 (SiO_x) 膜或氮化硅 (SiN_x) 膜。

[0224] 接着,如图 14C 所示,覆盖绝缘膜 2305、2306 地形成导电膜。在本实施例中,示出了使用按顺序层叠了的导电膜 2307 和导电膜 2308 作为导电膜的实例。作为导电膜,可以使用单层导电膜,也可以使用层叠有三层以上的导电膜的结构。

[0225] 作为导电膜 2307、2308,可以使用钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr)、铌 (Nb) 等。另外,作为导电膜 2307、2308,除了使用由上述金属形成的膜以外,还可以使用由以上述金属为主要成分的合金形成的膜或使用包含上述金属的化合物来形成的膜。或者,也可以使用对半导体膜掺杂赋予导电性的杂质元素如磷等的多晶硅等半导体来形成。在本实施例中,使用氮化钽形成导电膜 2307,并且使用钨形成导电膜 2308。

[0226] 接着,如图 15A 所示,通过将层叠设置的导电膜 2307、2308 加工 (构图) 为预定形状,来在绝缘膜 2305、2306 分别上形成栅电极 2309、2310。

[0227] 接着,如图 15B 所示,覆盖元件形成区域 2302 地利用抗蚀剂选择性地形成掩模 2311。然后,对元件形成区域 2303 引入杂质元素。因为除了掩模 2311 以外,栅电极 2310 也用作掩模,所以借助于上述杂质元素的引入,在 p 阱 2304 中形成用作源区或漏区的杂质区域 2312 和沟道形成区域 2313。作为杂质元素,使用赋予 n 型的杂质元素或赋予 p 型的杂质元素。作为赋予 n 型的杂质元素,可以使用磷 (P) 或砷 (As) 等。作为赋予 p 型的杂质元素,可以使用硼 (B)、铝 (Al)、镓 (Ga) 等。在本实施例中,使用磷 (P) 作为杂质元素。

[0228] 接着,在去除掩模 2311 之后,如图 15C 所示,覆盖元件形成区域 2303 地利用抗蚀剂选择性地形成掩模 2314。然后,对元件形成区域 2302 引入杂质元素。因为除了掩模 2314 以外,栅电极 2309 也用作掩模,所以借助于上述杂质元素的引入,在元件形成区域 2302 中的半导体衬底 2300 上形成用作源区或漏区的杂质区域 2315 和沟道形成区域 2316。作为杂质元素,使用赋予 n 型的杂质元素或赋予 p 型的杂质元素。作为赋予 n 型的杂质元素,可以使用磷 (P) 或砷 (As) 等。作为赋予 p 型的杂质元素,可以使用硼 (B)、铝 (Al)、镓 (Ga) 等。在本实施例中,使用具有与在图 15B 中对元件形成区域 2303 中引入的杂质元素不同的导电类型的杂质元素 (例如硼 (B))。

[0229] 接着,如图 16A 所示,覆盖绝缘膜 2305、2306、栅电极 2309、2310 地形成绝缘膜 2317。然后,在绝缘膜 2317 中形成接触孔,使杂质区域 2312、2315 的一部分露出。接着,形成通过接触孔与杂质区域 2312、2315 连接的导电膜 2318。导电膜 2318 可以通过 CVD 法或溅射法等形成。

[0230] 绝缘膜 2317 可以使用无机绝缘膜、有机树脂膜或硅氧烷绝缘膜来形成。当采用无

机绝缘膜时,可以使用氧化硅、氧氮化硅、氮氧化硅、以 DLC(类金刚石碳)为代表的含碳的膜等。当采用有机树脂膜时,例如可以使用丙烯酸、环氧、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯等。另外,绝缘膜 2317 可以根据其材料而通过 CVD 法、溅射法、液滴喷射法或印刷法等形成。

[0231] 注意,用于本发明的半导体装置的晶体管不局限于本实施例所图示出的结构。例如,也可以是反交错结构。

[0232] 接着,如图 16B 所示,形成层间膜 2324。然后蚀刻层间膜 2324 来形成接触孔,以使导电膜 2318 的一部分露出。层间膜 2324 不局限于树脂,也可以为 CVD 氧化膜等的其他膜,但是,从平坦性的观点来看,优选为树脂。此外,也可以使用感光树脂而不使用蚀刻来形成接触孔。接着,在层间膜 2324 上形成通过接触孔与导电膜 2318 接触的布线 2325。

[0233] 接着,与布线 2325 接触地形成用作天线的导电膜 2326。导电膜 2326 可以使用银(Ag)、金(Au)、铜(Cu)、钯(Pd)、铬(Cr)、铂(Pt)、钼(Mo)、钛(Ti)、钽(Ta)、钨(W)、铝(Al)、铁(Fe)、钴(Co)、锌(Zn)、锡(Sn)、镍(Ni)等金属来形成。作为导电膜 2326,除了使用由上述金属形成的膜之外,还可以使用由以上述金属为主要成分的合金形成的膜或使用包含上述金属的化合物形成的膜。导电膜 2326 可以使用上述的膜的单层,也可以使用上述多个膜的叠层。

[0234] 导电膜 2326 可以通过使用 CVD 法、溅射法、印刷法如丝网印刷或胶版印刷等、液滴喷射法、分配器法、涂镀法、光刻法、蒸镀法等来形成。

[0235] 注意,在本实施例中虽然说明了在与半导体元件相同的衬底上形成天线的实例,但本发明不局限于该结构。也可以在形成半导体元件之后,将另行形成的天线与集成电路电连接。在此情况下,可以通过使用各向异性导电膜(ACF)或各向异性导电膏(ACP)等将天线和集成电路压合,来将它们电连接。另外,也可以使用导电粘结剂如银膏、铜膏或碳膏等;或焊接来连接。

[0236] 注意,本实施例可以与上述实施方式及实施例组合来实施。

[0237] 实施例 5

[0238] 在本实施例中,参照俯视图说明图 1B 所示的本发明的整流电路及电源电路的结构。

[0239] 图 17 示出本发明的整流电路及电源电路的俯视图。如图 17 所示那样,在本实施例中,使用半导体膜 140、导电膜 141 的一部分、以及提供在半导体膜 140 和导电膜 141 之间的栅绝缘膜形成第一电容器 102。此外,半导体膜 140 连接到导电膜 142,并且从该导电膜 142 供应到输入端子 IN1 的交流信号被输入。

[0240] 第二电容器 103 由半导体膜 143 的一部分、导电膜 141 的一部分、以及提供在半导体膜 143 和导电膜 141 之间的栅绝缘膜形成。此外,晶体管 106 使用导电膜 141 的一部分作为栅电极,并且使用半导体膜 143 的一部分作为有源层。在半导体膜 143 之中,分别用作晶体管 106 的源区或漏区的部分的一方连接到导电膜 144,而另一方连接到导电膜 145。

[0241] 用作二极管的晶体管 107 使用导电膜 146 作为栅电极,并且使用半导体膜 143 的一部分作为有源层。在半导体膜 143 之中,分别用作晶体管 107 的源区或漏区的部分的一方连接到导电膜 147,而另一方连接到导电膜 145。导电膜 147 连接到导电膜 146。对该导电膜 147 供应输入端子 IN2 的电压,且导电膜 147 的电压输出到后级的电路作为输出端子

OUT2 的电压。

[0242] 第三电容器 104 由半导体膜 148、导电膜 149 的一部分、以及提供在半导体膜 148 和导电膜 149 之间的栅绝缘膜形成。半导体膜 148 连接到导电膜 147，而导电膜 149 连接到导电膜 144。导电膜 144 的电压输出到后级的电路作为输出端子 OUT1 的电压。

[0243] 本发明的整流电路及电源电路可以使用通常的薄膜晶体管的步骤形成。

[0244] 实施例 6

[0245] 本发明的半导体装置也可以具有电池并使用从电源电路输出的直流电压对该电池（二次电池）进行充电。作为电池，有镍镉电池、锂离子二次电池、铅电池等。其中，广泛地使用锂离子二次电池，是因为具有如下优点：没有记忆效应；以及可获得大的电流量等。此外，最近展开了锂离子二次电池的薄膜化的研究，正在制造厚度为 $1\mu\text{m}$ 至几 μm 的电池。可以将这种薄膜二次电池应用为具有柔性的二次电池。在本实施例中说明用作电池的薄膜二次电池的结构。

[0246] 图 22 示出薄膜二次电池的截面结构。在衬底 7101 上形成有成为电极的集电体薄膜 7102。集电体薄膜 7102 需要与负极活性物质层 7103 的粘合性良好且电阻低。具体而言，作为集电体薄膜 7102 可以使用铝、铜、镍、钒等。

[0247] 在集电体薄膜 7102 上形成有负极活性物质层 7103。一般而言，使用氧化钒 (V_2O_5) 等作为负极活性物质层 7103。在负极活性物质层 7103 上形成有固体电解质层 7104。一般而言，作为固体电解质层 7104，使用磷酸锂 (Li_3PO_4) 等。在固体电解质层 7104 上形成有正极活性物质层 7105。一般而言，作为正极活性物质层 7105，使用锰酸锂 (LiMn_2O_4) 等。还可以使用钴酸锂 (LiCoO_2) 或镍酸锂 (LiNiO_2)。在正极活性物质层 7105 上形成有成为电极的集电体薄膜 7106。集电体薄膜 7106 需要与正极活性物质层 7105 的粘合性良好且电阻低。作为集电体薄膜 7106，可以使用铝、铜、镍、钒等。上述每个薄膜层既可以通过溅射技术形成，又可以通过蒸镀技术形成。每个薄膜层的厚度优选为 $0.1\mu\text{m}$ 至 $3\mu\text{m}$ 。

[0248] 以下说明充电时、放电时的动作。在充电时，锂变为离子状态从正极活性物质层 7105 脱离。所述锂离子通过固体电解质层 7104 被负极活性物质层 7103 吸收。此时，电子从正极活性物质层 7105 放出到外部。在放电时，锂变为离子状态从负极活性物质层 7103 脱离。所述锂离子通过固体电解质层 7104 被正极活性物质层 7105 吸收。此时，电子从负极活性物质层 7103 放出到外部。

[0249] 通过使用如图 22 所示那样的薄膜二次电池，可以构成小型、轻量的电池。

[0250] 此外，本实施例可以与实施方式 1 至 3、实施例 1 至 5 组合来实施。

[0251] 实施例 7

[0252] 因为本发明的半导体装置对过电流或过电压的耐性高，所以在更广泛的领域上利用。

[0253] 图 20A 示出使用安装有本发明的半导体装置 1307 的包装材料 1308 来包装销售用的盒饭 1309 的情况。包装材料相当于为了包装对象物而能够成形或被成形的支持体如保鲜膜、塑料瓶、盘子、胶囊等。通过在半导体装置 1307 中记录有产品价格等，可以使用具有作为询问器的功能的收款机结算盒饭 1309 的货款。

[0254] 此外，本发明的半导体装置可以以如下方法来利用，例如将本发明的半导体装置贴附到产品的标签上，通过使用该半导体装置管理产品流通。

[0255] 如图 20B 所示那样,将本发明的半导体装置 1311 安装到支持体如其背面具有粘合性的商品标签 1310 等。然后,将安装有半导体装置 1311 的标签 1310 装到商品 1312 上。能够从贴合到标签 1310 的半导体装置 1311 无线地读取关于产品 1312 的识别信息。因此通过使用半导体装置 1311,在流通过程上产品管理变容易。

[0256] 例如,在使用能够写入的非易失性存储器作为半导体装置 1311 中的集成电路所具有的存储器的情况下,可以记录商品 1312 的流通过程。此外,通过记录商品的生产阶段的过程,经销商、零售商和消费者很容易把握产地、制造商、生产日期、加工方法等。

[0257] 本实施例可以与实施方式 1 至 3、实施例 1 至 6 组合来实施。

[0258] 实施例 8

[0259] 在本实施例中,说明本发明的半导体装置的利用方法。图 21A 所示那样的包括的信息具有价值的商品如书籍、DVD、CD 等具有如下问题:当能够公开它们所包括的所有信息时,作为商品的价值降低,而当完全不公开信息时,不容易把握作为商品的价值。

[0260] 通过使用安装有本发明的半导体装置的包装材料包装上述商品,并使该半导体装置存储商品所具有的信息的一部分,可以降低商品价值而让用户把握商品价值。图 21A 示出使用安装有本发明的半导体装置 1103 的包装材料 1102 包装书籍 1101 的情况。

[0261] 通过对便携式信息终端例如移动电话附加作为询问器的功能,用户可以把握书籍 1101 的内容的一部分。图 21B 示出移动电话 1104 的显示部 1105 显示书籍 1101 的内容的情况。

[0262] 通过上述结构,即使不公开产品所包括的所有信息,用户也可以把握产品内容。

[0263] 本实施例可以与实施方式 1 至 3、实施例 1 至 6 组合来实施。

[0264] 实施例 9

[0265] 在本实施例中说明当将电池安装在本发明的半导体装置中时的结构及动作。

[0266] 首先,参照图 23 说明当将电池安装在本发明的半导体装置中时的结构。本发明的半导体装置 3000 具有天线 3100 及集成电路 3600。集成电路 3600 具有高频电路 3200、电源电路 3300、复位电路 3400、解调电路 3500、时钟生成电路 3700、调制电路 4000、第一控制电路 4100、第二控制电路 4410、存储器电路 4300。此外,半导体装置 3000 具有电池 4400。

[0267] 接着,参照图 23 及图 24 说明当将电池安装在本发明的半导体装置 3000 中时的动作。从连接到询问器 3010 的天线单元 3020 发送无线信号。在此,无线信号包括来自询问器 3010 的对于半导体装置的指令。

[0268] 半导体装置 3000 所具有的天线 3100 接收该无线信号。然后,所接收的该无线信号通过连接到天线 3100 的高频电路 3200 发送到每个电路块。高频电路 3200 与电源电路 3300、复位电路 3400、时钟生成电路 3700、解调电路 3500、以及调制电路 4000 连接。

[0269] 在电源电路 3300 中,生成第一高电源电位 (VDD1) 以及第二高电源电位 (VDD2)。在本实施例中,生成了的两个高电源电位中的 VDD2 被供应到每个电路块。注意,在本实施例中,低电源电位 (VSS) 是共用的。在此,电源电路 3300 具有整流电路、电容元件、以及恒压电路。

[0270] 简单地说明电源电路 3300 的动作。例如考虑如下情况,即作为电源电路 3300,一个整流电路和一个电容元件及恒压电路连接。通过高频电路 3200 被发送到电源电路 3300 的该无线信号输入到整流电路并被整流。然后,被与整流电路连接的电容元件平滑化,来生

成第一高电源电位 (VDD1)。生成了的 VDD1 通过经过恒压电路成为小于等于输入的稳定的电压 (第二高电源电位、VDD2)。作为恒压电路的输出电压的 VDD2 被供应到每个电路块作为电源。注意,也可以将生成了的 VDD1 供应到每个电路块作为电源。另外,也可以将 VDD1 及 VDD2 的双方供应到每个电路块。优选根据每个电路块的工作条件及用途分别使用 VDD1 及 VDD2 的供应。

[0271] 在此,恒压电路具有将直流电压保持为恒定的功能。该恒压电路可以是任何电路,只要是可以通过电压、电流或其双方将直流电压保持为恒定的电路即可。

[0272] 此外,在复位电路 3400 中生成复位信号。复位信号是进行半导体装置 3000 的初始化的信号,并被供应到半导体装置 3000 中的每个电路块。

[0273] 再者,在时钟生成电路 3700 中,将通过高频电路 3200 被发送的信号分频并生成基本时钟信号。在时钟生成电路 3700 中生成的基本时钟信号被发送到每个电路块,用于每个电路块中的信号的锁存及选择、时间的计数等。

[0274] 在解调电路 3500 中生成解调信号。生成了的解调信号被供应到每个电路块。在此,解调电路 3500 具有多个电阻元件以及多个电容元件。注意,作为整流电路,使用本发明的整流电路。此外,解调电路的结构不局限于上述结构,只要具有如下功能,即组合具有整流功能的电路和元件如电阻器、电容器、线圈等来解调即可。

[0275] 每个电路块和第一控制电路 4100 彼此连接。在每个电路块中生成的信号 (复位信号、解调信号、基本时钟信号、VDD1、VDD2 等) 供应到第一控制电路 4100。

[0276] 第一控制电路 4100 从被供应的信号中提取从所述询问器 3010 发送到半导体装置 3000 的指令,并判定所发送的是何种指令。此外,还用于控制存储器电路 4300。

[0277] 像这样,判定从所述询问器 3010 所发送的是何种指令,且通过被判定的指令使存储器电路 4300 工作。然后,输出存储或写入到存储器电路 4300 中的包括 ID 号码等的固有数据的信号。或者,将从所述询问器 3010 发送的信息存储到存储器电路 4300 中。

[0278] 在此存储器电路 4300 可以使用 DRAM (动态随机存取存储器)、SRAM (静态随机存取存储器)、FeRAM (铁电随机存取存储器)、掩模 ROM (只读存储器)、EPROM (电可编程只读存储器)、EEPROM (电可擦可编程只读存储器)、闪存。

[0279] 再者,第一控制电路 4100 还将存储或写入到存储器电路 4300 中的包括 ID 号码等的固有数据的信号转换为按照 ISO 等的规格的编码方式被编码的信号。根据被编码的信号,调制电路 4000 对发送到天线 3100 的信号进行调制。

[0280] 连接到询问器 3010 的天线单元 3020 接收被调制的信号。然后,被接收的信号由询问器 3010 分析,从而可以识别半导体装置 3000 的 ID 号码等的固有数据。

[0281] 最后,说明安装在本发明的半导体装置 3000 的电池 4400 的功能和动作。

[0282] 电池 4400 与电源电路 3300 以及第二控制电路 4410 电连接。

[0283] 此外,可以对电池 4400 从电源电路 3300 由 VDD1 及 VDD2 的至少一方供应电荷。通常积蓄 VDD1 及 VDD2 的至少一方供应的电荷。

[0284] 第二控制电路 4410 控制电池 4400 的工作,并生成第三高电位电源 (VDD3)。在此,第二控制电路 4410 可以与构成本发明的半导体装置 3000 的电路块中的至少一个电路块连接。

[0285] 在供应到每个电路块的 VDD2 足够以使每个电路块工作时,第二控制电路 4410 不

工作。在供应到每个电路块的 VDD2 不足以使每个电路块工作时,第二控制电路 4410 工作。通过控制电池 4400 将 VDD3 供应到每个电路块。通过这种步骤,可以在连接到询问器 3010 的天线单元 3020 和安装有电池 4400 的半导体装置 3000 之间收发信。

[0286] 在此,作为供应到每个电路块的 VDD2 不足以使每个电路块工作的情况的一个实例,可以举出在与询问器 3010 电连接的天线单元 3020 和安装有电池 4400 的半导体装置 3000 之间的距离长的情况。一般来说,当距离长时难以进行信号的收发。但是,通过安装电池,通常在进行收发时对电池充电,而在难以收发时,通过从电池供应电源,即使距离长也可以收发。

[0287] 注意,供应到每个电路块的 VDD2 不足以使每个电路块工作的情况不局限于上述实例。

[0288] 在使用安装有电池 4400 的半导体装置 3000 的无线通信系统中,可以使用安装有电池 4400 的半导体装置 3000 和连接到具有众所周知的结构的询问器 3010 的天线单元 3020、以及控制询问器 3010 的控制用终端 3030。安装有电池 4400 的半导体装置 3000 和连接到询问器 3010 的天线单元 3020 之间的通信方式是单方向通信或双方向通信,并且可以采用空分复用方式、偏振分割复用 (Polarization Division Multiplex) 方式、频分复用方式、时分复用方式、码分复用方式、以及正交频分复用方式中的任何方式。

[0289] 此外,所述无线信号是调制载波而成的信号。载波的调制是模拟调制或数字调制,并且可以是振幅调制、相位调制、频率调制、以及扩展频谱中的任何一种。

[0290] 再者,载波的频率可以采用如下所述的任一频率:亚毫米波的 300GHz 到 3THz、毫米波的 30GHz 到 300GHz、微波的 3GHz 到 30GHz、极超短波的 300MHz 到 3GHz、超短波的 30MHz 到 300MHz、短波的 3MHz 到 30MHz、中波的 300kHz 到 3MHz、长波的 30kHz 到 300kHz、以及超长波的 3kHz 到 30kHz。

[0291] 作为天线 3100 以及天线单元 3020,可以使用偶极天线、平板天线、环形天线、八木天线中的任何一种。此外,在天线 3100 以及天线单元 3020 中的无线信号的收发方法可以是电磁耦合方式、电磁感应方式、电波方式中的任何一种。

[0292] 此外,在本发明中,连接和电连接的意思一样。因此也可以其间配置有其他元件。

[0293] 本实施例可以与上述实施方式以及实施例自由地组合。

[0294] 本说明书根据 2006 年 11 月 29 日在日本专利局受理的日本专利申请编号 2006-321034 而制作,所述申请内容包括在本说明书中。

图 1A

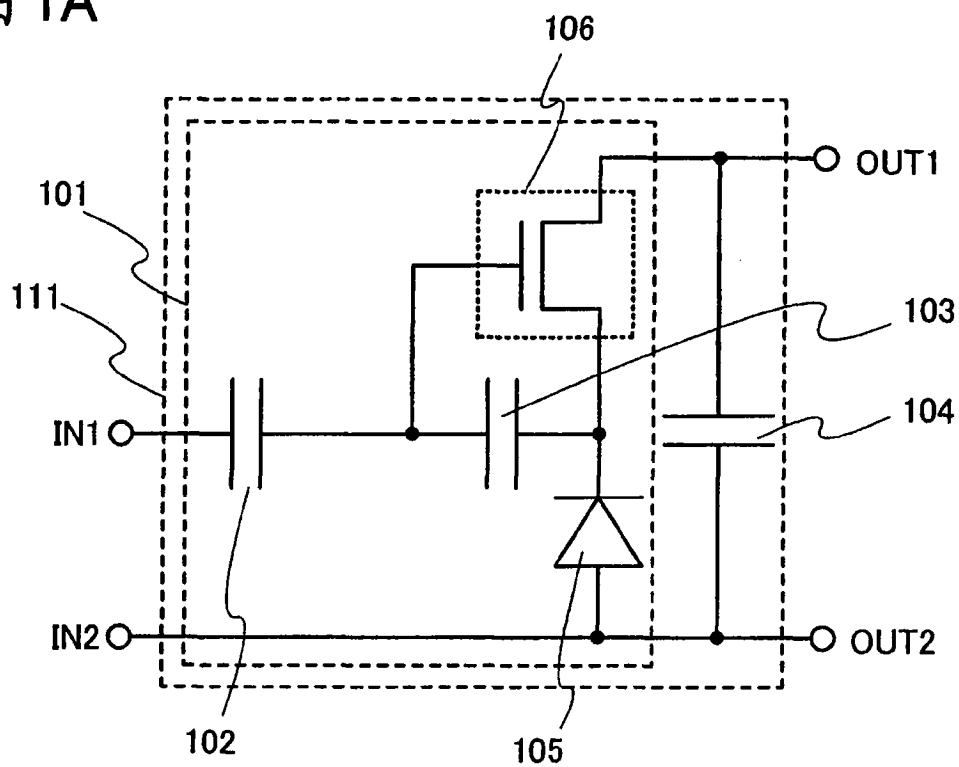


图 1B

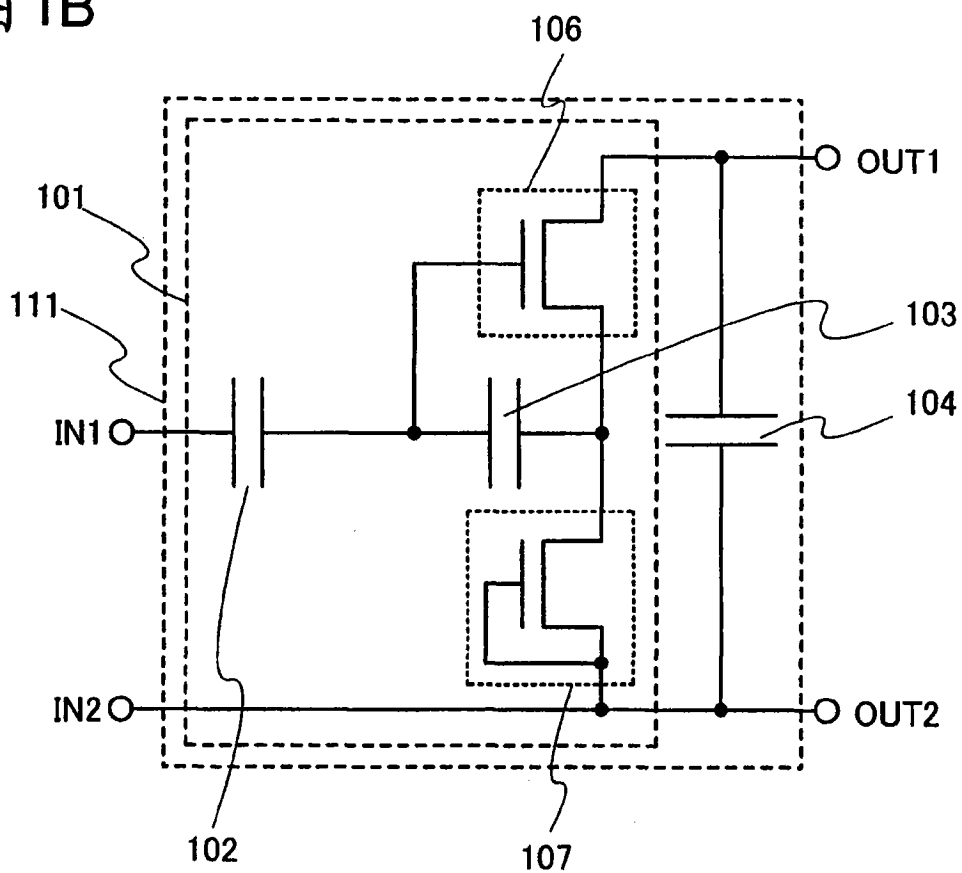


图 2A

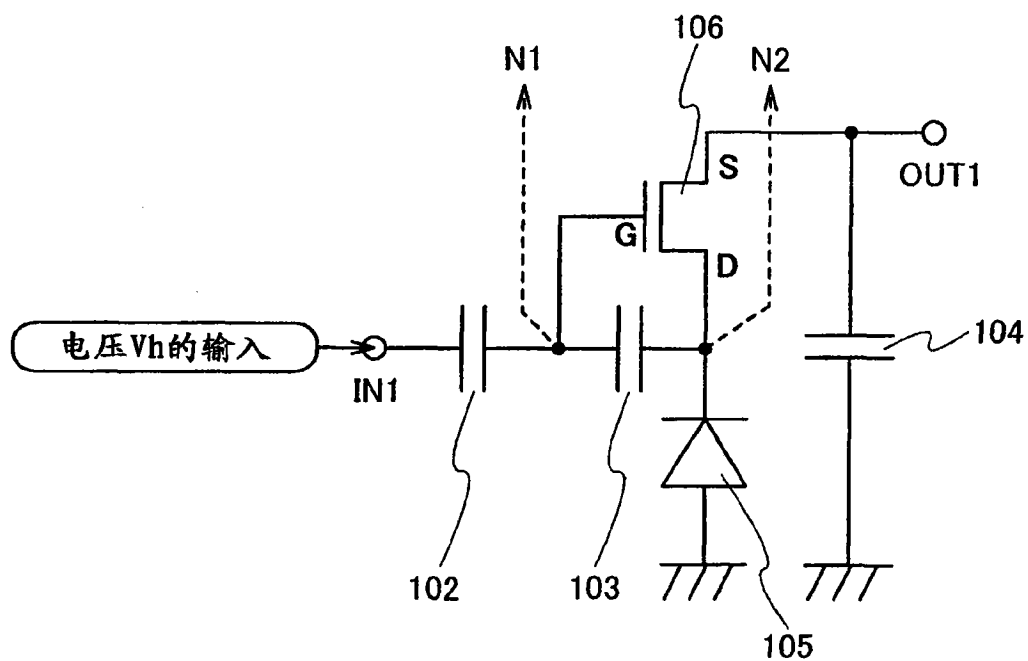


图 2B

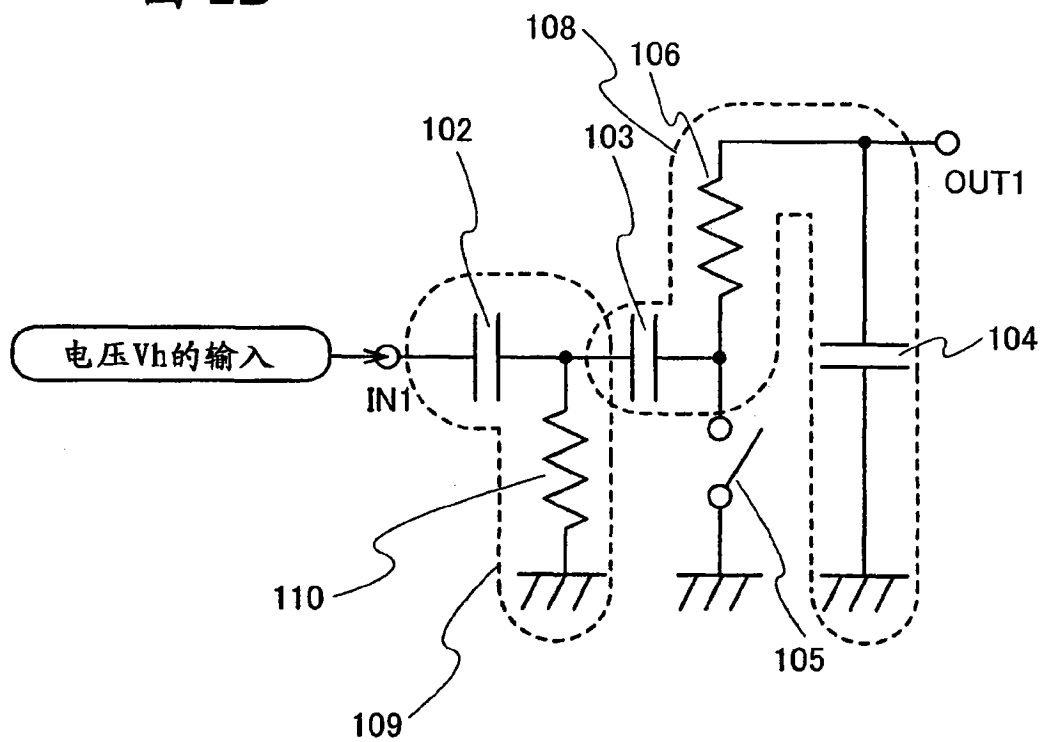


图 3A

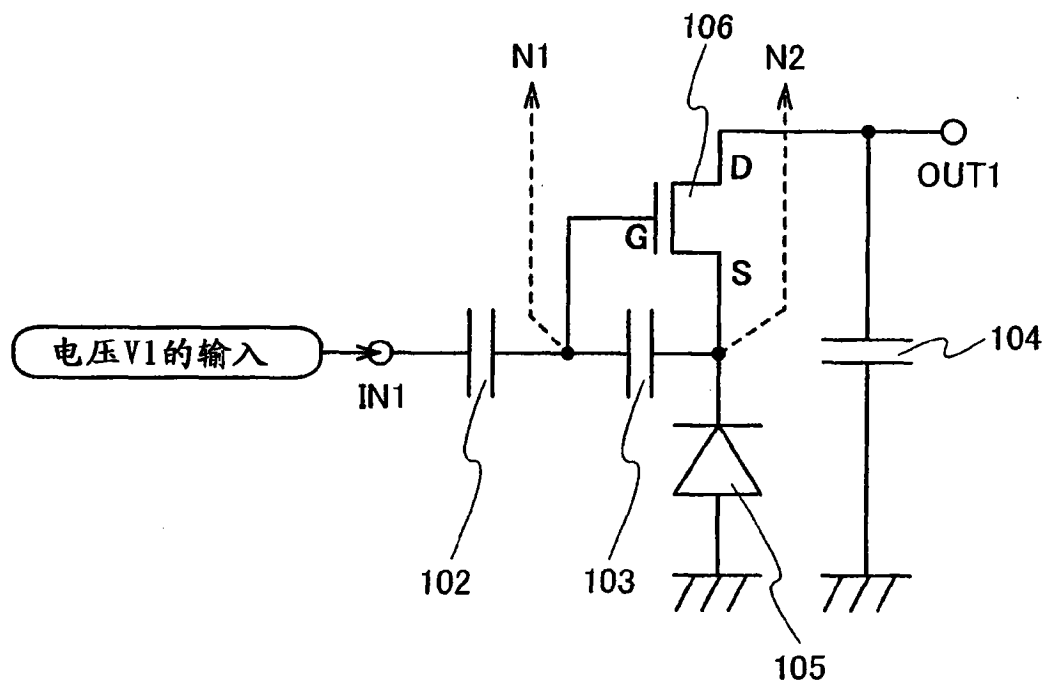


图 3B

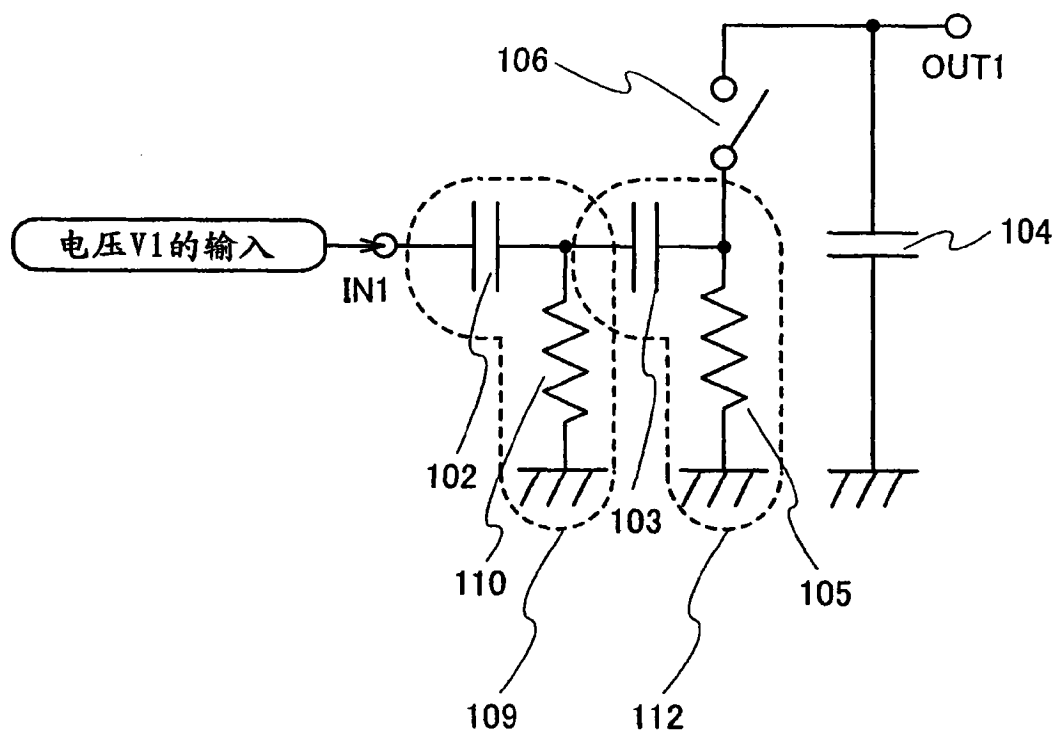


图 4A

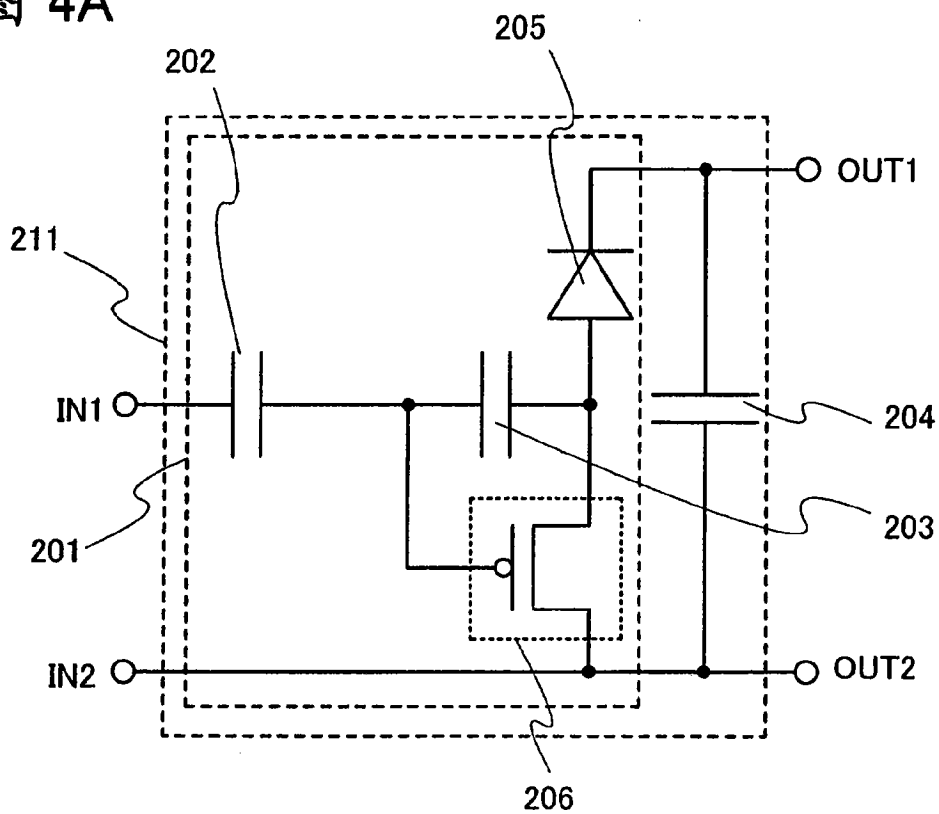


图 4B

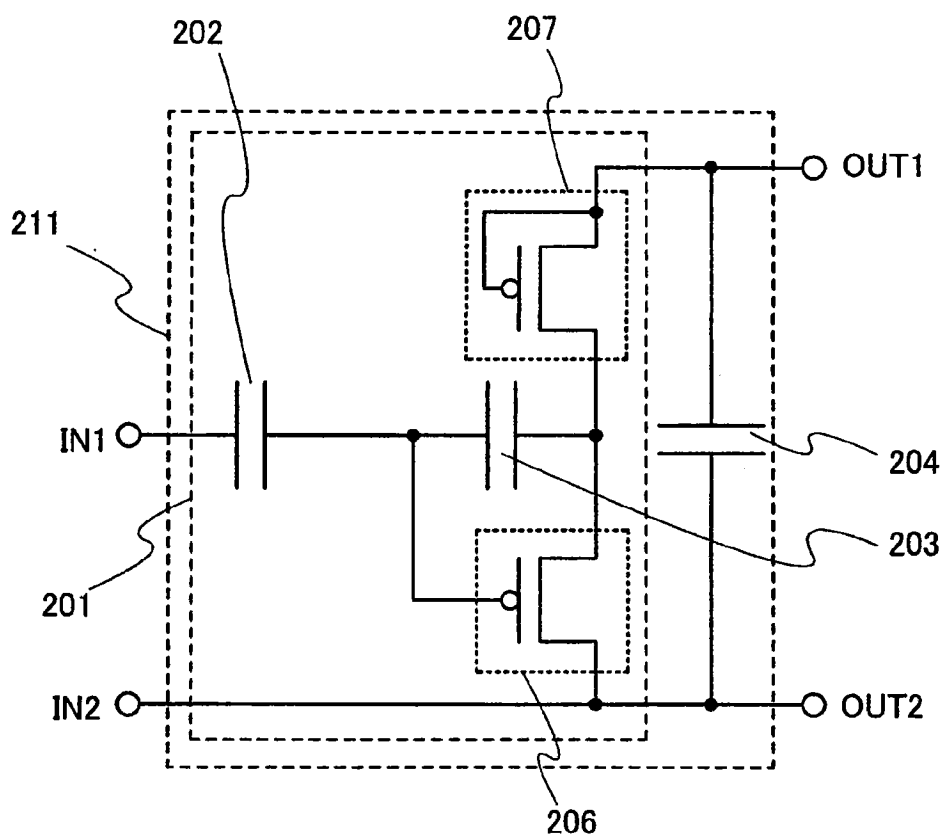


图 5A

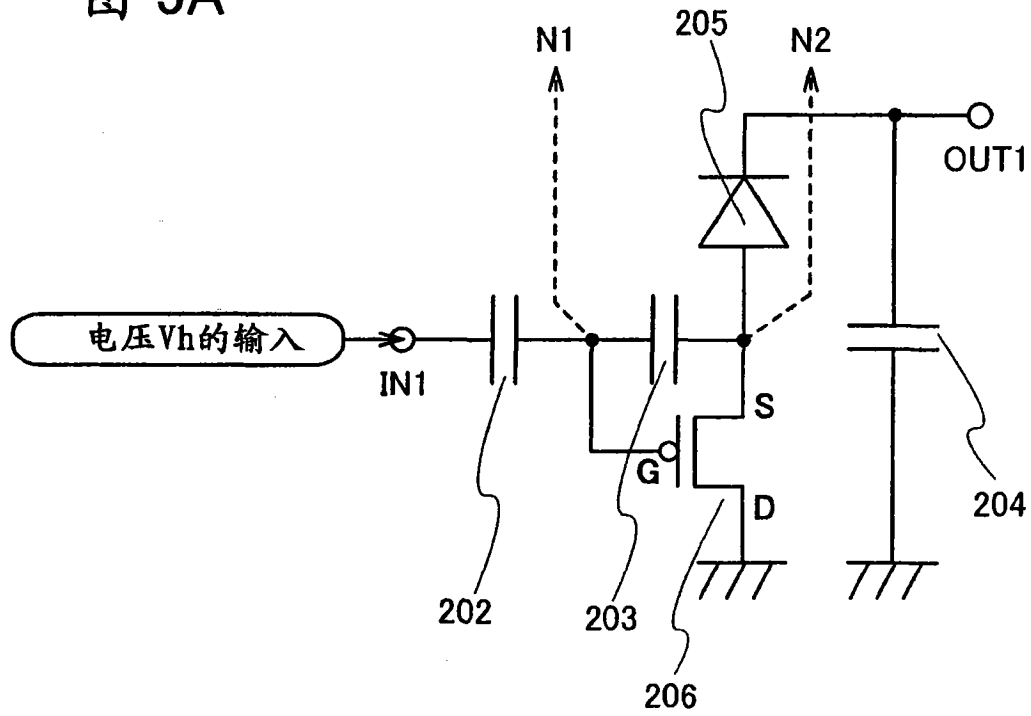


图 5B

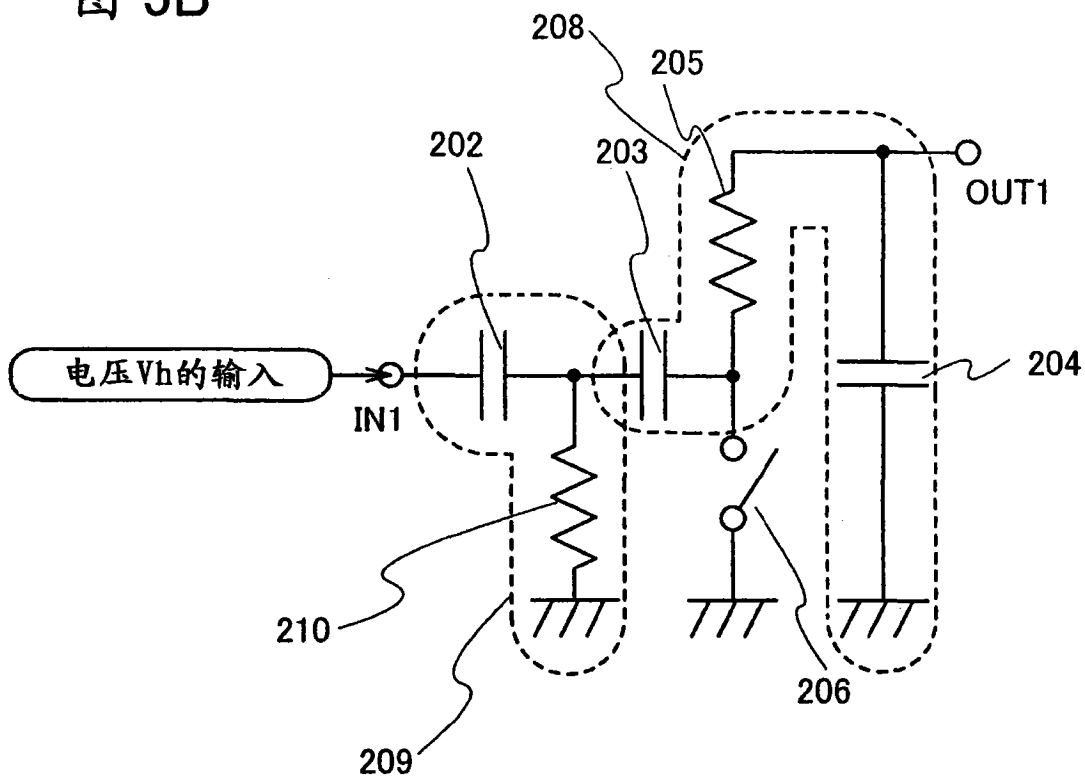


图 6A

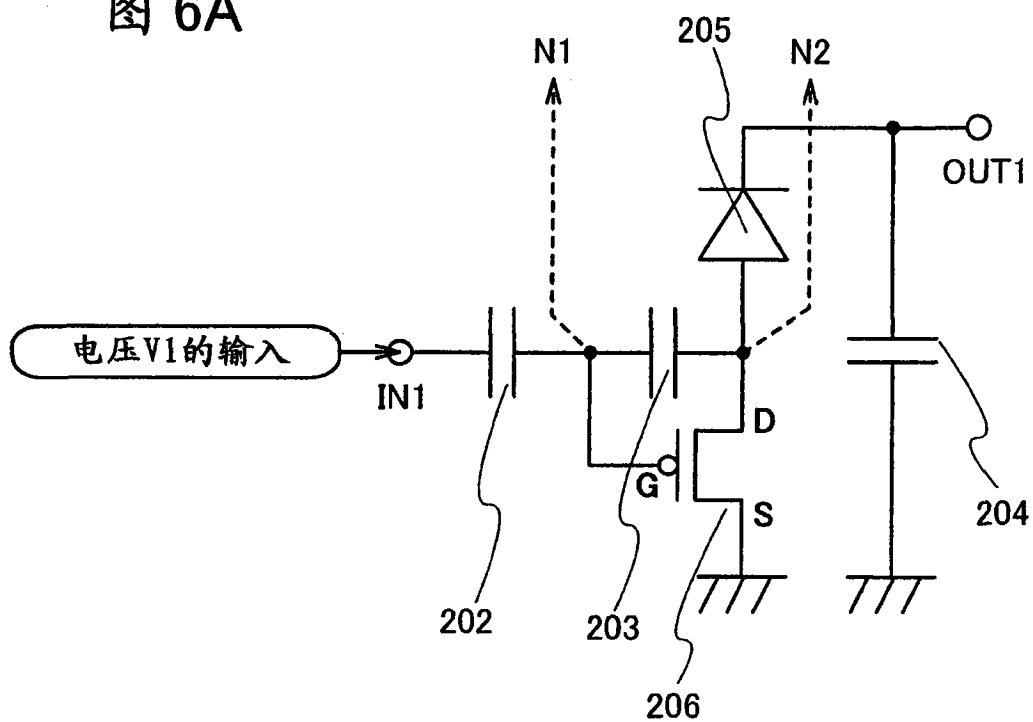


图 6B

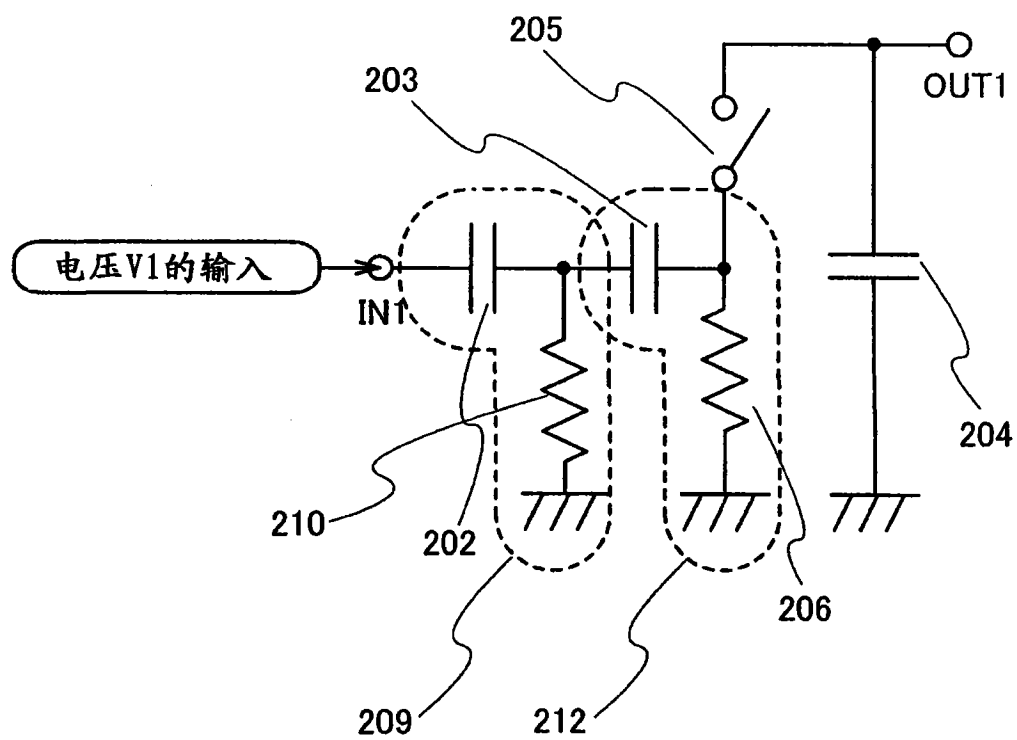


图 7A

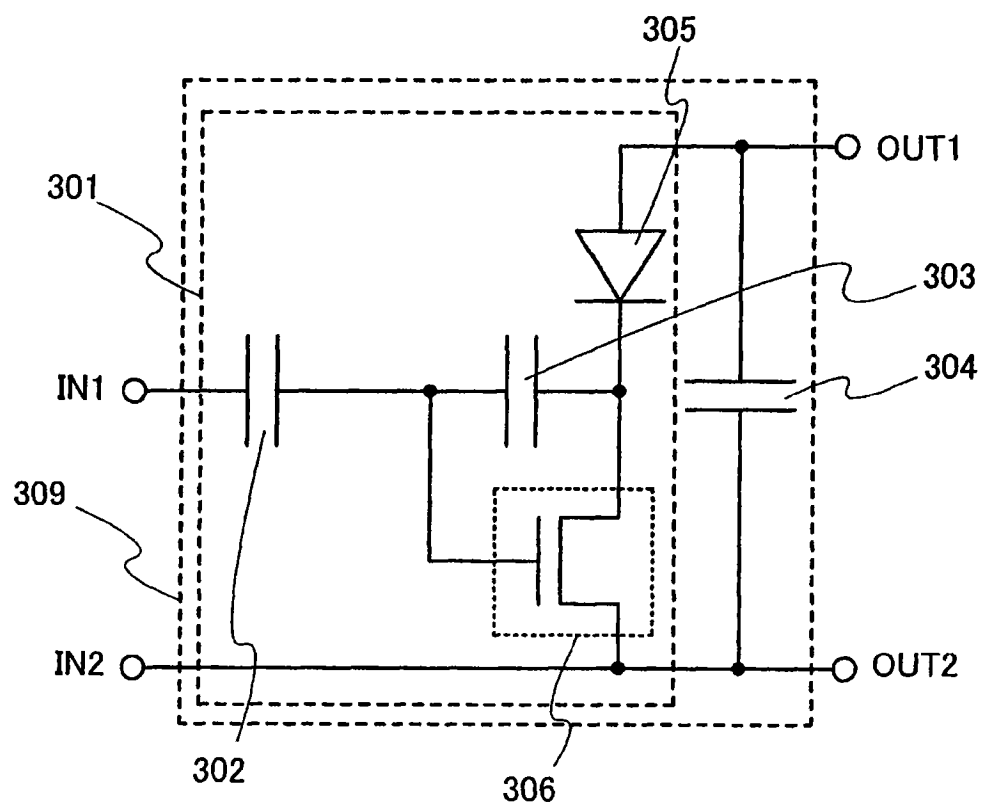


图 7B

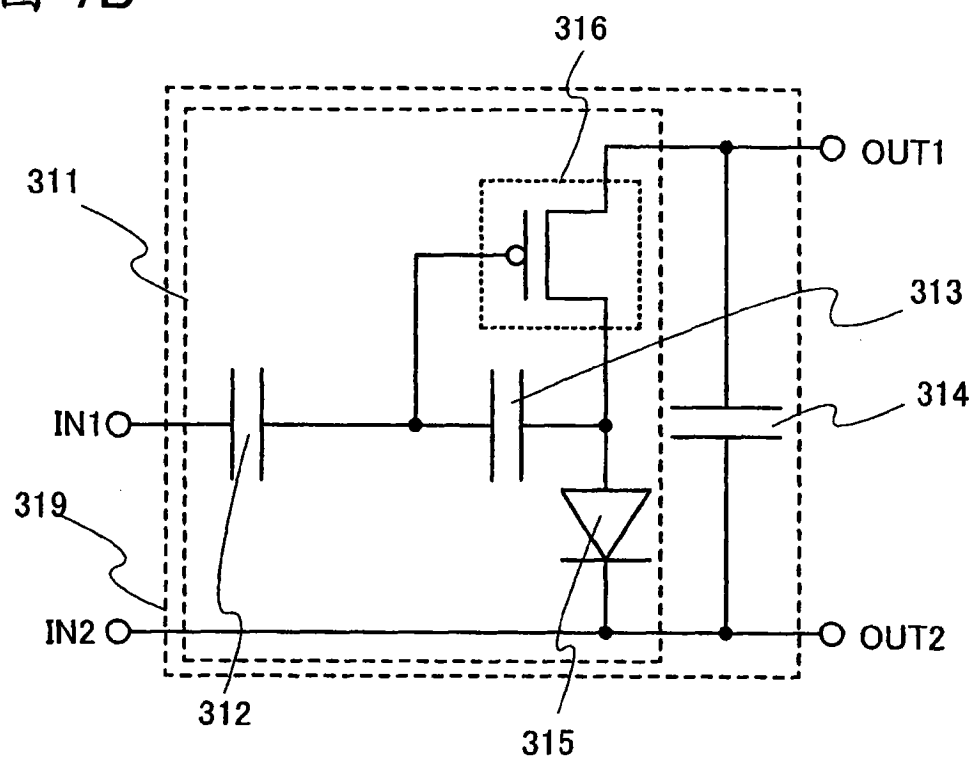


图 8

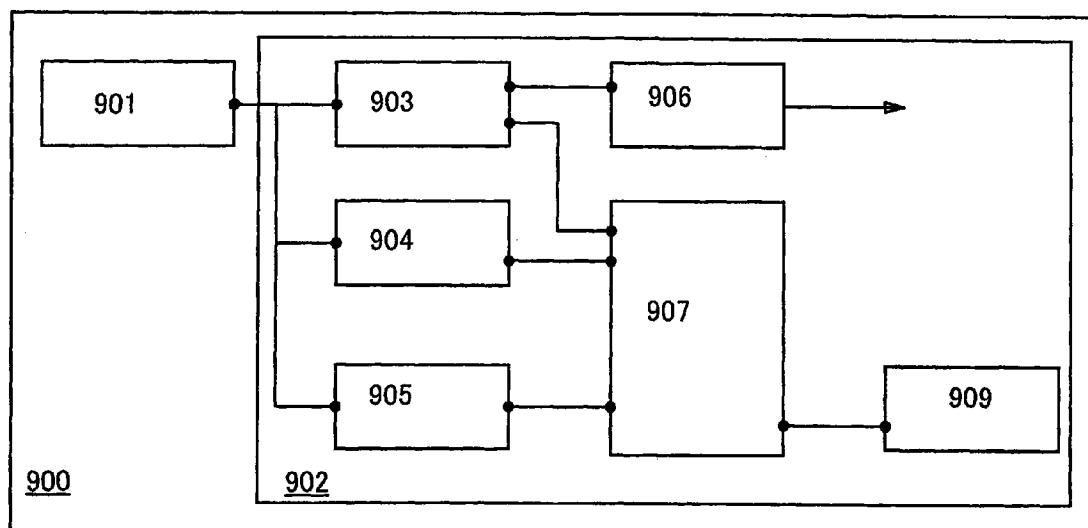


图 9A

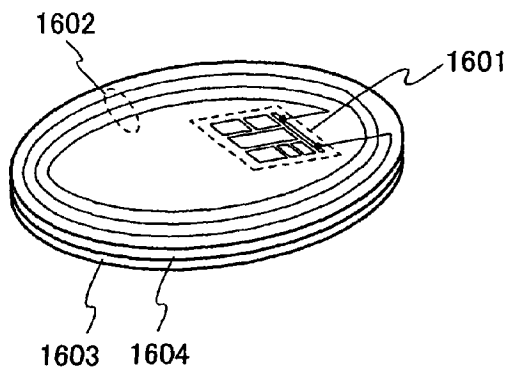


图 9B

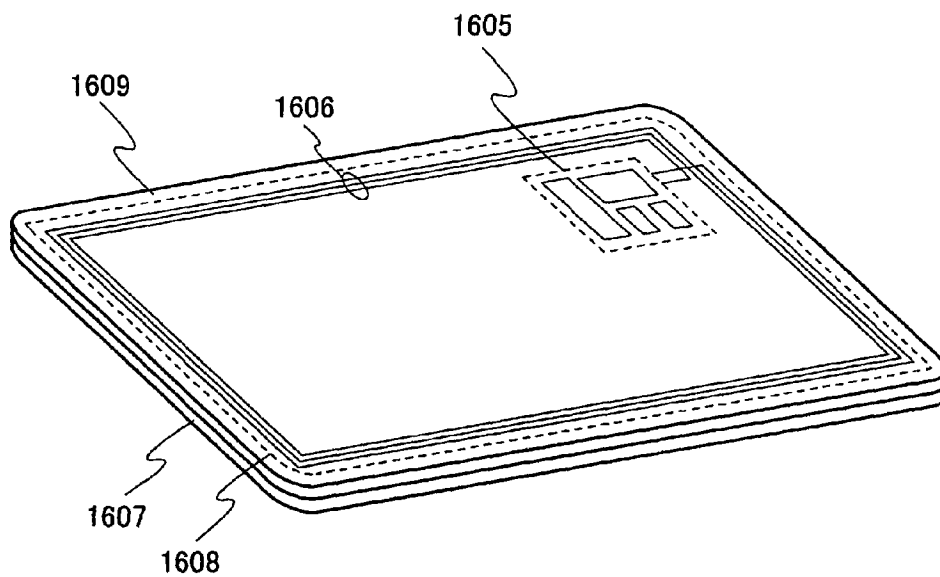


图 10A

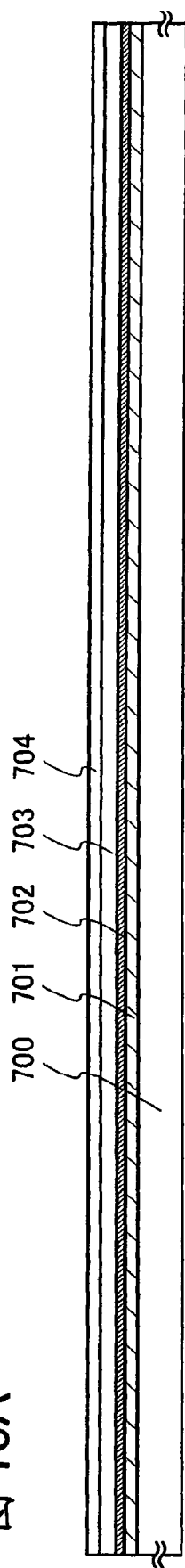


图 10B

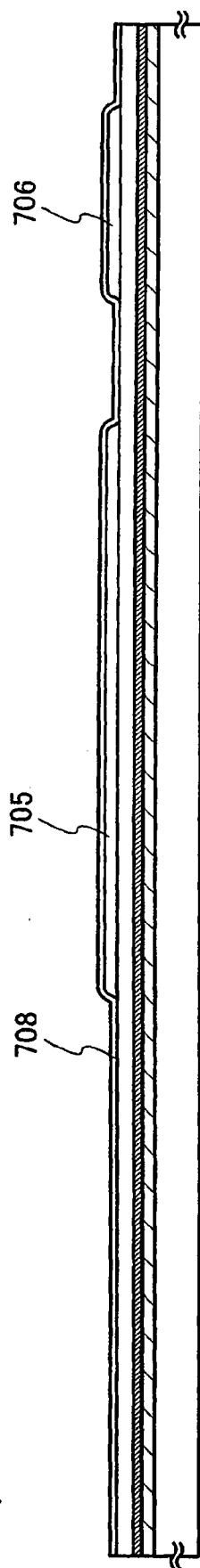


图 10C

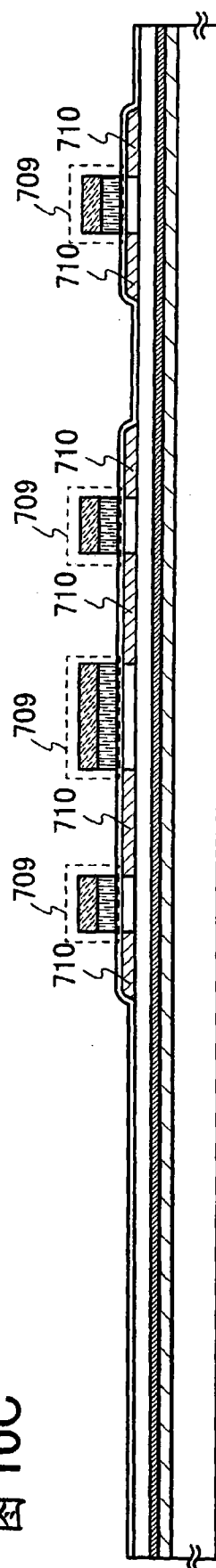


图 11A

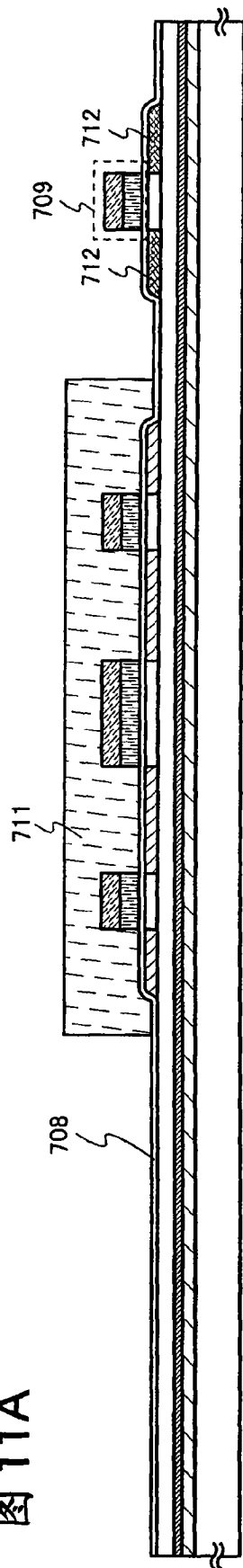


图 11B

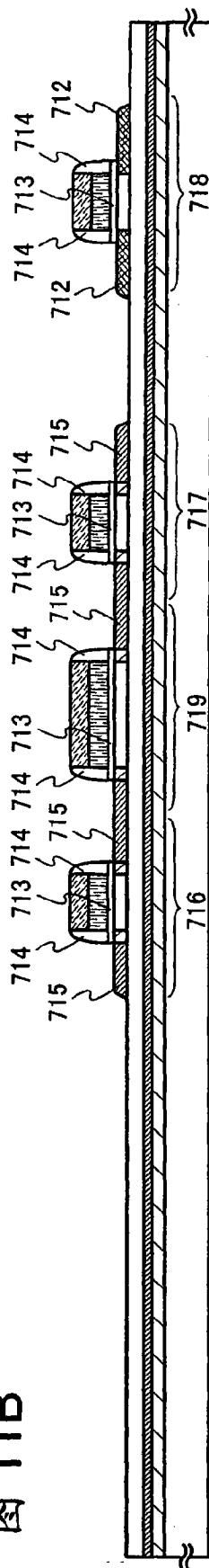


图 11C

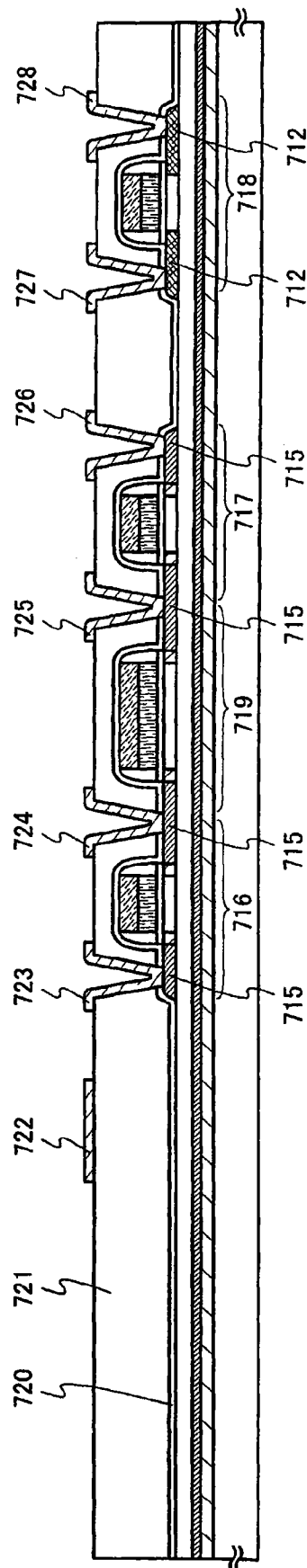


图 12A

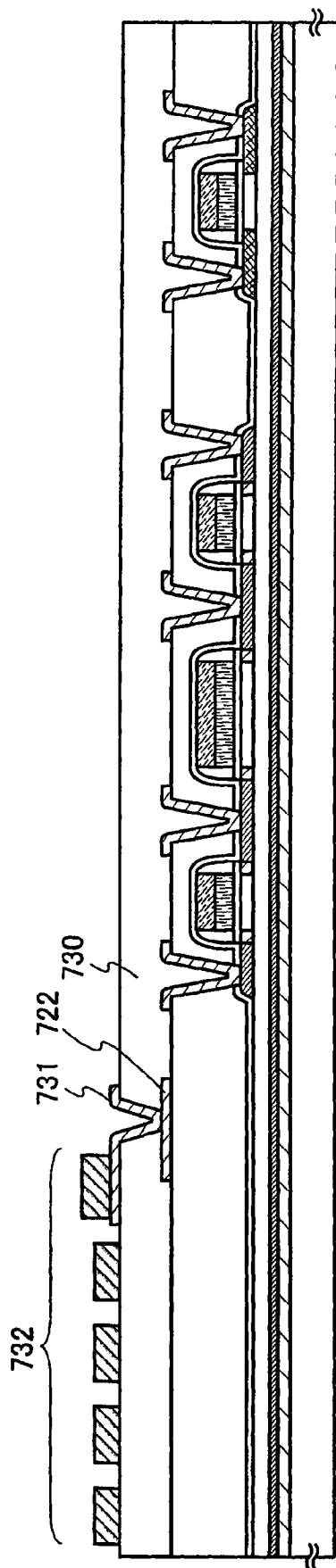


图 12B

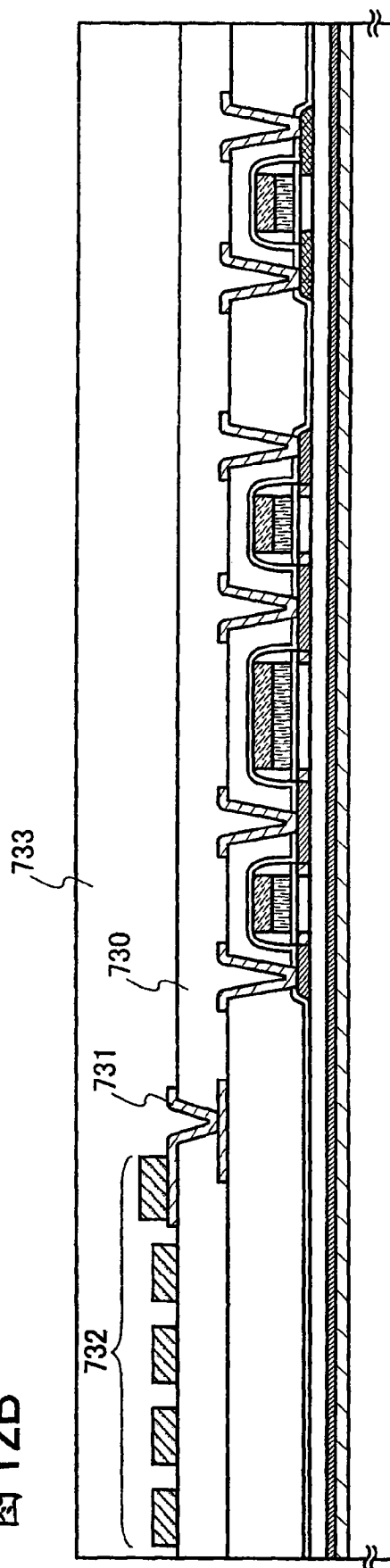


图 13A

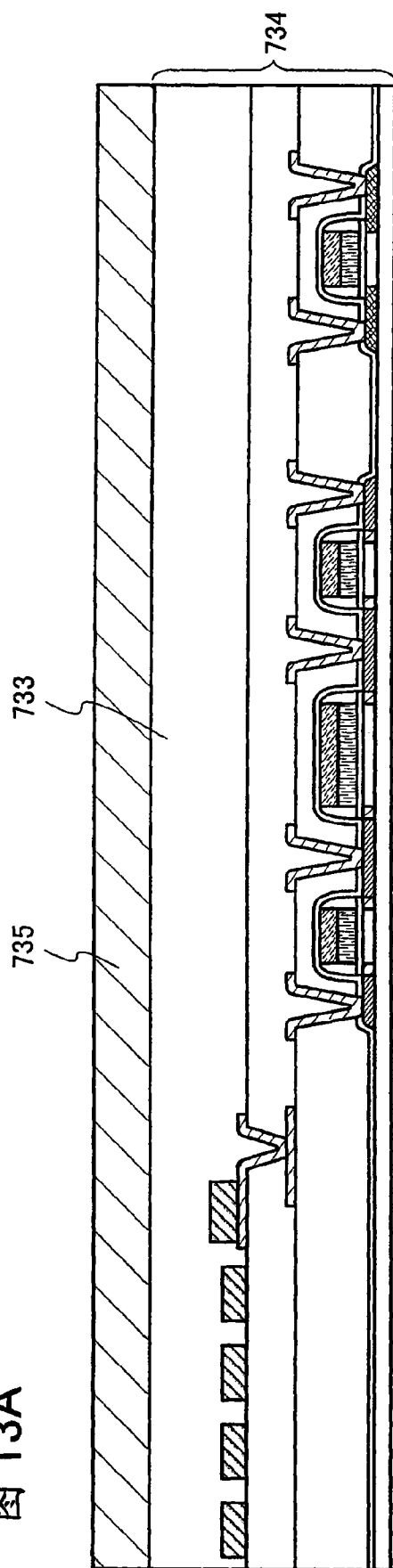


图 13B

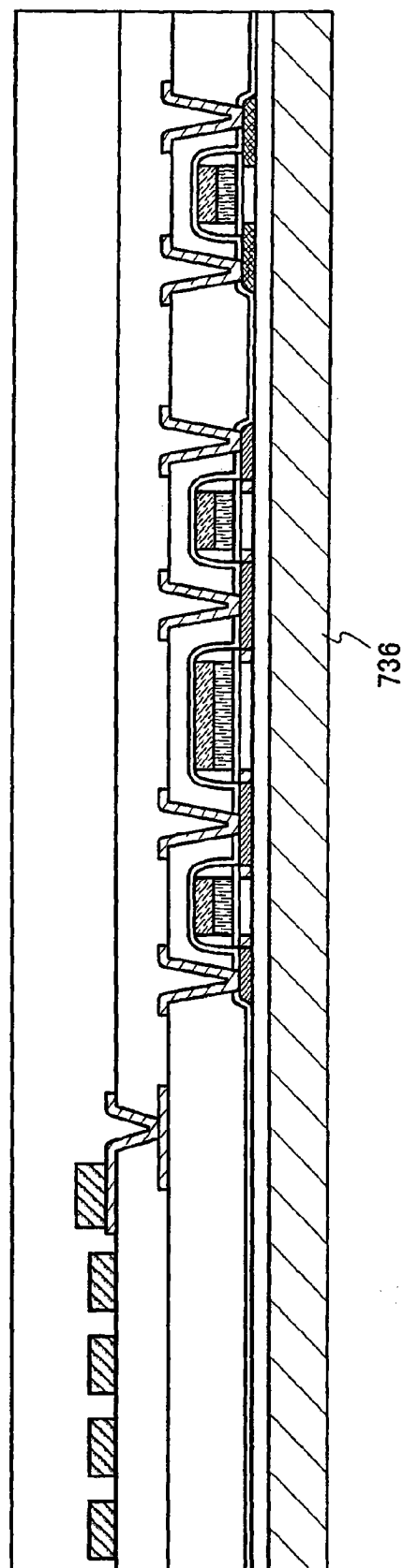


图 14A

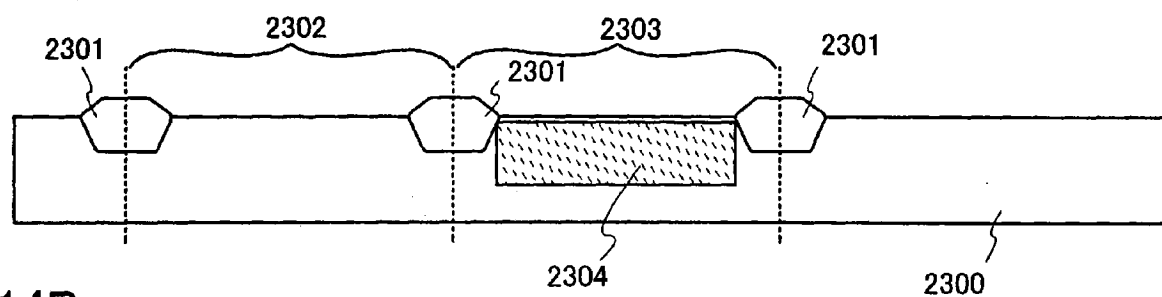


图 14B

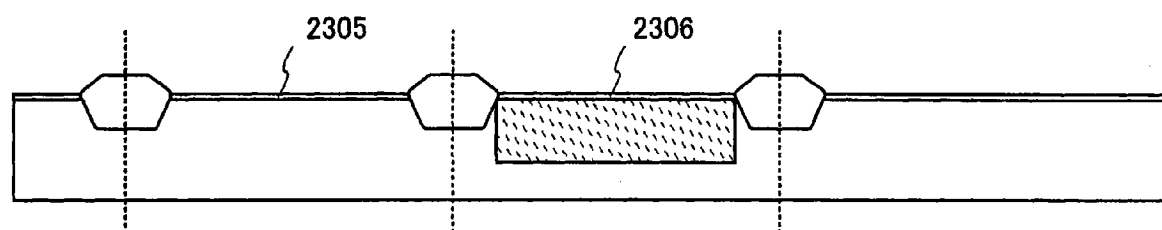


图 14C

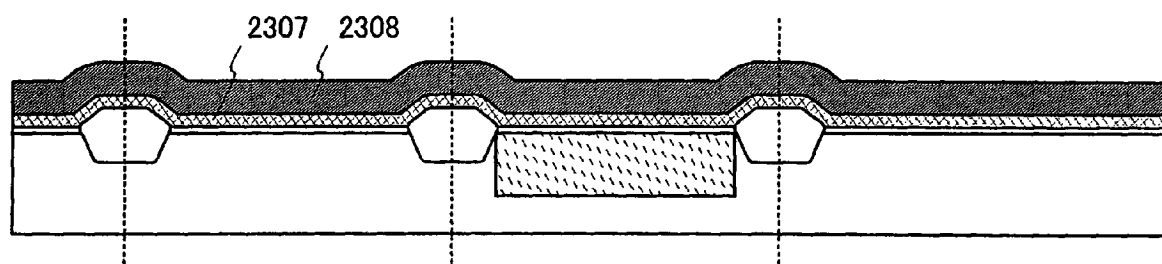


图 15A

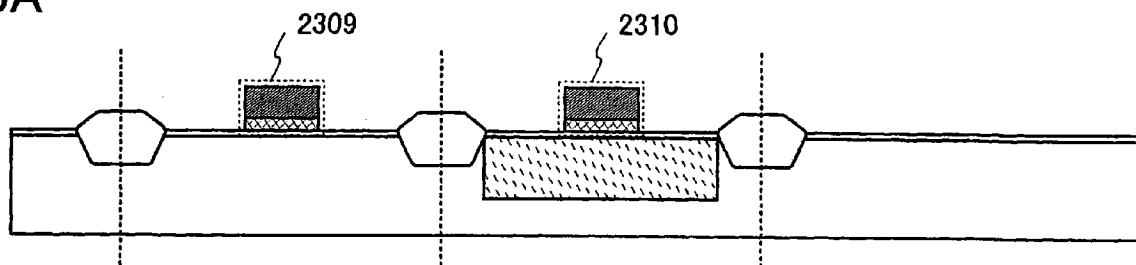


图 15B

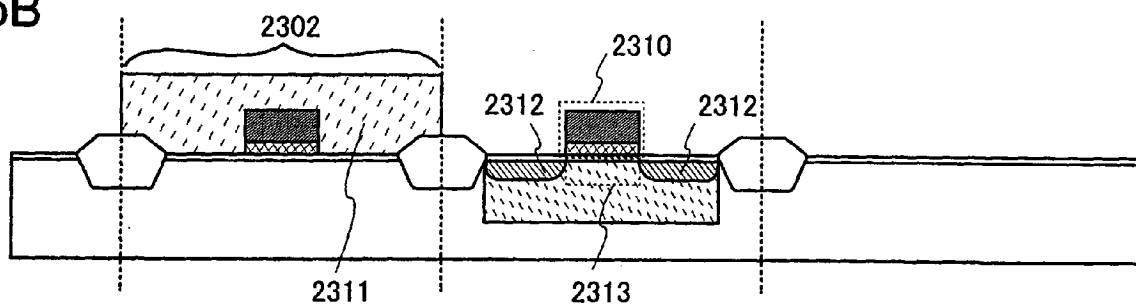


图 15C

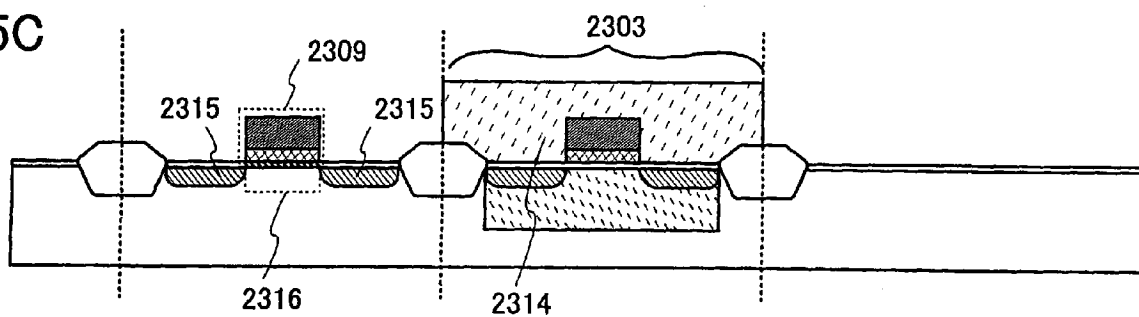


图 16A

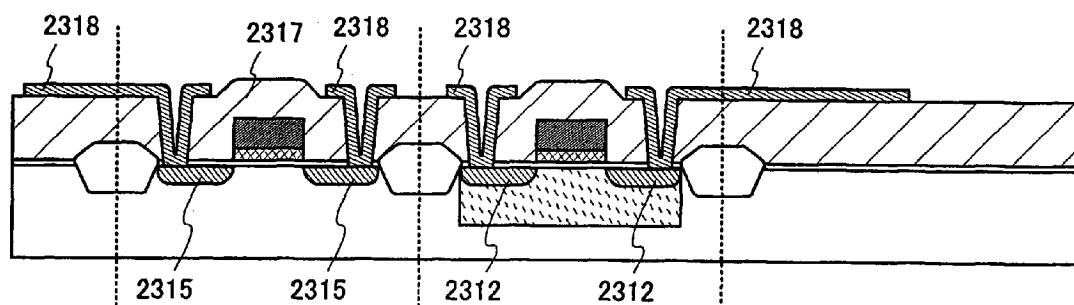
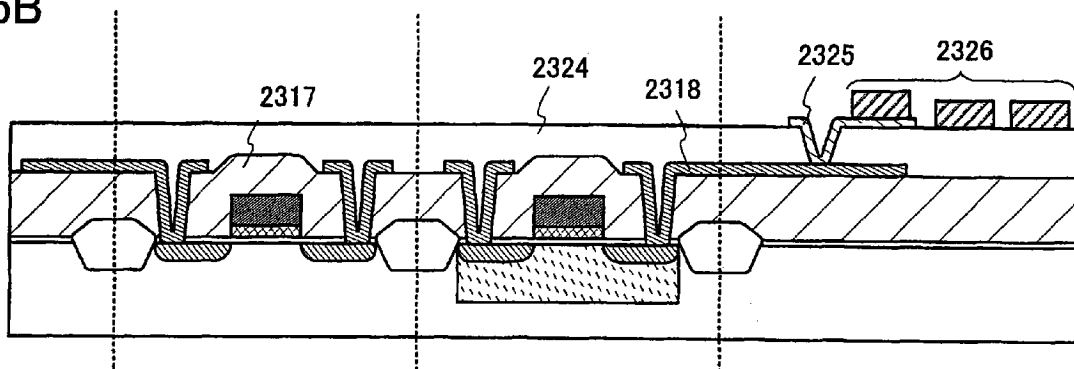


图 16B



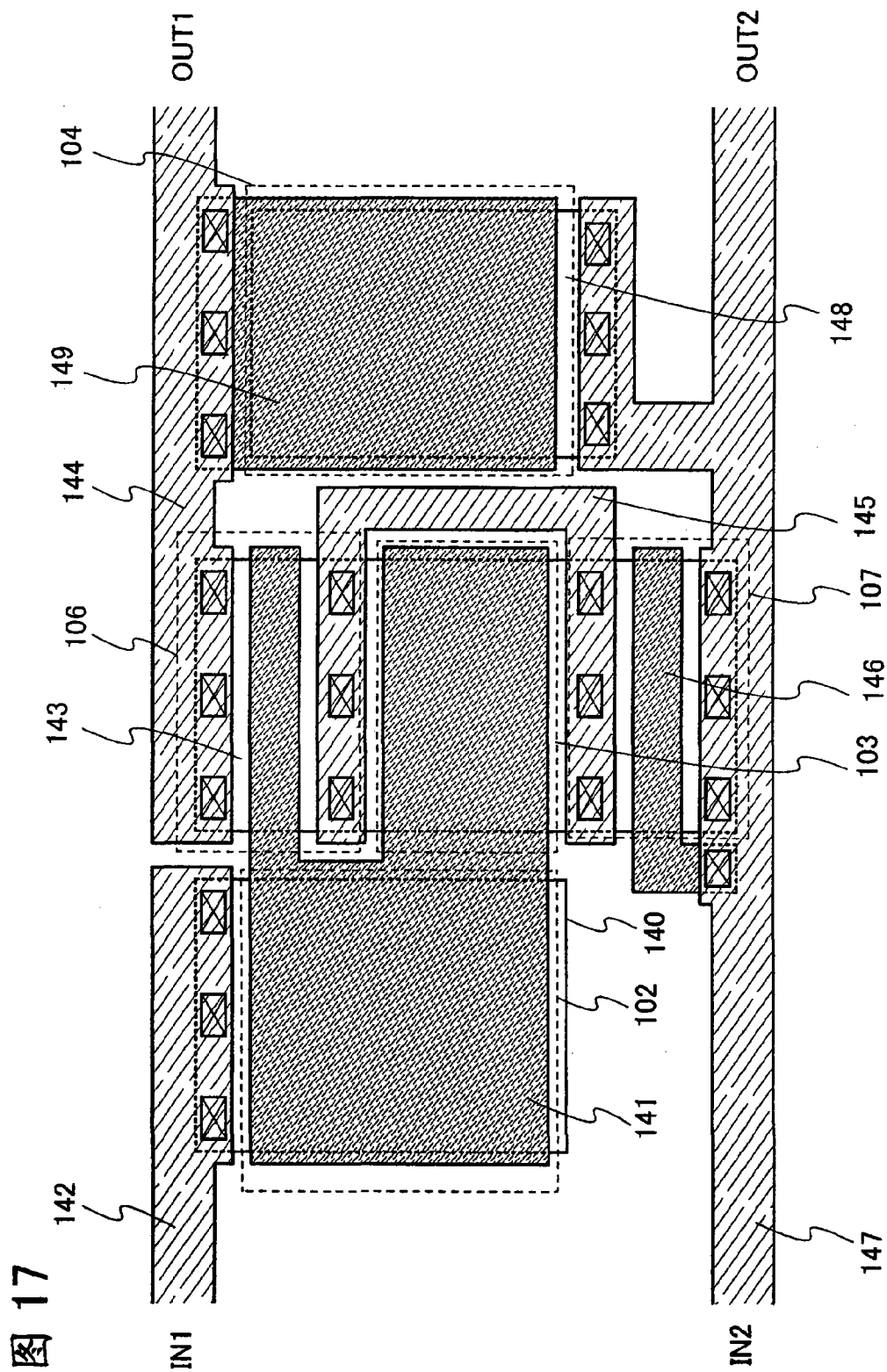


图 18

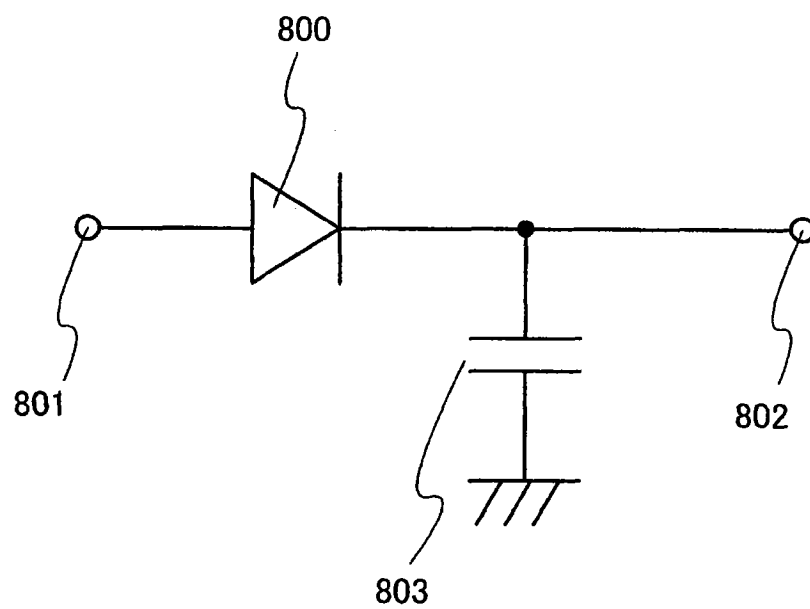


图 19A

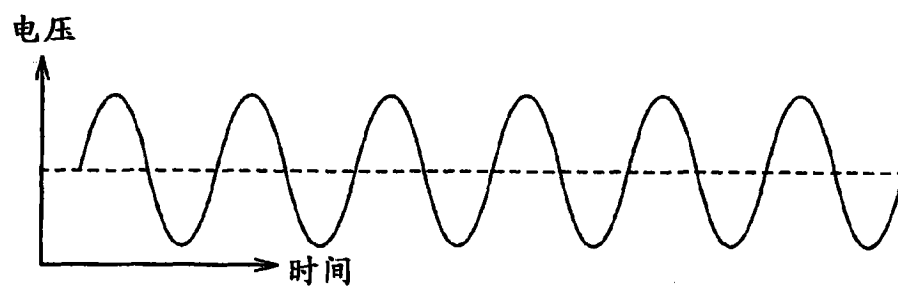


图 19B

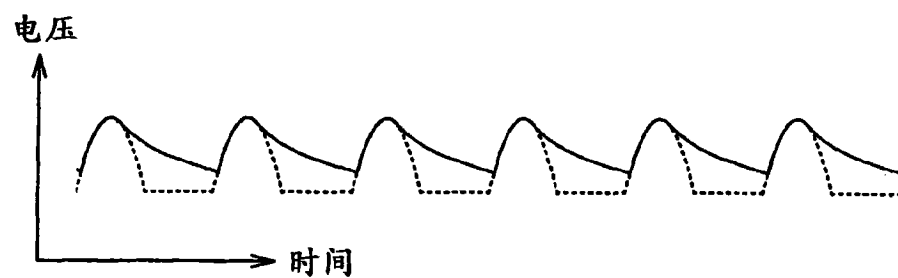


图 19C

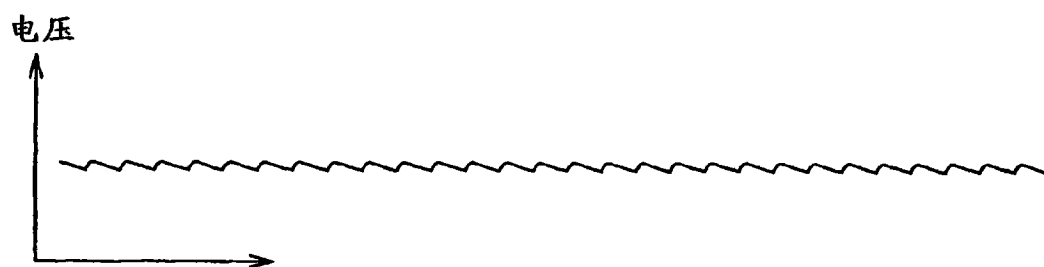


图 19D

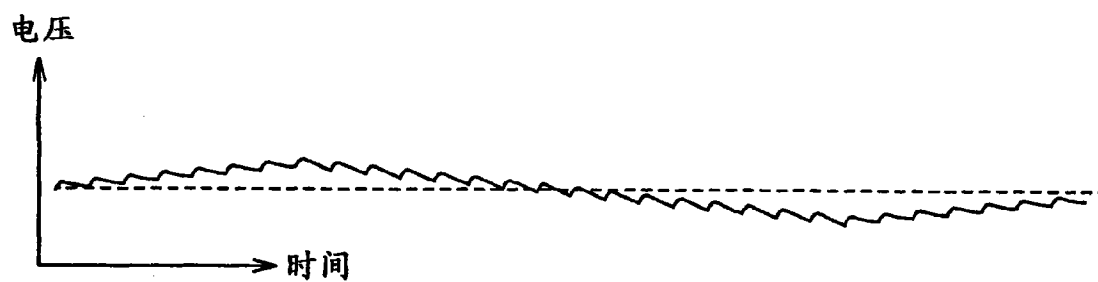


图 19E

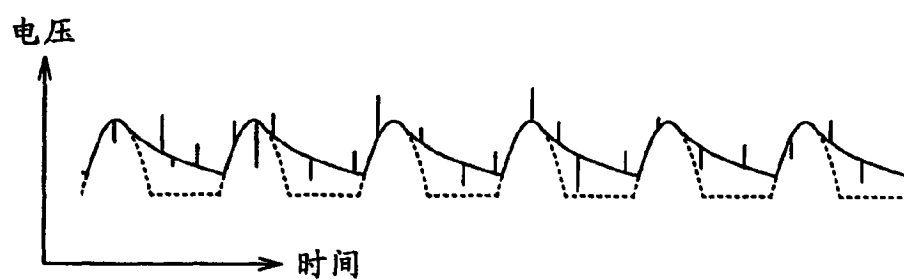


图 20A

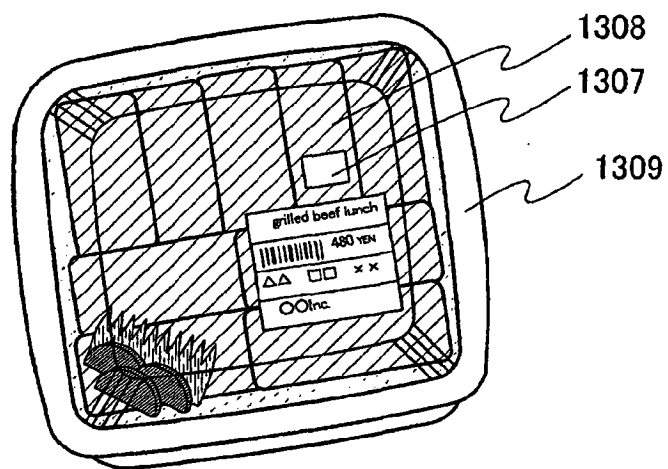


图 20B

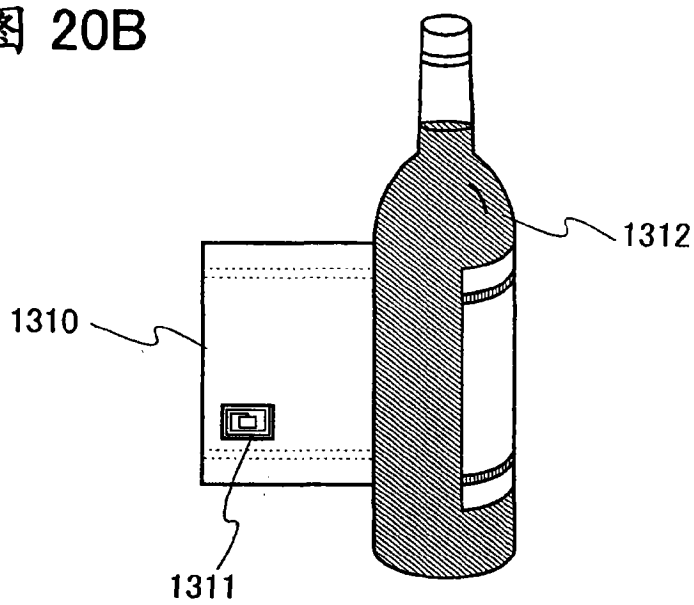


图 21A

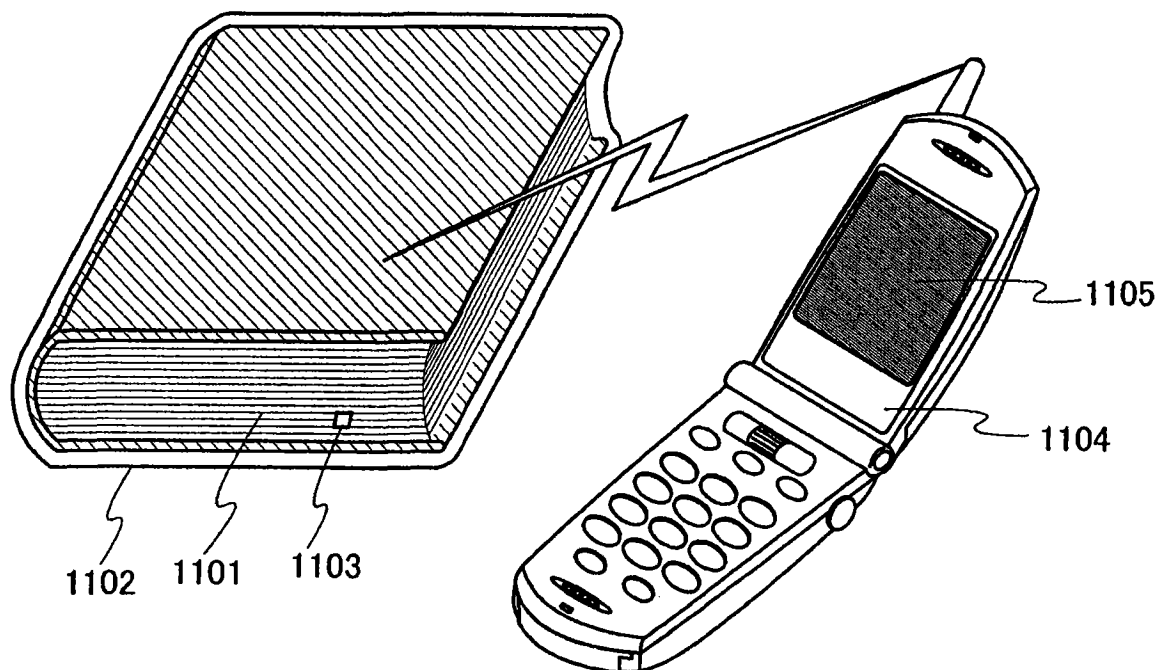


图 21B

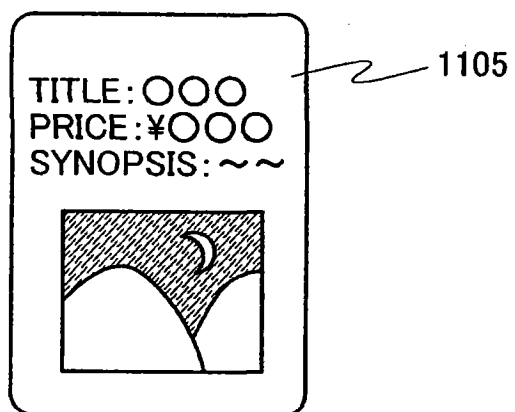


图 22

