【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成21年5月7日(2009.5.7)

【公開番号】特開2007-134027(P2007-134027A)
【公開日】平成19年5月31日(2007.5.31)
【年通号数】公開・登録公報2007-020
【出願番号】特願2006-139013(P2006-139013)
【国際特許分類】
Ｇ１１Ｃ　11/15　(2006.01)
Ｈ０１Ｌ　21/8246　(2006.01)
Ｈ０１Ｌ　27/105　(2006.01)
Ｈ０１Ｌ　43/08　(2006.01)
Ｈ０１Ｌ　29/82　(2006.01)
【ＦＩ】
Ｇ１１Ｃ　11/15　１５０
Ｈ０１Ｌ　27/10　４４７
Ｈ０１Ｌ　43/08　Ｚ
Ｇ１１Ｃ　11/15　１４０
Ｈ０１Ｌ　29/82　Ｚ

【手続補正書】
【提出日】平成21年3月23日(2009.3.23)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】請求項２
【補正方法】変更
【補正の内容】
【請求項２】
前記データ書込読出回路は、前記読出し電流の供給時間が供給電流により生じる前記メモリセルにおける温度上昇の時定数より短くなるように、前記読出し電流を供給する、請求項１に記載の不揮発性記憶装置。
【手続補正２】
【補正対象書類名】特許請求の範囲
【補正対象項目名】請求項９
【補正方法】変更
【補正の内容】
【請求項９】
前記複数のメモリセルの各々は、磁気的に不揮発的なデータ記憶を行なう磁気抵抗素子を含み、
前記磁気抵抗素子は、
磁化方向が所定の方向に固定される固定磁化層と、
前記第１および第２の電流供給線を介して供給される電流の流れる方向に応じて、磁化方向を変化させる自由磁化層とを含み、さらに、
前記固定磁化層の磁化方向と前記自由磁化層の磁化方向との相対関係に応じて抵抗値を変化させる、請求項７に記載の不揮発性記憶装置。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更

【補正の内容】
【００２４】
図１には、メモリアレイ１０ａおよび１０ｂにおいて、代表的にそれぞれ２つのメモリセルＭＣを示し、その２つのメモリセルＭＣのメモリセル列に対応して、２つのメモリセルＭＣの両端と結合される２本のビット線ＢＬと、２つのメモリセルＭＣの接続点と共通に結合される１本のビット線／ＢＬとを示す。さらに、図１には、代表的に示す２つのメモリセルＭＣのメモリセル行に対応して、それぞれ２つのダミーメモリセルＤＭＣおよびその２つのダミーメモリセルと共通に結合されるダミーワード線ＤＷＬを示す。その他のメモリアレイ１０についても同様であるので、詳細な説明は繰返さない。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００３２
【補正方法】変更
【補正の内容】
【００３２】
図２を参照して、メモリアレイ１０ａ，１０ｂの各々は、ｍ×ｎ（ｎ，ｍ：偶数の自然数）に配置された複数のメモリセルＭＣを有する。メモリセルＭＣの各々は、ワード線ＷＬおよびビット線対ＢＬ，／ＢＬと結合される。ワード線ＷＬは、メモリセル行にそれぞれ対応して列方向に配置される。一方、ビット線対ＢＬ，／ＢＬは、メモリセル列にそれぞれ対応して行方向に配置される。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００３３
【補正方法】変更
【補正の内容】
【００３３】
すなわち、メモリアレイ１０ａ全体においては、ワード線ＷＬ１ａ～ＷＬｎａと、ビット線ＢＬ１～ＢＬｍと、ビット線／ＢＬ１－２～／ＢＬ（ｍ－１）－ｍが配置され、メモリアレイ１０ｂ全体においては、ワード線ＷＬ１ｂ～ＷＬｎｂと、ビット線ＢＬ１～ＢＬｍと、ビット線／ＢＬ１－２～／ＢＬ（ｍ－１）－ｍが配置される。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００７３
【補正方法】変更
【補正の内容】
【００７３】
一方、図５（ｂ）を参照して、メモリセルＭＣに「１」データを書込む場合には、読出／書込回路２０および２２ａ，２２ｂは、それぞれにおける「１」書込みゲートＧＩｗ（１）をいずれもオンとし、「０」書込みゲートＧＩｗ（０）をいずれもオフとする。すると、「１」データ書込み電流源ＳＲＣＩｗ（１）から供給される書込み電流Ｉｗ（１）は、「１」書込みゲートＧＩｗ（１）、データ線／ＤＢ、ビット線／ＢＬ、アクセストランジスタＡＴＲ、トンネル磁気抵抗素子ＴＭＲ、ビット線ＢＬ、データ線ＤＢ、および「１」書込みゲートＧＩｗ（１）の経路で基準電位Ｇｎｄへ流れる。そのため、トンネル磁気抵抗素子ＴＭＲには、ビット線／ＢＬからビット線ＢＬの方向、すなわち、固定磁化層ＰＬから自由磁化層ＦＬの方向に書込み電流が通過することになる。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００７７
【補正方法】変更
【補正の内容】

【００７７】
図６（ａ）を参照して、自由磁化層ＦＬの磁化が紙面右向きから紙面左向きに変化する場合を示す。この場合において、書込み電流Ｉｗ（０）が自由磁化層ＦＬから固定磁化層ＰＬの方向に通過するため、電子は固定磁化層ＰＬから自由磁化層ＦＬへ移動し、それに伴い、固定磁化層ＰＬの電子スピン方向と同一方向に偏極したスピン偏極電子が固定磁化層ＰＬから自由磁化層ＦＬへ注入される。すると、自由磁化層ＦＬは、注入されたスピン偏極電子の偏極方向へのトルクを受け、その電子スピン方向が変化する。そして、最終的に、自由磁化層ＦＬの磁化方向は、固定磁化層ＰＬの磁化方向と同じ、すなわち平行となる。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００７８
【補正方法】変更
【補正の内容】
【００７８】
図６（ｂ）を参照して、自由磁化層ＦＬの磁化が紙面左向きから紙面右向きに変化する場合を示す。この場合において、書込み電流が固定磁化層ＰＬから自由磁化層ＦＬの方向に通過するため、電子は自由磁化層ＦＬから固定磁化層ＰＬへ移動し、それに伴い、自由磁化層ＦＬからは、固定磁化層ＰＬの電子スピン方向と同一方向に偏極したスピン偏極電子のみが移動する。そのため、自由磁化層ＦＬには、相対的に、固定磁化層ＰＬの磁化方向の電子スピン方向と反対方向に偏極したスピン偏極電子の蓄積量が多くなる。そして、最終的に、自由磁化層ＦＬの磁化方向は、固定磁化層ＰＬの磁化方向と反対、すなわち反平行となる。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００８８
【補正方法】変更
【補正の内容】
【００８８】
なお、本願発明者は、設計ルール（デザインルール）が０．１［μｍ］以下であるＭＲＡＭデバイス、すなわち、トンネル磁気抵抗素子ＴＭＲが約０．１×０．２［μm^2］の面積に形成される場合には、常温（たとえば、約２５℃）において、温度上昇の時定数が１０［ｎｓ］程度となることを見出しており、このような条件下においては、読出し電流の供給時間は、１０［ｎｓ］より短いことが望ましいと言える。当然のことながら、この温度上昇の時定数は、トンネル磁気抵抗素子ＴＭＲを構成する物質、環境温度およびトンネル磁気抵抗素子ＴＭＲの大きさ（面積）などに応じて変化する。たとえば、環境温度が常温（たとえば、約２５℃）から１２０°の範囲で変化すれば、温度上昇の時定数は、約５～１０［ｎｓ］の範囲で変化する。また、トンネル磁気抵抗素子ＴＭＲの大きさが小さくなれば、熱容量も小さくなるので、温度上昇の時定数もより短くなると考えられる。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】０１０４
【補正方法】変更
【補正の内容】
【０１０４】
図１１は、読出／書込回路２０におけるセンスアンプ２２の実現例を示す図である。
図１１を参照して、センスアンプ２２は、データ線ＤＢ，／ＤＢを所定の電圧以下に維持するとともに、データ線ＤＢ，／ＤＢに生じる読出し電流差に応じた電圧差をセンスノードＳＮ，／ＳＮに生じさせる。そして、センスアンプ２２は、トランジスタＱＰＳ，ＱＰ１～ＱＰ５，ＱＮ１～ＱＮ３と、アンプ４４とを含む。

【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】０１５２
【補正方法】変更
【補正の内容】
【０１５２】
自由磁化部ＦＬ＃は、バリア層ＢＡＬに近接する順に、第１自由磁化層ＦＬ１、第１非磁性層ＡＭＬ１、第２自由磁化層ＦＬ２、第２非磁性層ＡＭＬ２および固定磁化層ＰＬ＃が積層されて形成される。そして、第１自由層ＦＬ１および第２自由層ＦＬ２は、その磁化方向を互いに反対方向に保ちつつ、書込み電流の流れる方向に応じて磁化方向を変化させる。すなわち、第１自由層ＦＬ１および第２自由層ＦＬ２は、その間に介挿される第１非磁性層ＡＭＬ１とともに、いわゆるＳＡＦ（Synthetic Anti Ferro-Magnet）構造を形成する。そのため、第１自由層ＦＬ１の磁化と、第２自由層ＦＬ２の磁化とは、互いに打消しあって、全体としては実質的に無磁化状態となる。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】０１５５
【補正方法】変更
【補正の内容】
【０１５５】
さらに、トンネル磁気抵抗素子ＴＭＲ＃の電気抵抗値は、自由磁化部ＦＬ＃のうち第１自由磁化層ＦＬ１と、固定磁化層ＰＬとにおけるそれぞれの磁化方向の相対関係に応じて変化する。具体的には、トンネル磁気抵抗素子ＴＭＲ＃の電気抵抗は、第１自由磁化層ＦＬ１の磁化方向と固定磁化層ＰＬの磁化方向とが同じ（平行）である場合には低抵抗状態Ｒｍｉｎとなり、両者の磁化方向が反対（反平行）方向である場合には高抵抗状態Ｒｍａｘとなる。
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】０１７４
【補正方法】変更
【補正の内容】
【０１７４】
そこで、この発明の実施の形態３においては、書込み電流Ｉｗ（－）を「０」データ書込み電流Ｉｗ（０）に相当させ、書込み電流Ｉｗ（＋）を「１」データ書込み電流Ｉｗ（１）に相当させる。このような記憶データレベル「０」および「１」の割当てを行なうことで、図２に示すメモリアレイ１０およびその周辺回路の構成を用いて、読出し電流Ｉｒの流れる方向を書込み電流Ｉｗ（－）と一致させることができる。
【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】０１８３
【補正方法】変更
【補正の内容】
【０１８３】
メモリアレイ１０には、メモリセル行に対応して、データ読出し用の読出しワード線ＲＷＬ１～ＲＷＬｎおよびデータ書込み用の書込みワード線ＷＷＬ１～ＷＷＬｎが配置される。メモリセル列にそれぞれ対応して、ビット線対ＢＬＰ１～ＢＬＰｍが配置される。各ビット線対は、２本の相補のビット線で構成され、たとえば、ビット線対ＢＬＰ１は、ビット線ＢＬ１および／ＢＬ１から構成される。
【手続補正１５】
【補正対象書類名】明細書

【補正対象項目名】０１８４
【補正方法】変更
【補正の内容】
【０１８４】
各メモリセルＭＣは、トンネル磁気抵抗素子ＴＭＲと、トンネル磁気抵抗素子と直列に接続されるアクセストランジスタＡＴＲとを含む。そして、メモリセルＭＣは、１行ごとにビット線ＢＬおよび／ＢＬのいずれか一方と接続される。たとえば、第１番目のメモリセル列に属するメモリセルについて説明すれば、第１行目のメモリセルは、ビット線／ＢＬ１と結合され、第２行目のメモリセルはビット線／ＢＬ１と結合され、以下同様に、メモリセルの各々は、奇数行において一方のビット線／ＢＬ１～／ＢＬｍと接続され、偶数行において、他方のビット線ＢＬ１～ＢＬｍと接続される。
【手続補正１６】
【補正対象書類名】明細書
【補正対象項目名】０１９０
【補正方法】変更
【補正の内容】
【０１９０】
さらに、ＭＲＡＭデバイス２は、読出しデータおよび書込みデータを伝達するための互いに相補のデータ線ＤＢおよび／ＤＢと、データ書込回路５１Ｗと、データ読出回路５１Ｒと、メモリセル列にそれぞれ対応して設けられるカラム選択ゲートＣＳＧ１～ＣＳＧｍとを含む。なお、以下では、カラム選択線ＣＳＬ１～ＣＳＬｍ、カラム選択ゲートＣＳＧ１～ＣＳＧｍをそれぞれ総称して、単に、カラム選択線ＣＳＬ、カラム選択ゲートＣＳＧとも称する。