

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7548232号  
(P7548232)

(45)発行日 令和6年9月10日(2024.9.10)

(24)登録日 令和6年9月2日(2024.9.2)

(51)国際特許分類		F I		
H 0 1 L	21/28 (2006.01)	H 0 1 L	21/28	3 0 1 S
H 0 1 L	29/12 (2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/739(2006.01)	H 0 1 L	29/78	6 5 3 A
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78	6 5 2 M
請求項の数 10 (全21頁) 最終頁に続く				
(21)出願番号 特願2021-533082(P2021-533082)		(73)特許権者	000002130	
(86)(22)出願日 令和2年7月14日(2020.7.14)			住友電気工業株式会社	
(86)国際出願番号 PCT/JP2020/027413			大阪府大阪市中央区北浜四丁目 5 番 3 3 号	
(87)国際公開番号 WO2021/010405		(74)代理人	100107766	
(87)国際公開日 令和3年1月21日(2021.1.21)			弁理士 伊東 忠重	
審査請求日 令和5年3月22日(2023.3.22)		(74)代理人	100070150	
(31)優先権主張番号 特願2019-131803(P2019-131803)			弁理士 伊東 忠彦	
(32)優先日 令和1年7月17日(2019.7.17)		(72)発明者	玉祖 秀人	
(33)優先権主張国・地域又は機関 日本国(JP)			大阪府大阪市中央区北浜四丁目 5 番 3 3 号 住友電気工業株式会社内	
		審査官	佐藤 靖史	
最終頁に続く				

(54)【発明の名称】 炭化珪素半導体装置の製造方法及び炭化珪素半導体装置

(57)【特許請求の範囲】

【請求項1】

炭化珪素基板を準備する工程と、  
前記炭化珪素基板の一方の主面に絶縁膜を形成する工程と、  
前記絶縁膜にコンタクトホールを形成し、前記コンタクトホールの底面において、前記炭化珪素基板の一方の主面を露出させる工程と、  
前記コンタクトホールの底面の上にS i膜を形成する工程と、  
前記S i膜の上にN i膜を形成する工程と、  
前記N i膜を形成する工程の後、N iとS iとが反応する第1の温度で第1の熱処理を行う工程と、  
前記第1の熱処理の後、ウェットエッチングにより、前記N i膜のうち前記S i膜と反応していない未反応部を除去する工程と、  
前記未反応部を除去する工程の後、前記第1の温度よりも高い第2の温度で第2の熱処理を行う工程と、  
を有する炭化珪素半導体装置の製造方法。

【請求項2】

前記コンタクトホールの底面の上にS i膜を形成する工程は、  
前記コンタクトホールの底面及び側面と、前記絶縁膜の上面とに第1S i膜を形成する工程と、  
前記第1S i膜を形成する工程の後、少なくとも前記絶縁膜の上面の前記第1S i膜を

ドライエッチングにより除去する工程と、

を有する請求項 1 に記載の炭化珪素半導体装置の製造方法。

【請求項 3】

前記第 1 の温度は、200 以上、400 以下である請求項 1 または請求項 2 に記載の炭化珪素半導体装置の製造方法。

【請求項 4】

前記第 2 の温度は、800 以上、1100 以下である請求項 1 から請求項 3 のいずれか一項に記載の炭化珪素半導体装置の製造方法。

【請求項 5】

前記コンタクトホール底面における前記 Si 膜の膜厚は、5 nm 以上、100 nm 以下である請求項 1 から請求項 4 のいずれか一項に記載の炭化珪素半導体装置の製造方法。

【請求項 6】

前記コンタクトホール底面における前記 Ni 膜の膜厚は、5 nm 以上、100 nm 以下である請求項 1 から請求項 5 のいずれか一項に記載の炭化珪素半導体装置の製造方法。

【請求項 7】

前記 Si 膜は、前記コンタクトホール側面にも形成されている請求項 1 から請求項 6 のいずれか一項に記載の炭化珪素半導体装置の製造方法。

【請求項 8】

前記 Si 膜の上に前記 Ni 膜が形成された状態の前記コンタクトホール底面において、前記 Si 膜に含まれる厚さ方向に積算される単位面積当たりの Si 原子の数を  $N_{Si}$ 、前記 Ni 膜に含まれる厚さ方向に積算される単位面積当たりの Ni 原子の数を  $N_{Ni}$  としたとき、 $N_{Ni} = N_{Si} / 2$  の関係が成り立つ請求項 1 から請求項 7 のいずれか一項に記載の炭化珪素半導体装置の製造方法。

【請求項 9】

主面を有する炭化珪素基板と、

前記炭化珪素基板の主面上に設けられた絶縁膜と、

前記絶縁膜に設けられたコンタクトホールと、

前記コンタクトホール底面の一部に設けられ、前記炭化珪素基板と接触している第 1 の電極と、

前記コンタクトホール側面に、前記第 1 の電極から離れて設けられた第 2 の電極と、  
を有し、

前記第 1 の電極は、Si と Ni とを含み、前記炭化珪素基板とオーミックコンタクトしている炭化珪素半導体装置。

【請求項 10】

前記コンタクトホール底面において、前記第 1 の電極と前記第 2 の電極との間の距離は、0.1  $\mu$ m 以上、1  $\mu$ m 以下である請求項 9 に記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、炭化珪素半導体装置の製造方法及び炭化珪素半導体装置に関する。

【0002】

本出願は、2019 年 7 月 17 日出願の日本出願第 2019 - 131803 号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

【背景技術】

【0003】

炭化珪素半導体装置の製造工程においては、ドレイン電極等を形成する際に、炭化珪素基板の表面に Ni（ニッケル）膜を形成し、熱処理をすることにより、炭化珪素基板に含まれる Si（シリコン）と Ni とにより合金化し、オーミック電極を形成する工程がある。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 4 】

【文献】日本国特開 2 0 0 5 - 2 7 6 9 7 8 号公報

【文献】日本国特開 2 0 1 7 - 1 7 5 1 1 5 号公報

【文献】日本国特開 2 0 1 2 - 9 9 5 9 8 号公報

【発明の概要】

【 0 0 0 5 】

本開示の炭化珪素半導体装置の製造方法は、炭化珪素基板を準備する工程と、炭化珪素基板の一方の主面に絶縁膜を形成する工程と、前記絶縁膜にコンタクトホールを形成し、前記コンタクトホールの底面において、前記炭化珪素基板の一方の主面を露出させる工程と、コンタクトホールの底面の上に S i 膜を形成する工程と、を有する。更に、 S i 膜の上に N i 膜を形成する工程と、前記 N i 膜を形成する工程の後、 N i と S i とが反応する第 1 の温度で第 1 の熱処理を行う工程と、第 1 の熱処理の後、ウェットエッチングにより、前記 N i 膜のうち前記 S i 膜と反応していない未反応部を除去する工程と、前記未反応部を除去する工程の後、第 1 の温度よりも高い第 2 の温度で第 2 の熱処理を行う工程と、を有する。

10

【図面の簡単な説明】

【 0 0 0 6 】

【図 1】図 1 は、半導体装置の製造方法の説明図（ 1 ）である。

【図 2】図 2 は、半導体装置の製造方法の説明図（ 2 ）である。

【図 3】図 3 は、半導体装置の製造方法の説明図（ 3 ）である。

20

【図 4】図 4 は、半導体装置の製造方法の説明図（ 4 ）である。

【図 5】図 5 は、半導体装置の製造方法の説明図（ 5 ）である。

【図 6】図 6 は、本開示の第 1 の実施形態の半導体装置の製造方法のフローチャートである。

【図 7】図 7 は、本開示の第 1 の実施形態の半導体装置の製造方法の説明図（ 1 ）である。

【図 8】図 8 は、本開示の第 1 の実施形態の半導体装置の製造方法の説明図（ 2 ）である。

【図 9】図 9 は、本開示の第 1 の実施形態の半導体装置の製造方法の説明図（ 3 ）である。

【図 1 0】図 1 0 は、本開示の第 1 の実施形態の半導体装置の製造方法の説明図（ 4 ）である。

【図 1 1】図 1 1 は、本開示の第 1 の実施形態の半導体装置の製造方法の説明図（ 5 ）である。

30

【図 1 2】図 1 2 は、本開示の第 1 の実施形態の半導体装置の製造方法の説明図（ 6 ）である。

【図 1 3】図 1 3 は、本開示の第 1 の実施形態の半導体装置の製造方法の説明図（ 7 ）である。

【図 1 4】図 1 4 は、本開示の第 1 の実施形態の半導体装置の製造方法の説明図（ 8 ）である。

【図 1 5】図 1 5 は、本開示の第 1 の実施形態の半導体装置の変形例 1 の製造方法の説明図（ 1 ）である。

【図 1 6】図 1 6 は、本開示の第 1 の実施形態の半導体装置の変形例 1 の製造方法の説明図（ 2 ）である。

40

【図 1 7】図 1 7 は、本開示の第 1 の実施形態の半導体装置の変形例 2 の製造方法の説明図（ 1 ）である。

【図 1 8】図 1 8 は、本開示の第 1 の実施形態の半導体装置の変形例 2 の製造方法の説明図（ 2 ）である。

【図 1 9】図 1 9 は、本開示の第 1 の実施形態の半導体装置の変形例 3 の製造方法の説明図である。

【図 2 0】図 2 0 は、本開示の第 1 の実施形態の半導体装置の説明図である。

【図 2 1】図 2 1 は、本開示の第 2 の実施形態の半導体装置の製造方法の説明図（ 1 ）である。

50

【図 2 2】図 2 2 は、本開示の第 2 の実施形態の半導体装置の製造方法の説明図（ 2 ）である。

【図 2 3】図 2 3 は、本開示の第 2 の実施形態の半導体装置の製造方法の説明図（ 3 ）である。

【図 2 4】図 2 4 は、本開示の第 2 の実施形態の半導体装置の製造方法の説明図（ 4 ）である。

【図 2 5】図 2 5 は、本開示の第 2 の実施形態の半導体装置の製造方法の説明図（ 5 ）である。

【図 2 6】図 2 6 は、本開示の第 2 の実施形態の半導体装置の製造方法の説明図（ 6 ）である。

10

【図 2 7】図 2 7 は、本開示の第 2 の実施形態の半導体装置の製造方法の説明図（ 7 ）である。

【図 2 8】図 2 8 は、本開示の第 2 の実施形態の半導体装置の変形例の製造方法の説明図（ 1 ）である。

【図 2 9】図 2 9 は、本開示の第 2 の実施形態の半導体装置の変形例の製造方法の説明図（ 2 ）である。

【図 3 0】図 3 0 は、本開示の第 2 の実施形態の半導体装置の変形例の製造方法の説明図（ 3 ）である。

【図 3 1】図 3 1 は、本開示の第 2 の実施形態の半導体装置の変形例の製造方法の説明図（ 4 ）である。

20

【発明を実施するための形態】

【 0 0 0 7 】

〔本開示が解決しようとする課題〕

炭化珪素基板は、S i の他に C（炭素）が含まれているため、炭化珪素に含まれる S i が N i との合金化に用いられると、未反応の C が生じ、この未反応の C が合金化されたオーミック電極の表面等に析出する場合がある。このように、オーミック電極の表面に C が析出すると、オーミック電極の上に、金属配線層を形成した際に、信頼性の低下等を招くおそれがある。

【 0 0 0 8 】

このため、オーミック電極の表面に炭素が析出することなく、オーミック電極を形成できる炭化珪素半導体装置の製造方法が求められている。

30

【 0 0 0 9 】

〔本開示の効果〕

本開示によれば、炭化珪素基板の表面にオーミック電極を形成する際に、炭素がオーミック電極の表面に析出することを抑制できる。

【 0 0 1 0 】

実施するための形態について、以下に説明する。

【 0 0 1 1 】

〔本開示の実施形態の説明〕

最初に本開示の実施態様を列記して説明する。以下の説明では、同一または対応する要素には同一の符号を付し、それらについて同じ説明は繰り返さない。

40

【 0 0 1 2 】

〔 1 〕 本開示の一態様に係る半導体装置の製造方法は、炭化珪素基板を準備する工程と、前記炭化珪素基板の一方の主面に絶縁膜を形成する工程と、前記絶縁膜にコンタクトホールを形成し、前記コンタクトホールの底面において、前記炭化珪素基板の一方の主面を露出させる工程と、前記コンタクトホールの底面の上に S i 膜を形成する工程と、前記 S i 膜の上に N i 膜を形成する工程と、前記 N i 膜を形成する工程の後、N i と S i とが反応する第 1 の温度で第 1 の熱処理を行う工程と、前記第 1 の熱処理の後、ウェットエッチングにより、前記 N i 膜のうち前記 S i 膜と反応していない未反応部を除去する工程と、前記未反応部を除去する工程の後、前記第 1 の温度よりも高い第 2 の温度で第 2 の熱処

50

理を行う工程と、を有する。

【0013】

これにより、オーミック電極の表面において炭素を析出させることなく、炭化珪素基板の表面にオーミック電極を形成できる。

【0014】

〔2〕 前記コンタクトホール底面の底面に上にSi膜を形成する工程は、前記コンタクトホール底面及び側面と、前記絶縁膜の上面とに第1Si膜を形成する工程と、前記第1Si膜を形成する工程の後、少なくとも前記絶縁膜の上面の前記第1Si膜をドライエッチングにより除去する工程と、を有する。

【0015】

これにより、ニッケルシリサイドの反応前駆体が形成される領域が決定される。一般的にドライエッチングが難しいNiではドライエッチングによる微細加工ができないが、第1Si膜をドライエッチングすることにより、ニッケルシリサイドの反応前駆体をドライエッチングと同等の微細加工精度で形成できる。

【0016】

〔3〕 前記第1の温度は、200 以上、400 以下である。

【0017】

これにより、ニッケルシリサイドの反応前駆体層を形成できる。

【0018】

〔4〕 前記第2の温度は、800 以上、1100 以下である。

【0019】

これにより、反応前駆体層により、炭化珪素基板の主面と接触している部分にオーミック電極を形成できる。

【0020】

〔5〕 前記コンタクトホール底面における前記Si膜の膜厚は、5nm以上、100nm以下である。

【0021】

Si膜が5nmより薄いと、面内の局所ばらつきが、数nmのばらつきであっても、影響を無視することができず、プロセスを制御しにくくなる。また、膜厚が100nmより厚くなると、Ni膜との反応するには量が多くなりすぎ、不均一な反応前駆体ができってしまうからである。

【0022】

〔6〕 前記コンタクトホール底面における前記Ni膜の膜厚は、5nm以上、100nm以下である。

【0023】

Ni膜が5nmより薄いと、面内の局所ばらつきが、数nmのばらつきであっても、影響を無視することができず、プロセスを制御しにくくなる。また、膜厚が100nmより厚くなると、Si膜との反応するには量が多くなりすぎ、不均一な反応前駆体ができってしまうからである。

【0024】

〔7〕 前記Si膜は、前記コンタクトホール側面にも形成されている。

【0025】

一般にドライエッチングは垂直方向にエッチングレートが早く、横方向のエッチングレートが遅いため、コンタクトホール底面だけ残そうとしても、側面にも残ることがある。もちろんプロセスを工夫することで除去することも可能である。

【0026】

〔8〕 前記Si膜の上に前記Ni膜が形成された状態の前記コンタクトホール底面において、前記Si膜に含まれる厚さ方向に積算される単位面積当たりのSi原子の数を $N_{Si}$ 、前記Ni膜に含まれる厚さ方向に積算される単位面積当たりのNi原子の数を $N_{Ni}$ としたとき、 $N_{Ni} = N_{Si} / 2$ の関係が成り立つ。

10

20

30

40

50

## 【 0 0 2 7 】

炭化珪素とニッケル単体を反応させたときオーミック電極を作ったとき、 $\text{Ni}_2\text{Si}$ が主成分として形成される。本実施形態において反応前駆体をこの組成に合わせるために原子数を $\text{Ni}:\text{Si}=2:1$ に合わせる必要がある。また、この組成から $\text{Ni}$ の量を増やすことで炭化珪素との反応性がよくなる。逆にこの組成から $\text{Ni}$ が減ると、 $\text{Ni}$ が不足気味になり炭化珪素と反応しにくくなるからである。

## 【 0 0 2 8 】

〔 9 〕 主面を有する炭化珪素基板と、前記炭化珪素基板の主面上に設けられた絶縁膜と、前記絶縁膜に設けられたコンタクトホールと、前記コンタクトホールの底面の一部に設けられ、前記炭化珪素基板と接触している第1の電極と、前記コンタクトホールの側面に、前記第1の電極から離れて設けられた第2の電極と、を有し、前記第1の電極は、 $\text{Si}$ と $\text{Ni}$ とを含み、前記炭化珪素基板とオーミックコンタクトしている。

10

## 【 0 0 2 9 】

コンタクトホール底面に必要最小限の範囲でオーミック電極を形成し、不要な箇所には形成しないことができる。特にコンタクトホールの側面はエッチングダメージが残りやすいため、第2の電極をバリア膜として活用できる。またコンタクトホールの底面と、コンタクトホールの側面の電極を分離することで、基板や絶縁膜にかかる応力を緩和できるからである。

## 【 0 0 3 0 】

〔 1 0 〕 前記コンタクトホールの底面において、前記第1の電極と前記第2の電極との間の距離は、 $0.1\mu\text{m}$ 以上、 $1\mu\text{m}$ 以下である。

20

## 【 0 0 3 1 】

$0.1\mu\text{m}$ より短いと加工精度の問題により局所的に分離できない箇所が発生し始める。また $1\mu\text{m}$ 以下であれば一般的な加工精度のばらつきでマージンをもって対応できるし、 $1\mu\text{m}$ を超えるとデバイスの抵抗が高くなるからである。

## 【 0 0 3 2 】

〔 本開示の実施形態の詳細 〕

以下、本開示の一実施形態について詳細に説明するが、本実施形態はこれらに限定されるものではない。

## 【 0 0 3 3 】

〔 第1の実施形態 〕

最初に、炭化珪素半導体装置の製造方法において、炭化珪素基板の表面にオーミック電極を形成する工程について説明する。炭化珪素基板の表面に、オーミック電極を形成する際には、炭化珪素基板の表面に、スパッタリングにより $\text{Ni}$ 膜を形成した後、ウェットエッチング等により、不要な $\text{Ni}$ 膜を除去する。この後、加熱することにより、炭化珪素基板に含まれる $\text{Si}$ と $\text{Ni}$ とを合金化させて、オーミック電極となるニッケルシリサイド膜を形成する。この際、 $\text{Ni}$ との合金化のために炭化珪素基板の表面の $\text{Si}$ が奪われるため、未反応の $\text{C}$ がニッケルシリサイド膜の表面に析出する。この後、スパッタリングにより $\text{Al}$ 膜を形成し配線層を形成した場合、オーミック電極となるニッケルシリサイド膜の表面に $\text{C}$ が析出していると、 $\text{Al}$ 膜が剥がれやすいため、信頼性の低下を招く。

40

## 【 0 0 3 4 】

このための対策として様々な方法が検討されている。

## 【 0 0 3 5 】

例えば、炭化珪素基板の表面に、 $\text{Ni}$ と $\text{Si}$ を含む膜を形成した後、所望の領域以外の $\text{Ni}$ と $\text{Si}$ を含む膜を除去して、熱処理をする方法が考えられる。この方法では、 $\text{Ni}$ と $\text{Si}$ を含む膜の $\text{Ni}$ と $\text{Si}$ とを合金化させ、オーミック電極を形成する。このため、オーミック電極を形成する際に、炭化珪素基板に含まれる $\text{Si}$ が奪われることは殆どないため、 $\text{C}$ の析出を極力防ぐことができる。

## 【 0 0 3 6 】

しかしながら、 $\text{Ni}$ はドライエッチングによる除去が困難であり、 $\text{Si}$ はウェットエッ

50

チングによる除去が困難であるため、NiとSiを含む膜は、ドライエッチングでもウェットエッチングでも除去することが困難である。また、所望の領域にNiとSiを含む膜を形成する方法としては、リフトオフにより形成する方法が挙げられるが、リフトオフでは、剥離した膜が再付着する場合があります、信頼性の低下を招くため好ましくはない。

【0037】

従って、炭化珪素基板の表面に、NiとSiを含む膜を形成して熱処理をする方法では、所望の領域以外の領域のNiとSiを含む膜を除去することは困難であるため、所望の領域にNiとSiを含む膜を残すことは容易ではない。

【0038】

また、上記以外の方法としては、レジスト等を用いることなくオーミック電極を形成する方法が考えられる。

【0039】

具体的には、最初に、図1に示されるように、炭化珪素基板10の表面となる主面10aに、コンタクトホール21を有する層間絶縁膜となる絶縁膜20を形成し、コンタクトホール21及び絶縁膜20を覆うTiN膜30を形成する。この後、コンタクトホール21の底面21aのTiN膜30を除去することにより開口部30aを形成し、炭化珪素基板10の主面10aを露出させる。これにより、コンタクトホール21の側面21bの絶縁膜20及び絶縁膜20の上面20aは、TiN膜30により覆われる。

【0040】

次に、図2に示されるように、スパッタリングによりNi膜40を形成する。これにより、コンタクトホール21の底面21aにおいて露出している炭化珪素基板10の主面10a、及び、TiN膜30の上に、Ni膜40が形成される。

【0041】

次に、図3に示されるように、500～700の温度で熱処理をすることにより、炭化珪素基板10とNi膜40との界面において、NiとSiとが合金化したニッケルシリサイドの反応前駆体層41が形成される。尚、TiN膜30は、この熱処理において、Niが絶縁膜20に進入することを防ぐために設けられている。

【0042】

次に、図4に示されるように、Ni膜40を希塩酸や希硝酸を用いたウェットエッチングにより除去する。これにより、TiN膜30の開口部30aの炭化珪素基板10の主面10aには、反応前駆体層41が残る。

【0043】

次に、図5に示すように、反応前駆体層41を約1000の温度で熱処理をすることにより、オーミック電極41aが形成される。

【0044】

このように形成されるオーミック電極41aは、厚さが数nmと極めて薄いため、この後の工程において、配線層を形成する際の逆スパッタリングにより、オーミック電極41aが除去されてしまう場合がある。また、この方法では、オーミック電極41aの表面に未反応のCが析出してしまう。

【0045】

(半導体装置の製造方法)

次に、第1の実施形態における半導体装置の製造方法について、図6から図14に基づき説明する。図6は、本開示の第1の実施形態の半導体装置の製造方法のフローチャートである。図7～図14は、本開示の第1の実施形態の半導体装置の製造方法の工程図である。

【0046】

最初に、図7に示されるように、一方の主面10aと、他方の主面10bとを有する炭化珪素基板10を準備し(ステップS1)、炭化珪素基板10の一方の主面10aに、層間絶縁膜となる膜厚が0.8μmの絶縁膜20をCVD(chemical vapor deposition)法により形成する(ステップS2)。絶縁膜20は、酸化シリコンにより形成されてい

10

20

30

40

50

る。

【 0 0 4 7 】

次に、図 8 に示されるように、絶縁膜 2 0 にコンタクトホール 2 1 を形成する（ステップ S 3）。具体的には、絶縁膜 2 0 の上面 2 0 a に、フォトリソを塗布し、露光装置による露光及び現像を行うことにより、コンタクトホール 2 1 が形成される領域に開口を有する不図示のレジストパターンを形成する。この後、R I E（Reactive Ion Etching）等のドライエッチングにより、レジストパターンの形成されていない領域の絶縁膜 2 0 を除去し、炭化珪素基板 1 0 の主面 1 0 a を露出させることによりコンタクトホール 2 1 を形成する。この後、不図示のレジストパターンは、有機溶剤等により除去する。これにより、底面 2 1 a が炭化珪素基板 1 0 の主面 1 0 a となり、側面 2 1 b が絶縁膜 2 0 となるコンタクトホール 2 1 が形成される。

10

【 0 0 4 8 】

次に、図 9 に示されるように、コンタクトホール 2 1 の底面 2 1 a 及び側面 2 1 b、絶縁膜 2 0 の上面 2 0 a を覆う S i 膜 1 3 0 をスパッタリングにより形成する（ステップ S 4）。形成される S i 膜 1 3 0 の膜厚  $t_1$  は、5 nm 以上、1 0 0 nm 以下である。S i 膜 1 3 0 の膜厚  $t_1$  は、S i 膜 1 3 0 のうちコンタクトホール 2 1 の底面 2 1 a における厚さである。

【 0 0 4 9 】

次に、図 1 0 に示されるように、絶縁膜 2 0 の上面 2 0 a の S i 膜 1 3 0 を除去する（ステップ S 5）。具体的には、コンタクトホール 2 1 の底面 2 1 a を覆う不図示のレジストパターンを形成し、R I E 等のドライエッチングにより、レジストパターンの形成されていない領域の S i 膜 1 3 0 を除去する。エッチングガスには、フッ素系、または、塩素系のエッチングガスを用いる。この後、レジストパターンは有機溶剤等により除去する。これにより、コンタクトホール 2 1 の底面 2 1 a 及び側面 2 1 b を覆う S i 膜 1 3 0 が残る。R I E 等のドライエッチングは、異方性を有するエッチングである。このため、レジストパターンの形成されていない領域の絶縁膜 2 0 の上面 2 0 a の S i 膜 1 3 0 が完全に除去されても、コンタクトホール 2 1 の側面 2 1 b を覆う S i 膜 1 3 0 は、完全には除去することはできず薄く残る。

20

【 0 0 5 0 】

次に、図 1 1 に示されるように、コンタクトホール 2 1 の底面 2 1 a 及び側面 2 1 b における S i 膜 1 3 0 の上、絶縁膜 2 0 の上面 2 0 a に、N i 膜 1 4 0 をスパッタリングにより形成する（ステップ S 6）。形成される N i 膜 1 4 0 の膜厚  $t_2$  は、5 nm 以上、1 0 0 nm 以下である。N i 膜 1 4 0 の膜厚  $t_2$  は、N i 膜 1 4 0 のうちコンタクトホール 2 1 の底面 2 1 a における厚さである。S i 膜 1 3 0 及び N i 膜 1 4 0 は、コンタクトホール 2 1 の底面 2 1 a において、S i 膜 1 3 0 に含まれる厚さ方向に積算される単位面積当たりの S i 原子の数を  $N_{Si}$ 、N i 膜 1 4 0 に含まれる厚さ方向に積算される単位面積当たりの N i 原子の数を  $N_{Ni}$  としたとき、 $N_{Ni} = N_{Si} / 2$  の関係が成り立つような膜厚で形成する。尚、厚さ方向とは、S i 膜 1 3 0 及び N i 膜 1 4 0 の膜厚方向を意味するものとし、S i 膜 1 3 0 及び N i 膜 1 4 0 の膜面に対し垂直な方向である。

30

【 0 0 5 1 】

次に、図 1 2 に示されるように、2 0 0 以上、4 0 0 以下、例えば、約 3 5 0 の温度で第 1 の熱処理を行う（ステップ S 7）。これにより、コンタクトホール 2 1 の底面 2 1 a 及び側面 2 1 b における S i 膜 1 3 0 の S i と N i 膜 1 4 0 の N i とが反応しニッケルシリサイドの反応前駆体層 1 4 1 が形成される。第 1 の熱処理における温度は、S i と N i とは反応するが、S i C に含まれる S i と N i とは反応しない温度である。本願においては、この温度を第 1 の温度と記載する場合がある。N i 膜 1 4 0 は、絶縁膜 2 0 の上面 2 0 a にも形成されているが、この工程の熱処理の温度である約 3 5 0 では、N i 膜 1 4 0 に含まれる N i が、絶縁膜 2 0 の内部に進入することはない。第 1 の温度は炭化珪素基板 1 0 の温度である。例えば、第 1 の熱処理は炉を用いて行われ、炭化珪素基板 1 0 の温度は炉内温度と実質的に等しい。

40

50



## 【 0 0 5 2 】

次に、図 1 3 に示されるように、ウェットエッチングにより、絶縁膜 2 0 の上面 2 0 a の未反応の N i 膜 1 4 0、すなわち N i 膜 1 4 0 のうち S i 膜 1 3 0 と反応していない部分を除去する（ステップ S 8）。これにより、コンタクトホール 2 1 の底面 2 1 a 及び側面 2 1 b には、反応前駆体層 1 4 1 が残る。

## 【 0 0 5 3 】

次に、図 1 4 に示されるように、8 0 0 以上、1 1 0 0 以下、例えば、約 1 0 0 0 の温度で第 2 の熱処理を行うことにより（ステップ S 9）、反応前駆体層 1 4 1 により、電極層 1 4 2 を形成する。電極層 1 4 2 は、炭化珪素基板 1 0 の主面 1 0 a とオーミック接触するオーミック領域 1 4 2 a を含む。オーミック領域 1 4 2 a はオーミック電極として機能し得る。この工程における温度は、第 1 の温度よりも高く、S i C に含まれる S i と N i とが反応する温度である。本願においては、この熱処理の工程の温度を第 2 の温度と記載する場合がある。第 2 の温度は炭化珪素基板 1 0 の温度である。例えば、第 2 の熱処理は炉を用いて行われ、炭化珪素基板 1 0 の温度は炉内温度と実質的に等しい。

10

## 【 0 0 5 4 】

電極層 1 4 2 において、オーミック領域 1 4 2 a では、炭化珪素基板 1 0 に含まれていた S i が進入している。

## 【 0 0 5 5 】

本実施形態では、電極層 1 4 2 のオーミック領域 1 4 2 a を形成しているニッケルシリサイドは、殆どが S i 膜 1 3 0 に含まれる S i と、N i 膜 1 4 0 に含まれる N i とにより形成されている。このため、第 2 の熱処理において、オーミック領域 1 4 2 a を形成する際には、反応前駆体層 1 4 1 に含まれる未反応の僅かな N i が、炭化珪素基板 1 0 から供給される S i と反応する。このため、炭化珪素基板 1 0 から供給される S i の量は僅かである。よって、未反応の C が生成される量も僅かであるため、電極層 1 4 2 の表面に C が析出することは殆どない。従って、電極層 1 4 2 の上に A l 等の配線層を形成しても、電極層 1 4 2 の表面より剥がれることはない。尚、配線層は、T i N と A l とを順で積層した膜であってもよい。

20

## 【 0 0 5 6 】

また、本実施形態においては、図 1 に示されるような T i N 膜の形成が不要となるため、炭化珪素半導体装置を製造する際の製造工程の工程数を減らすことができ、コストダウンを図ることができる。

30

## 【 0 0 5 7 】

また、本実施形態においては、図 1 1 に示される状態では、コンタクトホール 2 1 の側面 2 1 b は、S i 膜 1 3 0 により覆われているため、コンタクトホール 2 1 の側面 2 1 b を形成する酸化シリコンと N i 膜 1 4 0 とは直接接触していない。よって、約 1 0 0 0 の温度で第 2 の熱処理を行っても、絶縁膜 2 0 に N i が進入することはない、絶縁膜 2 0 が劣化することはない。尚、酸化シリコンにより形成された絶縁膜に N i 膜が直接接触している場合には、加熱温度が 5 0 0 程度で、絶縁膜に N i が進入するため、絶縁膜が劣化する。

## 【 0 0 5 8 】

（変形例）

次に、本実施形態の変形例について説明する。

## 【 0 0 5 9 】

本変形例は、図 9 に示す工程の後、S i 膜 1 3 0 の上に形成される不図示のレジストパターンの大きさを変えることにより、残存する S i 膜 1 3 0 の大きさを変えたものである。

## 【 0 0 6 0 】

例えば、図 9 に示す工程（ステップ S 4）の後、図 1 5 に示されるように、コンタクトホール 2 1 の底面 2 1 a よりも狭い領域の S i 膜 1 3 0 の上に、レジストパターン 1 5 1 を形成し、レジストパターン 1 5 1 の形成されていない領域の S i 膜 1 3 0 を除去する。この後、上記と同様の工程（ステップ S 5 ～ S 9）を行うことにより、図 1 6 に示される

50

ように、コンタクトホール 2 1 の底面 2 1 a と接する第 1 の電極 1 4 2 b と、コンタクトホール 2 1 の側面 2 1 b と接する第 2 の電極 1 4 2 c とが、互いから離れて形成される。即ち、コンタクトホール 2 1 の底面 2 1 a において、第 1 の電極 1 4 2 b と第 2 の電極 1 4 2 c とが互いから離れて形成される。第 1 の電極 1 4 2 b と第 2 の電極 1 4 2 c との間の距離 L は、 $0.1\text{ }\mu\text{m}$  以上、 $1\text{ }\mu\text{m}$  以下が好ましい。尚、図 1 6 に示されるように、絶縁膜 2 0 の上面 2 0 a には、絶縁膜 2 0 と接触する Ni 膜は存在してはいない。

#### 【0061】

尚、第 1 の電極 1 4 2 b には炭化珪素基板 1 0 に含まれる Si が進入しており、第 1 の電極 1 4 2 b はオーミック電極として機能し得る。第 2 の電極 1 4 2 c は、炭化珪素基板 1 0 に含まれる Si が進入したオーミック領域 1 4 2 d を、炭化珪素基板 1 0 の主面 1 0 a の近傍に含み、オーミック領域 1 4 2 d はオーミック電極として機能し得る。第 2 の電極 1 4 2 c において、オーミック領域 1 4 2 d よりも炭化珪素基板 1 0 の主面 1 0 a から離れた部分では Si の進入はない。従って、第 2 の電極 1 4 2 c は、第 1 の電極 1 4 2 b よりも、含まれる Si の少ない部分が存在しており、よって、第 2 の電極 1 4 2 c には、第 1 の電極 1 4 2 b よりも Si の濃度の低い部分が存在している。

#### 【0062】

第 1 の電極 1 4 2 b が形成される際には、炭化珪素基板 1 0 より僅かに Si が進入するため、これに伴い、炭化珪素基板 1 0 に含まれる未反応の C も第 1 の電極 1 4 2 b に進入する。これに対し、第 2 の電極 1 4 2 c においては、炭化珪素基板 1 0 の主面 1 0 a の近傍では、未反応の C が進入する場合はあるが、第 2 の電極 1 4 2 c において、炭化珪素基板 1 0 の主面 1 0 a から離れた部分では、未反応の C が進入することはない。従って、第 2 の電極 1 4 2 c には、C を含まない領域が存在しており、よって、第 1 の電極 1 4 2 b の C の濃度よりも低い濃度の領域が存在している。

#### 【0063】

また、図 9 に示す工程（ステップ S 4）の後、図 1 7 に示されるように、コンタクトホール 2 1 の底面 2 1 a よりも広い領域の Si 膜 1 3 0 の上に、レジストパターン 1 5 2 を形成し、レジストパターン 1 5 2 の形成されていない領域の Si 膜 1 3 0 を除去する。この後、上記と同様の工程（ステップ S 5 ~ S 9）を行うことにより、図 1 8 に示されるように、電極層 1 4 2 は、コンタクトホール 2 1 の底面 2 1 a 及び側面 2 1 b と、コンタクトホール 2 1 の近傍の絶縁膜 2 0 の上面 2 0 a に形成される。

#### 【0064】

また、図 1 5 に示されるように、コンタクトホール 2 1 の底面 2 1 a よりも狭い領域の Si 膜 1 3 0 の上に、レジストパターン 1 5 1 を形成し、等方性のドライエッチングによりレジストパターン 1 5 1 が形成されていない領域の Si 膜 1 3 0 を除去してもよい。この場合には、Si 膜 1 3 0 は、側面 2 1 b には形成されず、コンタクトホール 2 1 の底面 2 1 a に形成されるため、図 1 9 に示すように、コンタクトホール 2 1 の底面 2 1 a にのみオーミック電極となる電極層 1 4 2 が形成される。

#### 【0065】

（半導体装置）

次に、第 1 の実施形態における半導体装置の一例について説明する。本実施形態における半導体装置は、図 2 0 に示されるように、例えば、縦型 MOSFET（Metal Oxide Semiconductor Field Effect Transistor）である。具体的には、本実施形態における半導体装置は、炭化珪素基板 1 0 と、電極層 1 4 2 と、配線層 7 0 と、ゲート絶縁膜 2 5 と、ゲート電極 7 1 とを有し、ゲート電極 7 1 は、層間絶縁膜となる絶縁膜 2 0 に覆われている。炭化珪素基板 1 0 は、第 1 の n 層 1 1、第 2 の n 層 1 2、p ボディ層 1 3、n ソース領域 1 4、p 領域 1 8 を有する。第 1 の n 層 1 1 及び n ソース領域 1 4 は、第 2 の n 層 1 2 よりも多く不純物元素がドーピングされている。p 領域 1 8 は、p ボディ層 1 3 よりも多くの不純物元素がドーピングされている。

#### 【0066】

電極層 1 4 2 は、本実施形態における製造方法により製造されており、炭化珪素基板 1

10

20

30

40

50

0の一方の主面10a(図中の上面)上において、nソース領域14にオーミックコンタクトしている。電極層142の厚さは、例えば、100~200nm程度である。電極層142の上及び絶縁膜20の上面20aには、配線層70が形成されている。

【0067】

ゲート電極71は、炭化珪素基板10の一方の主面10a(図中の上面)上にゲート絶縁膜25を介して設けられており、pボディ層13の表面側であるチャンネル領域13aに対向している。また炭化珪素基板10の他方の主面10b(図中の下面)上にはドレイン電極72が設けられている。

【0068】

本実施形態によれば、電極層142より配線層70が剥離しにくい縦型MOSFETを得ることができる。

10

【0069】

尚、炭化珪素基板10のドレイン電極72に面する側にpコレクタ層を形成することにより、縦型MOSFETの代わりに縦型IGBT(Insulated Gate Bipolar Transistor)としてもよい。また炭化珪素基板に形成されたトレンチ内にゲート絶縁膜を介してゲート電極が埋め込まれる構造(トレンチゲート構造)であってもよい。

【0070】

〔第2の実施形態〕

次に、第2の実施形態における半導体装置の製造方法について、図21から図27に基づき説明する。

20

【0071】

最初に、図21に示されるように、炭化珪素基板10の主面10aに、コンタクトホール21を有する絶縁膜20を形成し、コンタクトホール21及び絶縁膜20を覆うTiN膜120をスパッタリングにより形成する。この後、コンタクトホール21の底面21aに形成されているTiN膜120を一部除去し、炭化珪素基板10の主面10aを露出させる。尚、形成されるTiN膜120の膜厚は、10nm以上、200nm以下である。

【0072】

次に、図22に示されるように、露出している炭化珪素基板10の主面10a、TiN膜120の上に、スパッタリングによりSi膜130を形成する。

【0073】

30

次に、図23に示されるように、TiN膜120を介した絶縁膜20の上面20aの上に形成されたSi膜130を除去する。この際、コンタクトホール21の近傍においては、TiN膜120を介した絶縁膜20の上面20aの上に、Si膜130の一部が残存していてもよい。これにより、コンタクトホール21の底面21a及び側面21bを覆うSi膜130が残る。

【0074】

次に、図24に示されるように、TiN膜120及びSi膜130の上に、Ni膜140をスパッタリングにより形成する。

【0075】

次に、図25に示されるように、300~400、例えば、約350の温度で第1の熱処理を行う。これにより、Si膜130のSiと、Si膜130の上のNi膜140のNiとにより、ニッケルシリサイドの反応前駆体層141が形成される。尚、TiN膜120の上のNi膜140がシリサイド化することはない。

40

【0076】

次に、図26に示されるように、ウェットエッチングにより未反応のNi膜140を除去する。これにより、コンタクトホール21の底面21a及び側面21bには、反応前駆体層141が残る。

【0077】

次に、図27に示されるように、約1000の温度で第2の熱処理を行うことにより、反応前駆体層141により、電極層142が形成される。電極層142は、炭化珪素基

50

板 1 0 の主面 1 0 a とオーミック接触するオーミック領域 1 4 2 a を含む。オーミック領域 1 4 2 a を形成する際に、炭化珪素基板 1 0 より供給される S i は僅かであるため、電極層 1 4 2 の表面に C が析出することは殆どない。よって、電極層 1 4 2 の上に A l 等の配線層を形成しても、配線層が電極層 1 4 2 の表面より剥がれることはない。尚、配線層は、T i N と A l とを順で積層した膜であってもよい。

【 0 0 7 8 】

( 変形例 )

本変形例では、上記の図 2 1 に示す工程において、図 2 8 に示すように、T i N 膜 1 2 0 をコンタクトホール 2 1 の側面 2 1 b にのみに形成してもよい。この後、図 2 9 に示すように、T i N 膜 1 2 0、コンタクトホール 2 1 の底面 2 1 a 及び絶縁膜 2 0 を覆う S i 膜 1 3 0 をスパッタリングにより形成する。この後、図 3 0 に示すように、コンタクトホール 2 1 の底面 2 1 a よりも狭い領域の S i 膜 1 3 0 の上に、レジストパターン 1 5 3 を形成し、レジストパターン 1 5 3 の形成されていない領域の S i 膜 1 3 0 を除去する。この後、上記と同様の工程 ( ステップ S 5 ~ S 9 ) を行うことにより、図 3 1 に示されるように、コンタクトホール 2 1 の底面 2 1 a において、第 1 の電極 1 4 2 b と第 2 の電極 1 4 2 c とが互いから離れて形成される。

【 0 0 7 9 】

尚、上記以外の内容については、第 1 の本実施形態と同様である。

【 0 0 8 0 】

以上、実施形態について詳述したが、特定の実施形態に限定されるものではなく、請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

【 符号の説明 】

【 0 0 8 1 】

1 0	炭化珪素基板
1 0 a	一方の主面
1 0 b	他方の主面
1 1	第 1 の n 層
1 2	第 2 の n 層
1 3	p ボディ層
1 4	n ソース領域
1 8	p 領域
2 0	絶縁膜
2 0 a	上面
2 1	コンタクトホール
2 1 a	底面
2 1 b	側面
2 5	ゲート絶縁膜
3 0	T i N 膜
3 0 a	開口部
4 0	N i 膜
4 1	反応前駆体層
4 1 a	オーミック電極
7 0	配線層
7 1	ゲート電極
7 2	ドレイン電極
1 2 0	T i N 膜
1 3 0	S i 膜
1 4 0	N i 膜
1 4 1	反応前駆体層
1 4 2	電極層

10

20

30

40

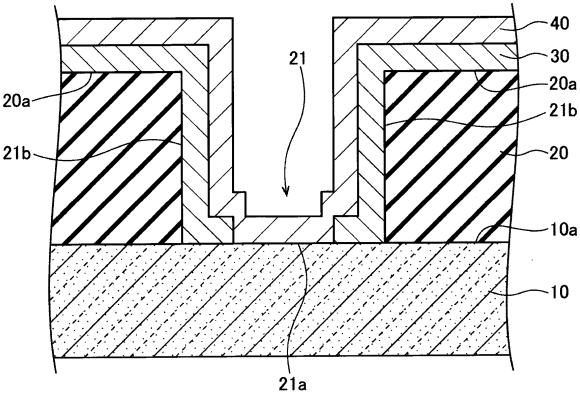
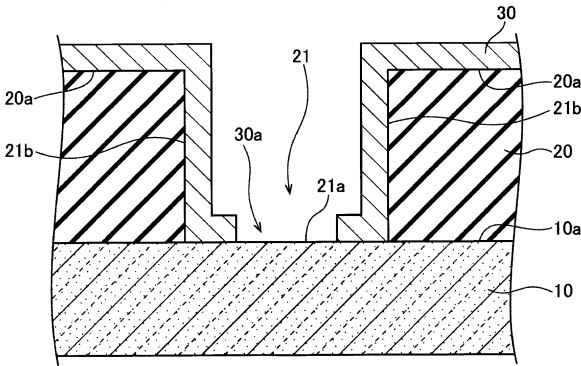
50

- 1 4 2 a      オーミック領域
- 1 4 2 b      第 1 の電極
- 1 4 2 c      第 2 の電極
- 1 4 2 d      オーミック領域
- 1 5 1、1 5 2、1 5 3      レジストパターン

【 図 面 】

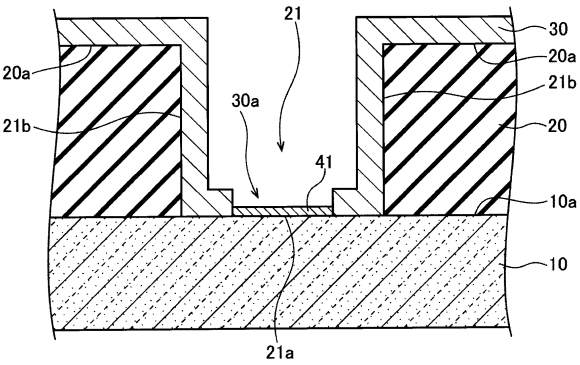
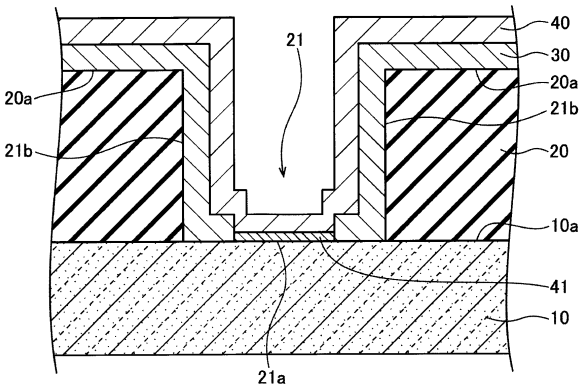
【 図 1 】

【 図 2 】



【 図 3 】

【 図 4 】



10

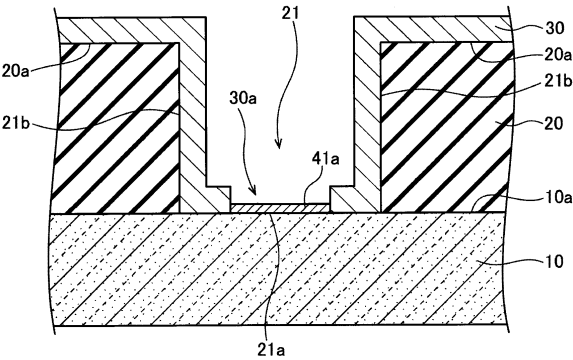
20

30

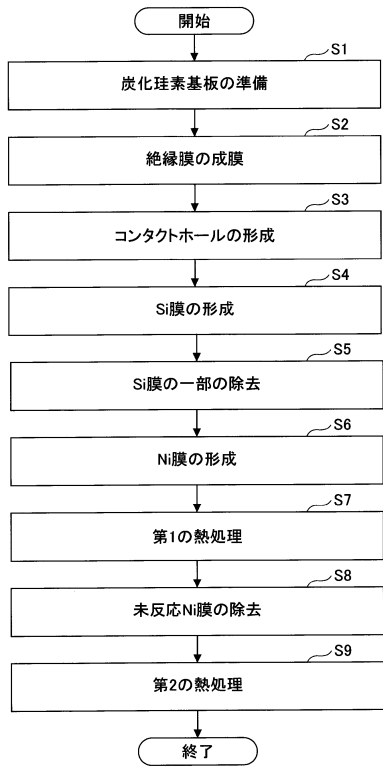
40

50

【図 5】



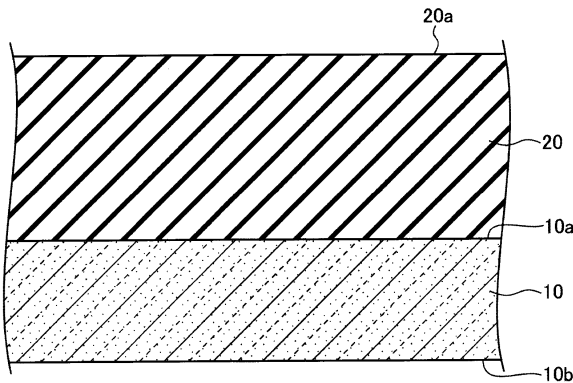
【図 6】



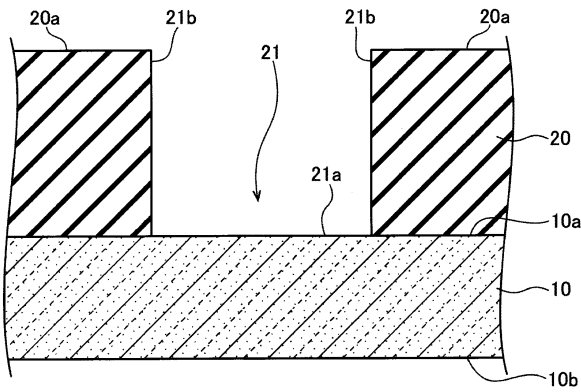
10

20

【図 7】



【図 8】

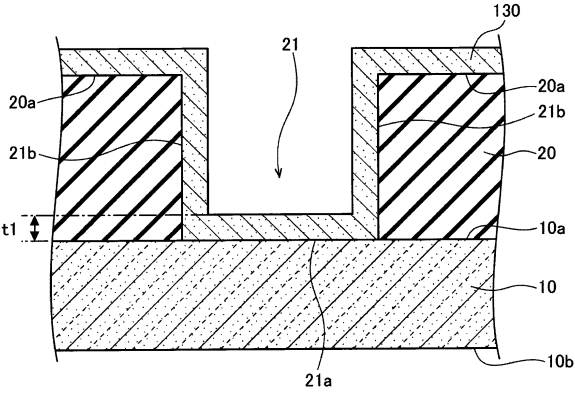


30

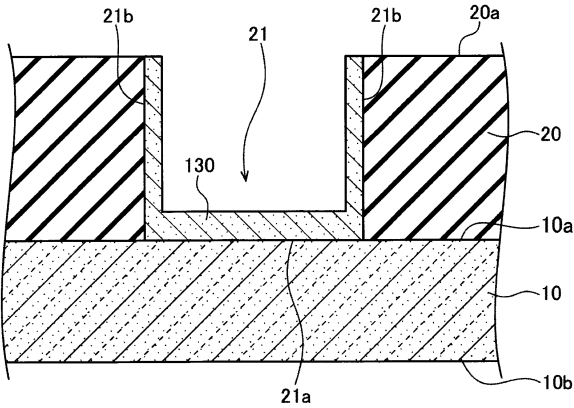
40

50

【図 9】

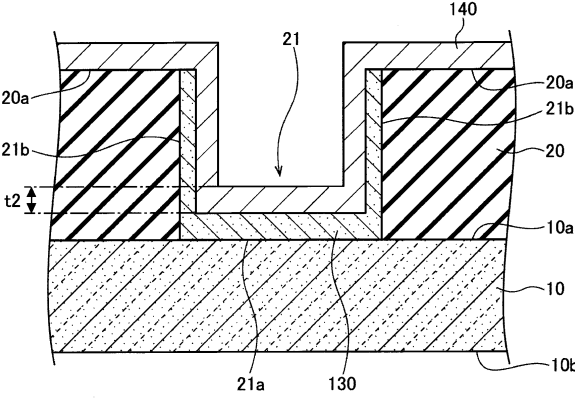


【図 10】

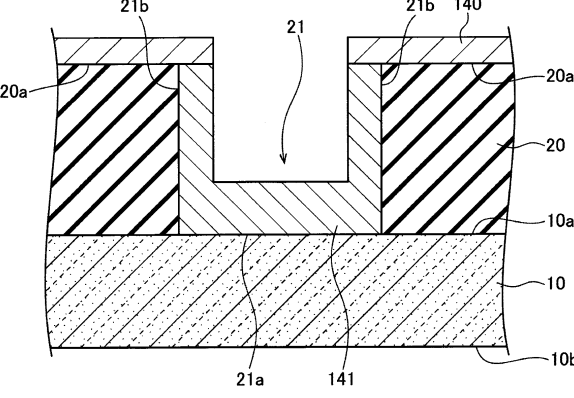


10

【図 11】



【図 12】



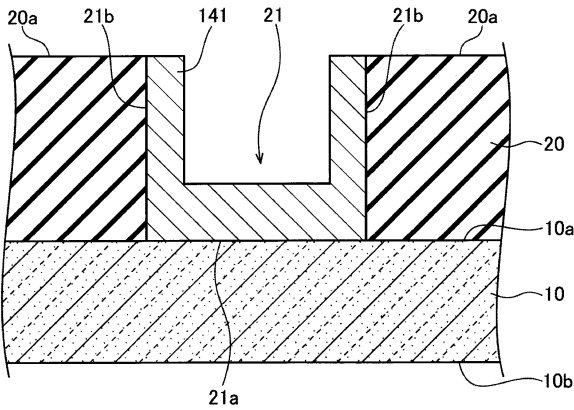
20

30

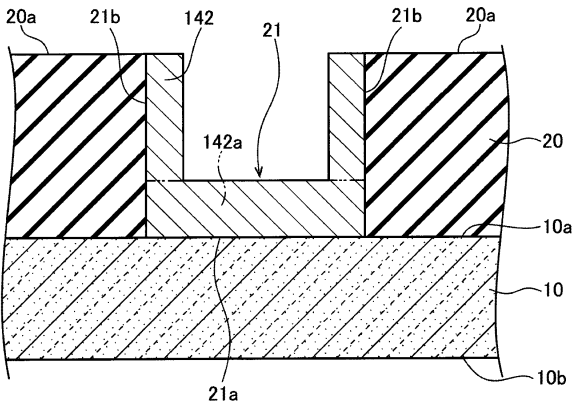
40

50

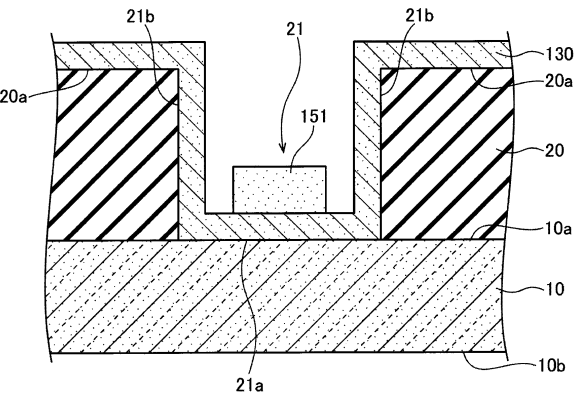
【図 1 3】



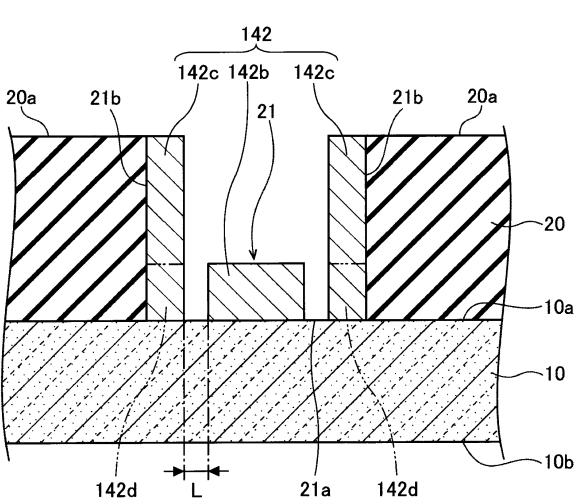
【図 1 4】



【図 1 5】



【図 1 6】



10

20

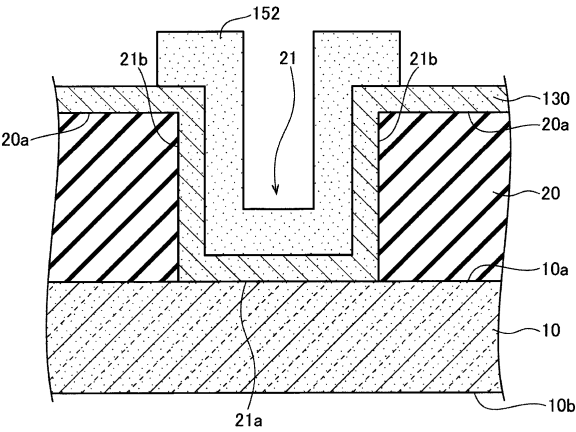
30

40

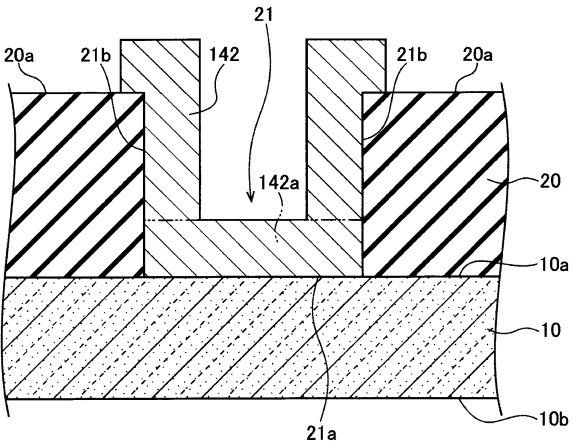
50



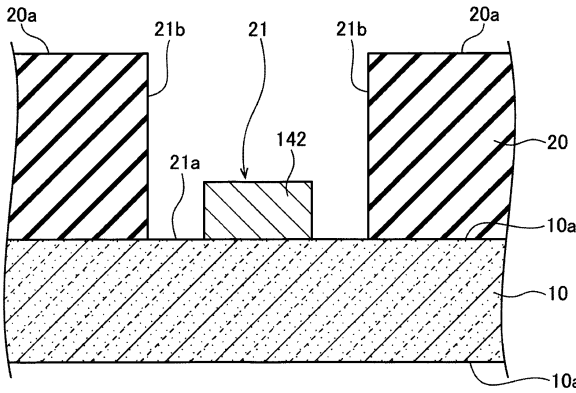
【図 17】



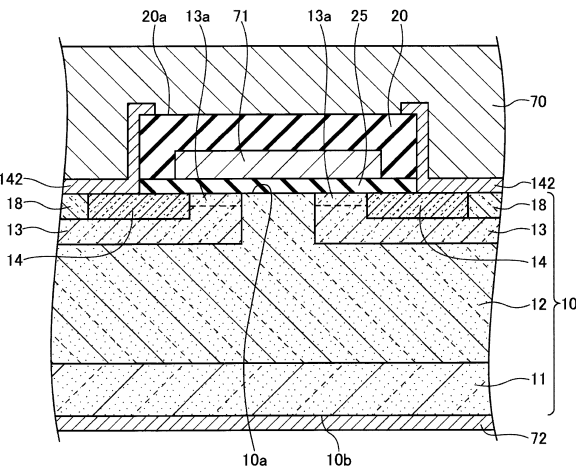
【図 18】



【図 19】



【図 20】



10

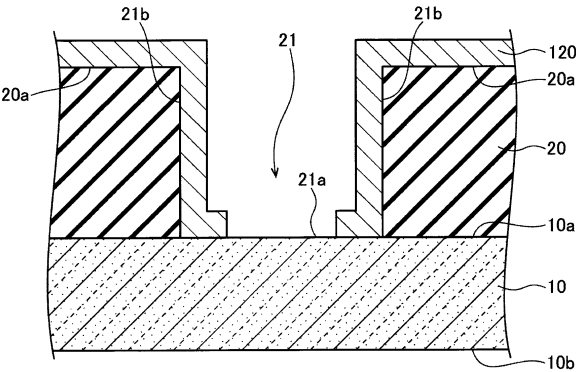
20

30

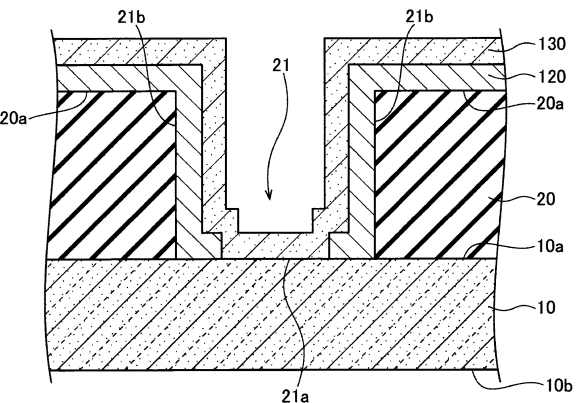
40

50

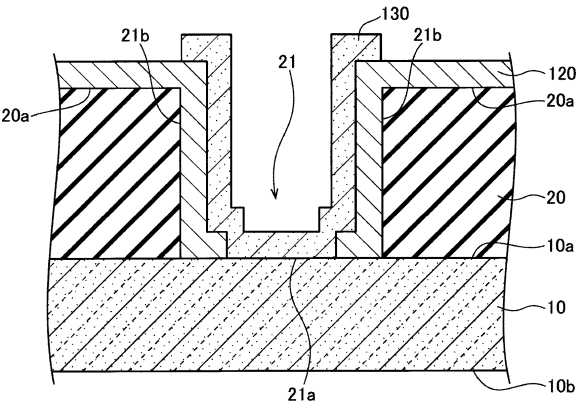
【図 2 1】



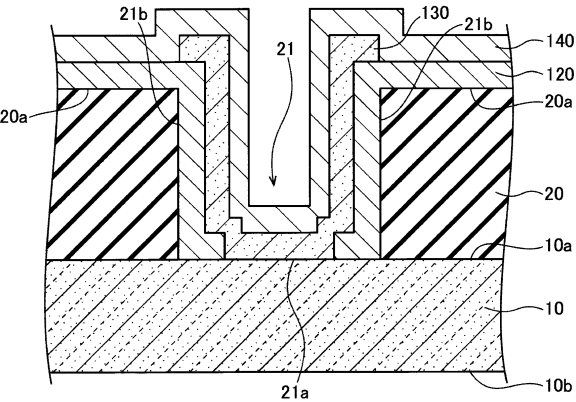
【図 2 2】



【図 2 3】



【図 2 4】



10

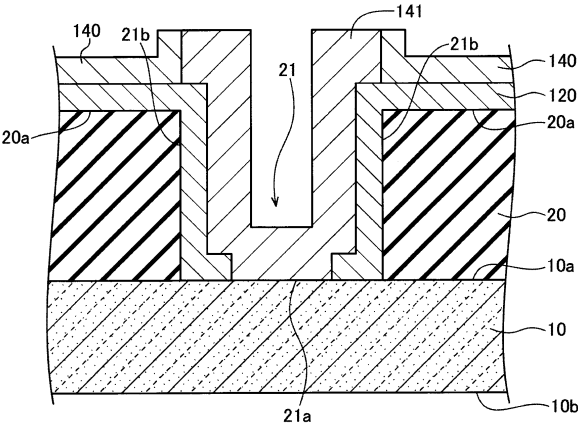
20

30

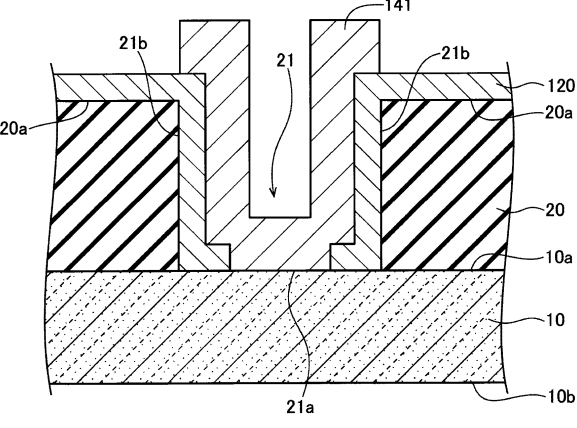
40

50

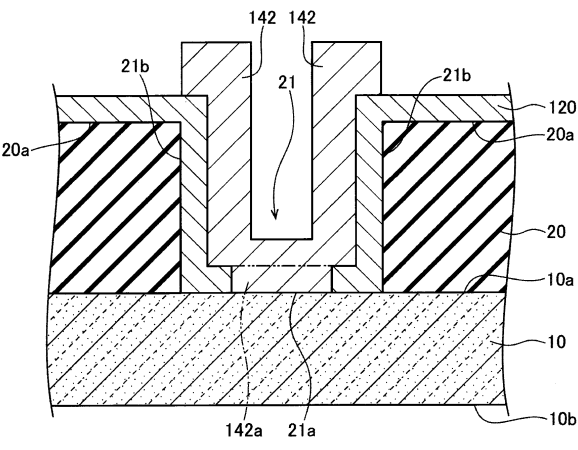
【図 2 5】



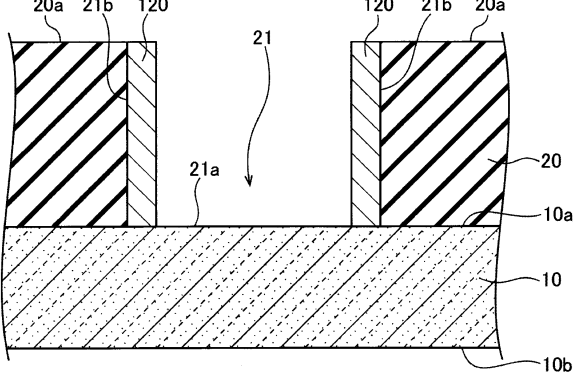
【図 2 6】



【図 2 7】



【図 2 8】



10

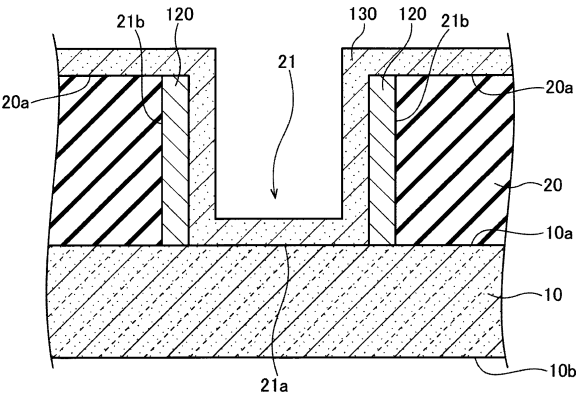
20

30

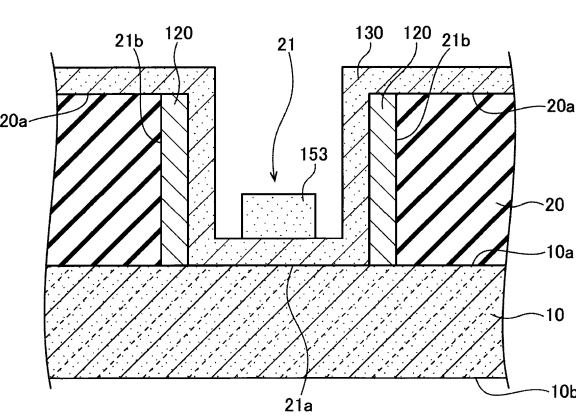
40

50

【図 29】

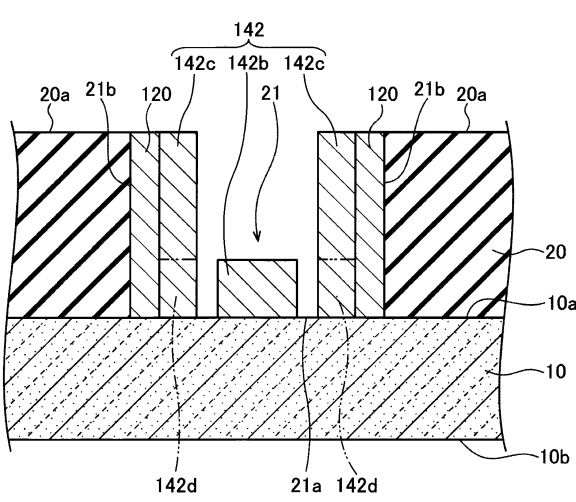


【図 30】



10

【図 31】



20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 0 1 L	29/78	6 5 5 A
	H 0 1 L	29/78	6 5 8 F
	H 0 1 L	29/78	6 5 8 G
	H 0 1 L	29/78	6 5 8 Z

(56)参考文献	特開 2 0 1 3 - 0 5 8 5 8 7 ( J P , A )
	特開 2 0 0 5 - 2 7 6 9 7 8 ( J P , A )
	特開 2 0 1 8 - 0 5 0 0 0 8 ( J P , A )
	特開 2 0 1 0 - 1 0 3 2 2 9 ( J P , A )

(58)調査した分野	(Int.Cl. , D B 名)
	H 0 1 L 2 1 / 2 8
	H 0 1 L 2 9 / 1 2
	H 0 1 L 2 9 / 7 8
	H 0 1 L 2 9 / 7 3 9
	H 0 1 L 2 1 / 3 3 6