

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
G06F 13/00

(45) 공고일자 1986년11월 15일
(11) 공고번호 86-002029

(21) 출원번호	특1982-0004331	(65) 공개번호	특1984-0001732
(22) 출원일자	1982년09월 25일	(43) 공개일자	1984년05월 16일
(30) 우선권 주장	56-152514 1981년09월 25일 일본(JP)		
(71) 출원인	후지쓰 가부시끼가이샤 야마모토 다쿠마 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지		
(72) 발명자	오오야 마사유키 일본국 가나가와켄 가와사끼시 다카쓰구 가지가야 4-2-28 스완하우스 2 이노우 마사아끼 영국 쉬샤이어 스톡포트 마플 비유 비콘 58		
(74) 대리인	장용식		

심사관 : 허정훈 (책자공보 제1234호)

(54) 시그먼트 테이블원점 어드레스(ST0)스택 제어시스템

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

시그먼트 테이블원점 어드레스(ST0)스택 제어시스템

[도면의 간단한 설명]

제 1도는 본 발명의 바람직한 한 실시예로서 ST0스택 제어시스템을 설명하는 블록회로도.

제 2도는 제 1도의 시스템에 사용된 ST0·ID의 형식을 설명하는 형식(形式)도.

제 3도는 제 1도의 시스템에 포함된 ST0스택에 기억된 제어정보(CNT)를 설명하는 형식도.

제 4도는 제 1도의 소거처리장치에 의해서 소거되어야 하는 ST0·ID를 결정하는 프로세스를 설명하는 도표.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------------|-----------------|
| 1 : 제어레지스터(CR1) | 2 : 제어레지스터(CR7) |
| 3 : 번호제로제어 레지스터(CR0) | 4 : ST0스택 |
| 11 : 발견처리장치 | 12 : 논리회로부 |
| 14-1, 14-2 : 매칭장치 | 18 : 소거처리장치 |
| 19 : 비트가산장치 | |

[발명의 상세한 설명]

본 발명은 시그먼트 테이블 원점 어드레스(ST0 : segment table origin address)스택제어시스템, 특히 다수의 가상공간(space)에 걸친 다이나믹 액세스가 가능한 데이터 처리시스템에 있어서 ST0스택이 가상공간을 지정하는 다수의 제어 레지스터의 내용에 따라 색인되는 ST0스택 제어시스템에 관한 것이다. 이 시스템에서, 소정의 제어 레지스터의 내용이 변경된 결과에 의거 ST0스택내에 새로운 ST0식별자(ID : identifier)를 등록할때 그리고 ST0스택의 통도수의 제한 때문에 구(舊) ST0·ID의 등록을 소거하는 것이 필요하게 될때, 그것의 등록이 다른 제어 레지스터에 내용에 대응하는 가상공간을 기초로하여 실행된 경우에는 소거되지 않으나, 그렇지 않을때에는 내용이 변경된 제어 레지스

터에 대응하는 공간을 기초로 하여 등록된 구 ST0·ID는 소거된다.

다중 가상공간을 처리하는 다중-가상 기억시스템을 사용한 종래의 데이터 처리시스템에 있어서, ST0스택 내의 가상공간에 대응하는 ST0·ID를 등록하고, 가상공간이 변경될때 ST0스택을 색인하고, 변환 색인 버퍼(TLB : translation lookaside buffer)에 색인된 ST0·ID를 공급하여 그결과 ST0·ID는

실(實) 어드레스와 가상(假) 어드레스 사이의 일치치를 나타내는 데이터와 같이 TLB에 기억시켜 두도록 되어 있었다. 그러나 예를들어 2개의 가상공간에 걸친 액세스가 가능한 데이터 처리시스템에 있어서는, 혹은 환언하면 한정된 최대 크기를 갖춘 두개의 가상공간을 한개의 초대 가상공간으로 결합한 소위 초대가상 기억시스템에 바탕을 둔 데이터 처리시스템에 있어서는 두개의 제어 레지스터가 갖추어져서 ST0스택을 액세스하며 제어 레지스터의 각각의 내용에 따라서 ST0스택이 색인된다.

한편 ST0·ID를 등록할 경우에는 ST0·ID는 제어 레지스터의 내용을 행성(hashing)처리함에 의해 생성된다. 따라서 생성된 ST0·ID들은 제어 레지스터의 내용이 달라져 있다는 사실에도 불구하고 종종 같은치를 취하는 일이 생긴다.

그렇기 때문에 ST0스택은 예를들어 상측과 하측 두 통로로 분할하여 같은치를 취하는 두개의 ST0·ID를 ST0스택상에 추출 가능하게 등록할 수있도록 해두고 새롭게 등록된 것과 같은치를 취하는 ST0·ID를 등록하는 것이 요구될때, 두개의 현존하는 ST0·ID중에서 더 오래된 ST0·ID가 소개된다.

다음 설명에 있어서 가장 최근에 이용되어 등록된 ST0·ID는 하트(hot) ST0·ID로 부르고 다른 하나는 콜드(cold) ST0·ID로 부르기로 한다.

상기에서 언급된 소거처리가 지금까지 시행되어온 것이다. 그러나 두개의 가상공간에 걸쳐서 액세스할수있도록한 데이터 처리장치에 있어서, 두개 제어 레지스터 중에 소정의 한개의 내용이 변경되어 새로운 ST0·ID를 등록할때 콜드측에 있는 구 ST0·ID는 종종 다른쪽의 제어 레지스터를 기초로하여 발생된 ST0·ID가 되곤한다.

이와같은 경우조차도 종래의 시스템은 콜드측의 ST0·ID, 즉 다른 제어 레지스터에 대응하는 ST0·ID의 등록을 소거한다.

그렇기 때문에 두 가상공간에 걸친 액세스, 즉 제어 레지스터중의 소정의 한개의 내용에 의해 지정된 가상공간 및 다른 제어 레지스터의 내용에 의해 지정된 가상공간에 걸친 액세스는 크게 제한된다. 이것은 상이한 가상공간들에 걸친 다이내믹 액세스의 대부분이 최근에 사용된 가상공간에 대해 실행되기 때문에 앞에서 언급된 경우에 콜드측의 ST0·ID를 소거하는 것은 바람직하지 않기 때문이다. 더우기 종래의 데이터 처리시스템에 있어서는, 상이한 공간에 걸친 액세스는 가상공간의 내용을 일시적으로 기억한 공통역(common area)을 사용함에 의해서 실행되기 때문이다.

따라서 종래의 시스템의 처리능력은 상이한 가상공간에 걸쳐서 액세스가 실행될때 특히 매우 크게 감소된다.

따라서 본 발명의 제 1의 목적은 다중-가상 기억시스템을 사용한 데이터 처리시스템에 있어서 복수의 가상공간 사이의 다이내믹 액세스를 가능하게 하는 것이다.

본 발명의 다른 목적은 복수의 가상공간에 걸친 다이내믹 액세스가 실행될 경우일지라도 데이터 처리 시스템의 처리능력의 감소를 방지하는 것이다.

본 발명에 의하면 ST0스택 제어시스템은 가상공간을 지정하는 입력데이터의 해싱처리된 결과를 기초로 ST0·ID를 포함하는 ST0데이터를 등록한 ST0스택을 갖추고 동시에, 입력데이터가 변경될때 상기 ST0스택을 색인하고 ST0·ID가 ST0스택에 이미 기록되어 있을때에는 상기 ST0스택을 사용하여 발생된 ST0·ID는 TLB에 이송되고, ST0·ID가 ST0스택에 아직 등록되어 있지않을 경우에는 ST0·ID를 신규로 형성하며 이렇게 형성된 ST0·ID는 ST0스택에 등록한후 TLB에 이송되며, 동시에 신규로 등록된 ST0·ID와 같은 치를 갖는 구 ST0·ID가 이미 등록되어 있고 구 ST0·ID의 수가 ST0스택에 부여되어 있는 통로(way)수보다 더 클때에는 적어도 구 ST0·ID중의 하나가 소거되는 ST0스택 제어시스템에 있어서, 상기 ST0스택 제어시스템은 가상공간을 지정하는 입력데이터를 기억하는 복수의 제어 레지스터를 갖추며, ST0스택은 복수의 가상공간에 대응하는 상기 복수의 제어 레지스터의 내용에 따라서 색인되며, 소정의 어느 하나의 제어 레지스터의 내용이 변경되고 소거될 구 ST0·ID의 등록이 다른 제어 레지스터의 내용에 의해 지정된 구 공간 이외의 공간에 대응하는 구 ST0·ID의 등록일때에는 상기 구 ST0·ID의 등록은 소거되지 않으나, 그렇지 않을 경우에는 상기 구 공간에 대응하는 구 ST0·ID의 등록은 소거되는 것을 특징으로 한다.

본 발명의 바람직한 실시예가 첨부된 도면을 참조로 하여 설명될 것이다.

제 1도에서, 부재번호 1은 제 1제어 레지스터(CR1: primary control register)를 나타내며, 2는 제 2제어 레지스터(CR7 : secondary control register)를 나타내며, 3은 페이지 길이 또는 시그먼트 길이를 제공하는 번호제로 제어 레지스터(CR0)를 나타내며, 4는 ST0스택을 나타내며, 5-U는 ST0스택의 상부 통로부를, 5-D는 하부 통로부를 나타내며, 6은 제어 레지스터(1 또는 2)의 내용을 기억하는 영역을 나타내며 7은 제어 레지스터(3)의 내용을 기억하는 영역을 나타내며, 8은 제어데이터(CNT : control data)를 기억하는 영역을 나타내며, 9는 해싱장치를, 10은 통로 지시장치를 나타내며, 11은 제어 레지스터(1 또는 2)의 내용이 변경될때 대응하는 내용이 ST0스택(4)에 등록되어 있는지의 여부를 판정하는 발견처리 장치이며, 12는 논리회로부이며, 13-1과 13-2는 ST0스택(4)에 의해서 변환된 ST0·ID가 설정된 ST0·ID설정 레지스터이며, 14-1과 14-2는 매칭 장치이고, 15와 16은 입력지시기(선택기)이며, 17은 출력지시기(선택기)이며, 18은 소거처리장치이며, 19는 비트가산장치를 나타낸다.

ST0스택(4)은 예를들어 18비트 길이를 가진 제어 레지스터(1 또는 2)에 설정된 내용을 기억하며, 가상공간을 지시하는 어드레스를 포함하며 번호 제로 제어 레지스터(3)의 내용을 기억하며, 그리고 제

어데이터(CNT)를 다음과 같이 기억한다.

즉, 제어 레지스터(1 또는 2)의 내용은 입력지시기(15)에 의해서 선택된다. 선택된 내용, 제어 레지스터(3)의 내용 및 제어데이터(CNT)는 해싱장치(9)에 의해서 선택된 내용을 해싱처리함에 의해서 얻어진 결과 및 통로 지시장치(10)에 의해서 지시된 결과에 의해서 결정된 위치에 기억된다.

예를들면 상부통로부(5-U)와 하부통로부(5-D)는 둘다 64개의 위치 또는 워드를 갖추고 있으며 그 위치들중의 하나가 18비트의 길이를 가진 제어 레지스터(1또는 2)의 내용을 해싱처리함에 의해서 얻어진 6비트의 해싱된 결과에 의해서 선택된다. 최초로 통로지시장치(10)는 이 데이터들이 상부 통로부(5-U)에 기억되도록 지시한다.

그러나 다른 데이터가 해당위치에 기억되어 있을 경우 그 데이터는 하부통로부(5-D)에 기억된다. 만약 다른 데이터 상부 통로부 및 하부 통로부에 둘다 이미 기억되어 있을 경우에는 소거처리가 실행된다. 이것은 뒤에 기술될 것이다.

해싱장치(9)에 의해서 해싱된 결과는 제 2도에 나타난 것과 같이 8개의 비트로 구성된 ST0·ID의 비트 "1"내지 "6"에 대응한다.

비트 가산장치(19)는 제 2도의 비트 "F"와 "0"를 이들 6비트에 가산하여 ST0·ID를 구성한다. ST0스택이 가득차 있고 구 ST0·ID가 소거될 경우에 비트 "F"는 반전된다. 비트 "0"는 상부통로부(5-U) 또는 하부통로부(5-D)의 기억위치를 나타내며 두 ST0·ID를 서로 구별하는데 사용된다. 비트 "1"내지 "6"은 제어 제어레지스터(1또는 2)의 내용을 해싱처리함에 의해서 얻어진 결과에 대응한다.

앞에서 언급한 바와 같이 컴퓨터 시스템에 이전에 사용된바 있는 각 가상공간에 대응한 ST0·ID가 ST0스택(4)에 등록되어 있다.

도시된 예에서는 제어 레지스터(1또는 2) 및 제어 레지스터(3)의 내용이 ST0스택(4)에 기억되며 각각이 내용을 기억하는 그것의 위치 어드레스가 ST0·ID에 대응하는 형태로 ST0·ID가 ST0스택에 등록된다.

이제 제어 레지스터(1)의 내용이 예를들어 앞에서 언급한 시스템에서 로드제어(LCTL : load control)명령을 사용함에 의해서 변경된 것으로 한다. 이경우에 제어 레지스터(1)의 내용은 상기 명령에 의해서 제어되는 입력지시기(15)에 의해서 선택되며 해싱장치(9)에 의해서 해싱처리되어 ST0스택(4)의 상부 통로부(5-U)가 최초로 액세스 된다. 그후 발견처리장치(11)는 액세스가 실행될때 ST0스택(4)의 상부통로부(5-U)로부터 판독된 내용이 제어 레지스터(1,3)의 내용과 일치하는지 혹은 일치하지 않는지, 즉 영역(6,7,)의 내용이 제어 레지스터(1,3,)의 내용과 일치하는지 혹은 일치하지 않는지, 즉 영역(6,7)의 내용이 제어 레지스터(1,3)의 내용과 일치하는지 혹은 일치하지 않는지를 판별한다. 내용이 일치할 경우에 해싱 장치(9)의 출력은 대응하는 ST0·ID의 비트 "1"내지 "6"의 형식으로 추출된다.

비트 "F" 및 "0"은 논리회로(12)의 처리(뒤에 기술함)에 따라서 비트가산장치(19)에서 부가된다. ST0스택(4)의 하부통로부(5-D)에의 액세스는 상부통로부(5-U)로부터 판독된 내용이 ST0스택에 대한 액세스가 실행될 시점의 제어 레지스터(1,3)의 내용과 일치하는지 일치하지 않는지에 관계없이 실행된다.

제어 레지스터(1,3)의 내용이 상부통로부(5-U) 또는 하부통로부(5-D)에서 모두 일치하지 않을때 발견처리장치(11)는 논리회로(12)에 "발견못함"신호를 전송한다.

발견처리장치(11)가 "발견"신호를 출력할 때에 논리회로(12)는 비트가산장치(19)가 해싱장치(9)로부터의 출력에 비트 "F"와 비트"0"를 부가하도록 명령하며, 더우기 ST0·ID설정 레지스터(13-1)에 설정명령을 발하여 그결과 ST0스택(4)을 사용하여서 발생된 ST0·ID가 레지스터(13-1)에 설정된다. 레지스터(13-1)에 설정된 ST0·ID는 TLB로 이송된다.

제어 레지스터(2)의 내용이 변경될 경우에도 동일한 처리가 실행된다. "발견"신호가 발견처리장치(11)로부터 발생할때 논리회로(12)는 일치하는 판독데이터에 대응하는 제어데이터(CNT)(제 3도 참조)에 있어서 하트/콜드비트(H/C)를 하트상태로 변경하며, 일치하지 않는 판독데이터에 대응하는 제어 데이터에 있어서 하트/콜드비트를 콜드상태로 변경하고 그후 ST0스택(4)으로 데이터를 재기록한다.

제 3도는 제어데이터(CNT)의 형식을 보여주며 여기에서 비트(CR1/CR7)은 데이터가 제어 레지스터(1)에 대응하는지 또는 제어 레지스터(2)에 대응하는지를 나타낸다.

만약 비트가 "0"일때에는 데이터는 제어 레지스터(1)를 기초로하여 발생되며, 비트가 "1"일때에는 데이터는 제어 레지스터(2)를 기초로 하여 발생된다. 비트"V"는 기억된 내용이 유효한지 또는 무효한지를 나타낸다.

비트 "H/C"는 데이터가 하트인지 또는 콜드인지를 보여준다.

비트 "F"는 통로가 둘다 유효한 상태로 ST0스택이 가득차 있는 사실을 의미한다.

"발견못함"신호가 발생할때 비트 "F"는 반전되며 ST0스택(4) 및 ST0·ID설정 레지스터(13-1 또는 13-2)에 설정된다.

ST0스택(4)은 앞에서 설명한 바와같이 제어 레지스터(1)의 내용 변경결과에 따라 색인될때 상부 통로부(5-U)로부터 판독된 내용 및 하부통로부(5-D)로부터 판독된 내용은 둘다 유효하며 발견처리장치(11)는 "발견못함"신호를 발생한다.

이와같은 경우에 데이터는 그 시점의 제어 레지스터(1)의 내용에 따라서 새롭게 등록된다.

즉, 제어 레지스터(1)의 내용은 ST0스택(4)의 한 위치에, 즉 해싱장치(9)의 출력에 의해서 공급된

어드레스 위치에 새롭게 등록된다. 이렇게 등록된 내용중에 제어데이터(CNT(에에 비트 "H/C"가 하트 상태로 설정되어 있는것은 말할 필요가 없다.

만약 어떤 다른 데이터가 해싱장치(9)의 출력에 의해서 지시되며 그리고 상부통로부(5-U) 또는 하부통로부(5-D)중 어느 하나에 위치되어 있는 위치에 이미 기억되어 있는 경우에 어떤 다른 데이터에 대응하는 비트 "H/C"는 콜드상태로 되도록 설정된다.

새롭게 데이터를 기록할때 만약 다른내용이 상부통로부(5-U) 및 하부통로부(5-D)에 둘다 이미 기억되어 있을경우, 즉 만약 새롭게 등록될 ST0·ID와 같은치(비트 "1"- "6")를 가진 두개의 구 ST0·ID가 기억될 경우에 두개의 구 ST0·ID중의 하나는 ST0스택(4)으로부터 소거된다.

이 경우에 논리회로(12)는 비트 "H/C"가 콜드인 측에 비트 "CR1/CR7"의 내용을 참조로 하여 만약 비트 "CR1/CR7"가 제어 레지스터(1)를 나타낼 경우에는 ST0·ID설정 레지스터(13-1)에 ST0·ID를 설정하고 만약 비트 "CR1/CR7"가 제어 레지스터(2)를 나타낼 경우에는ST0·ID설정 레지스터(13-2)에 ST0·ID를 설정한다.

이 경우에 새로운 등록을 위하여 발생된 ST0·ID는 매칭장치(14-1,14-2)에 공급된다. 새롭게 등록되는 ST0·ID가 제어 레지스터(2)내용의 변경에 기인하여 발생된 것일때 매칭장치(14-1)는 ST0·ID가 레지스터(13-1)의 내용과 일치하는지 여부를 조사한다. 그들이 일치할때 매칭장치(14-1)는 "금지"신호를 발생한다. 마찬가지로 새롭게 등록되는 ST0·ID가 제어 레지스터(1)내용의 변경으로인 하여발 생된것일 때 매칭장치(14-2)는 ST0·ID가 레지스터(13-2)내용과 일치하는지 여부를 조사한다.

만약 그들이 일치할때에는 매칭장치(14-2)는 역시 "금지"신호를 발생한다.

제 4도에 보인 바와같이 제 1도의 소거처리장치(18)는 첫째 소거처리가 제어 레지스터(1또는 2)의 내용의 변경에 응하여 실행되는 것을 결정하며 제(4도에서 CR1은 소거가 제어 레지스터(1)의 내용의 변경에 기인하여 실행되는 것을 지적한다), 두번째로, 예를들어 소거처리장치(18)에 공급된 비트 "CR1/CR7플래그"가 논리 "1"을 나타내는지 여부를 결정한다. 이때 논리 "1"은 해싱장치(9)에 의해서 해싱처리된 결과와 통로지시장치(10)에 의해서 지시된 결과에 의해서 결정되며, 그것은 비트 "CR1/CR7"이 밑에 설명한 방법으로 상부통로부(5-U) 및 하부통로부(5-D)에 등록되어 있었다는 것을 가리키며,

	비	트	CR1/CR7
상부통로부 5-U	0		1
하부통로부 5-D	1		0

또는 바꾸어 말하면 제어 레지스터(1)의 내용이 통로부 중의 어느 하나에 등록되어 있었다는 것과 제어 레지스터(2)의 내용이 다른 통로부에 등록되어 있었다는 것을 가리킨다.

더우기 소거처리장치(18)는 세번째로 논리 "1"일때 매칭장치(14-1 또는 14-2)에 의해서 발생된 "금지"신호에 따라서ST0·ID가 소거되어야 할 것인지를 결정한다.

"금지"신호가 발생되지 않았을때에는 소거처리장치(18)는 제 4도에 보인 바와같이 비트 "H/C"가 콜드인 측상의 등록의 소거를 결정한다. 제어 레지스터(1)내용의 변경으로 인하여 "금지"신호가 발생될때 소거처리장치(18)는 "CR1/CR7"비트가 제어 레지스터(1)를 나타내는 측상의 등록을 소거할 것을 결정한다.

제어 레지스터(2)의 내용의 변경으로 인하여 "금지"신호가 발생될때 소거처리장치(18)는 "CR1/CR7"비트가 제어 레지스터(2)를 나타내는 측상의 등록의 소거를 결정한다.

소거처리장치(18)는 예를들어 간단한 기억수단을 사용함으로써 구성될 수 있다.

앞에서 설명한 것과같이 ST0스택(4)에 등록이 소거된 때에 소거된 ST0·ID에 해당하는 가상공간은 데이터 처리시스템에서 처리될 필요가 없다.

동시에 TLB에 기억된 실 어드레스와 논리 어드레스 사이의 대응데이터는 무효로 되며 그러므로 TLB 상에서 무효처리가 행하여지게 된다.

앞에서 언급된 논리회로(12)에 의한 처리는 다음과 같이 간단하게 요약된다.

(1) 하트/콜드제어

상부통로부(5-U) 및 하부통로부(5-D)의 내용이 판독될때 "H/C"는 갱신된다.

더우기 콜드측은 ST0스택이 가득차고 '발견못함'신호가 발생한 조건하에서 추출된다.

(2) 플리퍼(flipper)제어

ST0스택이 가득차 있으며 "발견못함"신호가 발생하는 경우에 비트 "F"는 반전되며 ST0·ID설정 레지스터 및 ST0스택에 설정된다.

(3) 유효제어

ST0스택으로 부터 판독된 내용이 유효한지 또는 무효한지를 결정하는 처리.

(4) "CR1/CR7플래그" 제어

상부통로부(5-U) 및 하부통로부(5-D)로부터 판독된 "CR1/CR7"비트의 내용에 따라서 "CR1/CR7플래

그"비트를 설정하는 처리.

앞에서 설명된 것과같이 본 발명에 따르면 ST0스택의 콜드추상의 등록은 단순히 소거되는 것이 아니라 제어 레지스터(1) 또는 제어 레지스터(2)의 내용이 변경되는 것에 따라서 소거되므로 그결과 그 등록은 바람직하지 않게 변경되지 않는다.

더우기 본 발명에 따른 시스템에 있어서, 마치 이 가상공간들이 한개의 초대 가상공간내에 포함되어 있는 것과 같은 방식으로 제어 레지스터(1)의 내용에 의해서 지정된 가상공간 및 제어 레지스터(2)의 내용에 의해서 지정된 가상공간에 걸친 다이나믹 액세스를 실행하는 것이 가능하다.

따라서 데이터 처리 시스템의 처리능력은 두개의 가상공간에 걸친 다이나믹 액세스가 실행될때조차도 감소되지 않는다.

(57) 청구의 범위

청구항 1

가상공간을 지정하는 입력데이터의 해싱(hashing)처리된 결과를 기초로 하여 ST0·ID를 포함하는 ST0데이터를 등록한 ST0스택을 갱신과 동시에, 입력데이터가 변경될때 상기 ST0스택을 색인하고, ST0·ID가 ST0스택에 이미 등록되어 있을때에는 상기 ST0스택을 사용하여 발생된 ST0·ID는 TLB에 이송되고, ST0·ID가 ST0스택에 아직 등록되어 있지 않을때에는 ST0·ID는 새롭게 형성되며, 이렇게 형성된 ST0·ID는 ST0스택에 그것이 등록후에 TLB에 이송되며, 동시에 새롭게 형성된 ST0·ID와같은 치를 갖는 구 ST0·ID가 이미 등록되어 있으며 구 ST0·ID의 수가 ST0스택에 부여되어 있는 통로(way)수보다 더 클때에는 적어도 구 ST0·ID중의 하나가 소거되는 ST0스택 제어시스템에 있어서, 상기 ST0스택 제어시스템은 가상공간을 지정하는 입력데이터를 기억하는 복수의 기억레지스터를 갖추며, ST0스택은 복수의 가상공간에 대응하는 상기 복수의 제어 레지스터의 내용에 따라서 색인되며, 소정의 어느 하나의 제어 레지스터의 내용이 변경되고 소거될 구 ST0·ID의 등록이 다른 제어 레지스터의 내용에 의해 지정된 구공간 이외의 공간에 대응하는 구 ST0·ID의 등록일 때에는 상기 구 ST0·ID의 등록은 소거되지 않으나 그렇지 않을때에는 상기 구공간에 대응하는 구 ST0·ID의 등록은 소거되는 것을 특징으로 하는 ST0스택 제어시스템.

청구항 2

제 1항에 있어서, 상기 ST0·ID는 ST0·ID각각의 내용이 ST0스택의 위치(location)어드레스에 대응하는 방법으로 ST0스택에 등록되는 것을 특징으로 하는 ST0스택 제어시스템.

청구항 3

제 1항 또는 제 2항에 있어서, 상기 ST0스택의 통로수는 2인 것을 특징으로 하는 ST0스택 제어시스템.

청구항 4

제 3항에 있어서, 상기 ST0스택은 상부통로부와 하부통로부를 구비하는 것을 특징으로 하는 ST0스택 제어시스템.

청구항 5

제 2항에 있어서, 상기 ST0스택은 제어 레지스터의 내용을 기억하는 영역과 그것의 각 위치에 대한 제어 데이터를 기억하는 영역을 포함하는 것을 특징으로하는 ST0스택 제어시스템.

청구항 6

제 5항에 있어서, 상기 제어데이터는 그 위치에 기억된 제어 레지스터의 내용의 종류를 지시하는 데이터 및 그 위치에 기억된 ST0데이터가 최근에 사용되었는지 또는 사용되지 않았는지를 지시하는 데이터를 포함하는 것을 특징으로 하는 ST0스택 제어시스템.

청구항 7

제 6항에 있어서, 더우기 상기 제어데이터는 그 위치에 기억된 ST0데이터가 유효한지 또는 무효한지를 지시하는 ST0스택 제어시스템.

청구항 8

제 5, 제 6항 및 제 7항중 어느 하나에 있어서, 상기 시스템은 상기 제어데이터를 갱신하는 논리회로부를 포함하고 있는 것을 특징으로 하는 ST0스택 제어시스템.

청구항 9

제 1항에 있어서, 상기 시스템은 제어 레지스터의 내용이 변경될때 제어 레지스터의 내용이 ST0스택 상에 등록되어 있는지 혹은 등록되어 있지 않는지를 판별하는 발견 처리장치를 포함하는 것을 특징으로 하는 ST0스택 제어시스템.

청구항 10

제 1항에 있어서, 상기 시스템의 소거될 ST0·ID를 결정하는 소거처리장치를 포함하는 것을 특징으로 하는 ST0스택 제어시스템.

청구항 11

제 10항에 있어서, 상기 소거처리장치는 소거된 ST0·ID에 대응하는 TLB상에 데이터를 무효 처리시키는 것을 특징으로 하는 ST0스택 제어시스템.

청구항 12

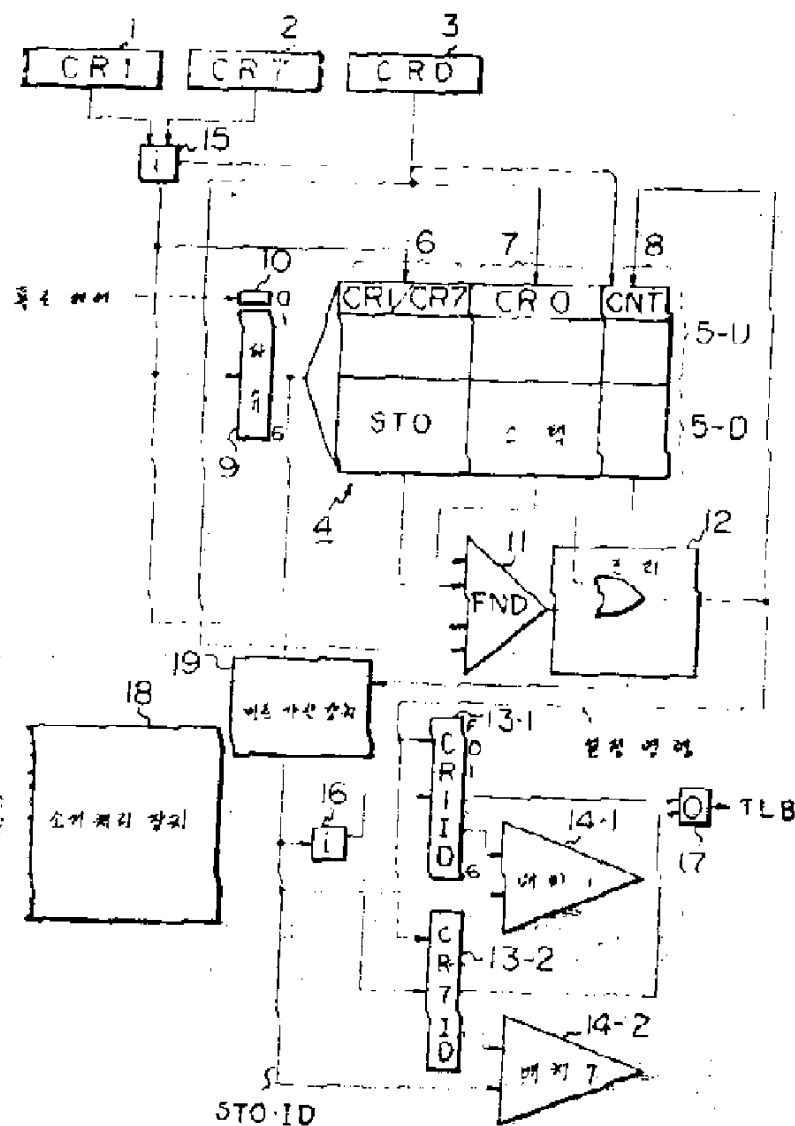
제 1항에 있어서, 더우기 상기 시스템은 각각이 제어 레지스터들중의 하나에 대응하는 복수의 ST0·ID설정 레지스터와, 제어 레지스터의 내용이 변경될때 상기 ST0·ID설정 레지스터의 내용을 새롭게 발생된 ST0·ID와 비교하는 복수의 매칭장치를 포함하는 것을 특징으로 하는 ST0스택 제어 시스템.

청구항 13

제 1항에 있어서, 상기 시스템은 가상공간을 지정하는 입력데이터 각각의 해싱처리된 데이터에 "플리퍼"(flipper)비트와 비트"0"를 가산하는 비트가산장치를 포함하고 있으며 그것에 의해서 ST0·ID를 형성하는 것을 특징으로 하는 ST0스택 제어 시스템.

도면

도면1



도면2

F	0	1	2	3	4	5	6
---	---	---	---	---	---	---	---

도면3

F	V	H/C	CR1 CR7
---	---	-----	------------

도면4

CHG	CR1/CR7 플래그	매치 1	매치 7	소거할 ID
CR1	0	—	—	H/C 비 의존
	1	—	0	H/C 비 의존
		—	1	CR1 소거
CR7	0	—	—	H/C 비 의존
	1	0	—	H/C 비 의존
		1	—	CR7 소거