

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4043321号
(P4043321)

(45) 発行日 平成20年2月6日(2008.2.6)

(24) 登録日 平成19年11月22日(2007.11.22)

(51) Int.Cl.

H02M 3/28 (2006.01)

F I

H02M 3/28

F

請求項の数 7 (全 20 頁)

(21) 出願番号 特願2002-251031 (P2002-251031)
 (22) 出願日 平成14年8月29日(2002.8.29)
 (65) 公開番号 特開2004-96812 (P2004-96812A)
 (43) 公開日 平成16年3月25日(2004.3.25)
 審査請求日 平成17年6月14日(2005.6.14)

(73) 特許権者 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100091524
 弁理士 和田 充夫
 (74) 代理人 100062926
 弁理士 東島 隆治
 (72) 発明者 吉田 幸司
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

オンオフ動作を繰り返して入力電圧を交流に変換する少なくとも1つ以上のスイッチング手段、

前記スイッチング手段により変換された交流電圧が印加される1次巻線と2次巻線とを有するトランス、

寄生コンデンサを有し、前記トランスの2次巻線に誘起された電圧をスイッチング動作により整流する同期整流手段、

前記同期整流手段により整流された電圧を平滑し出力電圧を形成する平滑手段、

前記出力電圧を制御するPWM信号を形成し、前記スイッチング手段のオンオフ比を決定するPWM制御回路、

前記同期整流手段のスイッチング動作に必要なエネルギーを蓄積し、前記PWM信号に基づき前記同期整流手段をオンオフ駆動する駆動トランス、及び

前記PWM信号に基づき所望のオフ期間を設定し、並列にダイオードを有し、交互にオンオフ動作を繰り返す2つのスイッチング素子を含む駆動トランス制御回路、

を具備し、

前記駆動トランス制御回路は、前記駆動トランス制御回路がオフ状態のときに、前記駆動トランスに蓄積されたエネルギーにより、前記寄生コンデンサを充放電させて前記同期整流手段をオン状態又はオフ状態にし、前記トランスに蓄えられたエネルギーにより前記並列に有するダイオードがオン状態となった後で前記スイッチング素子をオン状態にする

10

20

ように構成されたスイッチング電源装置。

【請求項 2】

PWM信号に基づき所望のオフ期間を設定し、交互にオンオフ動作を繰り返す駆動トランス制御回路を有し、コンデンサを介して駆動トランスを駆動するよう構成された請求項 1 記載のスイッチング電源装置。

【請求項 3】

ブリッジ型またはプッシュプル型のコンバータを有する請求項 1 または 2 記載のスイッチング電源装置。

【請求項 4】

微小な休止期間を有しオンオフ動作を繰り返して入力電圧を交流に変換する少なくとも 2 つ以上のスイッチング手段、

前記スイッチング手段により変換された交流電圧が印加される 1 次巻線と 2 次巻線とを有し、励磁エネルギーを蓄積できるよう構成したトランス、

寄生コンデンサを有し、前記トランスの 2 次巻線に誘起された電圧をスイッチング動作により整流する同期整流手段、

前記同期整流手段により整流された電圧を平滑し出力電圧を形成する平滑手段、
前記出力電圧を制御する PWM 信号を形成し、前記スイッチング手段のオンオフ比を決定する PWM 制御回路、及び

前記トランスの 1 次巻線に接続され、前記 PWM 信号または前記スイッチング手段に印加される電圧信号に基づき前記同期整流手段をオンオフ駆動する駆動トランス、

を具備し、

前記スイッチング手段の微小オフ期間に、前記トランスに蓄積されたエネルギーにより、駆動トランスを介して、前記寄生コンデンサを充放電させて前記同期整流手段をオン状態又はオフ状態にするように構成したスイッチング電源装置。

【請求項 5】

スイッチング手段に印加される電圧をコンデンサを介して駆動トランスの 1 次巻線に印加するよう構成した請求項 4 記載のスイッチング電源装置。

【請求項 6】

ブリッジ型またはプッシュプル型のコンバータを有する請求項 4 または 5 記載のスイッチング電源装置。

【請求項 7】

PWM 制御回路がスイッチング手段によりトランスの 1 次巻線を短絡し、同期整流手段のスイッチング動作に必要なエネルギーを前記トランスに保持できる期間を有するように制御する請求項 6 記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は産業用や民生用の電子機器に直流安定化電圧を供給するスイッチング電源装置に関して、特に低損失で同期整流の駆動を行うことができる駆動回路を有するスイッチング電源装置に関するものである。

【0002】

【従来の技術】

近年、スイッチング電源装置は電子機器の低価格化・小型化・高性能化・省エネルギー化に伴い、より小型で高効率なものが強く求められている。また、集積回路の低電圧化等の理由により、電子機器に必要な電源電圧の低電圧化が進んでいる。このような低い電源電圧に対応するスイッチング電源に関しても通常の整流ダイオードを用いた整流回路では、電源出力に対して整流損失が大きくなり電源効率が低下するという問題があった。

近年、MOSFET等のスイッチング素子の高性能化が進んでいるため、このようなスイッチング素子を用いて整流回路を構成する同期整流方式によるスイッチング電源装置を構成する試みが為されている。MOSFETは、同クラスの整流ダイオードに対し、順方向

10

20

30

40

50

の降下電圧を小さくすることができ、整流損失を小さくできるという特徴を有するが、スイッチング電源に同期して駆動する必要がある、適切なゲート電圧を形成する必要があった。

【0003】

以下に従来の同期整流方式によるスイッチング電源装置について説明する。図5は従来のフルブリッジ型のスイッチング電源装置の構成を示す回路図である。図5において、入力直流電源101は商用電源を整流平滑する回路もしくは電池で構成されるものであり、入力端子102a, 102bに接続されている。第1のスイッチング素子103及び第2のスイッチング素子104はそれぞれMOSFETで構成されており、第1のスイッチング素子103と第2のスイッチング素子104の直列回路は入力端子102a, 102bに接続されている。第1のスイッチング素子103と第2のスイッチング素子104は、後述するドライブ回路により交互にオンオフ駆動される。同様に、第3のスイッチング素子105及び第4のスイッチング素子106はそれぞれMOSFETで構成されており、第3のスイッチング素子105と第4のスイッチング素子106の直列回路は入力端子102a, 102bに接続されている。また、第3のスイッチング素子105と第4のスイッチング素子106は後述するドライブ回路により交互にオンオフされる。

10

【0004】

トランス107は、1次巻線107aと第1の2次巻線107bと第2の2次巻線107cを有している。1次巻線107aの一端は第1のスイッチング素子103と第2のスイッチング素子104との接続点に接続されており、1次巻線107aの他端は第3のスイッチング素子105と第4のスイッチング素子106との接続点に接続されている。トランス107の第1の2次巻線107bと第2の2次巻線107cは直列に接続されており、トランス107の第1の2次巻線107bと第2の2次巻線107cの接続点はインダクタンス素子110の一端に接続されている。

20

第1の同期整流素子108及び第2の同期整流素子109は、MOSFETによりそれぞれ構成されている。第1の同期整流素子108と第2の同期整流素子109の各ソース端子は互いに接続されており、第1の同期整流素子108のドレイン端子は第2の2次巻線107cに、第2の同期整流素子109のドレイン端子は第1の2次巻線107bにそれぞれ接続されている。

【0005】

インダクタンス素子110と平滑コンデンサ111の直列回路の一端は、第1の同期整流素子108と第2の同期整流素子109の各ソース端子の接続点に接続され、その直列回路の一端は、トランス107の第1の2次巻線107bと第2の2次巻線107cの接続点に接続されている。インダクタンス素子110と平滑コンデンサ111とにより、平滑回路が構成されている。

30

平滑コンデンサ111の両端には安定した電力を出力する出力端子112a, 112bが設けられており、当該出力端子112a, 112bには電力を消費する負荷113が接続されている。

入力端子102a, 102bには補助電源115が接続されており、この補助電源115には入力直流電源101から安定な電圧が供給されている。補助電源115に接続された制御回路114は、フォトカプラ154からのフィードバック信号を基にしてPWM信号を発生する。

40

【0006】

第1のスイッチング素子103～第4のスイッチング素子106にそれぞれ接続された第1のドライブ回路155～第4のドライブ回路158は、制御回路114から出力されたPWM信号を基に第1のスイッチング素子103～第4のスイッチング素子106の駆動信号を出力する。第1のnpnトランジスタ116、第1のpnpトランジスタ117、第2のnpnトランジスタ118及び第2のpnpトランジスタ119は、制御回路114からのPWM信号によりそれぞれ駆動制御されている。第1のnpnトランジスタ116と第1のpnpトランジスタ117により第5のドライブ回路159が構成され、第2

50

のnpnトランジスタ118と前記第2のpnpトランジスタ119により第6のドライブ回路160が構成されている。第1のコンデンサ120と駆動トランスの1次巻線121aの直列回路は、第5のドライブ回路159と第6のドライブ回路160の間に接続されている。駆動トランス121は、1次巻線121aと第1の2次巻線121bと第2の2次巻線121cとを有し、制御回路114のPWM信号を基に駆動される。

【0007】

駆動トランス121の二次側には第1のFET122と第1の抵抗123で構成された第1の反転回路が設けられており、駆動トランス121の第1の2次巻線121bの信号を反転する。第3のnpnトランジスタ124と第3のpnpトランジスタ125により第7のドライブ回路161が構成されており、この第7のドライブ回路161は第1の反転回路の出力に基づいて第1の同期整流素子108を駆動する。

10

また、駆動トランス121の二次側には第2のFET126と第2の抵抗127で構成された第2の反転回路が設けられており、駆動トランス121の第2の2次巻線121cの信号を反転する。第4のnpnトランジスタ128と第4のpnpトランジスタ129により第8のドライブ回路162が構成されており、この第8のドライブ回路162は第2の反転回路の出力に基づいて第2の同期整流素子109を駆動する。

【0008】

出力電圧検出回路400において、第1の検出抵抗150及び第2の検出抵抗151は、出力端子112a、112bに直列に接続されており、出力電圧を分割する。誤差増幅器153は出力電圧が分割された電圧と基準電源152の電圧とが比較され、その誤差を増幅する。制限抵抗163は誤差増幅器153において誤差増幅された電圧を基にしてフォトカプラ154に流す電流を決定する。

20

第1の反転回路、第2の反転回路、フォトカプラ154、第7のドライブ回路161及び第8のドライブ回路162は出力端子112a、112bに接続されて、それぞれの駆動電源としている。

【0009】

図6は図5の従来のスイッチング電源装置における各部の動作状態を示す動作波形図である。図6の(a)に示す信号VG1は、制御回路114の第1のPWM信号であり、第1のドライブ回路155と第3のドライブ回路157を介して、第1のスイッチング素子103と第4のスイッチング素子106を同時にオンオフ駆動する。図6の(b)に示す信号VG2は、制御回路114の第2のPWM信号であり、第2のドライブ回路156と第4のドライブ回路158を介して第2のスイッチング素子104と第3のスイッチング素子105を同時にオンオフ駆動する。

30

図6の(c)に示す信号VT1は、駆動トランス121の第1の2次巻線121bに発生する電圧波形を示している。図6の(d)に示す信号VT2は、駆動トランス121の第2の2次巻線121cに発生する電圧を示している。図6の(e)に示す信号VG3は第1の反転回路の出力であり、この第1の反転回路からの信号VG3により第1の同期整流素子108がオンオフ駆動される。図6の(f)に示す信号VG4は第2の反転回路の出力であり、この第2の反転回路からの信号VG4により第2の同期整流素子109がオンオフ駆動される。

40

なお、図6の(g)に示すIG1は第1の同期整流素子108の駆動電流を示している。図6の(h)に示すIG2は第2の同期整流素子109の駆動電流を示している。

【0010】

次に上記のように構成された従来のスイッチング電源装置の動作について説明する。

図6に示す時刻T0において、制御回路114からの第1のPWM信号VG1がハイ(高)になることにより、第1のスイッチング素子103と第4のスイッチング素子106は同時にオン状態となる。このように第1のスイッチング素子103と第4のスイッチング素子106がオン状態になると、入力電圧がトランス107の1次巻線107aに印加され、トランス107の2次巻線107bに電圧が発生する。このとき、駆動トランス121の1次巻線121aにも電圧が印加され、駆動トランス121の第1の2次巻線121

50

bには正の電圧が発生し、駆動トランス121の第2の2次巻線121cには負の電圧が発生する。この結果、第1の反転回路の出力はロー（低）、第2の反転回路の出力はハイ（高）を維持し、第1の同期整流素子108をオフ状態とし、第2の同期整流素子109をオン状態とする。

トランス107の第1の2次巻線107bに発生した電圧は、オン状態である第2の同期整流素子109を通して、インダクタンス素子110と平滑コンデンサ111によって構成される平滑回路に印加される。

【0011】

時刻T1において、第1のPWM信号VG1がローになると、第1のスイッチング素子103と第4のスイッチング素子106がオフ状態となる。このとき、駆動トランス121の1次巻線121aに印加される電圧がゼロになり、駆動トランス121の第1の2次巻線121b及び第2の2次巻線121cに発生する電圧もゼロになる。この結果、第1の反転回路と第2の反転回路が共にハイとなり、第1の同期整流素子108と第2の同期整流素子109は同時にオン状態となる。インダクタンス素子110に流れていた電流はオン状態である第1の同期整流素子108と第2の同期整流素子109を介して、トランス107の第1の2次巻線107bと第2の2次巻線107cに分割して流れる。これにより、トランス107の励磁電流が連続となる。このとき、トランス107の第1の2次巻線107bと第2の2次巻線107cに発生する電圧がゼロになり、平滑回路（110, 111）に印加される電圧もゼロになる。

【0012】

時刻T2において、制御回路114よりの第2のPWM信号VG2がハイ（高）になることにより、第2のスイッチング手段104と第3のスイッチング手段105が同時にオン状態となる。このように第2のスイッチング手段104と第3のスイッチング手段105が同時にオン状態となると、トランス107の1次巻線107aには時刻T0とは逆向きに入力電圧が印加される。この時、駆動トランス121にも逆極性の電圧が印加され、第1の反転回路により第1の同期整流素子108がオフ状態、第2の反転回路により第2の同期整流素子109がオン状態になる。この結果、トランス107の第2の2次巻線107cに発生した電圧が第2の同期整流素子109を介して平滑回路（110, 111）に印加される。

【0013】

以上の動作より、従来のスイッチング電源装置は、第1のPWM信号VG1と第2のPWM信号VG2のオンオフ比により、平滑回路に印加される電圧の時間が変化し、出力電圧を調整することができる。出力電圧は、第1の検出抵抗150と第2の検出抵抗151により検出されて、誤差増幅器153において基準電源152の電圧と比較され、増幅されて、フォトカプラ154に入力される。制御回路114はフォトカプラ154からの出力信号に基づきPWM信号を生成し出力する。このように従来のスイッチング電源装置においては、制御回路114により負帰還回路が構成されており、出力電圧の安定化が図られていた。

【0014】

【発明が解決しようとする課題】

しかしながら、上記のように構成された従来のスイッチング電源装置の構成では、同期整流素子の駆動を行う時、ターンオン時にはその駆動電流をドライブ回路を介して出力電圧から供給しゲート電荷をチャージしており、ターンオフ時にはドライブ回路を介してゲート電荷を短絡放電していた。したがって、同期整流素子をオンオフ駆動するとき、整流損失が発生するという問題があった。同期整流素子の導通損失を小さくするためには、チップサイズの大きな同期整流素子を用いるのが好ましいが、チップサイズの大きな同期整流素子はゲート容量が大きく駆動損失が大きくなるので、この駆動損失を含めた整流損失が小さくならないという問題点があった。また、上記のように構成された従来のスイッチング電源装置では、出力電圧をドライブ回路の電源として用いているので、出力電圧が例えば1Vなど極端に低い電圧の場合には、同期整流素子を駆動できないという問題があった

。本発明は従来のスイッチング電源装置における問題点を解決するものであり、同期整流素子のゲートの充放電を無損失で行いつつ、安定な電圧供給を行って同期整流の効果を十分に発揮させることができ、効率の高いスイッチング電源装置を提供することを目的としている。

【0015】

【課題を解決するための手段】

上記目的を達成するために、本発明に係るスイッチング装置は、
オンオフ動作を繰り返して入力電圧を交流に変換する少なくとも1つ以上のスイッチング手段、

前記スイッチング手段により変換された交流電圧が印加される1次巻線と2次巻線とを有するトランス、

寄生コンデンサを有し、前記トランスの2次巻線に誘起された電圧をスイッチング動作により整流する同期整流手段、

前記同期整流手段により整流された電圧を平滑し出力電圧を形成する平滑手段、

前記出力電圧を制御するPWM信号を形成し、前記スイッチング手段のオンオフ比を決定するPWM制御回路、

前記同期整流手段のスイッチング動作に必要なエネルギーを蓄積し、前記PWM信号に基づき前記同期整流手段をオンオフ駆動する駆動トランス、及び

前記PWM信号に基づき所望のオフ期間を設定し、並列にダイオードを有し、交互にオンオフ動作を繰り返す2つのスイッチング素子を含む駆動トランス制御回路、

を具備し、

前記駆動トランス制御回路は、前記駆動トランス制御回路がオフ状態のときに、前記駆動トランスに蓄積されたエネルギーにより、前記寄生コンデンサを充放電させて前記同期整流手段をオン状態又はオフ状態にし、前記トランスに蓄えられたエネルギーにより前記並列に有するダイオードがオン状態となった後に前記スイッチング素子をオン状態にするように構成されている。このように構成されたスイッチング電源装置は、同期整流素子のゲートの充放電を無損失で行いつつ、安定な電源供給して同期整流の効果を十分に発揮させることができる。

【0016】

また、本発明に係るスイッチング電源装置は、PWM信号に基づき所望のオフ期間を設定し、交互にオンオフ動作を繰り返す駆動トランス制御回路を有し、コンデンサを介して駆動トランスを駆動するよう構成してもよい。

【0017】

他の観点の本発明のスイッチング電源装置は、微小な休止期間を有しオンオフ動作を繰り返して入力電圧を交流に変換する少なくとも2つ以上のスイッチング手段、

前記スイッチング手段により変換された交流電圧が印加される1次巻線と2次巻線とを有し、励磁エネルギーを蓄積できるよう構成したトランス、

寄生コンデンサを有し、前記トランスの2次巻線に誘起された電圧をスイッチング動作により整流する同期整流手段、

前記同期整流手段により整流された電圧を平滑し出力電圧を形成する平滑手段、

前記出力電圧を制御するPWM信号を形成し、前記スイッチング手段のオンオフ比を決定するPWM制御回路、及び

前記トランスの1次巻線に接続され、前記PWM信号または前記スイッチング手段に印加される電圧信号に基づき前記同期整流手段をオンオフ駆動する駆動トランス、

を具備し、

前記スイッチング手段の微小オフ期間に、前記トランスに蓄積されたエネルギーにより、駆動トランスを介して、前記寄生コンデンサを充放電させて前記同期整流手段をオン状態又はオフ状態にするように構成している。このように構成されたスイッチング電源装置は、同期整流素子のゲートの充放電を無損失で行いつつ、安定な電源供給して同期整流の

10

20

30

40

50

効果を十分に発揮し、効率の高い装置となる。

【0018】

また、本発明に係るスイッチング電源装置は、スイッチング手段に印加される電圧をコンデンサを介して駆動トランスの1次巻線に印加するよう構成してもよい。

また、本発明に係るスイッチング電源装置は、ブリッジ型またはプッシュプル型のコンバータで構成してもよい。

さらに、本発明に係るスイッチング電源装置は、PWM制御回路がスイッチング手段によりトランスの1次巻線を短絡し、同期整流手段のスイッチング動作に必要なエネルギーを保持できる期間を有するように制御してもよい。

【0019】

10

【発明の実施の形態】

以下、本発明に係るスイッチング電源装置の好ましい実施の形態について添付の図面を参照しつつ説明する。

【0020】

《実施の形態1》

図1は本発明に係る実施の形態1のスイッチング電源装置の構成を示す回路図である。

図1において、入力直流電源1は商用電源を整流平滑する回路もしくは電池で構成され、入力端子2a、2bに接続されている。第1のスイッチング素子3及び第2のスイッチング素子4はそれぞれMOSFETで構成されており、第1のスイッチング素子3と第2のスイッチング素子4の直列回路が入力端子2a、2bに接続されている。第1のスイッチング素子3と第2のスイッチング素子4は、第1のドライブ回路19及び第2のドライブ回路20により交互にオンオフ駆動されるよう構成されている。同様に、第3のスイッチング素子5及び第4のスイッチング素子6はそれぞれMOSFETで構成されており、第3のスイッチング素子5と第4のスイッチング素子6の直列回路が入力端子2a、2bに接続されている。第3のスイッチング素子5と第4のスイッチング素子6は第3のドライブ回路21及び第4のドライブ回路22により交互にオンオフ駆動されるよう構成されている。

20

【0021】

トランス7は、1次巻線7aと第1の2次巻線7bと第2の2次巻線7cを有している。1次巻線7aの一端は第1のスイッチング素子3と第2のスイッチング素子4との接続点に接続されており、1次巻線7aの他端は第3のスイッチング素子5と第4のスイッチング素子6との接続点に接続されている。トランス7の第1の2次巻線7bと第2の2次巻線7cは直列に接続されており、トランス7の第1の2次巻線7bと第2の2次巻線7cの接続点はインダクタンス素子10の一端に接続されている。

30

第1の同期整流素子8及び第2の同期整流素子9は、MOSFETによりそれぞれ構成されている。第1の同期整流素子8と第2の同期整流素子9の各ソース端子は互いに接続されており、第1の同期整流素子8のドレイン端子は第2の2次巻線7cに、第2の同期整流素子9のドレイン端子は第1の2次巻線7bにそれぞれ接続されている。

【0022】

インダクタンス素子10と平滑コンデンサ11の直列回路の一端は、第1の同期整流素子8と第2の同期整流素子9の各ソース端子の接続点に接続され、この直列回路の他端は、トランス7の第1の2次巻線7bと第2の2次巻線7cの接続点に接続されている。インダクタンス素子10と平滑コンデンサ11とにより、平滑回路が構成されている。

40

平滑コンデンサ11の両端には安定した電力を出力する出力端子12a、12bが設けられており、当該出力端子12a、12bには電力を消費する負荷13が接続される。

【0023】

入力端子2a、2bには補助電源14が接続されており、この補助電源14には入力直流電源1から安定な電圧が供給されている。補助電源14に接続されたPWM制御回路15は、フォトプラ54からのフィードバック信号を基にしてPWM信号を発生する。

【0024】

50

第1のスイッチング素子3～第4のスイッチング素子6にそれぞれ接続された第1のドライブ回路19～第4のドライブ回路22は、PWM制御回路15から出力された2種類のPWM信号VG1, VG2を基に第1のスイッチング素子3～第4のスイッチング素子6の駆動信号を出力する。

PWM制御回路15に接続された反転回路であるインバータ17, 18は、PWM制御回路15から出力されたPWM信号VG1, VG2をそれぞれ反転する。

【0025】

図1に示すように、実施の形態1のスイッチング電源装置には、PWM制御回路15からの第1のPWM信号VG1が入力される第1の駆動トランス制御回路200とPWM制御回路15からの第2のPWM信号VG2が入力される第2の駆動トランス制御回路201が設けられている。

10

第1の駆動トランス制御回路200には、第1の抵抗23、第1のコンデンサ24、第1のダイオード25及び第1のpチャネルFET26が設けられており、入力されたPWM信号VG1に基づき第1のpチャネルFET26がオンオフ駆動される。第1の駆動トランス制御回路200においては、第1の抵抗23と第1のコンデンサ24により第1のpチャネルFET26のターンオンは遅れるよう構成されており、ターンオフは第1のダイオード25を介して遅延することなく駆動される。

また、第1の駆動トランス制御回路200には、第2の抵抗27、第2のコンデンサ28、第2のダイオード29及び第2のnチャネルFET30が設けられており、入力された第1のPWM信号VG1に基づいて第1のnチャネルFET30がオンオフ駆動される。第1の駆動トランス制御回路200においては、第2の抵抗27と第2のコンデンサ28により第1のnチャネルFETのターンオンは遅れるよう構成されており、ターンオフは遅延することなく行われる。

20

【0026】

第1のpチャネルFET26と第1のnチャネルFET30は直列に接続されており、補助電源14から電力が供給されている。第1のpチャネルFET26と第1のnチャネルFET30の接続点には第3のコンデンサ31の一端が接続されており、第3のコンデンサ31の他端には第1の駆動トランス32が接続されている。第1の駆動トランス32は1次巻線32aと2次巻線32bを有する。

第1の駆動トランス32の二次側には第4のコンデンサ33と第3のダイオード34の直列回路が接続されている。第1の同期整流素子8は第3のダイオード34の印加電圧により駆動されるよう接続されている。第3のダイオード34の両端に誘起される電圧により、第4のダイオード35を介して第5のコンデンサ36が充電される。

30

【0027】

第2の駆動トランス制御回路201には、第3の抵抗37、第6のコンデンサ38、第5のダイオード39及び第2のpチャネルFET40が設けられており、入力された第2のPWM信号VG2に基づき第1のnチャネルFET40がオンオフ駆動される。第2の駆動トランス制御回路201においては、第3の抵抗37と第6のコンデンサ38により第1のnチャネルFET40のターンオンは遅れるよう構成されており、ターンオフは第5のダイオード39を介して遅れることなく駆動されるよう構成されている。

40

また、第2の駆動トランス制御回路201には、第4の抵抗41、第7のコンデンサ42、第6のダイオード43及び第2のnチャネルFET44が設けられており、入力された第2のPWM信号VG2に基づいて第2のnチャネルFET44がオンオフ駆動される。第2の駆動トランス制御回路201においては、第4の抵抗41と第7のコンデンサ42により第2のnチャネルFET44のターンオンは遅れるよう構成されており、ターンオフは遅延することなく行われる。

【0028】

第2の駆動トランス制御回路201においても前述の第1の駆動トランス制御回路200と同様に、第2のpチャネルFET40と第2のnチャネルFET44は直列に接続されており、補助電源14から電力が供給されている。第2のpチャネルFET40と第2の

50

nチャンネルFET44の接続点には第8のコンデンサ45の一端が接続されており、第8のコンデンサ45の他端には第2の駆動トランス46が接続されている。第2の駆動トランス46は1次巻線46aと2次巻線46bを有する。

第2の駆動トランス46の二次側には第9のコンデンサ47と第7のダイオード48の直列回路が接続されている。第2の同期整流素子9は第7のダイオード48の印加電圧により駆動されるよう接続されている。第7のダイオード48の両端に誘起される電圧により、第8のダイオード49を介して第5のコンデンサ36が充電される。

【0029】

出力端子12a, 12bの電圧は出力電圧検出回路300に入力されて検出され、PWM制御回路15へフィードバックされるよう構成されている。出力電圧検出回路300において、出力電圧は第1の検出抵抗50と第2の検出抵抗51により分割され、誤差増幅器53により基準電源52の基準電圧と比較されて増幅される。増幅された信号は制限抵抗55を介してフォトカプラ54へ入力されて、フォトカプラ54の入力電流が決定される。フォトカプラ54の出力電流によって、PWM制御回路15のPWM制御信号が調整される。以上のように構成された出力電圧検出回路300によりフィードバック回路が構成され、出力電圧が安定化される。

【0030】

以上のように構成された実施の形態1のスイッチング電源装置について、図2の波形図を参照して、その動作を説明する。

図2において、(a)はPWM制御回路15から出力された駆動信号VG1を示しており、駆動信号VG1は第1のドライブ回路19を介して第1のスイッチング素子3に入力され、第1のスイッチング素子3を駆動するための信号である。図2の(b)はPWM制御回路15から出力された駆動信号VG3を示しており、駆動信号VG3は第3のドライブ回路21を介して第3のスイッチング素子5に入力され、第3のスイッチング素子5を駆動するための信号である。図2の(c)はPWM制御回路15から出力された駆動信号VG1の反転信号(VG2)であり、第2のドライブ回路20を介して第2のスイッチング素子4を駆動するための信号を示しており、(d)は駆動信号VG3(図2の(b))の反転信号(VG4)であり、第4のドライブ回路22を介して第4のスイッチング素子6を駆動するための信号を示している。第1から4のドライブ回路19, 20, 21, 22は、入力信号であるVG1~VG4に対してターンオンのタイミングが若干遅れてオン動作するよう駆動される。

【0031】

図2において、(e)は第1のpチャンネルFET26のゲート電圧を示しており、(f)は第1のnチャンネルFET30のゲート電圧を示しており、(g)は第1の駆動トランス32の1次巻線32aを流れる電流を示しており、(h)は第1のpチャンネルFET26のドレイン電圧を示しており、(i)は第1の駆動トランス32の1次巻線32aの電圧波形を示しており、(j)は第1の同期整流素子8の駆動電圧波形を示しており、(k)は第2の同期整流素子9の駆動電圧波形を示している。

【0032】

PWM制御回路15は180度の位相差を有するPWM信号である駆動信号VG1と駆動信号VG3を発生する。駆動信号VG1は第1のドライブ回路19を介して第1のスイッチング素子3を駆動すると同時に第1のpチャンネルFET26と第1のnチャンネルFET30を駆動する。このとき、第1のpチャンネルFET26のゲートに印加される電圧Vp1は図2の(e)に示す波形となる。その結果、第1のpチャンネルFET26のターンオフは駆動信号VG1の立ち上がりに等しくなり、ターンオンは駆動信号VG1の立ち下がりから若干遅れる。このときの遅れ時間は、第1の抵抗23と第1のコンデンサ24の時定数によって決定される。同様に第1のnチャンネルFET30のゲートには図2の(f)に示す電圧Vn1が印加される。その結果、第1のnチャンネルFETのターンオンは駆動信号VG1の立ち上がりから若干遅れ、ターンオフは駆動信号VG1の立ち下がりと同じタイミングになる。その結果、第1のpチャンネルFET26と第1のnチャンネルFET3

10

20

30

40

50

0 は、瞬時の同時オフ期間を有して、交互にオンオフ動作を行う。

【0033】

図2の(g)は第1の駆動トランス32の電流波形を示している。第1の駆動トランス32の励磁インダクタンスは小さく設定されているので、励磁電流が流れている。この励磁電流により、第1の同期整流素子8のゲート容量を含めた寄生コンデンサが充放電するよう動作する。即ち、時刻T1で第1のpチャンネルFET26がターンオン(図2の(e))、第1のnチャンネルFET30がターンオフ(図2の(f))となると、補助電源14の出力電圧が第1の駆動トランス32の1次巻線32aと第3のコンデンサ31の直列回路に印加される。第3のコンデンサ31により直流成分が除去された電圧は第1の駆動トランス32の1次巻線32aに印加される。この結果、第1の駆動トランス32の1次巻線32aを流れる電流が増加し、第1の駆動トランス32に励磁エネルギーが蓄積される。

10

【0034】

時刻T4において第1のpチャンネルFET26がオフ状態となると、蓄積された励磁エネルギーにより、第1の同期整流素子8のゲート電荷を引き抜いて、第1の同期整流素子8をオフ状態とする。第1のpチャンネルFET26のドレイン電圧がゼロに達すると、第1のnチャンネルFET30のボディダイオードをオン状態とする。第1のpチャンネルFET26のターンオフ後に若干の遅れ時間を設けて、第1のnチャンネルFET30をオン状態とする。このとき、第1のnチャンネルFET30のターンオンの直前には第1の同期整流素子8のゲート容量の放電が完了しているので、エネルギー損失にはならない。

20

【0035】

第1のnチャンネルFET30がオン状態となると、第1の駆動トランス32の1次巻線32aに負電圧が印加され、励磁エネルギーが減少する。第1の駆動トランス32の1次巻線32aには第3のコンデンサ31が直列に接続されているので直流電流は流れない。したがって、電流の平均値はゼロになるので、第1の駆動トランス32の1次巻線32aの電流は負になる。

【0036】

時刻T5において、駆動信号VG1の立ち下がりのタイミングで第1のnチャンネルFET30がオフ状態となると、第1の駆動トランス32の1次巻線32aに蓄積されていたエネルギーにより、第1の同期整流素子8のゲート容量を充電して、第1の同期整流素子8をオン状態にする。第1のpチャンネルFET26のドレイン電圧が上昇し、補助電源14の出力電圧に達すると、第1のpチャンネルFET26のボディダイオードがオン状態となり、第1の駆動トランス32の励磁電流は補助電源側に回生される。第1のpチャンネルFET26は第1の同期整流素子8のゲート容量が十分に充電された後にオン状態となるように若干遅れてターンオンするために、充電電流は補助電源側からは供給されない。

30

【0037】

第1のnチャンネルFET30がオン状態となると第1の駆動トランス32に励磁エネルギーが蓄積される。以上の動作により、第1の同期整流素子8のゲート容量の充放電が行われて、第1のnチャンネルFET30と第1のpチャンネルFET26のオンオフ動作により直接的に充放電は行われず、第1の駆動トランス32の励磁インダクタンスに蓄積されたエネルギーにより充放電が行われる。

40

上記のように動作することにより、ゲート容量の充放電動作は励磁インダクタンスとゲート容量間のエネルギーの移動に相当するので、エネルギー損失は発生せず、実質的に無損失でゲート駆動が可能である。

【0038】

実施の形態1のスイッチング電源装置において、上記の第1の同期整流素子8の駆動動作と同様に第2の同期整流素子9においてもその駆動動作が無損失となる。なお、第2の同期整流素子9の駆動動作は、第1の同期整流素子8の駆動動作と実質的に同じであるためここではその説明を省略する。このように同期整流素子8, 9を設けることにより、駆動信号VG1と駆動信号VG3により同期整流素子8, 9をオンオフ駆動することができる

50

。実施の形態 1 において、第 2 のスイッチング素子 4 と第 4 のスイッチング素子 6 の駆動は、駆動信号 V G 1 と駆動信号 V G 3 の反転信号を用いており、このように構成することにより第 2 のスイッチング素子 4 と第 4 のスイッチング素子 6 を同時にオン状態とすることにより、トランス 7 のエネルギーの保持が可能となる。そして、第 1 のスイッチング素子 3 から第 4 のスイッチング素子 6 の寄生容量の充放電動作がトランス 7 のエネルギー保持能力により可能になり、ターンオン直前にそれらの寄生容量の放電を行い、スイッチング損失を小さくすることが可能になる。それ以外の動作は、従来のスイッチング電源装置と同様な動作を行うのでその動作説明は省略する。

【0039】

実施の形態 1 の構成において、第 5 のコンデンサ 3 6 に対しては、第 1 の同期整流素子 8 と第 2 の同期整流素子 9 の駆動信号のピーク値で充電する。第 1 の駆動トランス 3 2 と第 2 の駆動トランス 4 6 の巻数比を 1 : 1 とすると、第 1 の同期整流素子 8 と第 2 の同期整流素子 9 のゲート信号のピーク値は、補助電源 1 4 の出力電圧とほぼ同じになり安定した電圧となる。図 1 に示すように第 1 の駆動トランス 3 2 と第 2 の駆動トランス 4 6 の電圧を用いて差動増幅器 5 3 やフォトカプラ 5 4 に電圧を供給することにより、出力電圧が低い場合でも、第 1 の同期整流素子 8 と第 2 の同期整流素子 9 のゲートに所望の電圧を供給することが可能になる。

なお、ここではフルブリッジコンバータを例にとって説明したが、ハーフブリッジコンバータ、プッシュプルコンバータ、フォワードコンバータ、フライバックコンバータにおいても同様な駆動回路を用いれば同様な効果が得られる。

【0040】

《実施の形態 2》

図 3 は本発明に係る実施の形態 2 のスイッチング電源装置の構成を示す回路図である。実施の形態 2 において前述の実施の形態 1 と同じ機能、構成を有するものには同じ符号を付す。

【0041】

図 3 において、入力直流電源 1 は商用電源を整流平滑する回路もしくは電池で構成され、入力端子 2 a, 2 b に接続されている。第 1 のスイッチング素子 3 及び第 2 のスイッチング素子 4 はそれぞれ M O S F E T で構成されており、第 1 のスイッチング素子 3 と第 2 のスイッチング素子 4 の直列回路は入力端子 2 a, 2 b に接続されている。第 1 のスイッチング素子 3 と第 2 のスイッチング素子 4 は、第 1 のドライブ回路 5 6 及び第 2 のドライブ回路 5 7 により交互にオンオフ駆動される。同様に、第 3 のスイッチング素子 5 及び第 4 のスイッチング素子 6 はそれぞれ M O S F E T で構成されており、第 3 のスイッチング素子 5 と第 4 のスイッチング素子 6 の直列回路は入力端子 2 a, 2 b に接続されている。第 3 のスイッチング素子 5 と第 4 のスイッチング素子 6 は第 3 のドライブ回路 5 8 及び第 4 のドライブ回路 5 9 により交互にオンオフ駆動される。

【0042】

トランス 7 0 は、1 次巻線 7 0 a と第 1 の 2 次巻線 7 0 b と第 2 の 2 次巻線 7 0 c を有している。1 次巻線 7 0 a の一端は第 1 のスイッチング素子 3 と第 2 のスイッチング素子 4 との接続点に接続されており、1 次巻線 7 0 a の他端は第 3 のスイッチング素子 5 と第 4 のスイッチング素子 6 との接続点に接続されている。トランス 7 0 の第 1 の 2 次巻線 7 0 b と第 2 の 2 次巻線 7 0 c は直列に接続されており、トランス 7 0 の第 1 の 2 次巻線 7 0 b と第 2 の 2 次巻線 7 0 c の接続点はインダクタンス素子 1 0 の一端に接続されている。

【0043】

第 1 の同期整流素子 8 及び第 2 の同期整流素子 9 は、M O S F E T によりそれぞれ構成されている。第 1 の同期整流素子 8 と第 2 の同期整流素子 9 の各ソース端子は互いに接続されており、第 1 の同期整流素子 8 のドレイン端子は第 2 の 2 次巻線 7 0 c に、第 2 の同期整流素子 9 のドレイン端子は第 1 の 2 次巻線 7 0 b にそれぞれ接続されている。

【0044】

インダクタンス素子 1 0 と平滑コンデンサ 1 1 の直列回路の一端は、第 1 の同期整流素子

8と第2の同期整流素子9の各ソース端子の接続点に接続され、この直列回路の他端は、トランス70の第1の2次巻線70bと第2の2次巻線70cの接続点に接続されている。インダクタンス素子10と平滑コンデンサ11とにより、平滑回路が構成されている。平滑コンデンサ11の両端には安定した電力を出力する出力端子12a, 12bが設けられており、当該出力端子12a, 12bには電力を消費する負荷13が接続されている。

【0045】

PWM制御回路15は、フォトカプラ54からのフィードバック信号を基にしてPWM信号を発生する。第1のスイッチング素子3～第4のスイッチング素子6にそれぞれ接続された第1のドライブ回路56～第4のドライブ回路59は、PWM制御回路15から出力されたPWM信号VG1, VG2を基に第1のスイッチング素子3～第4のスイッチング素子6の駆動信号をそれぞれ出力する。

10

PWM制御回路15に接続されたインバータ17, 18は、PWM制御回路15から出力されるPWM信号VG1, VG2をそれぞれ反転する。第1のドライブ回路56～第4のドライブ回路59は、後で示す前記第1のスイッチング素子3～第4のスイッチング素子6のゼロ電圧ターンオンを実現するために若干ターンオンのタイミングを遅らすように調整されている。

【0046】

第3のスイッチング素子5の両端には、第1のコンデンサ31と第1の駆動トランス32の1次巻線32aの直列回路が接続されている。第1の駆動トランス32の2次巻線32bには第4のコンデンサ33と第3のダイオード34が直列に接続されている。

20

第1の同期整流素子8には第3のダイオード34がその印加電圧により駆動されるよう接続されている。第3のダイオード34の両端に誘起される電圧により、第4のダイオード35を介して第5のコンデンサ36を充電する。

【0047】

第1のスイッチング素子3の両端には、第8のコンデンサ45と第2の駆動トランス46の1次巻線46aの直列回路が接続されている。第2の駆動トランス46の2次巻線46bには第9のコンデンサ47と第7のダイオード48が直列に接続されている。

第2の同期整流素子9には第7のダイオード48がその印加電圧により駆動されるよう接続されている。第7のダイオード48の両端に誘起される電圧により、第8のダイオード49を介して第5のコンデンサ36を充電する。

30

【0048】

出力端子12a, 12bの電圧は出力電圧検出回路300に入力されて検出され、PWM制御回路15へフィードバックされるよう構成されている。出力電圧検出回路300において、出力電圧は第1の検出抵抗50と第2の検出抵抗51により分割され、誤差増幅器53により基準電源52の基準電圧と比較されて増幅される。増幅された信号は制限抵抗55を介してフォトカプラ54へ入力されて、フォトカプラ54の入力電流が決定される。フォトカプラ54の出力電流によって、PWM制御回路15のPWM制御信号が調整される。以上のように構成された出力電圧検出回路300にフィードバック回路が構成され、出力電圧が安定化される。

【0049】

40

以上のように構成された実施の形態2のスイッチング電源装置について、図4の波形図を参照して、その動作を説明する。

図4において、(a)はPWM制御回路15から出力され第1のドライブ回路56を介して第1のスイッチング素子3を駆動するための駆動信号VG1Aを示しており、(b)はPWM制御回路15から出力され第3のドライブ回路58を介して第3のスイッチング素子5を駆動するための駆動信号VG3Aを示しており、駆動信号VG3AはPWM制御回路15から出力された駆動信号VG1Aの180度位相のずれた信号である。同様に、図4の(c)はPWM制御回路15から出力され第1の反転回路17と第2のドライブ回路57を介して第2のスイッチング素子4を駆動するための駆動信号VG2Aを示しており、(d)はPWM制御回路15から出力され第2の反転回路18と第4のドライブ回路5

50

9を介して第4のスイッチング素子6を駆動するための駆動信号VG4Aを示しており、駆動信号VG4AはPWM制御回路15から出力された駆動信号VG2Aの180度位相のずれた信号である。第1のドライブ回路56から第4のドライブ回路59はターンオンのタイミングが入力に対して遅れるよう設定されている。駆動信号VG1A、VG2Aは第1のスイッチング素子3と第2のスイッチング素子4が同時にオフ状態となる期間を有するよう設定されている。また、駆動信号VG3A、VG4Aは第3のスイッチング素子5と第4のスイッチング素子6が同時にオフ状態となる期間を有するよう設定されている。図4に示した駆動信号VG1A、VG2A、VG3A及びVG4Aは、第1のドライブ回路56から第4のドライブ回路59の各ドライブ回路から出力された信号を示している。

10

【0050】

図4において、(e)は第2のスイッチング素子4の印加電圧波形VD2を示しており、(f)は第4のスイッチング素子6の印加電圧波形VD4を示しており、(g)はトランス70の1次巻線70aを流れる電流波形Ipを示している。また、図4において、(h)は第1のスイッチング素子3の印加電圧VD1を示し、(i)は第1の駆動トランス32の1次巻線32aの電圧波形VTを示し、(j)は第1の同期整流素子8の駆動電圧波形VSG1を示し、(k)は第1の駆動トランス32の1次巻線32aの電流波形Itを示し、そして(l)は第2の同期整流素子9の駆動電圧波形VSG2を示している。

【0051】

実施の形態2において前述の実施の形態1と異なる点は、第1の駆動トランス32の入力が第3のスイッチング素子5から得られており、第2の駆動トランス46の入力が第1のスイッチング素子3から得られている。また、トランス70の励磁インダクタンスと漏れインダクタンスに、第1の駆動トランス32と第2の駆動トランス46を介して、第1の同期整流素子8と第2の同期整流素子9のゲート容量が放電できるよう構成されている点である。

20

【0052】

以上のように構成された実施の形態2のスイッチング電源装置について、図4の波形図を参照して、その動作を説明する。

PWM制御回路15のPWM信号VG1の信号が第1のドライブ回路56を介して第1のスイッチング素子3に入力され第1のスイッチング素子3がオン状態となると、オン状態である第4のスイッチング素子6を通してトランス70の1次巻線70aに入力電圧が印加される。このとき、トランス70には漏れインダクタンスと励磁インダクタンスにエネルギーが蓄積される。同時に、第1の駆動トランス32の1次巻線32aと第3のコンデンサ31の直列回路に入力電圧が印加され、第2の駆動トランス46の1次巻線46aと第8のコンデンサ45の直列回路の入力が短絡される。

30

【0053】

第3のコンデンサ31と第8のコンデンサ45は、第3のスイッチング素子5と第1のスイッチング素子3のそれぞれに印加される電圧の直流成分を保持し、交流成分のみを第1の駆動トランス32の1次巻線32aと第2の駆動トランス46の1次巻線46aに印加する。

40

第1の駆動トランス32の2次巻線32bに接続されている第4のコンデンサ33には、第1の駆動トランス32の2次巻線32bに負電圧が発生した時、第3のダイオード34を通して充電される。同様に、第2の駆動トランス46の2次巻線46bに接続されている第9のコンデンサ47には、第2の駆動トランス46の2次巻線46bに負電圧が発生した時、第7のダイオード48を通して充電される。

【0054】

第1のスイッチング素子3と第3のスイッチング素子5の印加電圧の最小値はゼロであるので、第3のコンデンサ31と第4のコンデンサ33の印加電圧および第8のコンデンサ45と第9のコンデンサ47の印加電圧は、第1の駆動トランス32と第2の駆動トランス46の巻数比に比例した電圧(巻数比が1:1の時は同電圧)になる。したがって、第

50

3のダイオード34に発生する電圧、即ち第1の同期整流素子8に印加される電圧は、第3のスイッチング素子5の印加電圧と相似波形になる。第1の駆動トランス32の巻数比を適切に選ぶことにより、第1の同期整流素子8の駆動電圧を所望の値に設定できる。同様に、第2の同期整流素子9に印加される電圧は第1のスイッチング素子3に印加される電圧と相似波形になり、第2の駆動トランス46の巻数比を適切に選ぶことにより、第2の同期整流素子9を所望の値に駆動可能となる。

【0055】

以上のように、第1のスイッチング素子3と第4のスイッチング素子6がオン状態となると、第3のスイッチング素子5に入力電圧が印加され、第1の同期整流素子8のゲートにターンオン信号が発生し、第1の同期整流素子8はオン状態になる。このとき、第1のスイッチング素子3の印加電圧はゼロであるので第2の同期整流素子9の駆動電圧はゼロになり、第2の同期整流素子9はオフ状態となる。

トランス70の1次巻線70aに入力電圧が印加されると、トランス70の2次巻線70b, 70cにもトランス70の巻数比に応じた電圧が発生し、オン状態である第1の同期整流素子8を通して、インダクタンス素子10と平滑コンデンサ11の直列回路に電圧が印加される。

【0056】

図4の時刻T1において、PWM制御回路15からのPWM信号のオフ信号（駆動信号VG1A）により第1のスイッチング素子3がオフ状態となると、トランス70の漏れインダクタンスの影響によりトランス70の1次巻線70aの電流は連続になるので、第2の駆動トランス46を介して、第2の同期整流素子9のゲート電圧を充電する。そして、第2のスイッチング素子4の両端電圧が低下してゼロになった時、第2のスイッチング素子4のボディダイオードがオン状態となる。同時に、第1の反転回路である第1のインバータ17によりPWM波形が反転されて、第2のドライブ回路57により若干オン信号が遅らされて第2のスイッチング素子4をオン状態とする。このとき、遅れ時間を適切に設定することにより、第2の同期整流素子9の駆動電圧を十分に上昇させた後に第2のスイッチング素子4をオン状態とすることができる。このとき、トランス70の1次巻線70aの電圧はゼロであり、トランス70に蓄積されたエネルギーは保持される。トランス70の2次巻線70b, 70cに発生する電圧はゼロになり、トランス70に蓄積されたエネルギーを連続にするようにオン状態である第1の同期整流素子8と第2の同期整流素子9を介して、インダクタンス素子10を流れる電流がトランス70の第1の2次巻線70bと第2の2次巻線70cを分割して流れる。このとき、インダクタンス素子10と平滑コンデンサ11の印加電圧はゼロになる。

【0057】

時刻T2において、PWM制御回路15からのPWM信号のオフ信号が第4のドライブ回路59を介して駆動信号VG4Aが入力され、第4のスイッチング素子6をオフ状態とすると、トランス70に蓄積されていたエネルギーにより第1の駆動トランス32を介して第1の同期整流素子8のゲート電荷が放電される。

この放電電流はオン状態である第2のスイッチング素子4を介して入力電圧に回生される。このとき、第4のスイッチング素子6の印加電圧は上昇し、第3のスイッチング素子5の印加電圧がゼロになると、第3のスイッチング素子5のボディダイオードがオン状態となる。PWM制御回路15からのPWM信号のオン信号により第3のドライブ回路58を介して遅延されたオン信号（駆動信号VG3A）が第3のスイッチング素子5に印加されると、第3のスイッチング素子5はオン状態になる。このとき、遅延時間を、第1の同期整流素子8の駆動電圧が十分に低下してからオン状態となるように設定することにより、第1の同期整流素子8の放電電流を入力側に回生することが可能になる。

【0058】

第3のスイッチング素子5がオン状態となるとオン状態である第2のスイッチング素子4を介して、トランス70の1次巻線70aに入力電圧が逆向きに印加される。このとき、第1の同期整流素子8はオフ状態であるが、内蔵するボディダイオードを引き続き電流が

10

20

30

40

50

流れる。トランス70の1次巻線70aに入力電圧が逆向きに印加されると、トランス70の1次巻線70aの電流は急激に減少する。インダクタンス素子10の電流に相当する電流が供給されると、第1の同期整流素子8のボディダイオードはオフ状態となるので、トランス70の2次巻線70b, 70cに電圧が発生し、オン状態である第2の同期整流素子9を介して、インダクタンス素子10と平滑コンデンサ11の直列回路に電圧が印加される。この結果、トランス70の漏れインダクタンスと励磁インダクタンスに逆向きのエネルギーが蓄積される。

【0059】

時刻T3において、PWM制御回路15からのPWM信号のオフ信号により第3のスイッチング素子5がオフ状態となるとトランス70の漏れインダクタンスの影響によりトランス70の1次巻線70aの電流は連続になるので、第1の駆動トランス32を介して、第1の同期整流素子8のゲート電圧を充電し、第4のスイッチング素子6の両端電圧が低下してゼロになった時、第4のスイッチング素子6のボディダイオードをオン状態とする。同時に、第2の反転回路である第2のインバータ18によりPWM波形が反転されて、第4のドライブ回路59により若干オン信号が遅らされて第4のスイッチング素子6をオン状態とする。この時、遅れ時間を適切に設定することにより、第1の同期整流素子8の駆動電圧を十分に上昇させた後に第4のスイッチング素子6をオン状態とすることができる。このとき、トランス70の1次巻線70aの電圧はゼロであり、トランス70に蓄積されたエネルギーは保持される。トランス70の2次巻線70b, 70cに発生する電圧はゼロになる。そして、トランス70の蓄積されたエネルギーを連続にするように、オン状態である第1の同期整流素子8と第2の同期整流素子9を介して、インダクタンス素子10を流れる電流は、トランス70の第1の2次巻線70bと第2の2次巻線70cを分割して流れる。このとき、インダクタンス素子10と平滑コンデンサ11の印加電圧はゼロになる。

【0060】

時刻T4において、PWM制御回路15からのPWM信号のオフ信号により第2のドライブ回路57を介して、第2のスイッチング素子4がオフ状態となるとトランス70に蓄積されていたエネルギーにより第2の駆動トランス46を介して第2の同期整流素子9のゲート電荷が放電される。この放電電流は、オン状態である第4のスイッチング素子6を介して入力電圧に回生される。このとき、第2のスイッチング素子4の印加電圧は上昇し、第1のスイッチング素子3の印加電圧がゼロになると第1のスイッチング素子3のボディダイオードがオン状態となる。

PWM制御回路15からのPWM信号のオン信号により第1のドライブ回路56を介して遅延されたオン信号が第1のスイッチング素子3に印加されると第1のスイッチング素子3はオン状態となる。このとき、遅延時間を第2の同期整流素子9の駆動電圧が十分に低下してから第1のスイッチング素子3がオン状態となるように設定することにより、第2の同期整流素子9の放電電流を入力側に回生することが可能になる。

第1のスイッチング素子3がオン状態となると、オン状態である第4のスイッチング素子6を介して、トランス70の1次巻線70aに入力電圧が逆向きに印加される。このとき、第2の同期整流素子9はオフ状態であるが、内蔵するボディダイオードには引き続き電流が流れる。トランス70の1次巻線70aに入力電圧が印加されると、トランス70の1次巻線70aの電流は急激に増加し、インダクタンス素子10の電流に相当する電流が供給される。この結果、第2の同期整流素子9のボディダイオードはオフ状態となるので。トランス70の2次巻線70b, 70cに電圧が発生し、オン状態である第1の同期整流素子8を介して、インダクタンス素子10と平滑コンデンサ11の直列回路に電圧が印加される。この結果、トランス70の漏れインダクタンスと励磁インダクタンスにエネルギーが蓄積される。

【0061】

実施の形態2のスイッチング電源装置において、上記のオンオフ動作が繰り返される。PWM制御回路15から出力される制御されたPWM信号により、インダクタンス素子10

10

20

30

40

50

と平滑コンデンサ 11 の直列回路に印加される期間が変動し、出力電圧の制御が可能である。

以上のように、実施の形態 2 における第 1 の同期整流素子 8 と第 2 の同期整流素子 9 の各ゲート容量の充放電に用いたエネルギーは、逐次入力電圧に回生することができる構成であるため、駆動損失をほぼゼロにすることが可能となる。

したがって、本発明の実施の形態 2 によれば、高効率なスイッチング電源装置を構成でき、損失も小さくできるので放熱構造が不要となり小型化も可能となる。さらに、実施の形態 2 の構成においては、第 1 のスイッチング素子 3 から第 4 のスイッチング素子 6 の寄生容量の充放電動作がトランス 70 のエネルギー保持能力により可能であり、ターンオン直前にそれらの寄生容量の放電を行い、スイッチング損失を小さくすることが可能である。

10

【0062】

実施の形態 2 においては、トランス 70 に蓄えられるエネルギーを第 1 の同期整流素子 8 と第 2 の同期整流素子 9 の各ゲートの充放電に用いる構成であるため、比較的大きなエネルギーを容易に得ることが可能であり、第 1 の駆動トランス 32 と第 2 の駆動トランス 46 にはエネルギーを蓄積する必要がない。

【0063】

なお、上記実施の形態 2 においては、第 1 のスイッチング素子 3 と第 3 のスイッチング素子 5 の印加電圧を基にして、第 1 の同期整流素子 8 と第 2 の同期整流素子 9 のオンオフ制御を行う構成であったが、第 2 のスイッチング素子 4 と第 4 のスイッチング素子 6 の印加電圧を基にし、第 1 の駆動トランス 32 と第 2 の駆動トランス 46 の極性を入れ替えることにより、上記実施の形態 2 のスイッチング電源装置の動作と全く同じ動作を行うことができる。

20

【0064】

実施の形態 2 においては、フルブリッジコンバータをベースにして動作の説明を行ったが、本発明はこのような構成に限定されるものではない。例えば、トランスを短絡する回路を付加した、ハーフブリッジコンバータ及びプッシュプルコンバータを用いても、上記の実施の形態 1、2 と同様な動作が可能である。このような構成の場合には、トランスを短絡する回路として、図 3 に示した第 2 のスイッチング素子 4 と第 4 のスイッチング素子 5 のオンオフ動作のタイミングに相当する 2 つのスイッチによる直列回路を用いて構成し、それぞれの 2 つスイッチに印加される電圧の反転信号により同期整流素子を駆動する。このように構成することにより実施の形態 2 のスイッチング電源装置と同様の効果が得られる。

30

なお、本発明は、ブリッジコンバータやプッシュプルコンバータに限らずトランスにエネルギーを蓄積し、その蓄積したエネルギーを用いて、微小な休止期間を有してオンオフ動作を繰り返すよう構成された 2 つ以上のスイッチング素子の寄生容量の充放電が行うことができる回路に適用することで、駆動トランスにより同期整流素子のゲート駆動を無損失で行うことができるのは言うまでもない。

【0065】

【発明の効果】

以上、実施の形態について詳細に説明したところから明らかなように、本発明のスイッチング電源装置は次の効果を有する。

40

本発明によれば、同期整流素子のゲートの充放電を無損失で行いつつ、安定して電圧供給を行い、同期整流の効果をも十分に発揮させることができる効率の高いスイッチング電源装置を提供することができる。

本発明のスイッチング電源装置においては、同期整流素子のゲート容量の充放電に用いたエネルギーが逐次入力電圧に回生されるよう構成されているため、駆動損失を実質的にゼロにすることができる。したがって、本発明によれば、高効率なスイッチング電源を構成でき、損失も小さくすることができるため、放熱構造が不要となり小型化を達成することができる。

さらに、本発明のスイッチング電源装置においては、第 1 のスイッチング素子から 4 のス

50

スイッチング素子の寄生容量の充放電をトランスにおいて行うことができ、ターンオン直前にそれらの寄生容量の放電を行ってスイッチング損失を小さくすることができる。

【図面の簡単な説明】

【図 1】本発明に係る実施の形態 1 のスイッチング電源装置の構成を示す回路図である。

【図 2】本発明の実施の形態 1 のスイッチング電源装置における動作を示す波形図である。

。

【図 3】本発明に係る実施の形態 2 のスイッチング電源装置の構成を示す回路図である。

【図 4】本発明の実施の形態 2 のスイッチング電源装置における動作を示す波形図である。

。

【図 5】従来のスイッチング電源装置の構成を示す回路図である。

10

【図 6】図 5 のスイッチング電源装置における動作を示す波形図である。

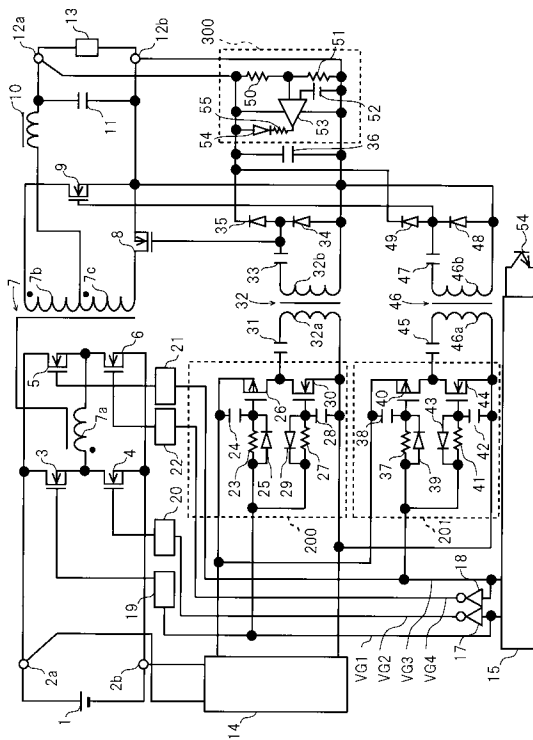
【符号の説明】

- | | | |
|-----------|------------------|----|
| 1 | 入力直流電源 | |
| 2 a、2 b | 入力端子 | |
| 3 | 第 1 のスイッチング素子 | |
| 4 | 第 2 のスイッチング素子 | |
| 5 | 第 3 のスイッチング素子 | |
| 6 | 第 4 のスイッチング素子 | |
| 7 | トランス | |
| 8 | 第 1 の同期整流素子 | 20 |
| 9 | 第 2 の同期整流素子 | |
| 10 | インダクタンス素子 | |
| 11 | 平滑コンデンサ | |
| 12 a、12 b | 出力端子 | |
| 13 | 負荷 | |
| 14 | 補助電源 | |
| 15 | PWM制御回路 | |
| 17 | 第 1 のインバータ | |
| 18 | 第 2 のインバータ | |
| 19 | 第 1 のドライブ回路 | 30 |
| 20 | 第 2 のドライブ回路 | |
| 21 | 第 3 のドライブ回路 | |
| 22 | 第 4 のドライブ回路 | |
| 23 | 第 1 の抵抗 | |
| 24 | 第 1 のコンデンサ | |
| 25 | 第 1 のダイオード | |
| 26 | 第 1 の p チャネル FET | |
| 27 | 第 2 の抵抗 | |
| 28 | 第 2 のコンデンサ | |
| 29 | 第 2 のダイオード | 40 |
| 30 | 第 1 の n チャネル FET | |
| 31 | 第 3 のコンデンサ | |
| 32 | 第 1 の駆動トランス | |
| 33 | 第 4 のコンデンサ | |
| 34 | 第 3 のダイオード | |
| 35 | 第 4 のダイオード | |
| 36 | 第 5 のコンデンサ | |
| 37 | 第 3 の抵抗 | |
| 38 | 第 6 のコンデンサ | |
| 39 | 第 5 のダイオード | 50 |

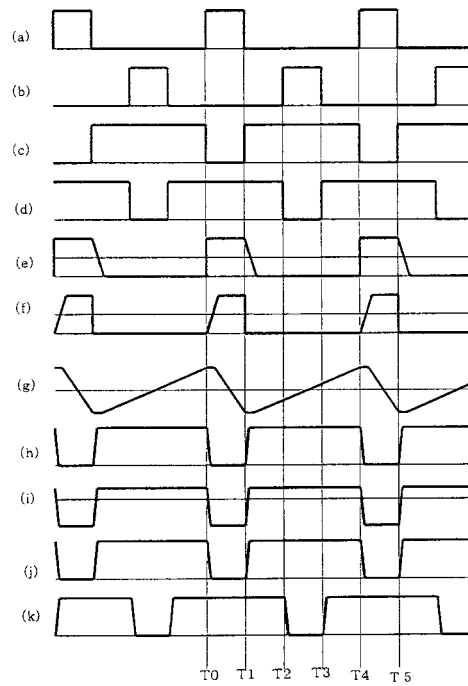
- 40 第2のpチャンネルFET
- 41 第4の抵抗
- 42 第7のコンデンサ
- 43 第6のダイオード
- 44 第2のnチャンネルFET
- 45 第8のコンデンサ
- 46 第2の駆動トランス
- 47 第9のコンデンサ
- 48 第7のダイオード
- 49 第8のダイオード
- 50 第1の検出抵抗
- 51 第2の検出抵抗
- 52 基準電源
- 53 誤差増幅器
- 54 フォトカプラ
- 55 制限抵抗

10

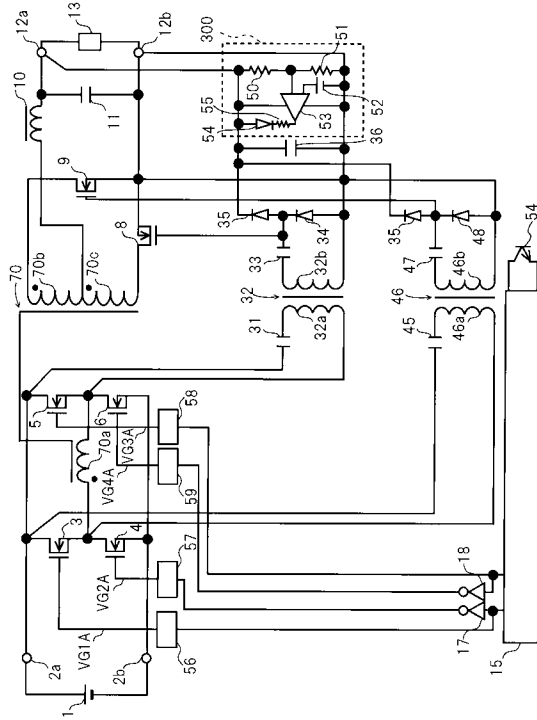
【図1】



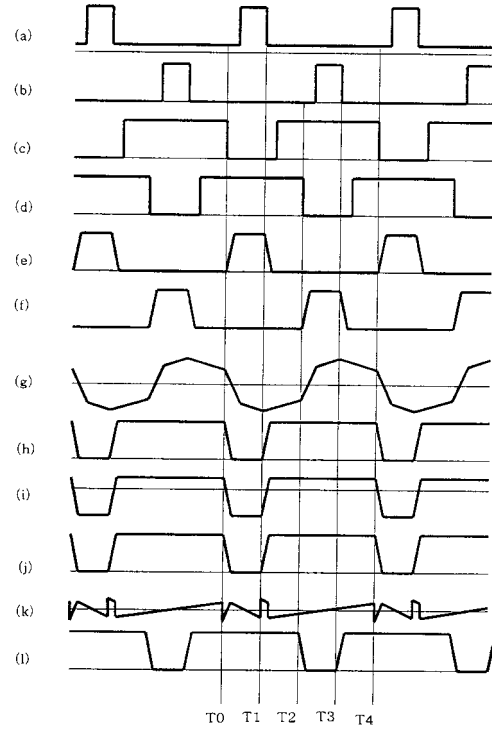
【図2】



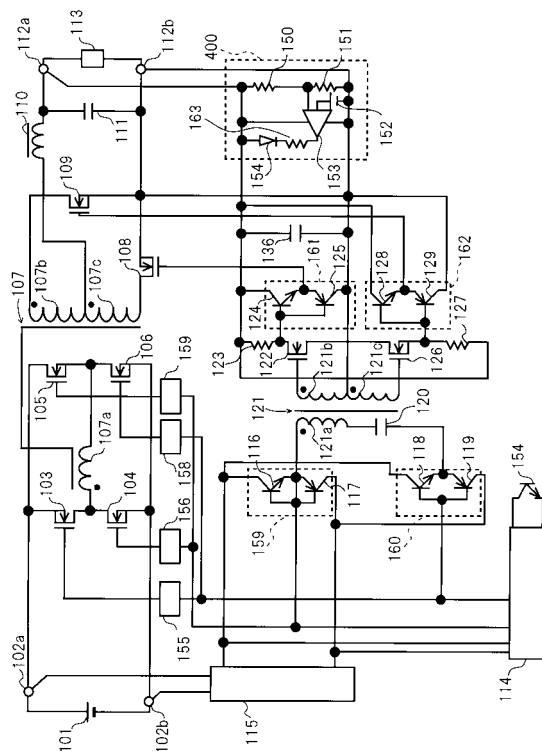
【図 3】



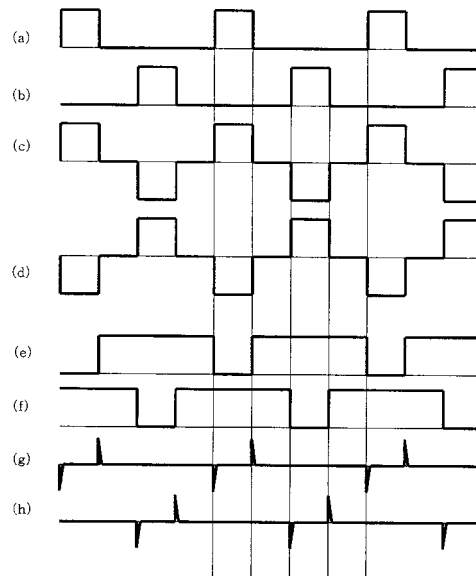
【図 4】



【図 5】



【図 6】



フロントページの続き

- (72)発明者 松尾 光洋
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 池田 敏
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 竹島 由浩
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 櫻田 正紀

- (56)参考文献 特開2000-224848 (JP, A)
国際公開第01/026209 (WO, A1)
特開平11-332233 (JP, A)
米国特許第06111769 (US, A)
国際公開第01/033709 (WO, A1)
特開2000-262051 (JP, A)
特開2000-184707 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/00-3/44