201727832

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201727832 A

(43)公開日： 中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：105134567 (22)申請日： 中華民國 105 (2016) 年 10 月 26 日

(51)Int. Cl.： *H01L21/8238(2006.01)* *H01L27/092 (2006.01)*
H01L29/66 (2006.01) *H01L29/78 (2006.01)*

(30)優先權：2015/10/30 美國 14/928,449

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD. (TW)
新竹市新竹科學工業園區力行六路 8 號

(72)發明人：江宏禮 CHIANG, HUNG LI (TW)；葉致鍇 YEH, CHIH CHIEH (TW)；彭成毅 PENG, CHENG YI (TW)；陳自強 CHEN, TZU CHIANG (TW)；楊育佳 YEO, YEE-CHIA (SG)

(74)代理人：李世章；秦建譜

申請實體審查：無 申請專利範圍項數：1 項 圖式數：2 共 35 頁

(54)名稱

半導體裝置

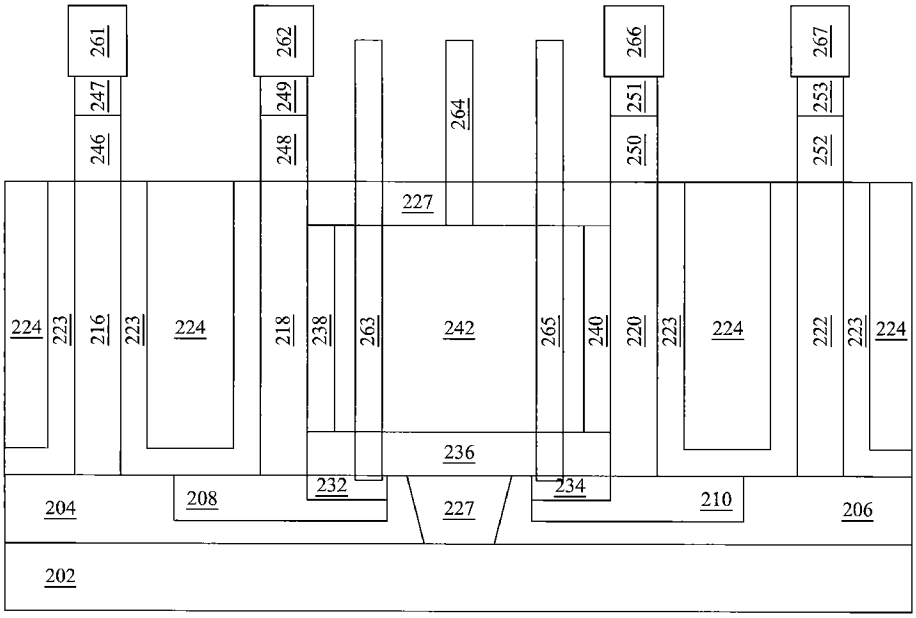
SEMICONDUCTOR DEVICES

(57)摘要

一種半導體裝置，包含 N 型垂直式場效電晶體和 P 型垂直式場效電晶體。N 型垂直式場效電晶體包含：第一垂直條狀結構配置於基板上方，且包含第一側壁和第二側壁；閘極沿第一垂直條狀結構的第一側壁配置；第二垂直條狀結構電性耦接至第一垂直條狀結構；以及第二源極/汲極特徵配置於第一垂直條狀結構上方。P 型垂直式場效電晶體包含：第三垂直條狀結構配置於基板上且包含第三側壁和第四側壁；閘極沿第三垂直條狀結構的第三側壁配置；第四垂直條狀結構電性耦接至第三垂直條狀結構；以及第四源極/汲極特徵配置於第三垂直條狀結構上方。

A semiconductor device includes an n-type vertical field-effect transistor (FET) that includes: a first source/drain feature disposed in a substrate; a first vertical bar structure that includes a first sidewall and a second sidewall disposed over the substrate; a gate disposed along the first sidewall of the first vertical bar structure; a second vertical bar structure electrically coupled to the first vertical bar structure; and a second source/drain feature disposed over the first vertical bar structure; and a p-type FET that includes; a third source/drain feature disposed in the substrate; a third vertical bar structure that includes a third sidewall and a fourth sidewall disposed over the substrate; the gate disposed along the third sidewall of the third vertical bar structure; a fourth vertical bar structure electrically coupled to the third vertical bar structure; and a fourth source/drain feature disposed over the third vertical bar structure.

指定代表圖：



第 2O 圖

符號簡單說明：

202・・・基板

204・・・n 型井

206・・・p 型井

208・・・p 型區域、源極/汲極特徵

210・・・n 型區域、源極/汲極特徵

216、218、220、222・・・垂直條狀物

223、224・・・介電層

227・・・淺溝槽隔離、層間介電層

232、234・・・矽化物層

236・・・介電層

238、240・・・高介電常數介電材料層

242・・・導電層

246・・・磊晶生長部分

247・・・矽化物

248・・・源極/汲極特徵、磊晶生長部分

249・・・矽化物

250・・・源極/汲極特徵、磊晶生長部分

251・・・矽化物

252・・・磊晶生長部分

253・・・矽化物

261、262、263、264、265、266、267・・・接觸

201727832

申請案號：105134567　　申請日：105/10/26

201727832

IPC分類：H01L 21/8238 (2006.01)
H01L 27/092 (2006.01)
H01L 29/66 (2006.01)
H01L 29/78 (2006.01)

【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICES

【中文】

一種半導體裝置，包含N型垂直式場效電晶體和P型垂直式場效電晶體。N型垂直式場效電晶體包含：第一垂直條狀結構配置於基板上方，且包含第一側壁和第二側壁；閘極沿第一垂直條狀結構的第一側壁配置；第二垂直條狀結構電性耦接至第一垂直條狀結構；以及第二源極/汲極特徵配置於第一垂直條狀結構上方。P型垂直式場效電晶體包含：第三垂直條狀結構配置於基板上且包含第三側壁和第四側壁；閘極沿第三垂直條狀結構的第三側壁配置；第四垂直條狀結構電性耦接至第三垂直條狀結構；以及第四源極/汲極特徵配置於第三垂直條狀結構上方。

【英文】

A semiconductor device includes an n-type vertical field-effect transistor (FET) that includes: a first source/drain feature disposed in a substrate; a first vertical bar structure that includes a first sidewall and a second sidewall disposed over the substrate; a gate disposed along the first sidewall of the first vertical bar structure; a second vertical bar structure electrically coupled to the first vertical bar structure; and a second source/drain feature disposed over the first vertical bar

structure; and a p-type FET that includes; a third source/drain feature disposed in the substrate; a third vertical bar structure that includes a third sidewall and a fourth sidewall disposed over the substrate; the gate disposed along the third sidewall of the third vertical bar structure; a fourth vertical bar structure electrically coupled to the third vertical bar structure; and a fourth source/drain feature disposed over the third vertical bar structure.

【指定代表圖】第2O圖

【代表圖之符號簡單說明】

202 基板

204 n型井

206 p型井

208 p型區域、源極/汲極特徵

210 n型區域、源極/汲極特徵

216、218、220、222 垂直條狀物

223、224 介電層

227 淺溝槽隔離、層間介電層

232、234 矽化物層

236 介電層

238、240 高介電常數介電材料層

242 導電層

246 磊晶生長部分

247 矽化物

248 源極/汲極特徵、磊晶生長部分

249 矽化物

250 源極/汲極特徵、磊晶生長部分

251 矽化物

252 磊晶生長部分

253 矽化物

261、262、263、264、265、266、267 接觸

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICES

【技術領域】

【0001】 本揭露內容實施例係有關一種半導體裝置。

【先前技術】

【0002】 半導體積體電路產業在過去幾十年經歷快速發展。在半導體材料和設計技術上的進步使產業能製造更細小和更複雜的電路。因爲加工和製造相關的技術也經歷了技術上的進步使材料和設計技術也能進步。在半導體演進過程中，隨著能可靠地生產的最小元件的尺寸減少，單位面積中的互聯裝置數量不斷增加。

【0003】 半導體積體電路產業經歷大量的發展，努力延續微縮的過程中，其中一項發展是使用垂直式場效電晶體來取代或補強傳統的平面式金屬氧化物半導體場效電晶體(metal-oxide-semiconductor field-effect transistor, MOSFET)。然而，現存垂直式場效電晶體在各方面都尚未令人滿意。

【發明內容】

【0004】 根據本揭露內容之多個實施方式，係提供一種半導體裝置，包含第一垂直條狀結構，配置於一基板上方，其中第一垂直條狀結構包含第一側壁及相對的第二側壁。第一閘極特徵，沿第一第一垂直條狀結構的第一側壁配置而使第一閘極特徵電性

耦接至第一垂直條狀結構。第二垂直條狀結構，配置於基板上方，其中第二垂直條狀結構電性耦接至第一垂直條狀結構並作爲一第二閘極特徵。第一源極/汲極特徵，配置於第一垂直條狀結構下方的基板中；以及第二源極/汲極特徵，配置於第一垂直條狀結構的上方。

【0005】 爲使本揭露內容之上述及其他目的、特徵和優點更明顯易懂，下文特舉出較佳實施例，並配合所附圖示詳細說明如下。

【圖式簡單說明】

【0006】 由下文之詳細說明並同時參照附圖能夠最適當地理解本揭示內容之態樣。應注意，依據工業中之標準實務，多個特徵並未按比例繪製。實際上，多個特徵之尺寸可任意增大或縮小，以便使論述明晰。

第1圖係根據本揭露內容的各種實施方式之製造半導體裝置的方法之流程圖，其中半導體裝置包含兩個垂直式場效電晶體，各垂直式場效電晶體具有兩個垂直式閘極。

第2A、2B、2C、2D、2E、2F、2G、2H、2I、2J、2K、2L、2M、2N、2O圖係根據本揭露內容的各種實施方式之依照第1圖的方法，基板經歷各種製程形成半導體裝置的剖面示意圖。

對於該領域中具有通常知識者，以上簡述的圖式揭露的各種特徵，搭配下面的描述來閱讀會更容易理解。對於在兩個以上的圖式中出現的特徵，在此使用相同的辨識符號使敘述更加清楚。

【實施方式】

【0007】 以下揭示內容提供眾多不同的實施例或實例以用於實施本揭露內容之不同特徵。下文中描述組件及排列之特定實例以簡化本揭示內容。此等組件及排列當然僅爲例示實施例，且不意欲進行限制。例如，在下文之描述中，第一特徵形成在第二特徵上方或之上可包含其中第一特徵與第二特徵以直接接觸方式形成的實施例，且亦可包含其中在第一特徵與第二特徵之間形成額外特徵而使得第一特徵與第二特徵必非直接接觸之實施例。此外，本揭示內容在多個實例中使用重複的元件符號及/或字母。此重複是爲了簡化及清楚之目的，而非意指所論述的各個實施例及/或構造之間的關係。

【0008】 第1圖是形成半導體裝置200的方法100的流程圖，半導體裝置200包含垂直式N型場效電晶體(N-type field-effect transistor, NFET)及垂直式P型場效電晶體(P-type field-effect transistor, PFET)，而且根據本揭露內容的各種態樣，在一種或多種的實施方式中各電晶體包含至少兩個閘極。方法100係參照第1圖來描述，並結合第2A、2B、2C、2D、2E、2F、2G、2H、2I、2J、2K、2L、2M、2N以及2O圖。第2A-2O圖是根據某些實施方式使用方法100形成的半導體裝置200之剖面示意圖。可理解的是可以在方法100之前、期間或/及之後提供額外的步驟，而且這裡描述的某些步驟可以被替換、消除或/及移動而用於方法100的附加實施方式中。

【0009】 請參照第1圖和第2A圖，方法100起始於操作102，提供基板202。在某些實施方式中，基板202可爲半導體基板，例

如矽基板。基板202可包含各種層，包含形成導電或絕緣層於半導體基板上。基板202可包含依照本領域中習知的設計需求的各種摻雜配置。例如，在第2A圖繪示的實施方式中，在用於不同裝置種類而設計的區域(例如用於P型場效電晶體(PFET)的n型井204和用於N型場效電晶體(PFET)的p型井206)中，不同的摻雜分佈(也就是n型井204和p型井206)可形成於基板202上。適當的摻雜可包含摻質的離子佈植或/及擴散製程。基板202可包含至少一隔離特徵(例如，淺溝槽隔離(shallow trench isolation, STI)特徵)分隔出不同裝置類型的區域。在某些實施方式中，基板202也可包含其他半導體，例如鍺(Ge)、碳化矽(SiC)、鍺化矽(SiGe)或鑽石。可替換地，基板202可包含化合物半導體或/及合金半導體。此外，基板202可選擇性地包含磊晶層(epitaxial layer)，磊晶層可具有應變以增強效能，基板202可包含絕緣層上覆矽(silicon-on-insulator, SOI)結構，或/及基板202具有其他適當的強化特徵。

【0010】 現請參照第1圖和第2B圖，方法100進行到操作104，形成源極/汲極特徵於n型井204和p型井206內。在第2B圖繪示的實施方式中，p型區域208形成於n型井204中，而且n型區域210形成於p型井206中。如此形成的p型區域208和n型區域210可被使用於形成作爲設計裝置類型的源極/汲極特徵。例如，p型區域208可用於之後形成的p型場效電晶體的源極/汲極特徵，而且n型區域210可用於之後形成的n型場效電晶體的源極/汲極特徵。在某些實施方式中，在磊晶製程期間，源極/汲極特徵208、210可被原處摻雜(in-situ doped)。例如，在某些實施方式中，p型源極/

汲極特徵208可使用硼或另一p型摻質摻雜，n型源極/汲極特徵210可使用磷或另一n型摻質來摻雜。在某些替代性的實施方式中，源極/汲極特徵208、210並非被原處摻雜，而是執行佈植製程摻雜源極/汲極特徵208、210。

【0011】 請參照第1圖和第2C圖，方法100進行到操作106，形成通道層211於基板202上方。在某些實施方式中，通道層211由和n型井204及p型井206相同的材料組成，例如矽。在其他實施方式中，通道層211由其他材料，例如鍺、鍺化矽或/及三五族化合物半導體材料組成。在某些特定的實施方式中，通道層211是磊晶生長的純矽層。形成通道層211的方法可包含使用分子束磊晶(molecular beam epitaxy, MBE)製程、金屬有機化學氣相沉積(metalorganic chemical vapor deposition, MOCVD)或/及其他適當的磊晶生長製程。

【0012】 更明確地，如第2C圖所示，操作106可包含形成p型通道層212和n型通道層214。這種p型通道層212和n型通道層214的形成可包含一系列的製程，例如，沉積硬遮罩/光阻於通道層211上方，使用圖案化製程(例如微影蝕刻製程)，使用蝕刻製程以及至少使用摻質佈植製程或/及擴散製程於各p型通道層212和n型通道層214。在某些實施方式中，使用和p型區域208相同的摻質(例如硼)佈植p型通道層212，且使用和n型區域210相同的摻質(例如磷)佈植n型通道層214。在其他實施方式中，使用和p型區域208不同的摻質佈植p型通道層212且使用和n型區域210不同的摻質佈植n型通道層214。此外，在p型通道層212中的p型摻質濃度可同於或不同於p型區域208中的p型摻質濃度。類似地，在n型通道

層214中的n型摻質濃度可相同於或不同於n型區域210中的n型摻質濃度。

【0013】 現參照第1、2D及2E圖，方法100進行到操作108，圖案化p型通道層212和n型通道層214以形成4個垂直條狀物(或柱子)216、218、220及222。形成垂直條狀物216-222包含經由圖案化遮罩層215(例如硬遮罩層)使用乾式蝕刻製程於p型通道層212和n型通道層214曝露出的部分(215a)。乾式蝕刻製程可包含電漿蝕刻製程，電漿蝕刻製程使用的蝕刻氣體爲CF_4、SF_6、Cl_2、O_2、其他蝕刻氣體或其組合。如圖所示，乾式蝕刻製程也爲選擇性蝕刻，蝕刻通道層211(例如p型通道層212和n型通道層214)而且使p型井206和n型井204保持完整。在一實例中，乾式蝕刻製程可移除約50-200 nm的通道層211。因此，在第2E圖繪示的實施方式中，垂直條狀物216-222可具有基本上較小的高度h_1，h_1介於約50-200 nm。此外，根據目前的實施方式，形成於n型井204上方的垂直條狀物216和218和彼此分隔，分隔的距離D_1基本上較小且不大於25 nm。類似地，形成於p型井206上方的垂直條狀物220和222和彼此分隔，分隔的距離D_2基本上較小且不大於25 nm。

【0014】 請參照第1圖和第2F圖，方法100進行到操作110，形成介電層223於垂直條狀物216-222和n型井204/ p型井206上方。在某些實施方式中，這樣的介電層223可被稱爲襯裡(liner)層，襯裡層用於保護垂直條狀物216-222的側壁/表面或/及源極/汲極特徵208、210的側壁/表面。介電層23的組成可包含一或多種介電材料，例如氮化矽、氧化矽、碳化矽、碳氧化矽(SiOC)、氮碳氧化矽(SiOCN)、或/及其組合。介電層223可包含單層或多層

結構。可藉由化學氧化、熱氧化、原子層沉積、化學氣相沉積或/及其他適當的方法形成介電層223。

【0015】 請參照第1圖和第2G及2H圖，方法100進行到操作112，形成隔離結構(例如淺溝槽隔離)以隔離P型場效電晶體280及N型場效電晶體290。在第2H圖繪示的實施方式中，P型場效電晶體280可包含垂直條狀物216及218、源極/汲極特徵208、n型井204以及其他將會於下文中敘述的特徵/元件；N型場效電晶體290可包含垂直條狀物220及222、源極/汲極特徵210、p型井206以及其他將會於下文中敘述的特徵/元件。

【0016】 繼續參照第2G及2H圖，形成淺溝槽隔離特徵可包含多項製程：沉積介電層225於基板上方，形成圖案化遮罩層227於介電層225上方，以及如第2H圖所示，使用圖案化遮罩層227作爲蝕刻遮罩而蝕刻n型井204和p型井206的一部份。在某些實施方式中，介電層225可由和介電層223不同的材料組成。在某些實施方式中，在形成溝槽229後，可移除介電層225及圖案化遮罩層227。蝕刻製程可爲乾式蝕刻製程，乾式蝕刻製程包含電漿蝕刻製程，電漿蝕刻製程使用CF_4、SF_6、Cl_2、O_2、其他氣體或/及其組合作爲蝕刻氣體。此外，形成淺溝槽隔離的蝕刻製程可爲選擇性蝕刻製程。也就是說，只有n型井204和p型井206的一部份會被蝕刻，而且底下的基板202保持完整。

【0017】 現請參照第2I圖，在形成溝槽229之後，可形成介電層224覆蓋P型場效電晶體280及N型場效電晶體290。形成介電層224可包含將溝槽229熱氧化，然後填充溝槽229並進一步延伸而覆蓋垂直條狀216-222。介電層224可包含例如氧化矽的介電層材

料。在某些實施方式中，介電層224由和介電層223不同的材料組成。此外，如圖所示，之後可使用平坦化製程(例如化學機械研磨(Chemical-Mechanical Polishing, CMP)製程)以形成實質上共平面的頂表面224a，垂直條狀216-222、沿著垂直條狀216-222側壁的介電層223和介電層224形成頂表面224a。

【0018】 請參照第1圖和第2J和2K圖，方法100進行到操作114，將垂直條狀218和220的側壁暴露出。請參照第2J圖，圖案化遮罩層230(例如硬遮罩層)形成於共平面的頂表面224a。圖案化遮罩層230包含開口231，開口231暴露出介電層223和介電層224的一部分。使用圖案化遮罩層230作爲蝕刻遮罩，經由開口231使用蝕刻製程於介電層223和224。

【0019】 如第2K圖繪示，蝕刻製程蝕刻沿著垂直條狀物218的側壁218'和垂直條狀物220的側壁220'的部分介電層223，且蝕刻垂直條狀物218和220之間的部分介電層224。這樣的蝕刻製程可爲乾式蝕刻製程，乾式蝕刻製程使用CF_4、SF_6、Cl_2、O_2或其他適合蝕刻介電材料的氣體作爲蝕刻氣體。此外，如第2K圖所示，在移除(蝕刻)沿著側壁218'和220'的介電層223和224之後，曝露出部分的源極/汲極特徵208和210，然後可形成淺溝槽隔離227。接著可分別形成矽化物層232及234於曝露出的源極/汲極特徵208和210上/中。形成矽化物層232及234可包含自我對準(self-aligned)矽化物製程、電子束蒸鍍製程、濺鍍製程或其組合。可以使用各種材料之一來形成金屬矽化物(silicide)層，例如，Pt、Pd、Co、或/及 Ti。

【0020】 現請參照第1和2L圖，方法100進行到操作116，形成用於P型場效電晶體280和N型場效電晶體290的主要閘極特徵243。如圖所示，主要閘極特徵243是P型場效電晶體280和N型場效電晶體290的一部分。也就是說，主要閘極特徵243從P型場效電晶體280延伸至N型場效電晶體290。在其他實施方式中，P型場效電晶體280和N型場效電晶體290各包含分離的主要閘極特徵。

【0021】 主要閘極特徵243(或共用閘極)包含介電層236、高介電常數(high-K)介電材料層238、高介電常數介電材料層240及導電層242，介電層236用於覆蓋矽化物層232、234或/及從閘極接觸(例如242)隔絕矽化物層232、234，高介電常數介電材料層238沿著至少一部分的垂直條狀物218的側壁218'延伸，高介電常數介電材料層240沿著至少一部分的垂直條狀物220的側壁220'延伸，導電層242形成於高介電常數介電層238、高介電常數介電層240及介電層236上方。在某些實施方式中，介電層236可由和介電層223、介電層224不同的材料(例如氮化矽)組成。在某些實施方式中，高介電常數介電材料具有高介電常數，例如，大於熱氧化矽的介電常數(約3.9)。高介電常數介電材料可包含HfO_2、ZrO_2、La_2O_3、Al_2O_3、TiO_2、氧化釔、鈦酸鍶、鉿氮氧化物(HfO_xN_y)、其他適當的金屬氧化物、或其組合。可使用原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)、遠距電漿增強化學氣相沉積(remote plasma CVD, RPCVD)、電漿增強化學氣相沉積(plasma enhanced CVD, PECVD)、金屬有機化學氣相沉積(metal organic CVD ,MOCVD)、濺鍍、其他適當的製程或其組合形成高介電常數介電材料層238/240。在某些實施方式中，可分

別形成高介電係數介電材料層238及240。關於導電層242，舉例來說，主要閘極特徵243的導電層242可包含Ti、Ag、Al、TiAlN、TaC、TaCN、TaSiN、Mn、Zr、TiN、TaN、Ru、Mo、Al、WN、Cu、W、Re、Ir、Co、Ni、其他適當的金屬材料或其組合。在各種實施方式中，可使用原子層沉積、物理氣相沉積、化學氣相沉積、電子束蒸鍍或其他適當的製程形成主要閘極特徵243的導電層242。此外，對於N型場效電晶體290和P型場效電晶體280，導電層242可分開地被形成，N型場效電晶體290和P型場效電晶體280可使用不同的導電層。

【0022】 現請參照第1和2M圖，方法100進行到操作118，形成用於P型場效電晶體280和N型場效電晶體290的背閘極(back gate)特徵。形成背閘極特徵包含沉積層間介電層(inter-layer dielectric, ILD)227且沉積圖案化遮罩層244；圖案化遮罩層244包含在基板和層間介電層227上方的開口244'；經由開口244'佈植P型場效電晶體280的垂直條狀物216；形成圖案化遮罩層244的另一開口244''。更明確地，佈植垂直條狀物216可包含使用和佈植源極/汲極特徵208相同的摻質(例如硼)進行離子佈植；佈植垂直條狀物222可包含使用和佈植源極/汲極210相同的摻質(例如磷)進行離子佈植。然而，使用於垂直條狀物 216/222的摻雜分佈可和分別使用於源極/汲極特徵208、210的摻雜分佈。在某些特定的實施方式中，使用於佈植垂直條狀物的摻雜濃度介於1×10^{18} cm^{-3} to 1×10^{20} cm^{-3}。在某些特定的實施方式中，摻雜後的垂直條狀物216可當作P型場效電晶體280的第二閘極(除了閘極特徵243以

外)，類似地，摻雜後的垂直條狀物222可當作N型場效電晶體290的第二閘極(除了閘極特徵243以外)。

【0023】 請參照第1和2N圖，方法100進行到操作120，形成用於P型場效電晶體280和N型場效電晶體290的源極/汲極特徵248、250。源極/汲極特徵248和250的形成可各包含在垂直條狀物218和垂直條狀物220的上部磊晶生長突起部分，使用對應的摻質(也就是說使用p型摻質於P型場效電晶體280的源極/汲極特徵248，而且使用n型摻質於N型場效電晶體290的源極/汲極特徵250)摻雜突起部分；並使用退火製程活化突起部分的摻質。根據當前的實施方式，在各背閘極特徵216和222上的磊晶生長部分(例如246和252)可和源極/汲極特徵248和250同時形成或在其之後形成。此外，在形成源極/汲極特徵248和250及背閘極特徵上的磊晶生長部分246和252，可在各磊晶生長部分246、248、250和252上形成矽化物。例如，矽化物247可形成於磊晶生長部分246上；矽化物249可形成於磊晶生長部分248上；矽化物251可形成於磊晶生長部分250上；矽化物253可形成於磊晶生長部分252上。矽化物247、249、251及253的形成可包含自我對準(self-aligned)矽化物製程、電子束蒸鍍製程、濺鍍製程或其組合。可使用各種材料之一形成矽化物層，例如Pt、Pd、Co或/及Ti。

【0024】 如上所述，第1圖中方法100的實施方式僅爲一實施例。可以省略或/及加入一或多個操作至方法100。在一實例中，方法100可包含更多的操作以形成用於各特徵的接觸結構。在第2O圖繪示的實施方式中，分別形成接觸或互連線(interconnection line)261、262、263、264、265、266和277電性耦接至已形成之

特徵。形成接觸261以電性耦接至P型場效電晶體280的背閘極特徵246和216。形成接觸262以電性耦接至P型場效電晶體280的源極/汲極特徵248；形成接觸263以電性耦接至P型場效電晶體280的源極/汲極特徵232和208；形成接觸264以電性耦接至P型場效電晶體280的主要閘極特徵242；形成接觸265以電性耦接至N型場效電晶體290的源極/汲極特徵特徵234、210；形成接觸266以電性耦接至N型場效電晶體290的源極/汲極特徵250；形成接觸267以電性耦接至N型場效電晶體290的背閘極特徵252、222。

【0025】 本揭露內容的實施方式提供結構和方法，其中使用第一垂直閘極和第二垂直閘極控制垂直式電晶體。第一垂直閘極可經由高介電常數介電材料層連接至通道區域(主動區域)，而且第二垂直閘極可經由介電材料層(非高介電常數材料)連接至通道區域並作爲垂直電晶體的背閘極。此外，爲了在調整垂直式電晶體的特性時提供更多彈性，例如調整臨界電壓、導電電阻，可個別摻雜第二垂直閘極。這樣形成的用於垂直式電晶體的背閘極特徵可提供各種其他優點。在一實例中，使用傳統方法形成垂直式電晶體，電晶體的臨界電壓相對地會被閘極材料的選擇所侷限(也就是說，一旦決定閘極材料後，臨界電壓就不會改變)。儘管某些方法使用多層的閘極材料以提供調整臨界電壓的範圍，這些方法一般包含多個額外的製造步驟，這些製造步驟可能反過來不利地增加成本。相反地，當前的實施方式形成垂直式背閘極，垂直式背閘極實質上鄰近通道區域(且在通道區域形成期間同時形成)，提供調整臨界電壓的彈性而不需要多個額外的製造步驟。

【0026】 在一實施方式中，一種半導體裝置包含第一垂直條狀結構配置於基板上方，其中第一垂直條狀結構包含第一側壁和相對的第二側壁；第一閘極特徵沿著第一垂直條狀結構的第一側壁配置，使第一閘極結構電性耦接至第一垂直條狀結構；第二垂直條狀結構配置於基板上方，其中第二垂直條狀結構電性耦接至第一垂直條狀結構且作爲第二閘極特徵；第一源極/汲極特徵配置於基板中且處於第一垂直條狀結構下；第二源極/汲極特徵配置於第一垂直條狀結構上方。

【0027】 在另一實施方式中，一種半導體結構包含N型垂直式場效電晶體，N型垂直式場效電晶體包含第一源極/汲極特徵、第一垂直條狀結構、閘極、第二垂直條狀結構和第二垂直條狀結構；第一源極/汲極特徵配置於基板中；第一垂直條狀結構包含第一側壁和第二側壁，配置於基板上方；閘極沿第一垂直條狀結構的第一側壁配置；第二垂直條狀結構電性耦接至第一垂直條狀結構；第二源極/汲極特徵配置於第一垂直條狀結構的上方；P型垂直式場效電晶體包含第三源極/汲極特徵、第三垂直條狀結構、閘極、第四垂直條狀結構和第四源極/汲極特徵；第三源極/汲極特徵配置於基板中；第三垂直條狀結構包含第三側壁和第四側壁，配置於基板上方；閘極沿第三垂直條狀結構的第三側壁配置；第四垂直條狀結構電性耦接至第三垂直條狀結構；第四源極/汲極特徵配置於第三垂直條狀結構的上方。

【0028】 在又一實施方式中，方法包含提供半導體基板，半導體基板包含具有第一類型摻質的第一部分及具有第二類型摻質的第二部分，其中第一部分包含第一源極/汲極特徵；形成第一層

於半導體基板上方，第一層被第一類型的摻質摻雜；圖案化第一層以形成第一層的第一垂直條狀結構，配置於半導體基板的第一部分上方，並形成第一層的第二垂直條狀結構，配置於半導體基板的第二部分上方；形成第一介電層於第一和第二垂直條狀結構的上方；移除第一介電層的一部分以曝露第一垂直條狀結構的側壁；形成第一電晶體閘極，第一電晶體閘極電性耦接至第一垂直條狀結構；形成第二電晶體閘極於第二垂直條狀結構中；以及形成第二源極/汲極特徵於第一垂直條狀結構的上部中。

【0029】 前文概括數個實施例之特徵，以便彼等熟習此項技術者可更佳地理解本揭示內容之態樣。彼等熟習此項技術者應瞭解，本揭示內容可易於作爲設計或修正其他製程及結構之基礎，而實現與本案介紹之實施例相同的目的及/或達到與其相同的優勢。彼等熟習此項技術者亦應瞭解，此種同等構造不脫離本揭示內容之精神及範疇，而且可在不脫離本揭示內容精神及範疇之情況下進行多種變更、取代及更動。

【符號說明】

【0030】

100 方法

102、104、106、108、110、112、114、116 操作

200 半導體裝置

202 基板

204 n型井

206 p型井

208 p型區域、源極/汲極特徵

210 n型區域、源極/汲極特徵

211 通道層

212 p型通道層

214 n型通道層

216、218、220、222 垂直條狀物

218’ 側壁

220’ 側壁

224a 頂表面

223、224、225 介電層

227 圖案化遮罩層、淺溝槽隔離、層間介電層

229 溝槽

231 開口

232、234 矽化物層

236 介電層

238、240 高介電常數介電材料層

242 導電層

243 閘極特徵

244 圖案化遮罩層

244’、244’’ 開口

246 磊晶生長部分

247 矽化物

248 源極/汲極特徵、磊晶生長部分

249 矽化物

250 源極/汲極特徵、磊晶生長部分

251 矽化物

252 磊晶生長部分

253 矽化物

261、262、263、264、265、266、277 接觸

280 P型場效電晶體

290 N型場效電晶體

【發明申請專利範圍】

【第 1 項】一種半導體裝置，包含：

一第一垂直條狀結構，配置於一基板上方，其中該第一垂直條狀結構包含一第一側壁及一相對的第二側壁；

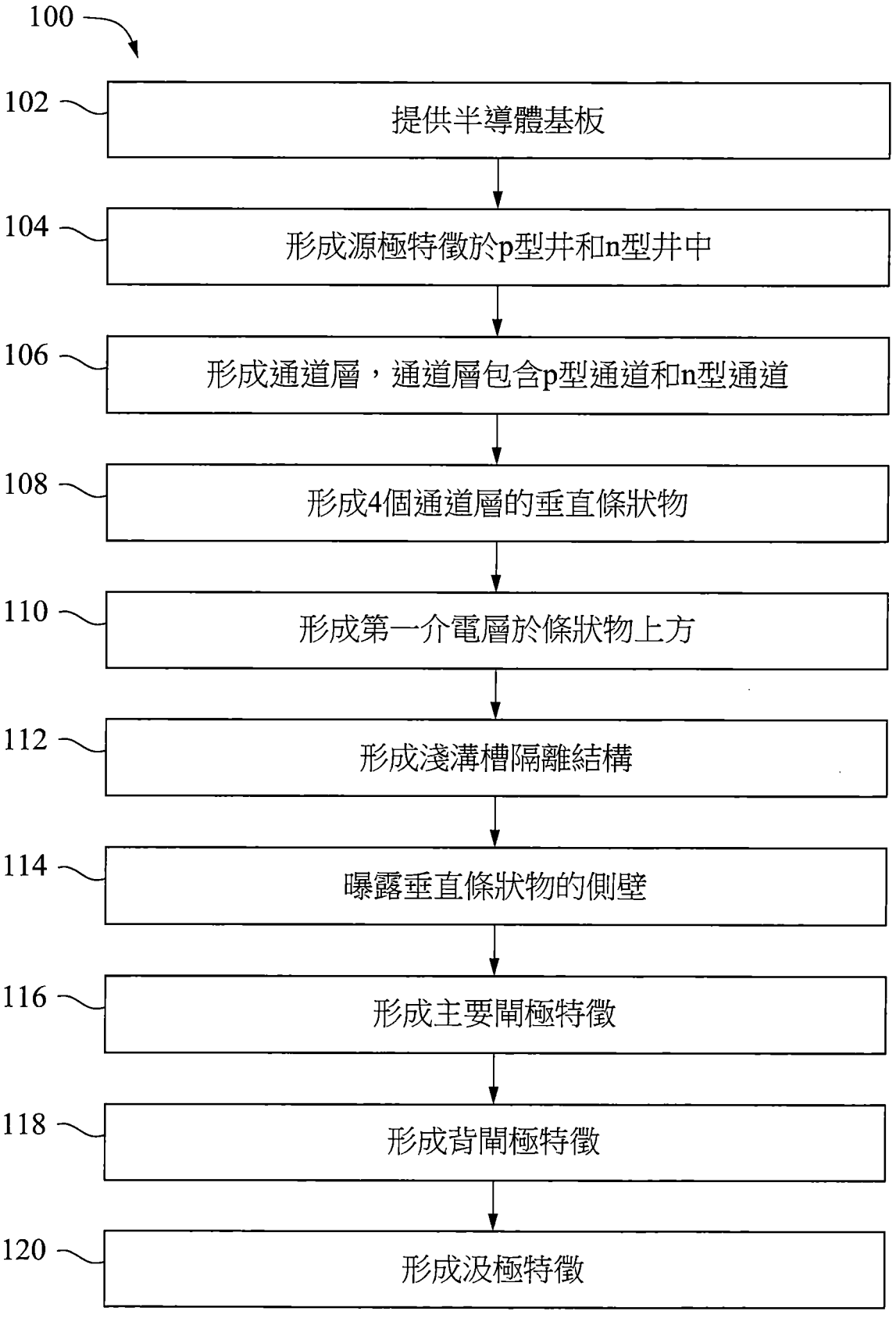
一第一閘極特徵，沿該第一垂直條狀結構的該第一側壁配置而使該第一閘極特徵電性耦接至該第一垂直條狀結構；

一第二垂直條狀結構，配置於該基板上方，其中該第二垂直條狀結構電性耦接至該第一垂直條狀結構並作爲一第二閘極特徵；

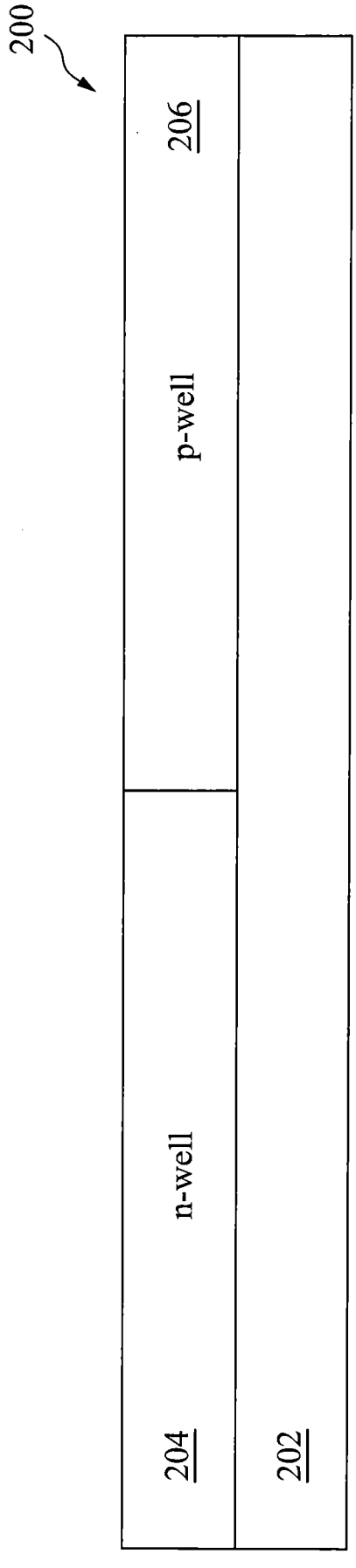
一第一源極/汲極特徵，配置於該第一垂直條狀結構下方的該基板中；以及

一第二源極/汲極特徵，配置於該第一垂直條狀結構的上方。

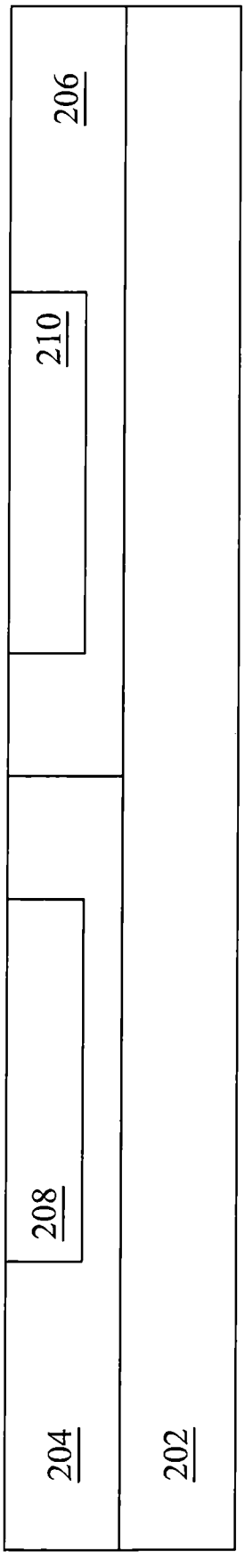
圖式


100
102
提供半導體基板
104
形成源極特徵於p型井和n型井中
106
形成通道層，通道層包含p型通道和n型通道
108
形成4個通道層的垂直條狀物
110
形成第一介電層於條狀物上方
112
形成淺溝槽隔離結構
114
曝露垂直條狀物的側壁
116
形成主要閘極特徵
118
形成背閘極特徵
120
形成汲極特徵

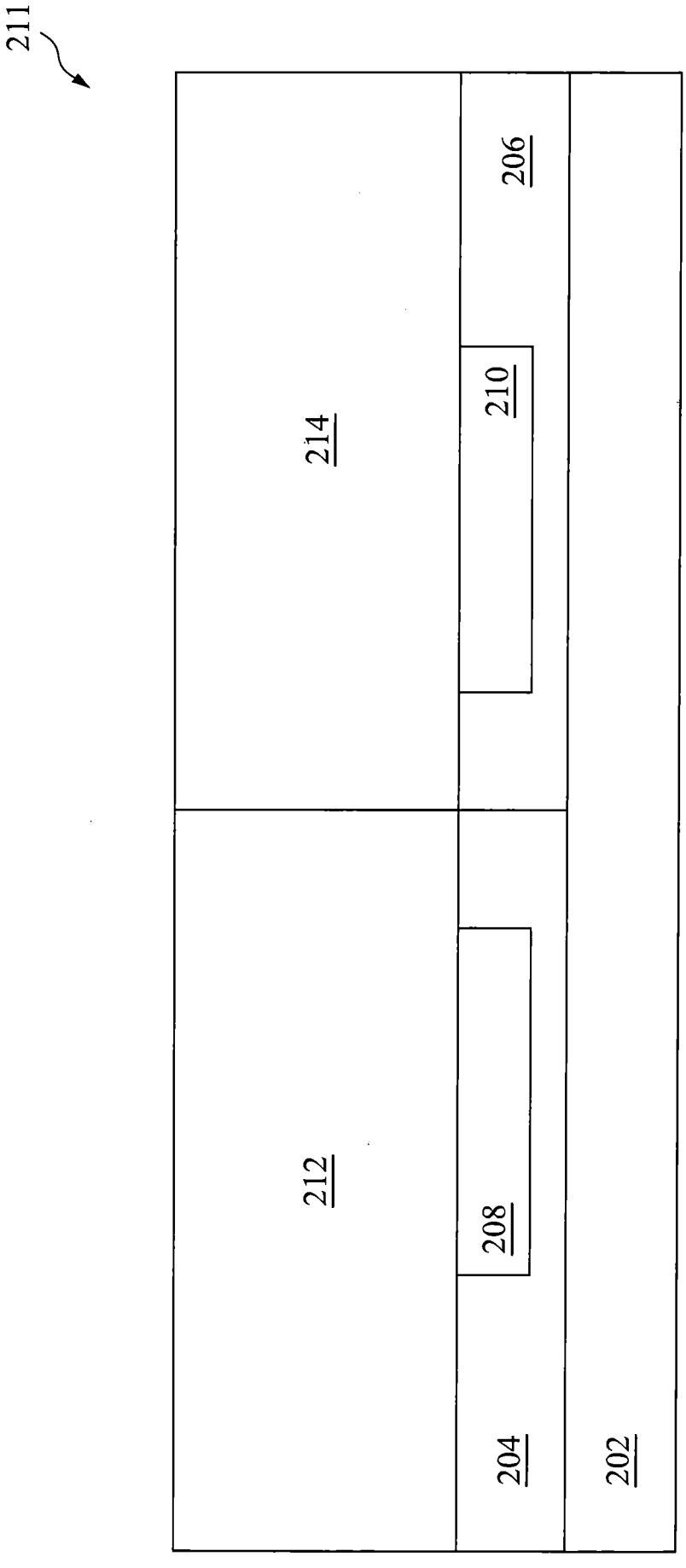
第 1 圖



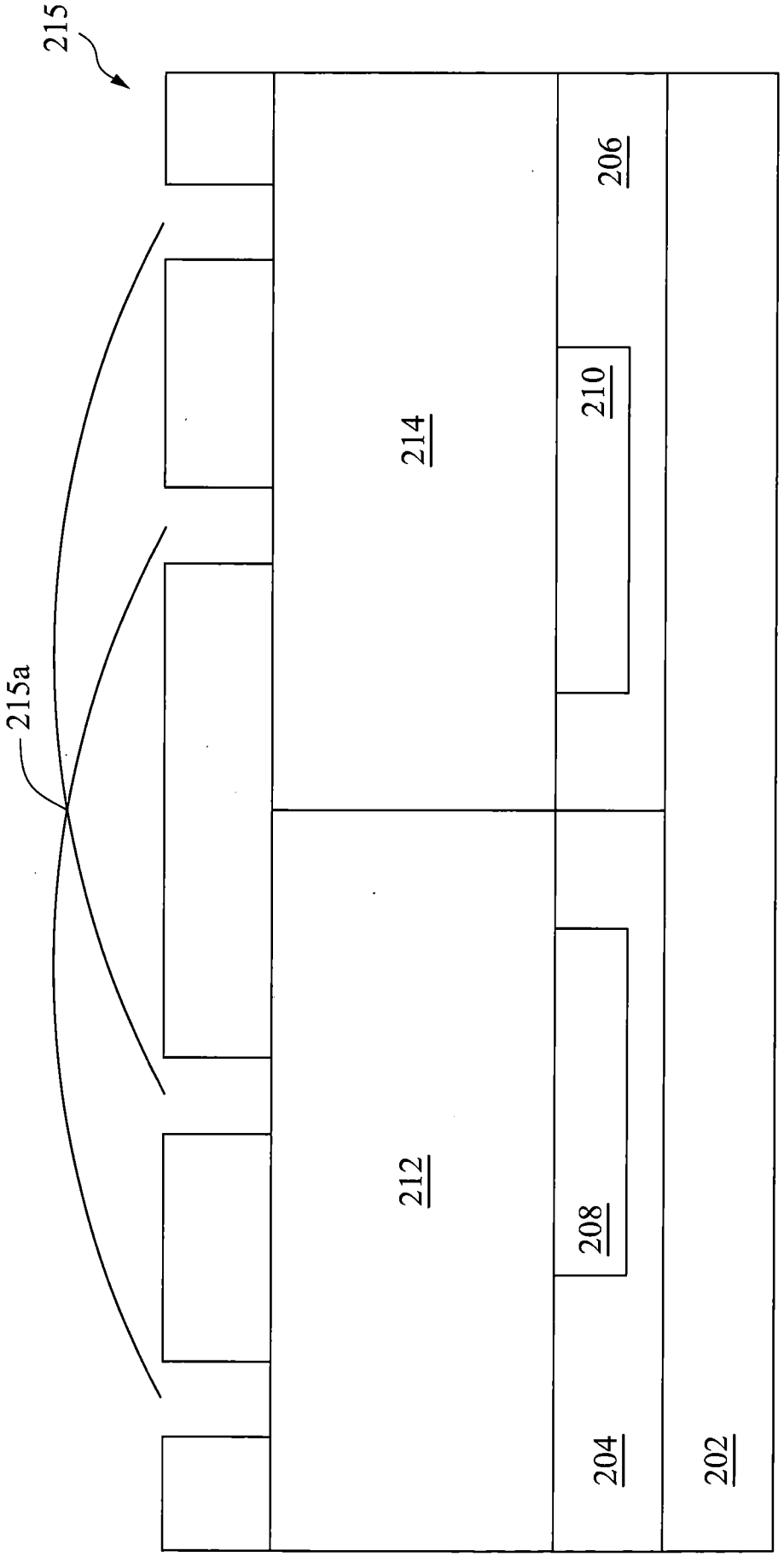
第 2A 圖



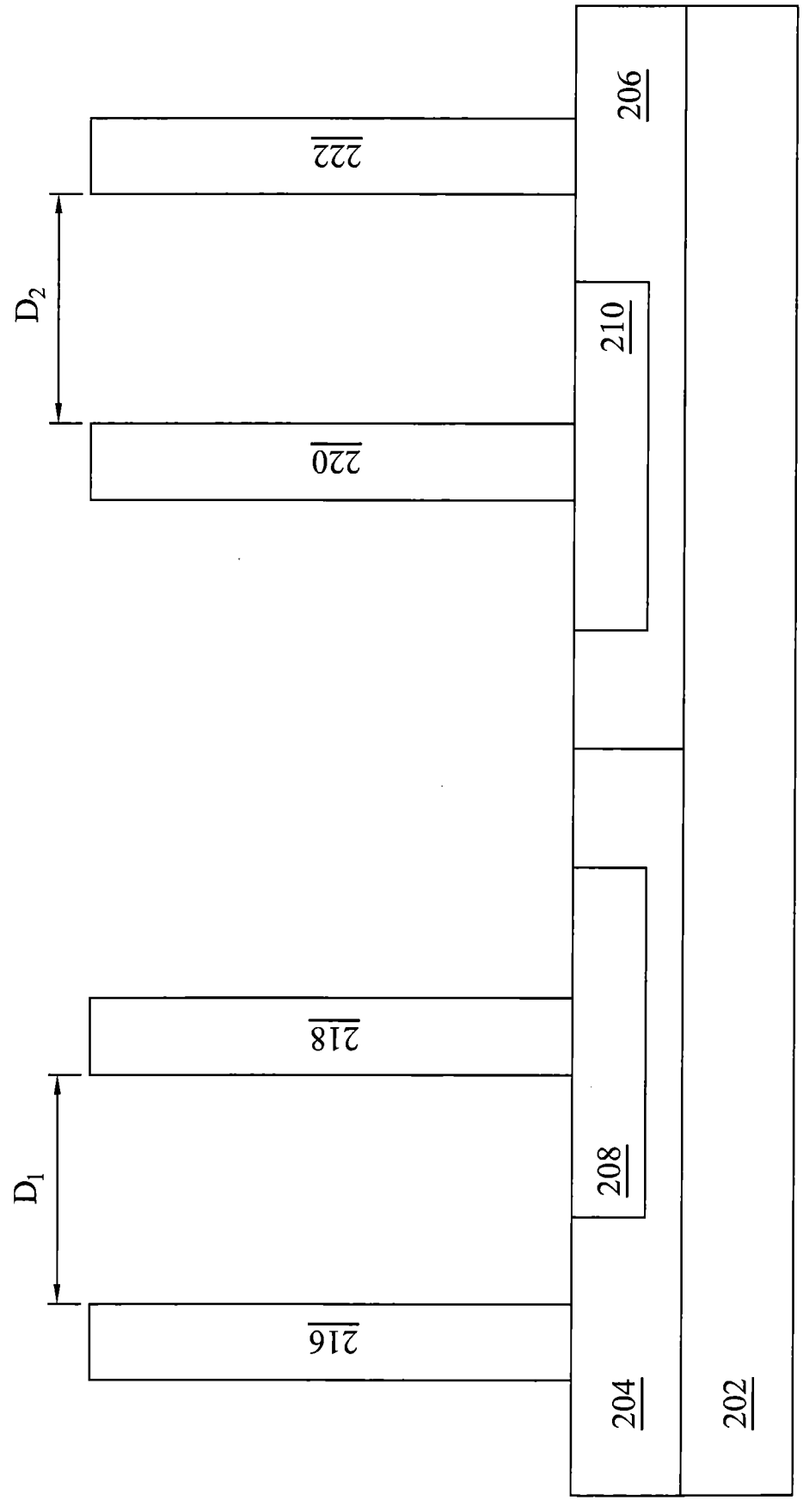
第 2B 圖



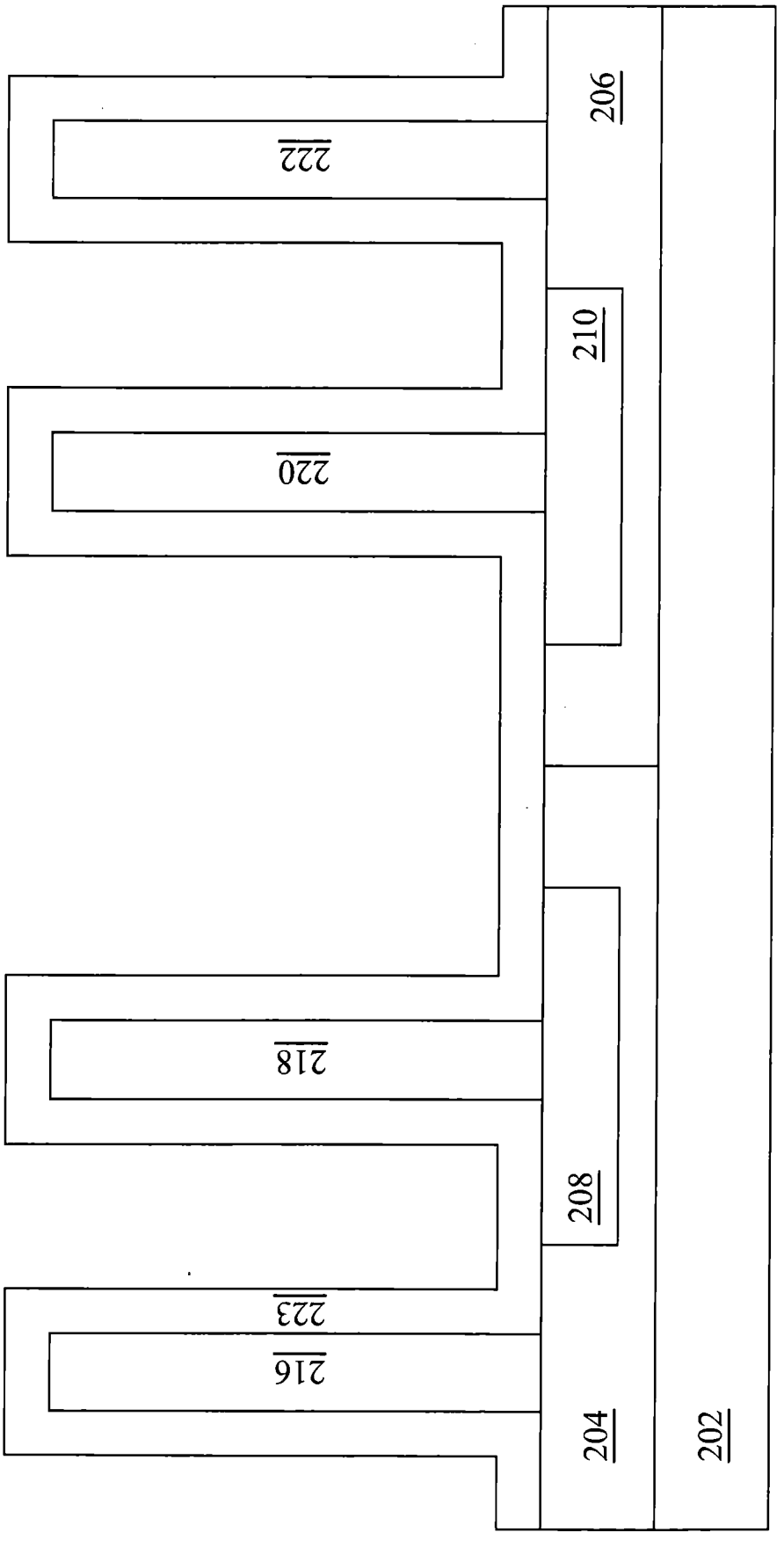
第 2C 圖



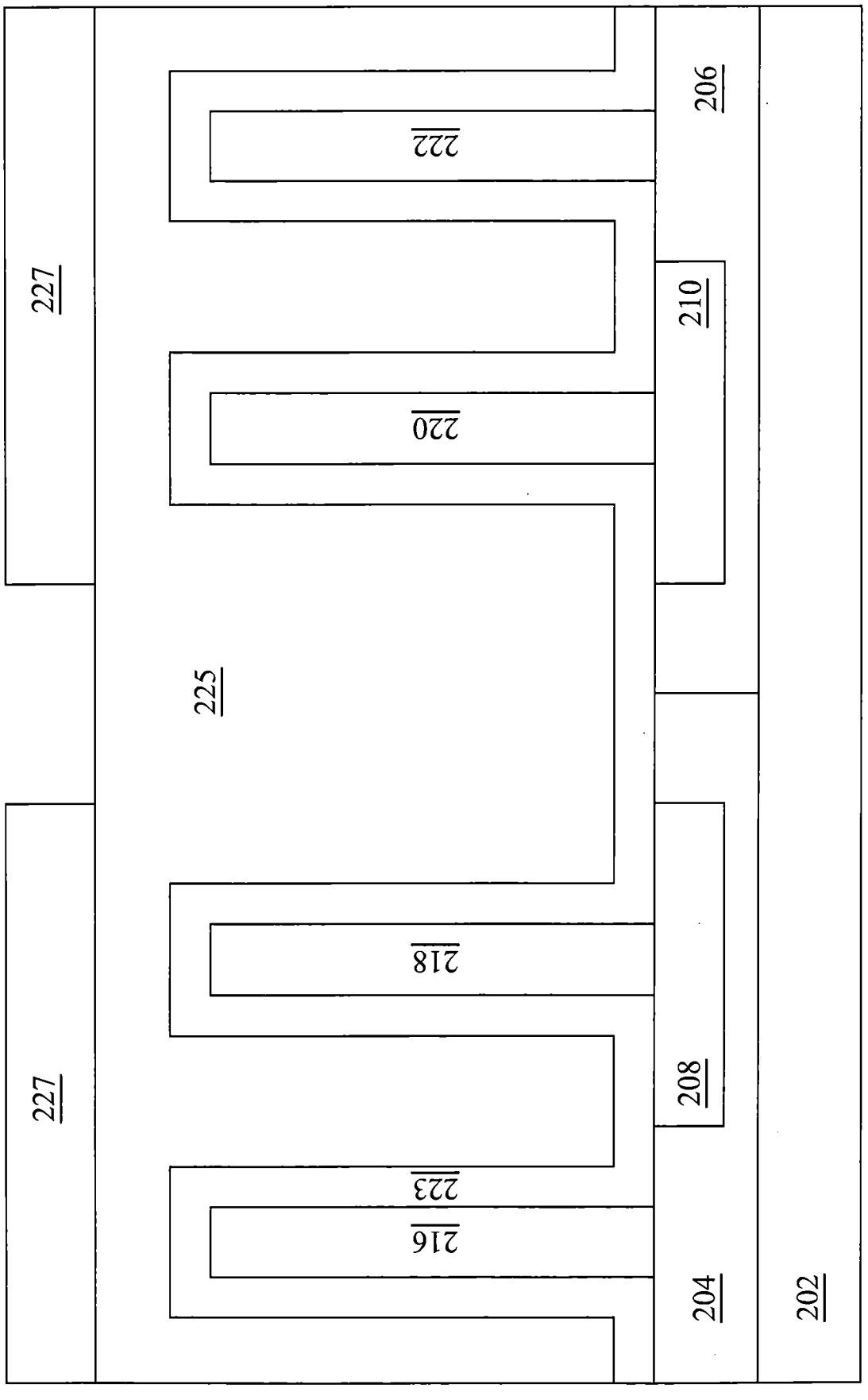
第 2D 圖



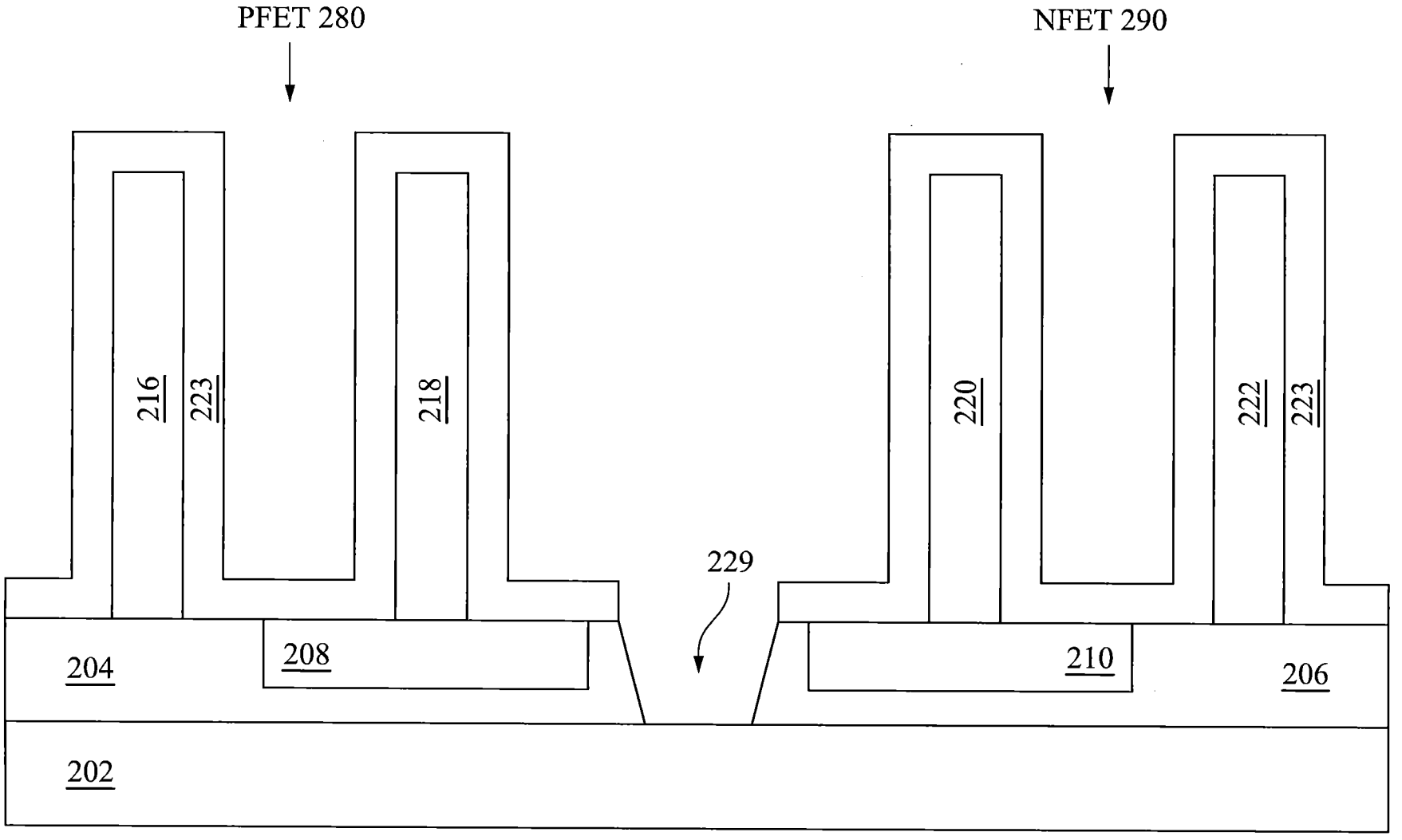
第 2E 圖



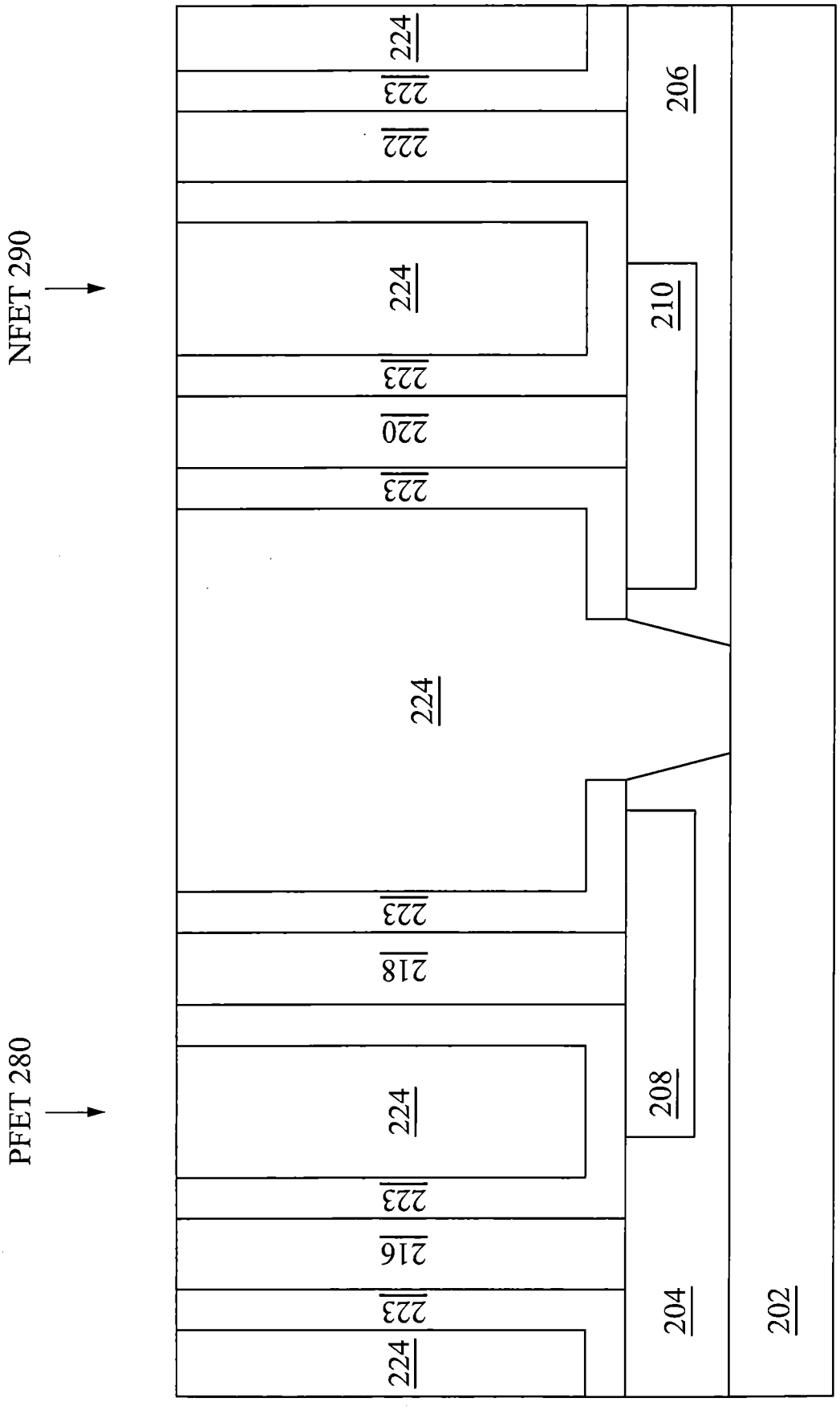
第 2F 圖



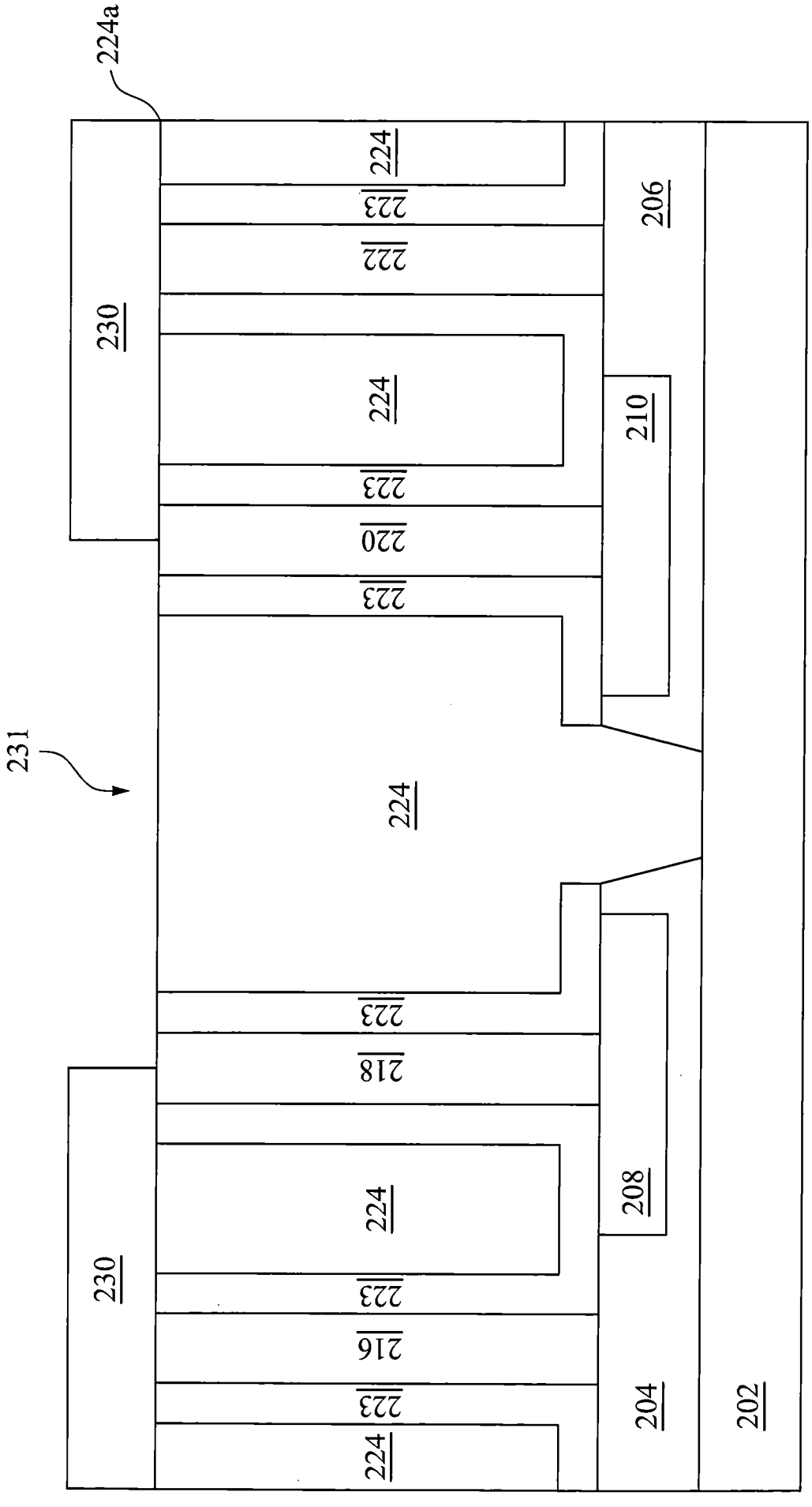
第 2G 圖


PFET 280
NFET 290
216
223
218
220
222
223
229
204
208
210
206
202

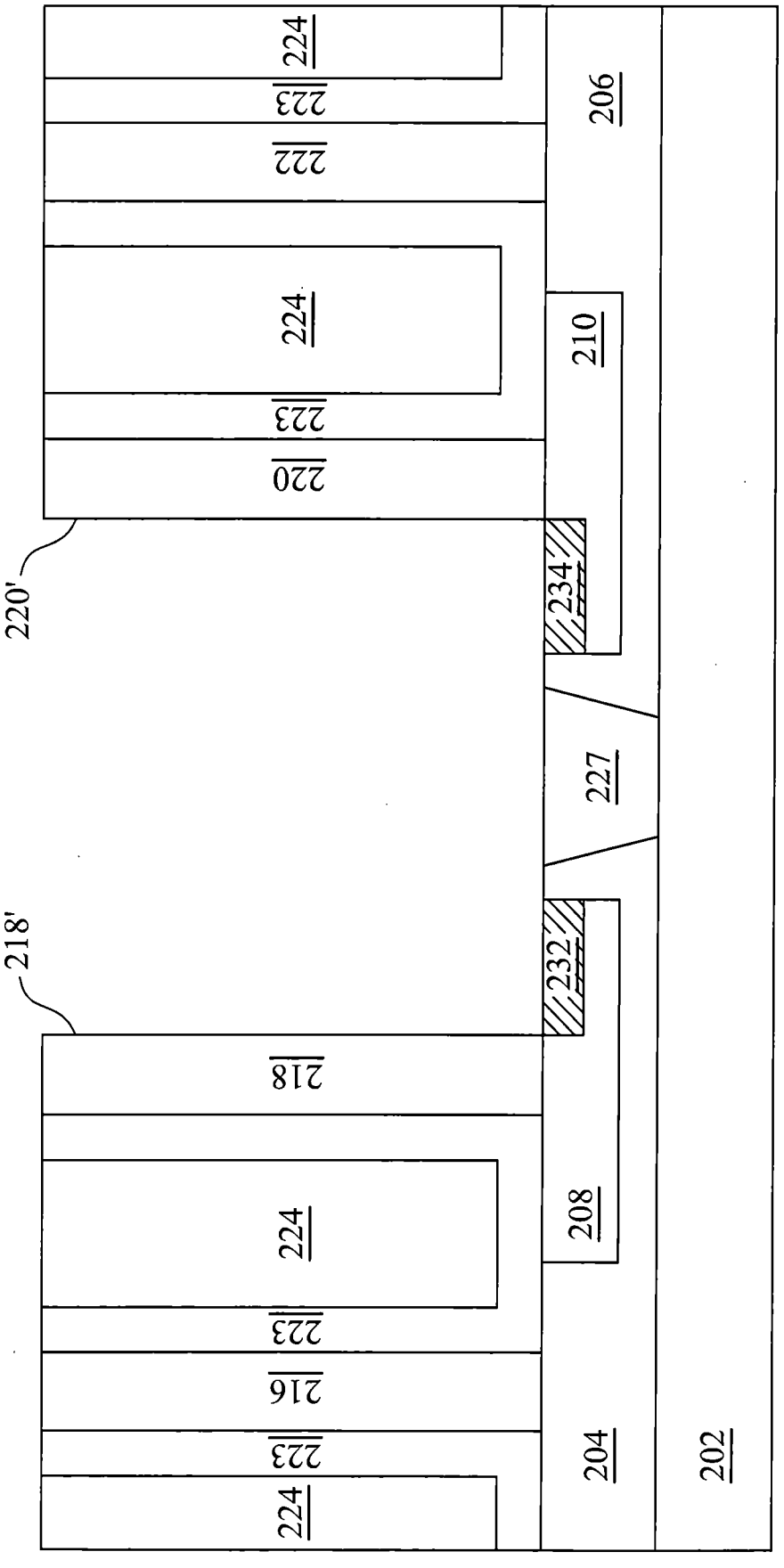
第 2H 圖


NFET 290
PFET 280
224
223
222
206
224
210
223
220
223
224
223
218
208
224
223
216
223
224
204
202

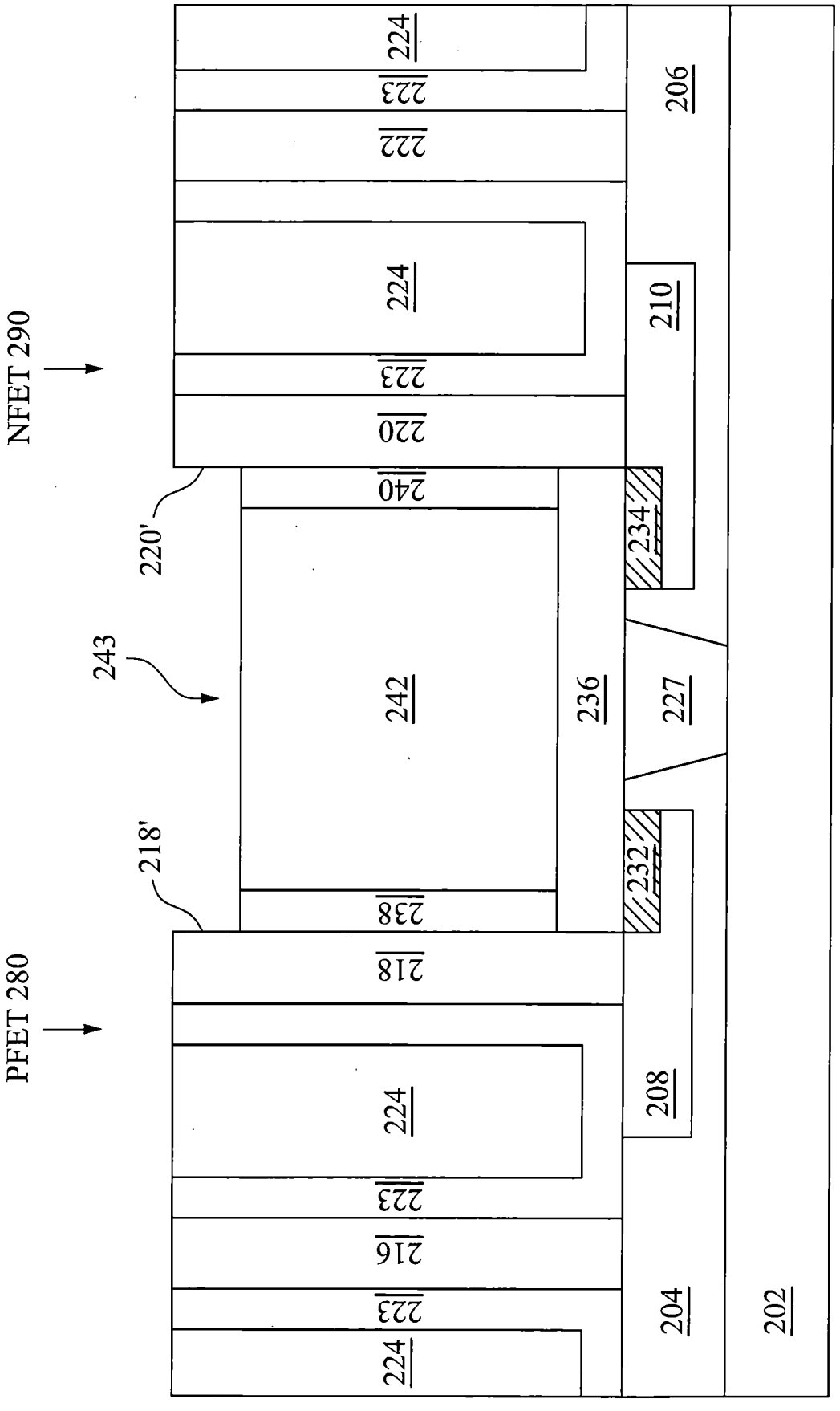
第 2I 圖



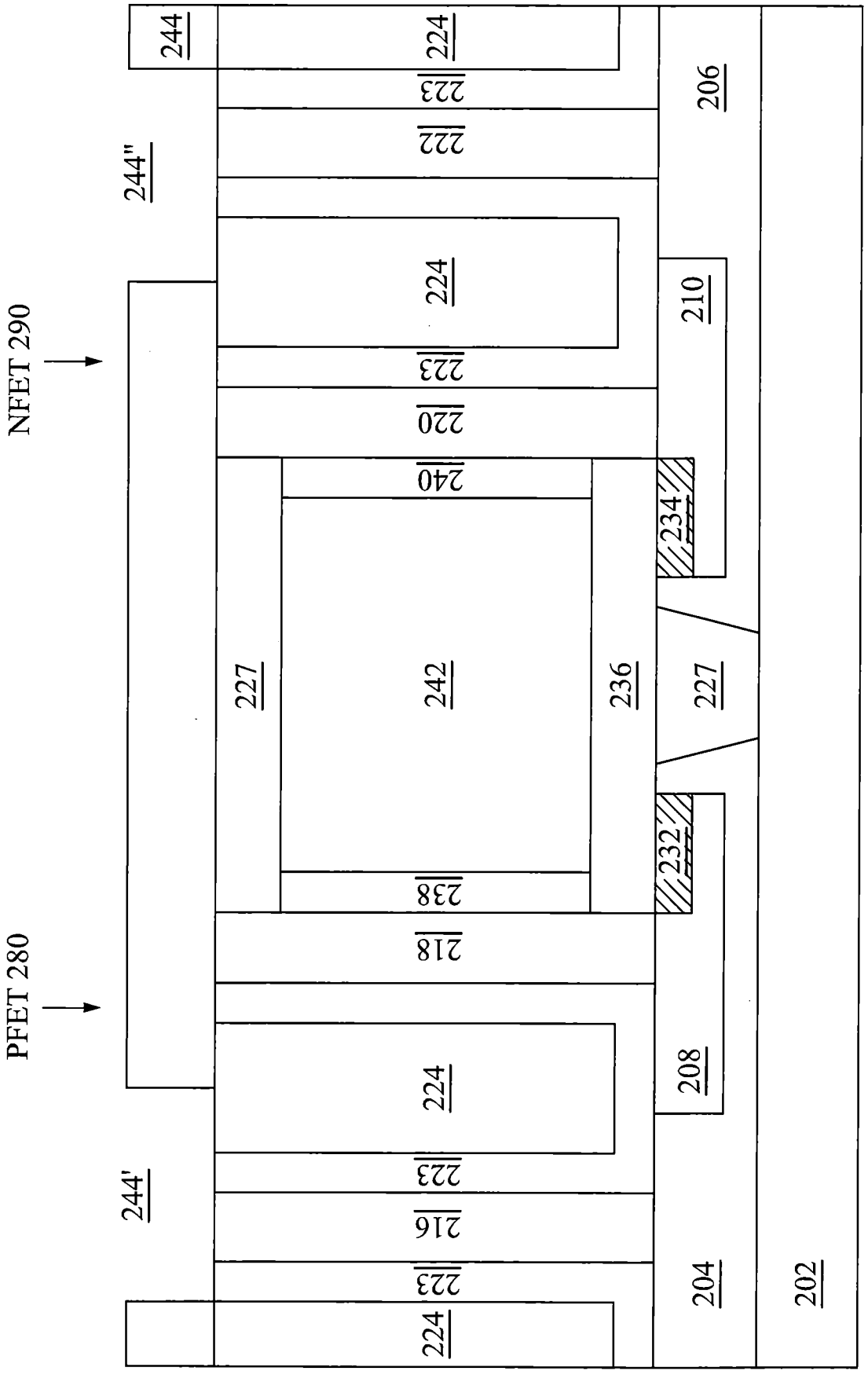
第 2J 圖


224
223
222
224
223
220
220'
234
210
206
227
232
218'
218
224
208
223
216
223
224
204
202

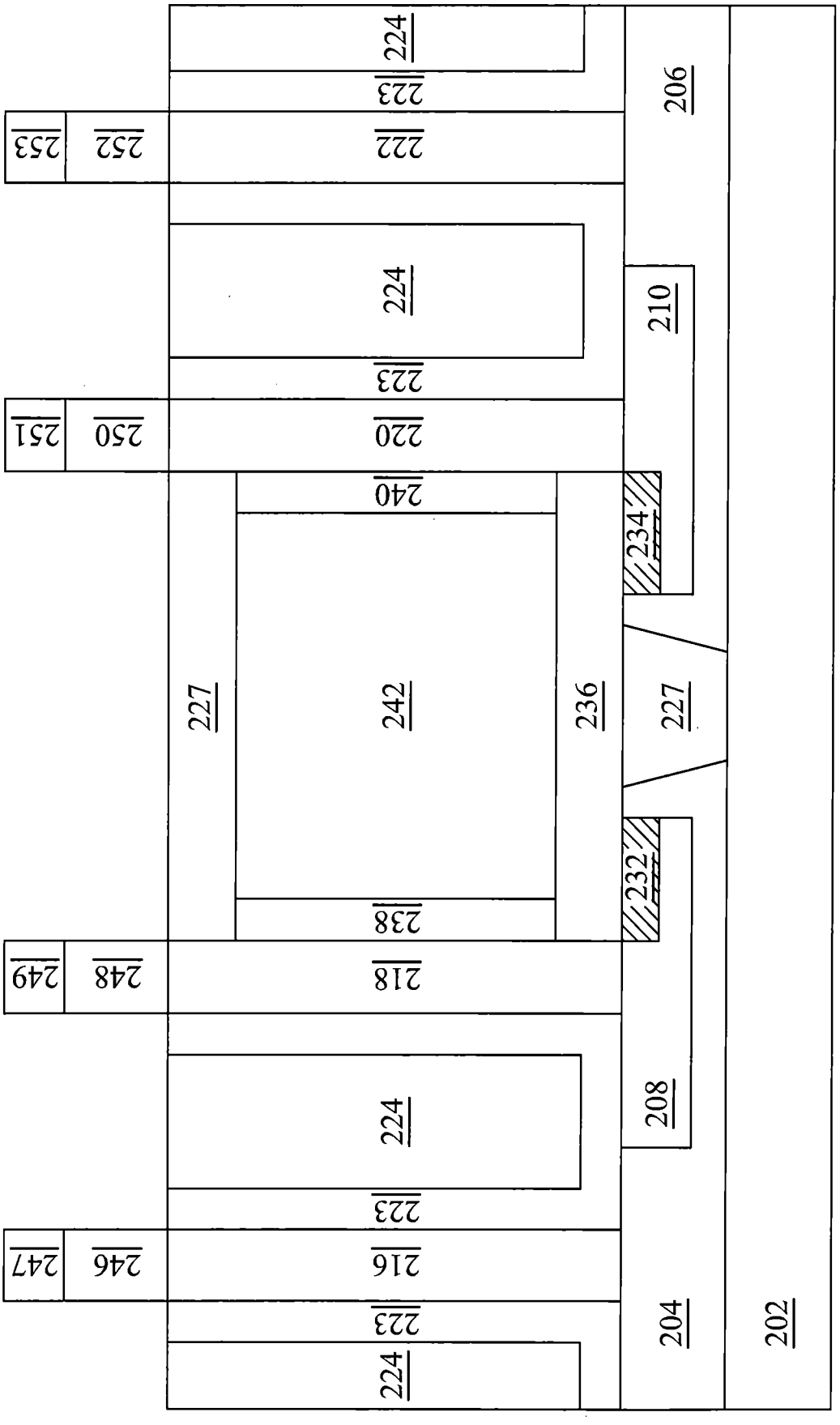
第 2K 圖


NFET 290
PFET 280
220'
218'
243
224
223
222
220
240
242
238
218
216
204
206
210
208
234
232
236
227
202

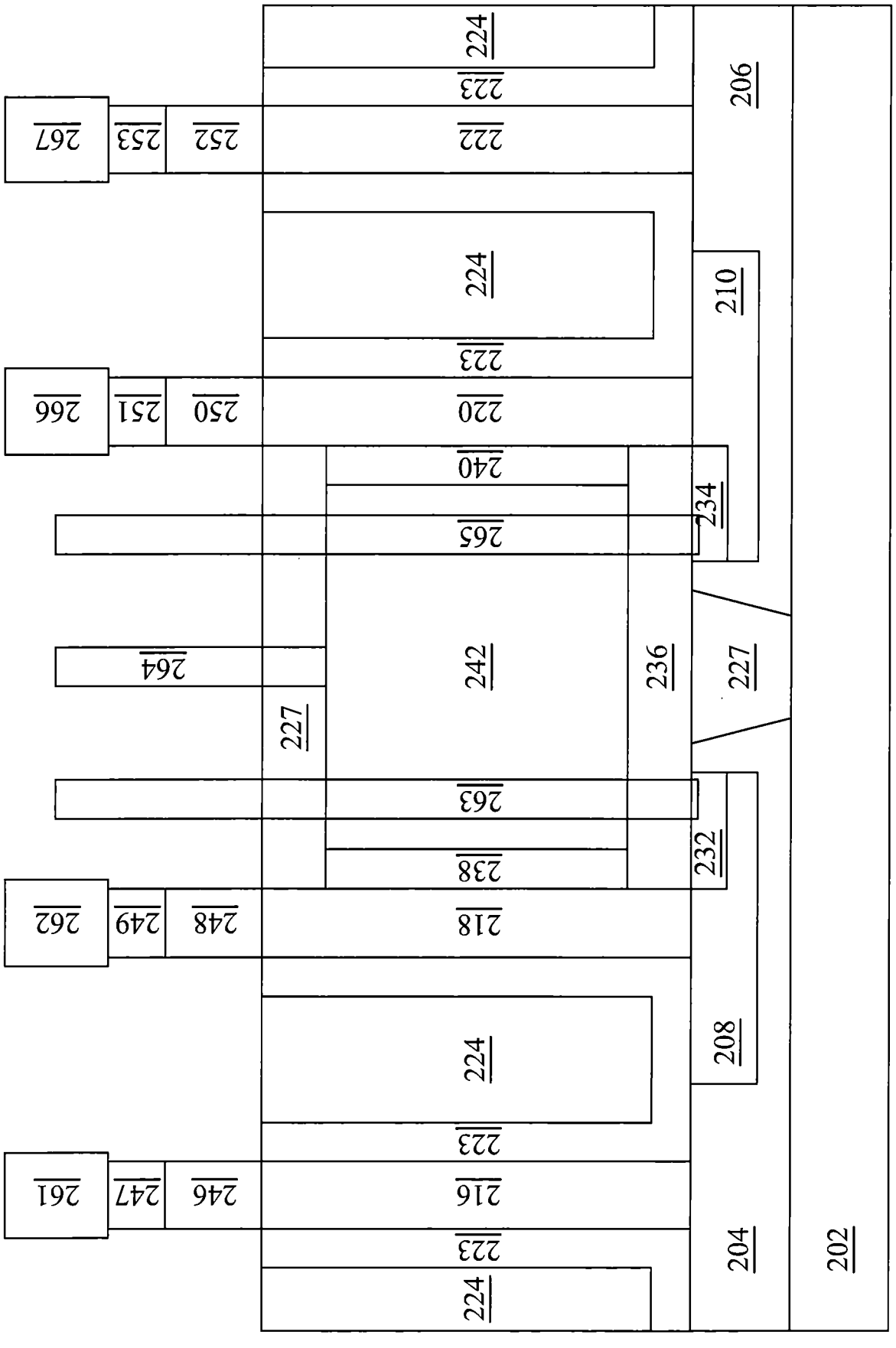
第 2L 圖


NFET 290
PFET 280
244
244"
244'
224
223
222
220
240
242
238
218
216
236
234
232
210
208
206
204
202
227

第 2M 圖


224
223
222
252
253
206
224
210
223
220
250
251
240
234
242
227
236
227
238
232
218
248
249
224
208
223
216
246
247
223
224
204
202

第 2N 圖


202
204
206
208
210
216
218
220
222
223
224
227
232
234
236
238
240
242
246
247
248
249
250
251
252
253
261
262
263
264
265
266
267

第 20 圖