



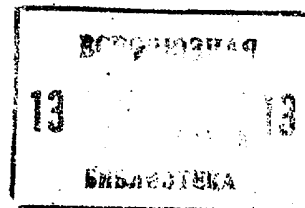
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1101832** **A**

3 (5) G 06 F 15/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3562165/18-24

(22) 04.02.83

(46) 07.07.84. Бюл. № 25

(72) Э.И. Криман, Л.Г. Геворков
и М.М. Тагиев

(53) 681.32(088.8)

(56) 1. Авторское свидетельство СССР
№ 435552, кл. G 06 F 15/00, 1972.

2. Авторское свидетельство СССР
№ 531158, кл. G 06 F 15/00, 1974
(прототип).

(54) (57) УСТРОЙСТВО ДЛЯ ОБРАБОТКИ И
СЖАТИЯ ИНФОРМАЦИИ, содержащее регистр
текущей выборки, прямой информацион-
ный выход которого соединен с инфор-
мационным входом буферного блока па-
мяти, адресный вход которого подклю-
чен к выходу мультиплексора, первый
вход которого соединен с информацион-
ным выходом счетчика адреса записи,
установочный вход которого объеди-
нен с установочным входом счетчика
адреса считывания и является входом
начальной установки нуля устройства,
выход первого элемента задержки под-
ключен к входу второго элемента за-
держки и входу управления считыва-
нием буферного блока памяти, инфор-
мационный выход которого является ин-
формационным выходом устройства, вы-
ход второго элемента задержки соеди-
нен с синхровходом счетчика адреса
считывания, информационный выход ко-
торого подключен к второму входу
мультиплексора, управляющий вход ко-
торого объединен с входом первого
элемента задержки и является входом
синхронизации опроса устройства,
информационный вход регистра текущей
выборки является информационным вхо-
дом устройства, первый и второй сум-

маторы, элемент ИЛИ, отличаю-
ще ее тем, что, с целью упро-
щения устройства, оно содержит трет-
тий и четвертый сумматоры, первый
и второй регистры и элемент И, выход
которого соединен с входом управле-
ния записью буферного блока памяти,
синхровходом счетчика адреса записи
и синхровходами первого и второго
регистров соответственно, инверсный
информационный и прямой информаци-
онный выходы которых соединены с пер-
выми входами соответственно первого
и второго сумматоров, выходы перене-
са которых подключены соответственно
к первому и второму входам элемента
ИЛИ, выход которого подключен к
первому входу элемента И, второй
вход которого объединен с синхровхо-
дом регистра текущей выборки и явля-
ется входом синхронизации устройства,
прямой информационный выход регистра
текущей выборки подключен к второму
входу первого сумматора и первому
входу третьего сумматора, выход кото-
рого соединен с информационным входом
первого регистра, установочный вход
которого объединен с установочным
входом второго регистра и образует
вход начальной установки нуля устрой-
ства, инверсный информационный выход
регистра текущей выборки соединен с
вторым входом второго сумматора и
первым входом четвертого сумматора,
выход которого подключен к инфор-
мационному входу второго регистра,
вторые входы третьего и четвертого
сумматоров являются соответственно
первым и вторым входами задания пара-
метра устройства, входы переноса пер-

(19) **SU** (11) **1101832** **A**

вого, второго и третьего сумматоров объединены и являются входом логического нуля устройства, а вход переноса

са четвертого сумматора является входом логической единицы устройства.

1

Изобретение относится к информационно-измерительной и вычислительной технике и может быть использовано для сжатия информации в многоканальных телеметрических системах с временным разделением каналов.

Известно устройство для обработки и сжатия информации, содержащее регистр текущей выборки, регистр числа, сумматор, оперативную память со счетчиками адреса, элементы И, ИЛИ [1].

Недостатком такого устройства является низкое быстродействие, обусловленное двумя последовательными операциями сравнения, приводимыми для каждой выборки входного сигнала.

Наиболее близким по технической сущности и достигаемому результату к изобретению является устройство для обработки и сжатия информации, состоящее из k -разрядного регистра текущей выборки, выход которого соединен с первым входом сумматора, старшие $k-a$ -прямых и инверсных выходов которого подключены к входам элементов И-НЕ, выходы которых подключены к входам элемента ИЛИ, к третьему входу которого подключен выход схемы сравнения, к первым входам которой подключены оставшиеся a -младших разрядов регистра текущей выборки, а к вторым - прямые и инверсные шины апертуры, буферного оперативного запоминающего устройства и адресных счетчиков, выходы которых через мультиплексор соединены с адресными входами буферного запоминающего устройства [2].

Низкое быстродействие известного устройства обусловлено двумя операциями сравнения, первая из которых осуществляется над k разрядами, где k - разрядность поступающих выборок $x(t)$, а вторая - над a разрядами, где a - разрядность максимальной апертуры Δ .

2

Поскольку $\Delta \leq X_{\max}/2$, то $a \leq k-1$, следовательно, время выполнения операций сравнения в в одном такте определяется как

$$t(k+a) \leq (2k-1) t_0,$$

где t_0 - время выполнения операции суммирования для одного разряда выборки.

Время T обработки одной выборки для этого устройства определяется выражением

$$T = t_0(k+a) + \max \begin{cases} t_{\text{бзз}} \\ t_{\text{р2}} \end{cases}$$

где $t_{\text{бзз}}$ - время записи в буферном оперативном запоминающем устройстве;

$t_{\text{р2}}$ - время записи в параллельный регистр числа.

Целью изобретения является упрощение устройства.

Поставленная цель достигается тем, что устройство, содержащее регистр текущей выборки, прямой информационный выход которого соединен с информационным входом буферного блока памяти, адресный вход которого подключен к выходу мультиплексора, первый вход которого соединен с информационным выходом счетчика адреса записи, установочный вход которого объединен с установочным входом счетчика адреса считывания и является входом начальной установки нуля устройства, выход первого элемента задержки подключен к входу второго элемента задержки и входу управления считыванием буферного блока памяти, информационный выход которого является информационным выходом устройства, выход второго элемента задержки соединен с синхровходом счетчика адреса считывания, информационный выход которого подключен к второму входу мультиплексора, управляющий вход ко-

торого объединен с входом первого элемента задержки и является входом синхронизации опроса устройства, информационный вход регистра текущей выборки является информационным входом устройства, первый и второй сумматоры, элемент ИЛИ, содержит третий и четвертый сумматоры, первый и второй регистры и элемент И, выход которого соединен с входом управления записью буферного блока памяти, синхровходом счетчика адреса записи и синхровходами первого и второго регистров соответственно, инверсный информационный и прямой информационный выходы которых соединены с первыми входами соответственно первого и второго сумматоров, выходы переноса которых подключены соответственно к первому и второму входам элемента ИЛИ, выход которого подключен к первому входу элемента И, второй вход которого объединен с синхровходом регистра текущей выборки и является входом синхронизации устройства, прямой информационный выход регистра текущей выборки подключен к второму входу первого сумматора и первому входу третьего сумматора, выход которого соединен с информационным входом первого регистра, установочный вход которого объединен с установочным входом второго регистра и образует вход начальной установки нуля устройства, инверсный информационный выход регистра текущей выборки соединен с вторым входом второго сумматора и первым входом четвертого сумматора, выход которого подключен к информационному входу второго регистра, вторые входы третьего и четвертого сумматоров являются соответственно первым и вторым входами задания параметра устройства, входы переноса первого, второго и третьего сумматоров объединены и являются входом логического нуля устройства, а вход переноса четвертого сумматора является входом логической единицы устройства.

На чертеже представлена блок-схема устройства для обработки и сжатия информации.

Устройство для обработки и сжатия информации состоит из регистра 1 текущей выборки, вход которого является входом устройства, прямые выходы 2 которого подключены к первым входам $(k+1)$ -разрядного сумматора 3, а ин-

версные выходы 4 регистра 1 подключены к первым входам сумматора 5, вторые входы сумматоров 3 и 5 соответственно являются первым и вторым входами 6 и 7 задания параметров (прямой и инверсной апертуры), выходы сумматоров 3 и 5 подключены к входам регистра 8 и регистра 9 $(k+1)$ -разрядных, инверсные выходы регистра 8 подключены к первым входам $(k+1)$ -разрядного сумматора 10, к вторым входам которого подключены прямые выходы регистра 1, прямые выходы регистра 9 подключены к входам $(k+1)$ -разрядного сумматора 11, к вторым входам которого подключены инверсные выходы регистра 1, выходы переноса сумматоров 10 и 11 подключены к входам элемента ИЛИ 12, выход которого подключен к первому входу элемента И 13, второй вход которого является входом 14 синхронизации, который также подключен к синхровходу 15 регистра 1, входы 16 которого являются входами устройства. Выход элемента И 13 подключен к синхровходам регистров 8 и 9, входу 17 управления записью буферного блока 18 памяти и входу счетчика 19 адреса записи, выход которого подключен к первому входу мультиплексора 20, к второму входу которого подключен выход счетчика 21 адреса считывания. Вход 22 синхронизации опроса подключен к управляющему входу мультиплексора 20 и к входу первого элемента 23 задержки, выход которого подключен к входу 24 управления считыванием блока 18 и к входу второго элемента 25 задержки, выход которого подключен к входу счетчика 21, выход мультиплексора 20 подключен к адресному входу 26 блока 18, выход 27 которого является выходом устройства, к входам переноса сумматора 5 подключен вход 28 логической единицы, а к входу переноса сумматоров 3, 10 и 11 подключен вход 29 логического нуля, к входам 30 блока 18 подключены прямые выходы регистра 1, к установочным входам счетчиков 19 и 22, регистров 8 и 9 подключен вход 31 начальной установки нуля.

Устройство работает следующим образом.

В начальный момент $(t = 0)$ регистры 8 и 9, счетчики 19 и 21 сбрасываются импульсом по входу 31. Первая выборка $X(1)$ записывается с помощью импульса на входе 14 в регистр 1.

На сумматорах 3, 4, 10 и 11 вычисляются соответственно $Y1(1)$, $Y2(1)$, $Y3(1)$, $Y4(1)$, величины которых равны

$$\begin{aligned} Y1(1) &= X(1) + \Delta; \\ Y2(1) &= X(1) + \bar{\Delta} + 1 = X(1) - \Delta; \\ Y3(1) &= X(1) + \Phi = X(1) + (2^k - 1) = X(1) - 1; \\ Y4(1) &= X(1) + \Phi = X(1) + (2^k - 1) = -X(1) - 1, \end{aligned}$$

Если $X(1) = 0$, то устройство ждет первой нулевой выборки. Если $X(1) > 0$, то возникают сигналы переноса на сумматорах 10 и 11, которые, пройдя через элемент ИЛИ 12, открывают элемент И 13 и пропускают синхроимпульс с входа 14, записывающий $X(1)$ с выхода 2 регистра 1 в блок 18, прибавляющий единицу к содержимому счетчика 19 и записывающий $Y1(1)$ и $Y2(1)$ с выходов сумматоров 3 и 5 в регистры 8 и 9 соответственно.

Следующая выборка $X(2)$ также записывается в регистр 1, а на выходах сумматоров 10 и 11 появляются числа $Y3(2)$ и $Y4(2)$.

$Y3(2) = X(2) + Y1(1) = (2) - (X(1) + \Delta) - 1 = (2) - X(1) - \Delta - 1$
 $Y4(2) = -X(2) - 1 + (X(1) - \Delta) = (X(1) - X(2) - \Delta - 1)$. Если $Y3(2) \geq 0$ или $Y4(2) \geq 0$, то на выходе переноса одного из сумматоров 10 или 11 появляется сигнал, который, пройдя через элемент ИЛИ 12, открывает элемент И 13 и $X(2)$ записывается в блок 18, к содержимому счетчика 19 прибавляется 1, а в регистры 8 и 9 записываются соответственно $Y1(2)$ и $Y2(2)$. Если $Y3(2) < 0$ и $Y4(2) < 0$, то это означает, что $(X(2) - X(1)) \leq \Delta$ и $(X(1) - X(2)) \leq \Delta$ т.е. $|X(2) - X(1)| \leq \Delta$, сигнал переноса не возникает и элемент И 13 остается закрытым по первому входу, так как на обоих входах элемента ИЛИ 12 имеются нулевые сигналы. Следовательно, в регистре 8 всегда хранится величина $(X^k + \Delta)$, а в регистре 9 - величина $(X^k - \Delta)$, где X^k - величина последней избыточной выборки, и появление единицы на выходе элемента ИЛИ 12 сле-

дует из описанного и происходит только при выполнении условия

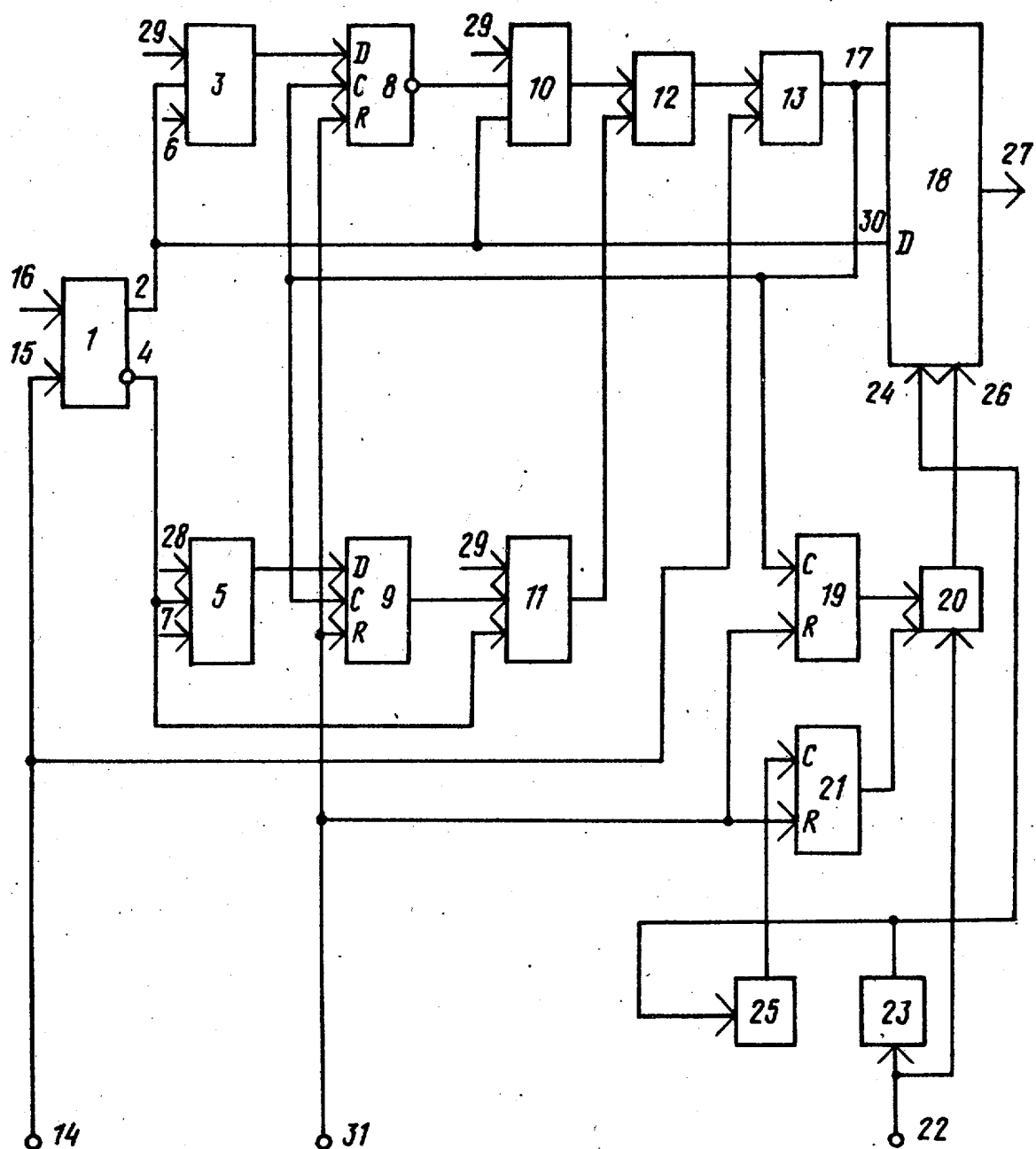
$$\begin{cases} X(i) - (X^k + \Delta) - 1 > 0 \\ -X(i) + (X^k - \Delta) - 1 > 0, \end{cases}$$

а поскольку величины выборок $X(i)$ - целые положительные двоичные числа, то это условие эквивалентно условию избыточности выборки $X(i) : X(i) - X^k / \Delta$. На входы 30 блока 18 поступает неравномерно во времени поток избыточных выборок $X^k(i)$. Блок 18 служит для выравнивания этого потока во времени, что осуществляется с помощью подачи импульсов опроса постоянной частоты по входу 22, которые, поступая на управляющий вход мультиплексора 20, подключают на адресный вход 26 блока 18 выход счетчика 21; задержавшись элементом 23 задержки на время, достаточное для установки адреса считывания, они поступают на вход 24 считывания блока 18 и на его выходе появляется записанная по поданному на вход 26 адресу выборка $X^k(i)$. Задержавшись вторым элементом 25 задержки на время, достаточное для выполнения блоком 18 операции считывания, они поступают на вход счетчика 21 и прибавляются к его содержимому "1", подготавливая адрес следующей, подлежащей считыванию, ячейки.

Время выполнения всех операций при анализе одной выборки предлагаемым устройством определяется временем параллельных операций сложения $k+1$ -разрядными сумматорами 10 и 11, 3 и 5 и наибольшей из величин интервалов времени, необходимых для выполнения операции записи буферного блока памяти $\hat{t}_{\text{взч}}$ и временем $\hat{t}_{\text{р}}$ параллельно выполняемой записи в регистры 8 и 9

$$T' = (k + 1) \hat{t}_0 \max \begin{cases} \hat{t}_{\text{взч}} \\ \hat{t}_{\text{р}} \end{cases}$$

Таким образом, предлагаемое устройство проще известного и/или дает увеличение быстродействия по сравнению с прототипом на $(a - 1) \hat{t}_0$ [с].



Редактор В. Иванова

Составитель А. Баранов
Техред А. Бабинец

Корректор О. Тигор

Заказ 4769/33

Тираж 699

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г. Ужгород, ул. Проектная, 4