



(12) 发明专利

(10) 授权公告号 CN 101937719 B

(45) 授权公告日 2014. 12. 31

(21) 申请号 201010218366. 8

G06F 13/16 (2006. 01)

(22) 申请日 2010. 06. 28

(56) 对比文件

(30) 优先权数据

09305611. 7 2009. 06. 29 EP

WO 2007/080031 A1, 2007. 07. 19, 全文.

US 2009/0037652 A1, 2009. 02. 05, 全文.

CN 101156129 A, 2008. 04. 02, 全文.

(73) 专利权人 汤姆森许可贸易公司

地址 法国伊西莱穆利诺

审查员 唐进岭

(72) 发明人 汤姆森·布鲁内

米夏埃尔·德雷克斯勒

迪特尔·豪普特

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

G11C 29/00 (2006. 01)

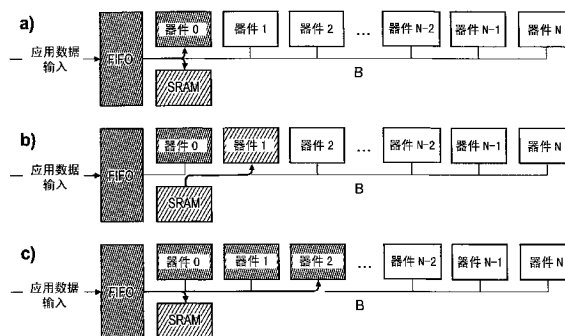
权利要求书2页 说明书4页 附图4页

(54) 发明名称

将信息数据写入闪速存储器件时处理写错误的方法和装置

(57) 摘要

本发明公开了一种将信息数据写入闪速存储器件时处理写错误的方法和装置。为了写入,在面向页面模式中物理访问闪速存储器件,但是这样的器件在操作中不是无错的。根据本发明,当在总线(B)写周期中,顺序地将信息数据写入被分配至公共数据总线的闪速存储器件(器件0、器件1、器件N-1)时,至少一个所述闪速存储器件不被馈送所述信息数据的当前部分以供存储。在将当前信息数据部分写入所述闪速存储器件的当前一个的页面时发生错误的情况下,将所述当前信息数据部分写入非闪速存储器(SRAM)。在后续总线写周期期间,在包含缺陷页面的闪速存储器件正常空闲的情况下,将该空闲时间段用于将所述信息数据的相应存储部分从所述非闪速存储器拷贝至该闪速存储器件的无缺陷页面。



1. 一种在将信息数据写入闪速存储器件时处理写错误的方法,其中,将两个或更多个闪速存储器件(器件0、器件1、器件N-1)分配至公共数据总线(B),并且在总线写周期中,这些闪速存储器件中的两个或更多个被顺序地馈送以要存储于其中的所述信息数据,所述方法包括步骤:

- 在当前总线写周期中,所述闪速存储器件中的至少一个不被馈送所述信息数据的当前部分以供存储;

- 在将所述信息数据的当前部分写入所述闪速存储器件中的当前闪速存储器件的页面中时出现错误的情况下,将所述信息数据的所述当前部分写入非闪速存储器;

- 在后续总线写周期期间,在包含缺陷页面的所述当前闪速存储器件处于正常的空闲时间段并且所述信息数据正在被写入其他闪速存储器件的情况下,将该空闲时间段用于将所述信息数据的相应存储部分从所述非闪速存储器拷贝至所述当前闪速存储器件的被设定为用于保存的或无缺陷的页面。

2. 一种在将信息数据写入闪速存储器件时处理写错误的方法,其中,将两个或更多个闪速存储器件(器件0、器件1、器件N-1)分配至公共数据总线(B),并且在总线写周期中,这些闪速存储器件中的两个或更多个被顺序地馈送以要存储于其中的所述信息数据,所述方法包括步骤:

- 在当前总线写周期中,所述闪速存储器件中的至少一个不被馈送所述信息数据的当前部分以供存储;

- 将所述信息数据的当前部分写入所述闪速存储器件中的当前闪速存储器件的页面中,并且还将所述信息数据的所述当前部分写入非闪速存储器中;

- 在将所述信息数据的所述当前部分写入所述当前闪速存储器件中的所述页面中时出现错误的情况下,在包含缺陷页面的所述当前闪速存储器件处于正常的空闲时间段并且所述信息数据正在被写入其他闪速存储器件的情况下,将该空闲时间段用于将所述信息数据的相应存储部分从所述非闪速存储器拷贝至所述当前闪速存储器件的被设定为用于保存的或无缺陷的页面。

3. 根据权利要求1或2所述的方法,其中,在连续总线写周期中的每一个总线写周期中,所述总线上的所述闪速存储器件中不同的一个不被馈送所述信息数据的当前部分以供存储。

4. 根据权利要求1或2所述的方法,其中,所述非闪速存储器是SRAM存储器。

5. 根据权利要求1或2所述的方法,其中,所述闪速存储器件(器件0、器件1、器件N-1)在高速缓冲模式下进行操作。

6. 根据权利要求1或2所述的方法,其中,所述闪速存储器件(器件0、器件1、器件N-1)不在高速缓冲模式下进行操作,并且三个或更多个闪速存储器件被分配至所述公共数据总线(B)。

7. 一种在将信息数据写入闪速存储器件时处理写错误的装置,所述装置包括:

- 至少一条公共数据总线(B),经由FIFO器件接收应用数据;

- 被分配至所述数据总线(B)中的每一条的两个或更多个闪速存储器件(器件0、器件1、器件N-1)以及至少一个非闪速存储器,

其中,在总线写周期中,每条总线的这些闪速存储器件中的两个或更多个被顺序地馈

送以要存储于其中的所述信息数据，

其中，在当前总线写操作周期中，所述闪速存储器件中的至少一个不被馈送所述信息数据的当前部分以供存储，

其中，在将所述信息数据的当前部分写入所述闪速存储器件中的当前闪速存储器件的页面中时出现错误的情况下，将所述信息数据的所述当前部分写入所述非闪速存储器；

其中，在后续总线写周期期间，在包含缺陷页面的所述当前闪速存储器件处于正常的空闲时间段并且所述信息数据正在被写入其他闪速存储器件的情况下，将该空闲时间段用于将所述信息数据的相应存储部分从所述非闪速存储器拷贝至所述当前闪速存储器件的被设定为用于保存的或无缺陷的页面。

8. 一种在将信息数据写入闪速存储器件时处理写错误的装置，所述装置包括：

– 至少一条公共数据总线 (B)，经由 FIFO 器件接收应用数据；

– 被分配至所述数据总线 (B) 中的每一条的两个或更多个闪速存储器件 (器件 0、器件 1、器件 N-1) 以及至少一个非闪速存储器，

其中，在总线写周期中，每条总线的这些闪速存储器件中的两个或更多个被顺序地馈送以要存储于其中的所述信息数据，

其中，在当前总线写操作周期中，所述闪速存储器件中的至少一个不被馈送所述信息数据的当前部分以供存储，

将所述信息数据的当前部分写入所述闪速存储器件中的当前闪速存储器件的页面中，并且写入非闪速存储器中；

其中，在将所述信息数据的所述当前部分写入所述当前闪速存储器件中的所述页面中时出现错误的情况下，在包含缺陷页面的所述当前闪速存储器件处于正常的空闲时间段并且所述信息数据正被写入其他闪速存储器件的情况下，将该空闲时间段用于将所述信息数据的相应存储部分从所述非闪速存储器拷贝至所述当前闪速存储器件的被设定为用于保存的或无缺陷的页面。

9. 根据权利要求 7 或 8 所述的装置，其中，在连续总线写周期中的每一个总线写周期中，所述总线上的所述闪速存储器件中不同的一个不被馈送所述信息数据的当前部分以供存储。

10. 根据权利要求 7 或 8 所述的装置，其中，所述非闪速存储器是 SRAM 存储器。

11. 根据权利要求 7 或 8 所述的装置，其中，所述闪速存储器件 (器件 0、器件 1、器件 N-1) 在高速缓冲模式下进行操作。

12. 根据权利要求 7 或 8 所述的装置，其中，所述闪速存储器件 (器件 0、器件 1、器件 N-1) 不在高速缓冲模式下进行操作，并且三个或更多个闪速存储器件被分配至所述公共数据总线 (B)。

将信息数据写入闪速存储器件时处理写错误的方法和装置

技术领域

[0001] 本发明涉及一种用于在将信息数据写入闪速存储器件时处理写错误的方法和装置,其中,将多个闪速存储器件分配至公共数据总线,并且在总线写周期中,这些闪速存储器件顺序地被馈送以要存储于其中的信息数据。

背景技术

[0002] 如在存储器件(例如,Grass Valley VENOM 固态记录器)中使用的 NAND 闪速半导体器件并不是无错误地进行操作。对于写入而言,在页面导向(page-oriented)模式下,对闪速存储器件进行物理访问,从而一个‘页面’例如包括 1024 或 2048 个数据字以及相关的纠错码。未来的闪存器件将具有 4096 字节的页面大小。可以仅对特定大小的数据‘块’执行特定闪速存储器的擦除操作。这样的数据块可以包括 64 个页面。

[0003] 在存储器件的制造期间,已经检测到了一些存储器缺陷,并且将相应存储器位置或页面标记为‘坏’并且不可用。特定电路避免将信息数据存储在这样的‘坏’位置处。然而,在闪速半导体的使用期限和操作期间,会出现其他存储器缺陷。相关处理必须防止丢失要写入闪速存储的这种新缺陷扇区中的信息数据。例如在 W02007/080031A1 和 W02006/108755A1 中描述了相应处理。

发明内容

[0004] 这种处理的缺点在于,在实际记录或获取完成之后,应将意在写入闪速存储器的有缺陷区并高速缓冲到例如 SRAM 存储器中的信息数据拷贝至闪速存储器内的‘保存’区。这需要花费一些额外时间,并且在还没有将信息数据存储到记录装置的闪速存储扇区中时,相应信息是不安全的。记录装置的中间故障(例如,操作错误或由于电池没电引起的掉电)导致信息丢失。然而,在专业存储系统中,这样的存储故障是不可接受的。

[0005] 本发明要解决的问题是,正确处理闪速存储器件中的信息数据写错误,使得在针对附着至公共总线的多个闪速存储器的写周期期间,进行错误处理。权利要求 1 中公开的方法解决了该问题。在权利要求 2 中公开了利用这种方法的装置。

[0006] 根据本发明,并不是在记录已经完成之后而是与该记录并行地处理动态缺陷管理。

[0007] 有利地,所需的 SRAM 存储器大小可以较小,该 SRAM 存储器存储最初意在存储在缺陷闪速存储器页面中的信息数据。

[0008] 由于当前商业可用 NAND 闪存器件的 I/O 数据速率相对于先前闪存器件类型的 I/O 数据速率已经得到提高,因此,现在剩余的可用带宽可以用于本发明的内部拷贝处理。

[0009] 即使在闪速存储器件中存在当前未知类型的缺陷的情况下,也有助于所有信息数据的保存存储。在记录装置故障或由于记录开始与获取结束之间发生的低电池状态而引起的系统停机的情况下,不会丢失信息。

[0010] 原则上,本发明的方法适合于在将信息数据写入闪速存储器件时处理写错误,其

中,将两个或多个闪速存储器件分配至公共数据总线,并且在总线写周期期间,这些闪速存储器件中的两个或多个顺序地被馈送以要存储于其中的所述信息数据,所述方法包括步骤:

[0011] - 在所述总线写周期中,所述闪速存储器件中的至少一个不被馈送所述信息数据的当前部分以供存储;

[0012] - 至少在将所述信息数据的当前部分写入所述闪速存储器件中当前一个的页面中时出现错误的情况下,将所述信息数据的所述当前部分写入非闪速存储器;

[0013] - 在后续总线写周期期间,在包含该缺陷页面的闪速存储器件正常空闲的情况下,将该空闲时间段用于将所述信息数据的相应存储部分从所述非闪速存储器拷贝至该闪速存储器件的被设定为用于保存的或无缺陷的页面。

[0014] 原则上,本发明的装置适合于,在将信息数据写入闪速存储器件时处理写错误,所述装置包括:

[0015] - 至少一条公共数据总线;

[0016] - 被分配至所述数据总线中的每一条的两个或多个闪速存储器件以及至少一个非闪速存储器,

[0017] 其中,所述数据总线中的每一条经由 FIFO 器件接收应用数据,在总线写周期中,每条总线的这些闪速存储器件中的两个或多个被顺序地馈送以要存储于其中的所述信息数据,

[0018] 其中,在所述总线写周期中,所述闪速存储器件中的至少一个不被馈送所述信息数据的当前部分以供存储,

[0019] 其中,至少在将所述信息数据的当前部分写入所述闪速存储器件中当前一个的页面中时出现错误的情况下,将所述信息数据的所述当前部分写入非闪速存储器;

[0020] 其中,在后续总线写周期期间,在包含缺陷页面的闪速存储器件正常空闲的情况下,将该空闲时间段用于将所述信息数据的相应存储部分从所述非闪速存储器拷贝至该闪速存储器件的被设定为用于保存的或无缺陷的页面。

[0021] 在相应的从属权利要求中公开了本发明的有利附加实施例。

附图说明

[0022] 参照附图描述本发明的示例实施例,在附图中:

[0023] 图 1 是总线上已知的存储器写周期;

[0024] 图 2 是第一写序列中总线上本发明存储器写周期;

[0025] 图 3 是不同闪速存储器为空闲的连续完整总线写周期;

[0026] 图 4 是本发明的拷贝处理。

具体实施方式

[0027] 对已知 NAND 闪速存储器件的写访问以两个步骤执行:

[0028] 从闪速存储器件的 I/O 管脚收集数量为例如 2048 或 4096 字节(即,一个‘页面’)的信息数据,并将该信息数据存储在内缓冲存储器中。

[0029] 将内部缓冲存储器的内容(一个页面)拷贝至闪速存储区。

[0030] 一方面,以上拷贝处理相对较慢,典型地,一个页面的拷贝时间为 $700\ \mu\text{s}$ 。另一方面,从闪速存储器件的外部访问内部缓冲存储器相对较快:对于当前器件,总线数据速率为 $20\text{--}40\text{MB/s}$,对于下一代闪速存储器件,总线数据速率高达 200MB/s 。

[0031] 为了实现增加的数据速率,可以将 NAND 闪存器件作为存储器矩阵布置在记录装置中(如 W02007/080031A1 的图 1 和 W02006/108755A1 的图 1 所示),该存储器矩阵受若干总线的控制,如针对单独一条总线的当前应用的图 1 所示,每条总线 B 与 N 个 NAND 闪存器件,器件 0、器件 1、器件 2、...、器件 N-2、器件 N-1 相连。第一行表示针对器件 0 的第一写周期,第二行表示针对器件 1 的第二写周期,依此类推。最后一行表示针对器件 N-1 的最后写周期。参考上述总线数据速率以及上述拷贝时间来计算连接至总线的 NAND 闪存器件的数目,以便于满足应用数据速率的要求。作为交织复用执行写操作。现有体系结构(例如,上述 VENOM FlashPak)在写错误的情况下不提供用于额外数据传送的带宽。

[0032] 根据本发明,通过以下方式添加额外带宽(相对于所需应用带宽):如图 2 所示,将一个或多个附加闪速存储器件添加至一条或多条总线 B,或者使用较快闪速存储器件。例如,在总线上需要 N 个闪速存储器件以满足原始带宽要求的情况下,总线上存在的 N+1 个闪速存储器件提供增加 $(N+1)/N$ 倍的 I/O 带宽。使用该附加带宽,来辅助正在进行的交织复用内从 SRAM 存储器至闪存器件的内部拷贝处理。仅在出现闪存页面写错误时使用该额外带宽。选择用于闪存器件的内部拷贝处理的附加带宽和接口带宽,以使得实现本发明的页面写错误缺陷管理。

[0033] 在无错误页面写操作期间,总线 B 上的一个闪存器件(例如,图 2 中的器件 0)不用于当前写周期内的写入。图 2 示出了一个以器件 1 开始并以器件 N 结束的写周期。第一行表示针对器件 1 的第一写周期,第二行表示针对器件 2 的第二写周期,依此类推。最后一行表示针对器件 N 的最后写周期。在后续写周期期间,在该写周期中不使用总线 B 上的另一闪存器件,而是在该写周期中使用器件 0。控制器或针对处理器的相应程序(其中,控制器或处理器未示出):

[0034] - 控制对附着至总线 B 的闪速存储器件 0 至器件 N 的写操作;

[0035] - 控制在当前总线写周期中不使用总线 B 上的哪一个闪速存储器;

[0036] - 检查总线 B 上的闪速存储器(或任何其他相应状态数据)已经用信号报告了写错误或新的缺陷写区域;

[0037] - 控制如结合图 4 所描述的去往和来自非闪速存储器的相应信息数据传送,该非闪速存储器附着至总线 B。

[0038] 图 3 示出了(完整)示例总线写周期的连续序列,在每个总线写周期中,不同闪存器件在总线 B 上为空闲,以总线写周期 0 中的器件 0 开始并以总线写周期 N 中的器件 N 结束。在 N+1 个写周期之后,每个闪存器件为空闲。

[0039] 在图 4a 中,在闪速存储器(例如,器件 0)中的写错误或该闪速存储器中的新缺陷写区域(由该闪速存储器)用信号报告的情况下,将要被写入缺陷闪存页面的信息数据临时存储在非闪速存储器(例如,SRAM 存储器)中。

[0040] 作为备选,写入当前闪速存储器中的页面信息数据还被并行地写入 SRAM 存储器,而同时在适当时间删除或盖写先前存储在 SRAM 存储器中的信息数据,这意味着,需要 SRAM 存储器的存储容量比其他实施例中的存储容量更大。

[0041] 在后续总线写周期期间,在包含该缺陷页面的闪速存储器件正常空闲的情况下,如图 4b 所示,将该空闲时间段用于发起和执行从 SRAM 存储器至该闪速存储器件的被设定为用于保存的或无缺陷的闪存页面的拷贝操作。其后,如图 4c 所示,处理以正常方式继续。在总线 B 的输入处布置的 FIFO 用于补偿闪存总线 B 上的增加 $(N+1)/N$ 倍的数据速率。

[0042] 在多数情况下,将三个或更多个闪速存储器件,器件 0、器件 1、...、器件 N-1 分配或连接至公共数据总线 B,在总线写周期中,这些闪速存储器件中的两个或更多个顺序地被馈送以要存储于其中的信息数据。在高速缓冲存储器件内,在第一步骤中,将信息数据写入闪存器件的内部高速缓冲存储扇区中,以及在第二步骤中,从该高速缓冲存储器向闪速存储器核传送或编程该信息数据。

[0043] 然而,在‘高速缓冲模式’用于闪速存储器的情况下,闪速存储器件允许将信息数据写入闪存器件的高速缓冲存储扇区,而将先前接收到的信息数据从高速缓冲存储器编程(即,存储)到闪速存储器核(闪速存储器件具有两个高速缓冲存储扇区或两个高速缓冲存储器)中。在这样的‘高速缓冲模式’操作中,将至少两个闪速存储器件,器件 0、器件 1、...、器件 N-1 分配或连接至公共数据总线 B。

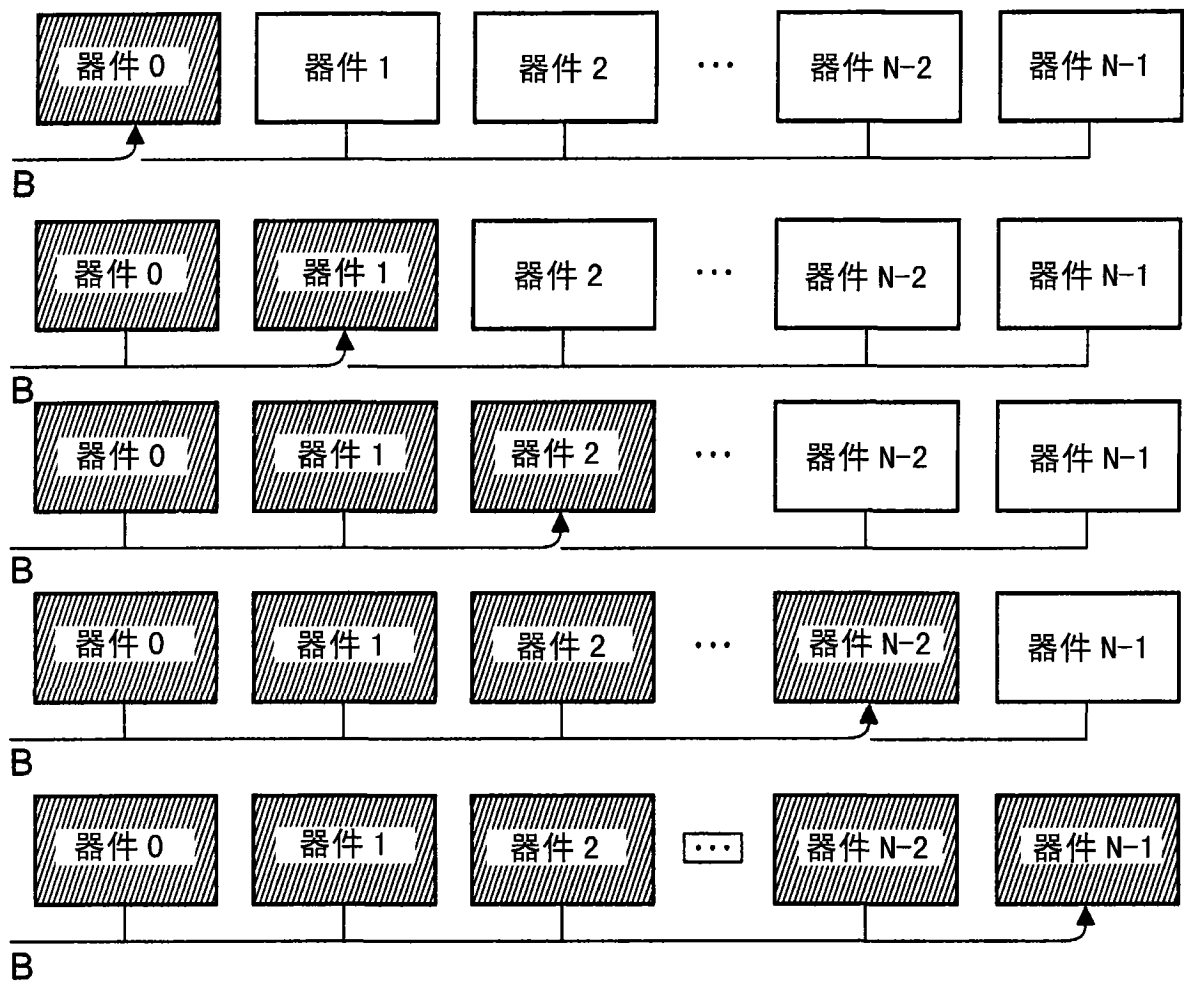


图 1

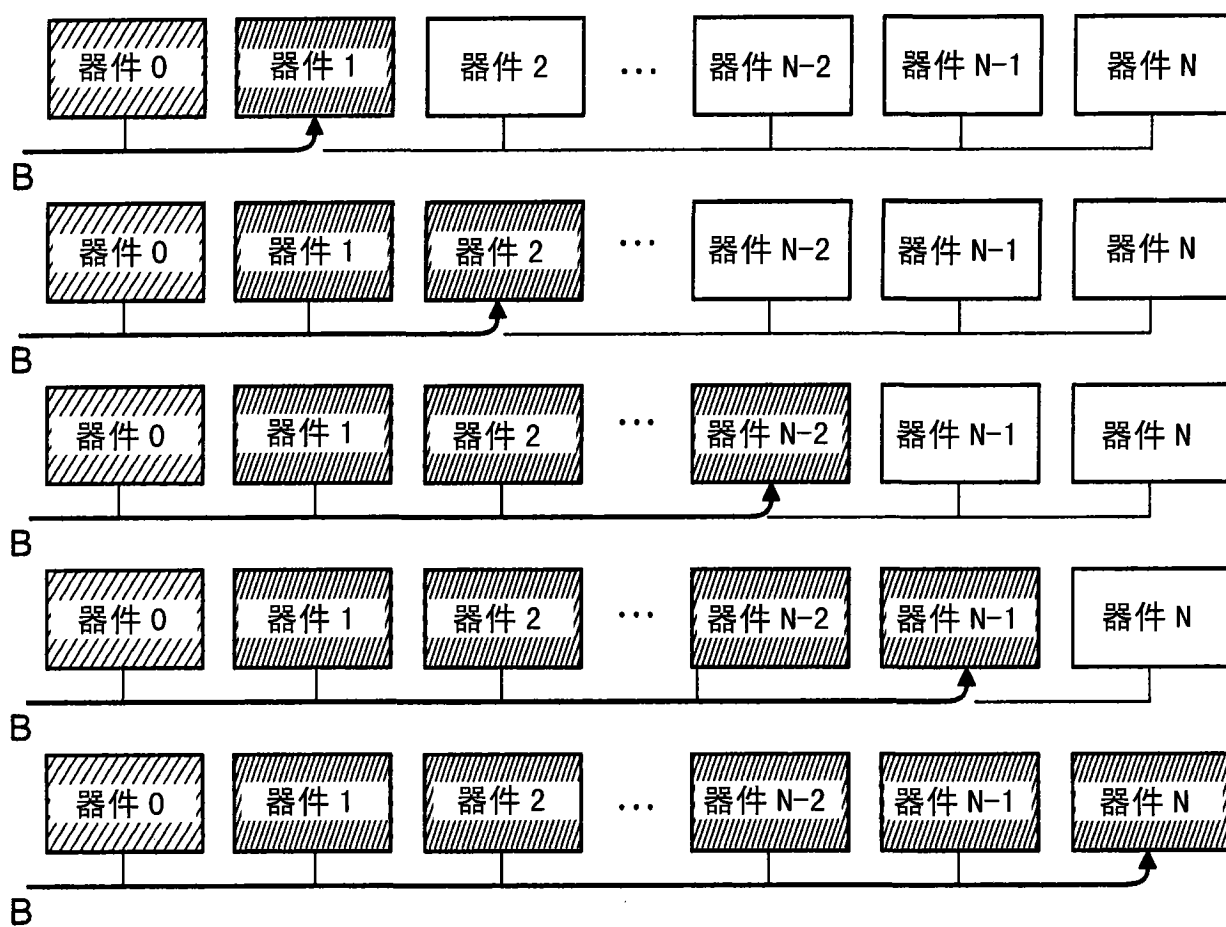


图 2

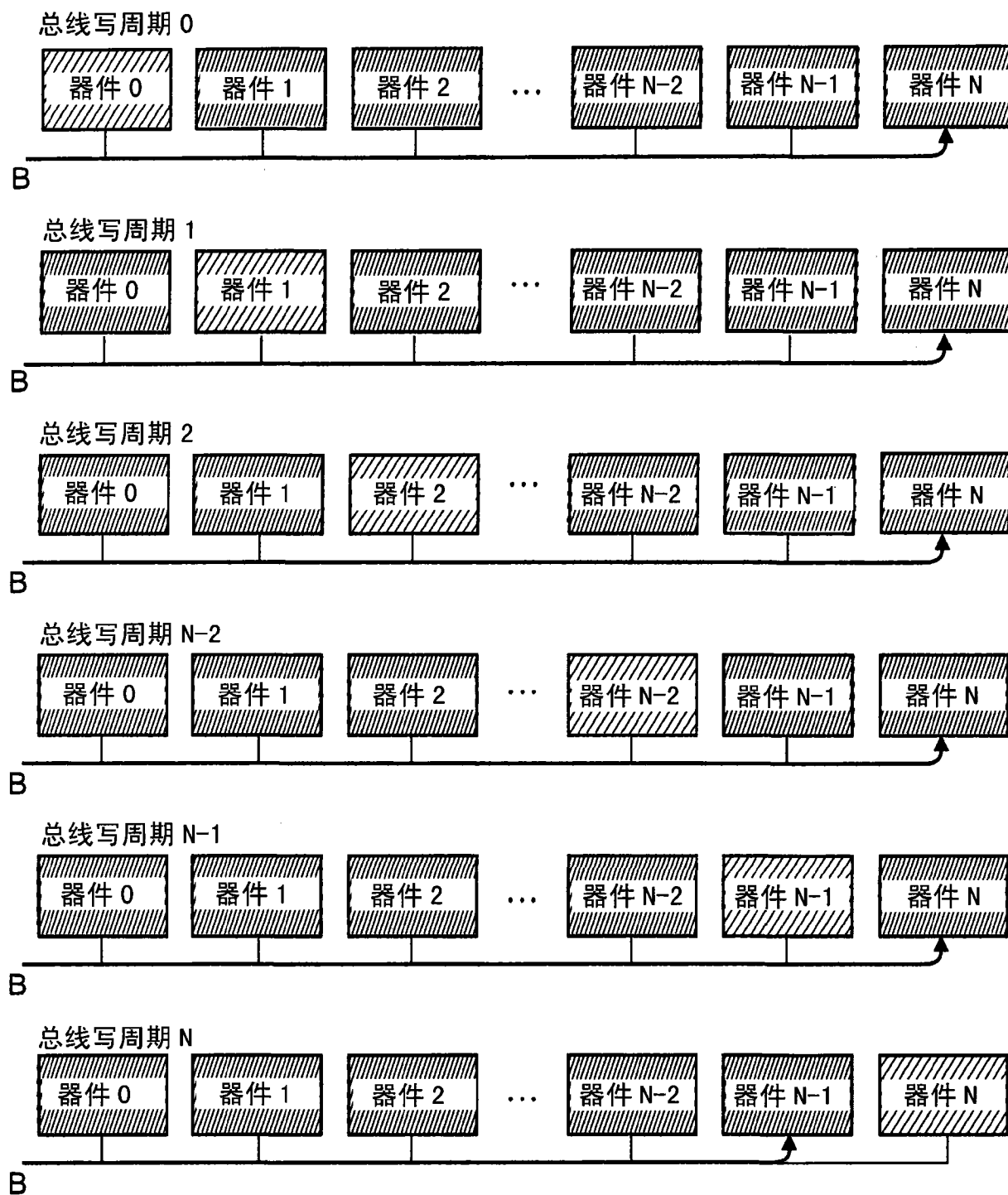


图 3

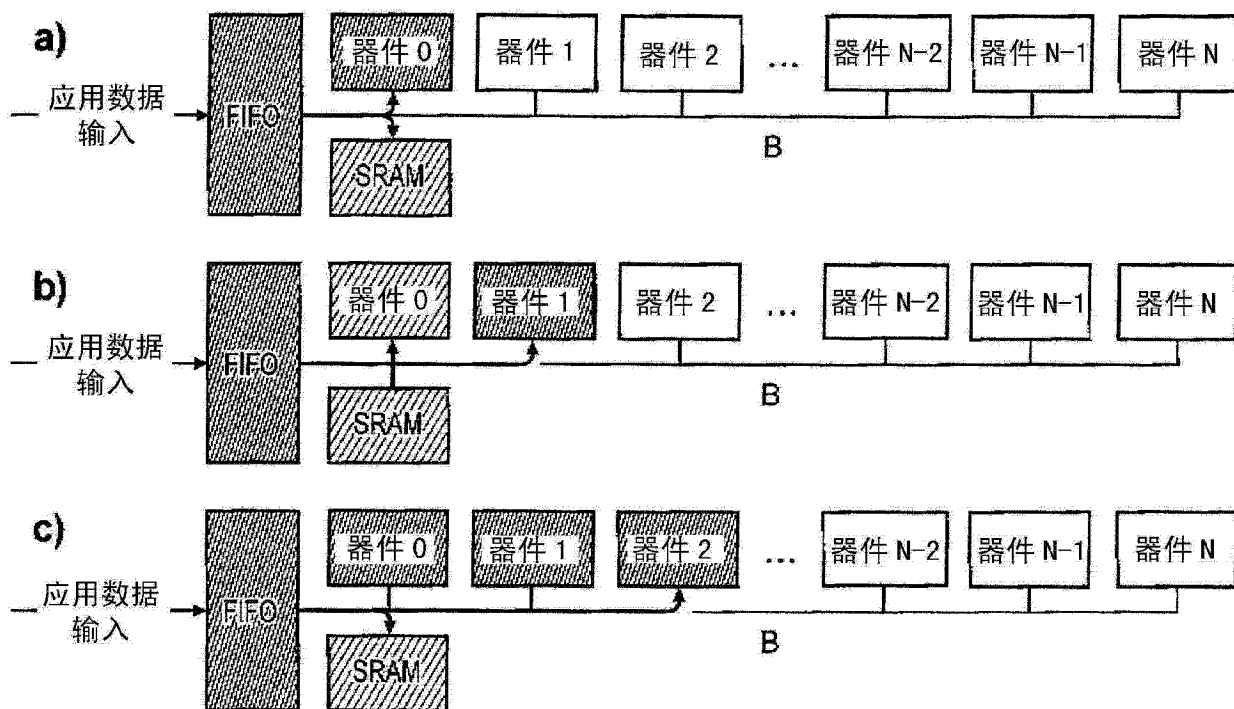


图 4