



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, 添付公開書類:
MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

高効率で低コストのスイッチング電源装置を提供する。このスイッチング電源装置は、高耐圧トランジスタ (11) と低耐圧トランジスタ (12) を備える。第 2 のノード (N2) から第 1 のノード (N1) に電流を流すときは、高耐圧トランジスタ (11) をオン状態とし、低耐圧トランジスタ (12) をオフさせ、低耐圧トランジスタ (12) の内蔵ダイオード (12a) に電流を流す。高耐圧トランジスタ (11) の寄生ダイオード (11a) には電流は流れないので、リカバリ電流を低減できる。更に、高耐圧トランジスタ (11) のゲート電極には、抵抗 (51a, 51b) とダイオード (51c) からなる第 1 の遅延回路が接続され、低耐圧トランジスタ (12) のゲート電極には、抵抗 (52a, 52b) とダイオード (52c) からなる第 2 の遅延回路が接続されるので、スイッチング動作時のスイッチング速度をきめ細かく調整して損失を低減できる。

明 細 書

発明の名称：

スイッチング電源装置と、それを用いたインバータ、コンバータ、および
ソーラーパワーコントローラ

技術分野

[0001] この発明はスイッチング電源装置に関し、特に、スイッチング損失が小さなスイッチング電源装置と、それを用いたインバータ、コンバータ、およびソーラーパワーコントローラに関する。

背景技術

[0002] 従来から、インバータでは、MOS (Metal Oxide Semiconductor) トランジスタの寄生ダイオードを還流ダイオード (Free Wheeling Diode) として用いる場合がある。この場合、寄生ダイオードに順方向の電流が還流しているときに、その寄生ダイオードに逆方向の電源電圧が印加されると、その寄生ダイオードにリカバリ電流 (逆回復電流) が流れ、大きなスイッチング損失が発生する。

[0003] 特許文献 1 には、リカバリ電流が流れるのを防止するため、高電圧側のノードと MOS トランジスタのドレインとの間に逆流防止ダイオードを順方向に接続するとともに、MOS トランジスタのソースと高電圧側のノードとの間に順方向に還流ダイオードを接続する方法が開示されている。

[0004] また特許文献 2 には、リカバリ電流が流れるのを防止するため、高電圧側のノードと低電圧側のノードとの間に 2 つの MOS トランジスタを直列接続し、低電圧側のノードと高電圧側のノードとの間に高耐圧の還流ダイオードを順方向に接続する方法が開示されている。

先行技術文献

特許文献

[0005] 特許文献 1：日本国特開平 7 - 2 6 4 8 7 6 号公報

特許文献 2：日本国特開 2 0 1 0 - 2 9 0 1 9 号公報

発明の概要

発明が解決しようとする課題

[0006] しかし、特許文献1の方法では、逆流防止ダイオードで導通損失が発生すると言う問題がある。また、特許文献2の方法では、2つのMOSトランジスタと高耐圧の還流ダイオードを設けるので、コスト高になると言う問題がある。

[0007] それゆえに、この発明の主たる目的は、高効率で低コストのスイッチング電源装置と、それを用いたインバータ、コンバータ、およびソーラーパワーコントローラを提供することである。

課題を解決するための手段

[0008] この発明に係るスイッチング電源装置は、第1の電極が第1のノードに接続された第1のトランジスタと、第1の電極が前記第1のトランジスタの第2の電極に接続され、第2の電極が第2のノードに接続された第2のトランジスタとを備え、前記第1および第2のトランジスタの各々は、第2および第1の電極間に順方向に接続された寄生ダイオードを有し、前記第1のトランジスタの第1および第2の電極間の耐圧は、前記第2のトランジスタの第1および第2の電極間の耐圧よりも高く、さらに、前記第1のノードから前記第2のノードに電流を流す場合は、前記第1および第2のトランジスタをオンさせ、前記第2のノードから前記第1のノードに電流を流す場合は、前記第1のトランジスタをオンさせるとともに前記第2のトランジスタをオフさせる駆動回路を備え、前記駆動回路は、前記第2のノードの電圧に前記第1のトランジスタのしきい値電圧を加算した電圧よりも高い電圧を前記第1のトランジスタの制御電極に与えて前記第1のトランジスタをオンさせ、前記第1のトランジスタの制御電極および第2のトランジスタの制御電極には、それぞれ前記第1のトランジスタの制御電極の電位変動を遅延させる第1の遅延回路および前記第2のトランジスタの制御電極の電位変動を遅延させる第2の遅延回路が接続され、前記第1の遅延回路および第2の遅延回路の少なくともいずれか一方は、前記第1のトランジスタの制御電極または第2

のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるよう構成されてなることを特徴としている。

発明の効果

[0009] 上記構成によれば、高耐圧の第1のトランジスタに比べて低耐圧の第2のトランジスタは内蔵ダイオードに起因するリカバリ電流が小さい。そして、第2のノードから第1のノードに電流が流れる際は、第1のトランジスタはオンしており、第2のトランジスタはオフしているので、リカバリ電流が大きい第1のトランジスタの内蔵ダイオードには電流が流れずに、リカバリ電流が小さい第2のトランジスタの内蔵ダイオードのみに電流が流れる。したがって、還流ダイオードを外付けすることなくトランジスタの内蔵ダイオードを活用し、リカバリ電流による損失を低減することができる。それゆえ、高効率かつ低コストであるスイッチング電源装置が提供される。

[0010] 上記構成によればまた、高耐圧の第1のトランジスタと低耐圧の第2のトランジスタが直列に接続され、スイッチング動作を行うのは低耐圧の第2のトランジスタである。電源電圧の大半は高耐圧の第1のトランジスタの第1の電極－第2の電極間に印加されるため、スイッチング動作を行う低耐圧の第2のトランジスタの第1の電極－第2の電極間電圧を非常に小さくすることができる。そのため、スイッチング動作を行う第2のトランジスタの制御電極の電位が、容量結合する第1の電極の電位が変動することにより影響を受ける度合いを非常に小さくすることができる。それゆえ、制御電極の電位の変動による第2のトランジスタの誤点弧を効果的に抑制することができる。したがって、信頼性の高いスイッチング電源装置が提供される。

[0011] 上記構成によればまた、第1および第2のトランジスタの少なくともいずれか一方において、制御電極の電位が増加する速さと減少する速さを独立して決定することが可能となる。したがって、スイッチングの立ち上がりと立ち下りの速さを独立に決定することができるため、回路が発振しない範囲でよりきめ細かく回路のスイッチング高速化を行い、損失を低減することができる。

図面の簡単な説明

[0012] [図1]この発明の第1の実施形態によるスイッチング電源装置の構成を示す回路ブロック図である。

[図2]この発明の第2の実施形態である、図1に示したスイッチング電源装置を用いたインバータの構成を示す回路ブロック図である。

[図3]図2に示したインバータの効果を説明するための模式的なタイムチャート(A, B)である。

[図4]図2に示したインバータの効果を説明するための他の模式的なタイムチャート(A, B)である。

[図5]この発明の第3の実施形態による昇圧チョッパの構成を示す回路ブロック図である。

[図6]この発明の第4の実施形態による双方向チョッパの構成を示す回路ブロック図である。

[図7]この発明の第5の実施形態による三相モータ制御インバータの構成を示す回路ブロック図である。

[図8]この発明の第6の実施形態によるプッシュプル型DC/DCコンバータの構成を示す回路ブロック図である。

発明を実施するための形態

[0013] [第1の実施形態]

この発明の第1の実施形態によるスイッチング電源装置1は、図1に示すように、NチャネルMOSトランジスタ11、12、コンデンサ21、71b、ダイオード31、51c、52c、ゲート電源41、抵抗51a、51b、52a、52b、71a、ツェナーダイオード61およびゲートドライバ81を備える。トランジスタ11、12は、それぞれ寄生ダイオード11a、12aを内蔵している。

[0014] 寄生ダイオード11a、12aのアノードはそれぞれ対応のトランジスタ11(第1のトランジスタ)およびトランジスタ12(第2のトランジスタ)のソース(第2の電極)に接続され、寄生ダイオード11a、12aのカ

ソードはそれぞれ対応のトランジスタ 11, 12 のドレイン（第 1 の電極）に接続されている。

[0015] トランジスタ 11 は、ソースドレイン間耐圧がたとえば 600 V の高耐圧トランジスタである。トランジスタ 12 は、ソースドレイン間耐圧がたとえば 30 V の低耐圧トランジスタであり、第 1 のトランジスタ 11 のソースドレイン間耐圧より低い。一般に低耐圧トランジスタ 12 のリカバリ電流は、高耐圧トランジスタ 11 のリカバリ電流よりも小さい。低耐圧トランジスタ 12 の寄生ダイオード 12a は、還流ダイオードとして動作する。

[0016] なお、トランジスタのソースドレイン間距離を長くすると、トランジスタのソースドレイン間耐圧が高くなる。また、トランジスタのチャネルの不純物濃度を低くすると、トランジスタのソースドレイン間耐圧が高くなる。また、寄生ダイオード中の不純物濃度を高くすると、少数キャリアのライフタイムが短くなってリカバリ電流は小さくなる。低耐圧トランジスタ 12 の不純物濃度は高耐圧トランジスタ 11 の不純物濃度よりも高いので、低耐圧トランジスタ 12 のリカバリ電流は高耐圧トランジスタ 11 のリカバリ電流よりも小さい。

[0017] なお、低耐圧トランジスタ 12 のソースドレイン間耐圧は、3 ~ 200 V の範囲内であることが好ましい。低耐圧トランジスタ 12 のソースドレイン間耐圧が 200 V を越えると、低耐圧トランジスタ 12 におけるリカバリ電流が増大してしまう。また、低耐圧トランジスタ 12 のソースドレイン間耐圧が 3 V 未満の場合は、電源回路のノイズに対する低耐圧トランジスタ 12 の耐性が低下してしまう。

[0018] また、高耐圧トランジスタ 11 のソースドレイン間耐圧は、低耐圧トランジスタ 12 のソースドレイン間耐圧の 3 倍以上で 100 倍以下の範囲内であることが好ましい。高耐圧トランジスタ 11 のソースドレイン間耐圧が低耐圧トランジスタ 12 のソースドレイン間耐圧の 3 倍よりも小さい場合は、高耐圧トランジスタのリカバリ電流と低耐圧トランジスタのリカバリ電流との差が小さくなり、この第 1 の実施形態の効果が小さくなってしま

。また、高耐圧トランジスタ 11 のソースドレイン間耐圧が低耐圧トランジスタ 12 のソースドレイン間耐圧の 100 倍よりも大きい場合は、スイッチングノイズに対する低耐圧トランジスタの耐性が低下してしまう。

[0019] トランジスタ 11 のドレインは第 1 のノード N1 に接続される。トランジスタ 12 のドレインは、トランジスタ 11 のソースに接続され、トランジスタ 12 のソースは第 2 のノード N2 に接続される。

[0020] 抵抗 51a (第 1 の抵抗器)、抵抗 51b (第 2 の抵抗器) およびダイオード 51c は、第 1 の遅延回路を構成する。抵抗 51b とダイオード 51c は直列に接続されている。直列に接続された抵抗 51b とダイオード 51c に、更に抵抗 51a が並列に接続されて第 1 の遅延回路をなしている。第 1 の遅延回路の一端は、トランジスタ 11 のゲート (制御電極) に接続される。

[0021] 抵抗 52a (第 1 の抵抗器)、抵抗 52b (第 2 の抵抗器) およびダイオード 52c は、第 1 の遅延回路を構成する。抵抗 52b とダイオード 52c は直列に接続されている。直列に接続された抵抗 52b とダイオード 52c に、更に抵抗 52a が並列に接続されて第 2 の遅延回路をなしている。第 2 の遅延回路の一端は、トランジスタ 12 のゲート (制御電極) に接続される。

[0022] 第 1 および第 2 の遅延回路の他端側から一端側 (トランジスタ 11, 12 と接続される側) に電流が流れる際は、第 1 および第 2 の遅延回路の抵抗値はそれぞれ抵抗 51a, 52a の抵抗値で規定される。一方、第 1 および第 2 の遅延回路の一端側から他端側に電流が流れる際は、遅延回路の抵抗値はそれぞれ抵抗 51a と抵抗 51b の並列接続による合成抵抗値および抵抗 52a と抵抗 52b の並列接続による合成抵抗値で規定される。それゆえ、抵抗 51a, 抵抗 51a と抵抗 51b の並列接続, 抵抗 52a, 抵抗 52a と抵抗 52b の並列接続の各抵抗値は、それぞれ高耐圧トランジスタ 11 のゲート電位を増加または減少させる際の時定数および低耐圧トランジスタ 12 のゲート電位を増加またはさせる際の時定数に関係する。より具体的には、

上記各抵抗値と該抵抗値に関連付けられるトランジスタのゲート容量の積は時間の次元を持ち、ゲート電位が遷移する際の時定数となる。

[0023] 図1に示す第1および第2の遅延回路の構成では、抵抗51a, 52aの抵抗値が0でない限り、トランジスタ11, 12のゲート電位を減少させる時の時定数は、トランジスタ11, 12のゲート電位を増加させる時の時定数より小さくなる。しかしながら、ダイオード51c, 52cの極性を逆向きに接続すれば、トランジスタ11, 12のゲート電位を減少させる時の時定数を、トランジスタ11, 12のゲート電位を増加させる時の時定数より大きくすることが可能である。上記いずれの場合であっても、トランジスタ11, 12のゲート電位を増加させる速さと減少させる速さが異なることとなる。

[0024] 以上のことから、図1に示す構成では、トランジスタ11, 12のゲート電位を増加させる速さと減少させる速さを、4つの抵抗51a, 51b, 52a, 52bの各抵抗値を調整することにより、それぞれ独立に決定することが可能となる。

[0025] なお、第1の遅延回路および第2の遅延回路の一方が、1つの抵抗のみからなる遅延回路であってもよい。例えば、第1の遅延回路が1つの抵抗のみからなり、第2の遅延回路が図1に示すようなものである場合は、トランジスタ11のゲート電位を増加させる速さと減少させる速さを独立に決定することができないが、トランジスタ12のゲート電位を増加させる速さと減少させる速さを独立に決定することができる。しかしながら、図1に示すように、第1および第2の遅延回路のいずれもが、直列に接続された抵抗とダイオードに、更に抵抗が並列に接続された構成となっていることが好ましい。この場合は、トランジスタ11, 12のゲート電位を増加させる速さと減少させる速さを、それぞれ独立に決定することが可能となるからである。

[0026] トランジスタ11, 12のゲート電位を高速に変化させることは、スイッチング損失を低減する効果があるが、回路が発振しやすくなるという副作用が生じる。トランジスタ11, 12のゲート電位を増加させる速さと減少さ

せる速さを独立に決定することにより、回路が発振しない範囲でより高速に回路のスイッチングを行い、損失を低減することができる。

[0027] 抵抗51aの抵抗値は、例えば、 $1\Omega \sim 500\Omega$ とすることができる。このとき、トランジスタ11のゲート容量が 2 nF の場合、トランジスタ11のゲート電位が増加する際の時定数は、 $2\text{ ns} \sim 1\mu\text{s}$ となる。また、抵抗51a、51bの抵抗値がいずれも 40Ω 、トランジスタ11のゲート容量が 2 nF の場合、トランジスタ11のゲート電位が増加する際の時定数は 80 ns となり、ゲート電位が減少する際の時定数は 40 ns となる。

[0028] 抵抗52aの抵抗値は、例えば、 $1\Omega \sim 500\Omega$ とすることができる。このとき、トランジスタ12のゲート容量が 2 nF の場合、トランジスタ12のゲート電位が増加する際の時定数は、 $2\text{ ns} \sim 1\mu\text{s}$ となる。また、抵抗52a、52bの抵抗値がいずれも 40Ω 、トランジスタ12のゲート容量が 2 nF の場合、トランジスタ12のゲート電位が増加する際の時定数は 80 ns となり、ゲート電位が減少する際の時定数は 40 ns となる。

[0029] なお、トランジスタ11、12のゲート電位が増加または減少する速さは、トランジスタ11、12のゲート容量のみならず、その他の寄生容量の影響も受ける。また、トランジスタ11、12のゲート容量は、トランジスタのドレインソース間電圧によっても変動することに留意すべきである。

[0030] ダイオード31のカソードは、第1の遅延回路の他端に接続される。すなわち、ダイオード31のカソードは、第1の遅延回路を介してトランジスタ11のゲートに接続される。ゲート電源41の正極は、ダイオード31のアノードに接続される。ゲート電源41の負極は、第3のノードN3に接続されている。ゲート電源41は、高耐圧トランジスタ11（たとえば、しきい値電圧 $V_{TH} = 0.1 \sim 7\text{ V}$ のエンハンスメント型トランジスタ）の各々のしきい値電圧 V_{TH} とダイオード31の順方向降下電圧との和の電圧よりも高い直流電圧（たとえば、 $0.2 \sim 50\text{ V}$ ）を出力する。

[0031] コンデンサ21は、第1の遅延回路の他端と第2のノードN2との間に接続される。なお、コンデンサ21は、第2のノードN2の電圧とゲート電源

4 1 の出力電圧とを加算した電圧をトランジスタ 1 1 のゲートに印加するために設けられている。例えば、第 2 のノード N 2 および第 3 のノード N 3 が共に接地電位にあるときは、ゲート電源 4 1 の出力電位はダイオード 3 1 および第 1 の遅延回路を介して高耐圧トランジスタ 1 1 のゲートに印加される。その後、第 3 のノード N 3 が接地電位のままで第 2 のノード N 2 の電位が上昇しても、コンデンサ 2 1 の容量カップリングにより、第 2 のノード N 2 と高耐圧トランジスタ 1 1 のゲートとの間の電位差は保たれる。

[0032] ゲートドライバ 8 1 は、第 2 の遅延回路の他端に接続される。すなわち、ゲートドライバ 8 1 は第 2 の遅延回路を介してトランジスタ 1 2 のゲートに接続される。ゲートドライバ 8 1 は、トランジスタ 1 2 のゲート電圧を制御してトランジスタ 1 2 をオン／オフ制御する。これにより、例えば、第 1 のノード N 1 に高電位が接続され、第 2 のノード N 2 に接地電位が接続されると、第 1 のノード N 1 から第 2 のノード N 2 に向かって断続的に電流が流れ、スイッチング電源としての基本動作が行われる。

[0033] 以上説明したように、コンデンサ 2 1、ダイオード 3 1 およびゲート電源 4 1 は、第 2 のノード N 2 の電圧にトランジスタ 1 1（エンハンスメント型）のしきい値電圧を加算した電圧よりも高い電圧をトランジスタ 1 1 のゲートに与えてトランジスタ 1 1 をオンさせるために設けられている。トランジスタ 1 1 として、しきい値電圧 V_{TH} が負のトランジスタ（デプレッション型）を用いる場合は、コンデンサ 2 1、ダイオード 3 1 およびゲート電源 4 1 を用いずに、第 2 のノード N 2 と第 1 の遅延回路の他端を直接接続することも可能である。

[0034] ツェナーダイオード 6 1 のアノードおよびカソードは、トランジスタ 1 2 のソースおよびドレインにそれぞれ接続されている。このツェナーダイオード 6 1 は、低耐圧トランジスタ 1 2 のソースドレイン間に所定の電圧を超える電圧が印加されることを防ぐために設けられている。

[0035] 抵抗 7 1 a の一端がトランジスタ 1 1 のドレインに接続され、抵抗 7 1 a の他端がコンデンサ 7 1 b の一端に接続され、コンデンサ 7 1 b の他端がト

ランジスタ 12 のソースに接続される。この抵抗 71 a およびコンデンサ 71 b は、このスイッチング電源装置 1 がスイッチングを行う際に発生する過渡的な高電圧を吸収するために設けられている。

[0036] 図 1 に示すスイッチング電源装置 1 を構成する各要素のうち、コンデンサ 21、ダイオード 31、ゲート電源 41 およびゲートドライバ 81 は駆動回路を構成している。駆動回路は図 1 に示すものに限定されないが、少なくとも以下の 2 つの機能を有している。第 1 の機能は、第 1 のノード N1 から第 2 のノード N2 に電流を流す場合は、トランジスタ 11, 12 をオンさせ、第 2 のノード N2 から第 1 のノード N1 に電流を流す場合は、トランジスタ 11 をオンさせるとともにトランジスタ 12 をオフさせる機能である。第 2 の機能は、第 2 のノード N2 の電圧にトランジスタ 11 のしきい値を加算した電圧よりも高い電圧をトランジスタ 11 のゲートに与えてトランジスタ 11 をオンさせる機能である。

[0037] なお、前記第 1 の機能については、第 2 のノード N2 から第 1 のノード N1 に電流を流す場合に、第 2 のノード N2 から第 1 のノード N1 に電流が流れ始めた後にトランジスタ 12 をオンさせ、第 2 のノード N2 から第 1 のノード N1 に電流が流れなくなる前にトランジスタ 12 をオフさせるものであってもよい。駆動回路はディスクリートな素子を組み合わせ構成してもよいし、集積回路として単一の半導体チップ上に形成されていてもよい。また、駆動回路が前記 2 つの機能以外の付加機能をさらに有していてもよい。

[0038] 次に、この第 1 の実施形態によるスイッチング電源装置 1 の動作を説明する。このスイッチング電源装置 1 の動作は、第 1 のノード N1 から第 2 のノード N2 に電流が流れる場合と、第 2 のノード N2 から第 1 のノード N1 に電流が流れる場合の、2 つのモードに大別される。

[0039] まず、第 1 のノード N1 から第 2 のノード N2 に電流が流れる場合について説明する。第 1 のノード N1 から第 2 のノード N2 に電流が流れる場合は、トランジスタ 11, 12 をオンさせる。最初に、第 1 のノード N1 から第 2 のノード N2 に電流を流し始める動作（オン動作）について説明する。そ

の後、電流を遮断する動作（オフ動作）について説明する。

[0040] まず、オン動作について説明する。例として、第1のノードN1に電圧400Vの電源が接続され、初期状態では第2のノードN2は接地電位（0V）であったとする。なお、第3のノードN3は接地電位に固定されているとする。また、トランジスタ11の閾値 V_{TH} は3Vであるとする。更に、ゲート電源41は電圧10Vを出力するものとする。初期状態では、ゲートドライバ81はトランジスタ12のゲートに対してオフ電位（例えば第2のノードN2の電位を基準として0V）を出力しており、トランジスタ12はオフ状態となっている。

[0041] 初期状態では、トランジスタ11のゲートには10Vが印加されている。トランジスタ11の閾値 V_{TH} は3Vであるから、トランジスタ11のソース（トランジスタ12のドレイン）の電位は7Vとなっている。すなわち、高耐圧トランジスタ11のソースドレイン間には393Vが印加され、低耐圧トランジスタ12のソースドレイン間には7Vが印加されている。

[0042] ここで、ゲートドライバ81はトランジスタ12に対してオン電位（例えば第2のノードN2の電位を基準として15V）を出力する。このとき、ゲートドライバ81から第2の遅延回路の抵抗52aを通してトランジスタ12のゲートに向かって電流が流れ、トランジスタ12のゲート電位を増加させていく。トランジスタ12のゲート電位がトランジスタ12の閾値 V_{TH} を超えると、トランジスタ12のドレインからソースに向けて電流が流れ始める。

[0043] この後のスイッチング電源装置1の挙動は、第2のノードN2の電位が変化しないか、あるいは増加していくかによって異なる。後述する、スイッチング電源装置1を直列に接続して構成されるインバータでは、低耐圧トランジスタのオン動作開始直後は低耐圧トランジスタのソース側のノードの電位は変化しないで、その後増加していくという挙動を示す。したがって、第2のノードN2の電位が変化しない場合と増加する場合の挙動を以下に示す。

[0044] 第2のノードN2の電位が変化しない場合は、コンデンサ21で容量結合

したトランジスタ 11 のゲート電位も変化しない。トランジスタ 11 は、トランジスタ 11 のソース電位が 7 V から低下することにより、ドレインからソースに向けて電流を流す。流れる電流量は、トランジスタ 11 のソース電位の 7 V からのずれ量に依存する。

[0045] それゆえ、この場合のトランジスタ 11, 12 を流れる電流量の増加速度は、専らトランジスタ 12 のゲート電位の増加速度に依存する。すなわち、第 2 の遅延回路の抵抗 52 a の抵抗値が低ければスイッチング速度は速くなり、抵抗値が高ければスイッチング速度は遅くなる。

[0046] 一方、第 2 のノード N2 の電位が増加する場合は、コンデンサ 21 で容量結合したトランジスタ 11 のゲート電位も増加する。第 2 のノード N2 の電位が増加すれば、トランジスタ 11 のソースドレイン間電圧も減少してトランジスタ 11 のドレインからソースに向けて流れる電流を減少させる作用を生じるが、一方で、トランジスタ 11 のゲート電位が増加すれば、トランジスタ 11 のドレインからソースに向けて流れる電流を増加させる作用を生じる。結局、2 つの作用の釣り合いにより、トランジスタ 11, 12 を流れる電流量が決まる。トランジスタ 11, 12 を流れる電流量が大きければ、第 2 のノード N2 の電位の増加速度は大きくなる。

[0047] この場合、第 1 の遅延回路の抵抗 51 a の抵抗値が 2 つの作用の釣り合いに影響を与える。抵抗 51 a の抵抗値が低ければ、第 2 のノード N2 の電位増加が速やかにトランジスタ 11 のゲート電位を上昇させるが、抵抗 51 a の抵抗値が高ければ、第 2 のノード N2 の電位上昇がトランジスタ 11 のゲート電位を増加させるのに時間がかかる。そのため、第 1 の遅延回路の抵抗 51 a の抵抗値が低ければスイッチング速度は速くなり、抵抗値が高ければスイッチング速度は遅くなる。

[0048] 次に、オフ動作について説明する。例として、第 1 のノード N1 に電圧 400 V の電源が接続され、第 1 のノード N1 から第 2 のノード N2 に電流が流れており、第 2 のノード N2 の電位も 400 V であったとする。なお、第 3 のノード N3 は接地電位に固定されているとする。また、トランジスタ 1

1の閾値 V_{TH} は3Vであるとする。更に、ゲート電源41は電圧10Vを出力するものとする。初期状態では、ゲートドライバ81はトランジスタ12のゲートに対してオン電位（例えば第2のノードN2の電位を基準として15V）を出力しており、トランジスタ12はオン状態となっている。トランジスタ11のゲート電位は410Vであり、トランジスタ12もオン状態となっている。

[0049] ここで、ゲートドライバ81はトランジスタ12に対してオフ電位（例えば第2のノードN2の電位を基準として0V）を出力する。このとき、トランジスタ12のゲートから第2の遅延回路の抵抗52aおよび52bを通過してゲートドライバ81に向かって電流が流れ、トランジスタ12のゲート電位を減少させていく。トランジスタ12のゲート電位が減少すると、トランジスタ12のドレインからソースに向かって流れる電流も減少を始める。

[0050] この後のスイッチング電源装置1の挙動は、第2のノードN2の電位が変化しないか、あるいは減少していくかによって異なる。後述する、スイッチング電源装置1を直列に接続して構成されるインバータでは、低耐圧トランジスタのオフ動作開始直後は低耐圧トランジスタのソース側のノードの電位は減少し、その後電位が変化しないで専ら電流量が減少していくという挙動を示す。したがって、第2のノードN2の電位が減少する場合と変化しない場合の挙動を以下に示す。

[0051] 第2のノードN2の電位が減少する場合は、コンデンサ21で容量結合したトランジスタ11のゲート電位も減少する。第2のノードN2の電位が減少すれば、トランジスタ11のソースドレイン間電圧が増加してトランジスタ11のドレインからソースに向けて流れる電流を増加させる作用を生じるが、一方で、トランジスタ11のゲート電位が減少すれば、トランジスタ11のドレインからソースに向けて流れる電流を減少させる作用を生じる。結局、2つの作用の釣り合いにより、トランジスタ11、12を流れる電流量が決まる。トランジスタ11、12を流れる電流量が小さければ、第2のノードN2の電位の減少速度は大きくなる。

[0052] この場合、第1の遅延回路の抵抗51aおよび51bの合成抵抗値が2つの作用の釣り合いに影響を与える。抵抗51aおよび51bの合成抵抗値が低ければ、第2のノードN2の電位減少が速やかにトランジスタ11のゲート電位を減少させるが、抵抗51aおよび51bの合成抵抗値が高ければ、第2のノードN2の電位減少がトランジスタ11のゲート電位を減少させるのに時間がかかる。そのため、第1の遅延回路の抵抗51aおよび51bの合成抵抗値が低ければスイッチング速度は速くなり、合成抵抗値が高ければスイッチング速度は遅くなる。

[0053] 一方、第2のノードN2の電位が変化しない場合は、コンデンサ21で容量結合したトランジスタ11のゲート電位も変化しない。それゆえ、この場合のトランジスタ11、12を流れる電流量の減少速度は、専らトランジスタ12のゲート電位の減少速度に依存する。すなわち、第2の遅延回路の抵抗52aおよび52bの合成抵抗値が低ければスイッチング速度は速くなり、合成抵抗値が高ければスイッチング速度は遅くなる。

[0054] 次に、第2のノードN2から第1のノードN1に電流が流れる場合について説明する。第2のノードN2から第1のノードN1に電流が流れる場合は、トランジスタ11をオンさせるとともにトランジスタ12をオフさせる。

[0055] 例として、第1のノードN1に電圧400Vの電源が接続され、初期状態では第2のノードN2の電位も400Vであったとする。なお、第3のノードN3は接地電位に固定されているとする。また、トランジスタ11の閾値 V_{TH} は3Vであるとする。更に、ゲート電源41は電圧10Vを出力するものとする。トランジスタ11のゲート電位は、コンデンサ21の作用により、第2のノードN2より10V高い410Vを保持しており、トランジスタ11はオン状態となっている。ゲートドライバ81はトランジスタ12のゲ

ートに対してオフ電位（例えば第2のノードN2の電位を基準として0V）を出力しており、トランジスタ12はオフ状態となっている。

[0056] ここで、第2のノードN2の電位が、第1のノードN1の電位に比べて、トランジスタ12の内蔵ダイオード12aの V_f （例えば0.5V）だけ高くなると、第2のノードN2から第1のノードN1に向かって、内蔵ダイオード12aおよびトランジスタ11を通じて電流が流れる。このとき、内蔵ダイオード12aには少数キャリアが蓄積されている。

[0057] 第2のノードN2の電位と第1のノードN1の電位の差が V_f 以下になると、第2のノードN2から第1のノードN1に向かって流れる電流は流れなくなる。しかしながら、内蔵ダイオード12aに蓄積された少数キャリアが解放されるため、しばらくの間リカバリ電流が流れる。このリカバリ電流は、スイッチング電源装置にとって重要な損失の要因となっている。

[0058] このように、第2のノードN2から第1のノードN1に電流が流れる場合にはスイッチングは行われない。しかしながら、トランジスタ12の内蔵ダイオード12aに電流が流れるため、内蔵ダイオード12aで V_f だけ電圧降下が発生して損失となる。そのため、第2のノードN2から第1のノードN1に電流が流れ始めた後にトランジスタ12をオンさせ、第2のノードN2から第1のノードN1に電流が流れなくなる前にトランジスタ12をオフさせることにより、内蔵ダイオード12aでの電圧降下による損失を低減することができる。

[0059] トランジスタ11をオン状態とするためにトランジスタ11のゲートに印加する電圧は、ゲート電源41の出力電圧により決まる。また、トランジスタ12をオン状態とするためにトランジスタ12のゲートに印加する電圧は、ゲートドライバ81の出力電圧により決まる。したがって、トランジスタ11のゲートに印加する電圧と、トランジスタ12のゲートに印加する電圧は独立に決めることができる。

[0060] 第1のノードN1から第2のノードN2に電流を流すときは、トランジスタ11、12をオン状態とするが、このときトランジスタ11のゲートとト

ランジスタ 12 のゲートにそれぞれ異なる電位を印加することが好ましい。これにより、以下に述べるように所望の特性を有するスイッチング電源装置を実現することができる。

[0061] 例えば、第 1 のノード N1 から第 2 のノード N2 に電流を流すとき、ランジスタ 11 のゲートに印加するゲートオーバードライブを、ランジスタ 12 のゲートに印加するゲートオーバードライブより大きくすることができる。ゲートオーバードライブとは、ゲートソース間電圧から閾値 V_{TH} を引いた電圧値である。

[0062] 一般的に、高耐圧ランジスタ 11 の価格は、低耐圧ランジスタ 12 の価格よりも圧倒的に高い。また、オン抵抗の低い（すなわち定格電流が大きい）高耐圧ランジスタほど高価である。したがって、ランジスタ 11 にはなるべく大きなゲートオーバードライブを印加してオン抵抗を下げることで、より定格電流が小さな高耐圧ランジスタを採用してコストを下げるることができる。ランジスタ 12 のゲートオーバードライブも同様に上げてしまうとランジスタ 12 のゲート電位の遷移時間が増大してしまうので、スイッチング速度を低下させてしまう。したがって、ランジスタ 11 のゲートオーバードライブをのみを増大させて、ランジスタ 12 のゲートオーバードライブよりも大きくすることが好ましい。これは、スイッチング電源装置のコスト削減を重視した場合の好ましい構成である。

[0063] あるいは、第 1 のノード N1 から第 2 のノード N2 に電流を流すとき、ランジスタ 11 のゲートに印加するゲートオーバードライブを、ランジスタ 12 のゲートに印加するゲートオーバードライブより小さくすることができる。

[0064] すでに説明したように、第 1 のノード N1 から第 2 のノード N2 に電流を流すとき、第 1 のノード N1 から第 2 のノード N2 に電流を流し始める動作（オン動作）時には、ランジスタ 11 のソース電位（すなわちランジスタ 12 のドレイン電位）は、ランジスタ 11 のゲート電位からランジスタ 11 の閾値 V_{TH} を引いた電位に近い値で推移する。先の説明では、例え

ばトランジスタ 11 のゲート電位が 10 V、トランジスタ 11 の閾値 V_{TH} が 3 V であるとき（したがって、オン時のゲートオーバードライブは 7 V）、トランジスタ 11 のソース電位（すなわちトランジスタ 12 のドレイン電位）は 7 V に近い値を推移した。第 2 のノード N2 の電位が変化しない場合は、トランジスタ 12 のソースドレイン間電圧も 7 V に近い値を推移することになる。

[0065] 以上の説明から明らかなように、第 1 のノード N1 から第 2 のノード N2 に電流を流すときのトランジスタ 11 のゲートオーバードライブを小さくすることにより、スイッチング時のトランジスタ 12 のソースドレイン間電圧を小さくすることができる。実際の動作では、トランジスタ 11 のソース電位（すなわちトランジスタ 12 のドレイン電位）はノイズ等により瞬間的に高い電圧が印加されるので、トランジスタ 11 にはなるべく小さなゲートオーバードライブを印加してトランジスタ 12 のソースドレイン間電圧を下げることににより、より信頼性を高くすることができる。トランジスタ 12 のゲートオーバードライブも同様に下げてしまうとトランジスタ 12 のオン抵抗が増大してしまうので、損失を増大させてしまう。したがって、トランジスタ 11 のゲートオーバードライブをのみを減少させて、トランジスタ 12 のゲートオーバードライブよりも小さくすることが好ましい。これは、信頼性を重視した場合の好ましい構成である。

[0066] 以上、この発明の第 1 の実施形態によるスイッチング電源装置 1 の動作を説明した。

[0067] この第 1 の実施形態によるスイッチング電源装置 1 によれば、ドレイン（第 1 の電極）が第 1 のノード N1 に接続されたトランジスタ 11（第 1 のトランジスタ）を備えている。また、ドレインがトランジスタ 11 のソース（第 2 の電極）に接続され、ソースが第 2 のノード N2 に接続されたトランジスタ 12（第 2 のトランジスタ）も備えている。そして、トランジスタ 11、12 の各々は、ソースドレイン間に順方向に接続された寄生ダイオードを有している。また、トランジスタ 11 のソースドレイン間の耐圧は、ト

ランジスタ 12 のソースドレイン間耐圧よりも高い。また、第 1 のノード N1 から第 2 のノード N2 に電流を流す場合は、トランジスタ 11, 12 をオンさせ、第 2 のノード N2 から第 1 のノード N1 に電流を流す場合は、トランジスタ 11 をオンさせるとともにトランジスタ 12 をオフさせる駆動回路を備える。また、前記駆動回路は、第 2 のノード N2 の電圧にトランジスタ 11 のしきい値電圧を加算した電圧よりも高い電圧をトランジスタ 11 のゲートに与えてトランジスタ 11 をオンさせる。

[0068] 上記構成によれば、高耐圧のトランジスタ 11 に比べて低耐圧のトランジスタ 12 は内蔵ダイオードに起因するリカバリ電流が小さい。そして、第 2 のノード N2 から第 1 のノード N1 に電流が流れる際は、トランジスタ 11 はオンしており、トランジスタ 12 はオフしているので、リカバリ電流が大きいトランジスタ 11 の内蔵ダイオードには電流が流れずに、リカバリ電流が小さいトランジスタ 12 の内蔵ダイオードのみに電流が流れる。したがって、還流ダイオードを外付けすることなくトランジスタの内蔵ダイオードを活用し、リカバリ電流による損失を低減することができる。以上の理由により、高効率かつ低コストであるスイッチング電源装置が提供される。

[0069] 上記構成によればまた、高耐圧トランジスタ 11 と低耐圧トランジスタ 12 が直列に接続され、スイッチング動作を行うのは低耐圧トランジスタ 12 である。電源電圧の大半は高耐圧トランジスタ 11 のソースドレイン間に印加されるため、スイッチング動作を行う低耐圧トランジスタ 12 のソースドレイン間電圧を非常に小さくすることができる。そのため、スイッチング動作を行うトランジスタ 12 のゲート電圧が、容量結合するドレイン電圧の変動により影響を受ける度合いを非常に小さくすることができる。それゆえ、ゲート電位の変動によるトランジスタ 12 の誤点弧を効果的に抑制することができる。以上の理由により、信頼性の高いスイッチング電源装置が提供される。

[0070] この第 1 の実施形態によるスイッチング電源装置 1 は更にまた、トランジスタ 11 のゲートおよびトランジスタ 12 のゲートには、それぞれランジ

スタ 11 のゲートの電位変動を遅延させる第 1 の遅延回路およびトランジスタ 12 のゲートの電位変動を遅延させる第 2 の遅延回路が接続されている。そして、第 1 の遅延回路および第 2 の遅延回路の少なくともいずれか一方は、トランジスタ 11 のゲートまたはトランジスタ 12 のゲートの電位を増加させる速さと減少させる速さが異なるよう構成されている。

[0071] 上記構成によれば、トランジスタ 11, 12 の少なくともいずれか一方において、ゲート電位が増加する速さと減少する速さを独立して決定することが可能となる。したがって、スイッチングの立ち上がりと立ち下りの速さを独立に決定することができるため、回路が発振しない範囲でよりきめ細かく回路のスイッチング高速化を行い、損失を低減することができる。

[0072] なお、この第 1 の実施形態によるスイッチング電源装置 1 は、第 2 のノード N2 から第 1 のノード N1 に電流を流す場合に、第 2 のノード N2 から第 1 のノード N1 に電流が流れ始めた後にトランジスタ 12 をオンさせ、第 2 のノード N2 から第 1 のノード N1 に電流が流れなくなる前にトランジスタ 12 をオフさせてもよい。

[0073] 上記構成によれば、トランジスタ 12 の内蔵ダイオード 12a に電流が流れる時間を短縮できるので、内蔵ダイオード 12a での電圧降下による損失を低減することができる。

[0074] [第 2 の実施形態]

この発明の第 2 の実施形態によるインバータ 2 は、図 2 に示すように、N チャネル MOS トランジスタ 211 ~ 218, 291, 292、コンデンサ 221, 222, 271b ~ 274b、ダイオード 231, 232, 251c ~ 258c、ゲート電源 241, 242、抵抗 251a ~ 258a, 251b ~ 258b, 271a ~ 274a、ツェナーダイオード 261 ~ 264 およびゲートドライバ 281, 282 を備える。トランジスタ 211 ~ 218, 291, 292 は、それぞれ寄生ダイオード 211a ~ 218a, 291a, 292a を内蔵している。

[0075] 寄生ダイオード 211a ~ 218a, 291a, 292a のアノードはそ

れぞれ対応のトランジスタ211～218, 291, 292のソースに接続され、寄生ダイオード211a～218a, 291a, 292aのカソードはそれぞれ対応のトランジスタ211～218, 291, 292のドレインに接続されている。

[0076] トランジスタ211, 213, 215, 217の各々は、ソースドレイン間耐圧がたとえば600Vの高耐圧トランジスタである。トランジスタ212, 214, 216, 218の各々は、ソースドレイン間耐圧がたとえば30Vの低耐圧トランジスタである。低耐圧トランジスタ212, 214, 216, 218の寄生ダイオード212a, 214a, 216a, 218aの各々は、還流ダイオードとして動作する。

[0077] トランジスタ211, 215のドレインは、ともに電源電圧V_{dd}を受ける。トランジスタ212, 216のドレインはそれぞれトランジスタ211, 215のソースに接続され、トランジスタ212, 216のソースはそれぞれ出力ノードN4, N5に接続される。トランジスタ213, 217のドレインはそれぞれ出力ノードN4, N5に接続される。トランジスタ214, 218のドレインはそれぞれトランジスタ213, 217のソースに接続され、トランジスタ214, 218のソースはともに接地電圧GNDのラインに接続される。トランジスタ211, 212は左上アームを構成し、トランジスタ213, 214は左下アームを構成し、トランジスタ215, 216は右上アームを構成し、トランジスタ217, 218は右下アームを構成している。負荷3は、コイル301からなり、出力ノードN4, N5間に接続される。

[0078] 抵抗251a、抵抗251bおよびダイオード251cは、第1の遅延回路を構成する。抵抗251bとダイオード251cは直列に接続されている。直列に接続された抵抗251bとダイオード251cに、更に抵抗251aが並列に接続されて第1の遅延回路をなしている。第1の遅延回路の一端は、トランジスタ211のゲートに接続される。

[0079] 同様に、抵抗252a～258a、抵抗252b～258bおよびダイオ

ード252c～258cは、それぞれ第2～第8の遅延回路を構成する。抵抗252b～258bとダイオード252c～258cは、それぞれ直列に接続されている。直列に接続された抵抗252b～258bとダイオード252c～258cに、それぞれ更に抵抗252a～258aが並列に接続されて第2～第8の遅延回路をなしている。第2～第8の遅延回路の一端は、それぞれトランジスタ212～218のゲートに接続される。

[0080] ダイオード231のカソードは、第1の遅延回路の他端に接続される。すなわち、ダイオード231のカソードは、第1の遅延回路を介してトランジスタ211のゲートに接続される。トランジスタ291のソースは、ダイオード231のアノードに接続され、第3の遅延回路を介してトランジスタ213のゲートに接続される。ゲート電源241の出力ノードは、トランジスタ291のドレインに接続される。ゲート電源241は、高耐圧トランジスタ211、213（たとえば、しきい値電圧 $V_{TH}=0.1\sim7V$ のエンハンスメント型トランジスタ）の各々のしきい値電圧 V_{TH} とダイオード231の順方向降下電圧との和の電圧よりも高い直流電圧（たとえば、 $0.2\sim50V$ ）を出力する。

[0081] ダイオード232のカソードは、第5の遅延回路の他端に接続される。すなわち、ダイオード232のカソードは、第5の遅延回路を介してトランジスタ215のゲートに接続される。トランジスタ292のソースは、ダイオード232のアノードに接続され、第7の遅延回路を介してトランジスタ217のゲートに接続される。ゲート電源242の出力ノードは、トランジスタ292のドレインに接続される。ゲート電源242は、高耐圧トランジスタ215、217（たとえば、しきい値電圧 $V_{TH}=0.1\sim7V$ のエンハンスメント型トランジスタ）の各々のしきい値電圧 V_{TH} とダイオード232の順方向降下電圧との和の電圧よりも高い直流電圧（たとえば、 $0.2\sim50V$ ）を出力する。

[0082] コンデンサ221は、第1の遅延回路の他端と出力ノードN4との間に接続される。コンデンサ222は、第5の遅延回路の他端と出力ノードN5と

の間に接続される。なお、コンデンサ 221 は、出力ノード N4 の電圧とゲート電源 241 の出力電圧とを加算した電圧をトランジスタ 211 のゲートに印加するために設けられている。コンデンサ 222 は、出力ノード N5 の電圧とゲート電源 242 の出力電圧とを加算した電圧をトランジスタ 215 のゲートに印加するために設けられている。例えば、出力ノード N4 が接地電位にあるときは、ゲート電源 241 の出力電位はトランジスタ 291、ダイオード 231 および第 1 の遅延回路を介して高耐圧トランジスタ 211 のゲートに印加される。その後、出力ノード N4 の電位が上昇しても、コンデンサ 212 の容量カップリングにより、出力ノード N4 と高耐圧トランジスタ 211 のゲートとの間の電位差は保たれる。同様に、出力ノード N5 と高耐圧トランジスタ 215 のゲートとの間の電位差も、ゲート電源 242 の出力電圧分に保たれる。

[0083] ゲートドライバ 281 は、第 2 および第 4 の遅延回路の他端に接続される。すなわち、ゲートドライバ 281 は第 2 および第 4 の遅延回路を介して、それぞれトランジスタ 212, 214 のゲートに接続される。ゲートドライバ 281 は、トランジスタ 212, 214 のゲート電圧を制御してトランジスタ 212, 214 をオン／オフ制御する。

[0084] 同様に、ゲートドライバ 282 は、第 6 および第 8 の遅延回路の他端に接続される。すなわち、ゲートドライバ 282 は第 6 および第 8 の遅延回路を介して、それぞれトランジスタ 214, 218 のゲートに接続される。ゲートドライバ 282 は、トランジスタ 216, 218 のゲート電圧を制御してトランジスタ 216, 218 をオン／オフ制御する。

[0085] ツェナーダイオード 261～264 のアノードは、それぞれトランジスタ 212, 214, 216, 218 のソースに接続され、ツェナーダイオード 261～264 のカソードは、それぞれトランジスタ 212, 214, 216, 218 のドレインに接続されている。このツェナーダイオード 261～264 は、低耐圧トランジスタ 212, 214, 216, 218 のソースー
ドレイン間に所定の電圧を超える電圧が印加されることを防ぐために設けら

れている。

[0086] 抵抗271a～274aの一端が、それぞれトランジスタ211, 213, 215, 217のドレインに接続され、抵抗271a～274aの他端が、それぞれコンデンサ271b～274bの一端に接続され、コンデンサ271b～274bの他端が、それぞれトランジスタ212, 214, 216, 218のソースに接続される。この抵抗271a～274aおよびコンデンサ271b～274bは、このインバータ2がスイッチングを行う際に発生する過渡的な高電圧を吸収するために設けられている。

[0087] この第2の実施形態によるインバータ2は、第1の実施形態によるスイッチング電源装置4個を、それぞれ左上アーム、左下アーム、右上アームおよび右下アームに適用したものである。左下アームおよび右下アームにおいては、遅延回路を介して高耐圧トランジスタに接続されるダイオードおよびコンデンサを備えていない。これは、左上アームおよび右上アームにおいては低耐圧トランジスタのソース電位が固定されていないのに対し、左下アームおよび右下アームにおいては低耐圧トランジスタのソース電位が接地電圧GNDに固定されているためである。

[0088] 次に、このインバータの動作について説明する。負荷3に交流電力を供給する場合は、トランジスタ291, 292がオンされ、高耐圧トランジスタ211, 213, 215, 217の各々のゲートに、高耐圧トランジスタ211, 213, 215, 217のしきい値電圧 V_{TH} よりも高い直流電圧が印加される。この状態で、まず低耐圧トランジスタ212, 218がオンされる。これにより、電源電圧 V_{dd} のラインからトランジスタ211, 212、負荷3、およびトランジスタ217, 218を介して接地電圧GNDのラインに電流が流れ、負荷3を構成するコイル301に電磁エネルギーが蓄えられる。

[0089] 次に、低耐圧トランジスタ212, 218がオフされる。負荷3を構成するコイル301に蓄えられた電磁エネルギーにより、接地電圧GNDのラインから寄生ダイオード214a、トランジスタ213、負荷3、寄生ダイオ

ード216a、およびトランジスタ215を介して電源電圧V_{dd}のラインに電流が還流する。

[0090] 次いで、還流電流が無くなるタイミングで、低耐圧トランジスタ214、216がオンされる。これにより、電源電圧V_{dd}のラインからトランジスタ215、216、負荷3、およびトランジスタ213、214を介して接地電圧GNDのラインに電流が流れる。

[0091] 次に、低耐圧トランジスタ214、216がオフされる。負荷3を構成するコイル301に蓄えられた電磁エネルギーにより、接地電圧GNDのラインから寄生ダイオード218a、トランジスタ217、負荷3、寄生ダイオード212a、およびトランジスタ211を介して電源電圧V_{CC}のラインに電流が還流する。以下、同様にして、負荷3に交流電力が供給される。

[0092] ところで、このようなインバータでは、負荷3に供給する電力を調整するため、左上アーム（トランジスタ211、212）をオンさせたままで右下アーム（トランジスタ217、218）をオン／オフさせるチョッピング動作と、右上アーム（トランジスタ215、216）をオンさせたままで左下アーム（トランジスタ213、214）をオン／オフさせるチョッピング動作とを交互に行なう場合がある。

[0093] 逆に、右下アーム（トランジスタ217、218）をオンさせたままで左上アーム（トランジスタ211、212）をオン／オフさせるチョッピング動作と、左下アーム（トランジスタ213、214）をオンさせたままで右上アーム（トランジスタ215、216）をオン／オフさせるチョッピング動作とを交互に行なう場合もある。

[0094] 以下、チョッピング動作の第1の例として、右下アーム（トランジスタ217、218）をオンさせたままで左上アーム（トランジスタ211、212）をオン／オフさせるチョッピング動作を説明する。このとき、電流は出力ノードN4から出力ノードN5に流れる。

[0095] まず、左上アームのトランジスタ212をオンする動作について説明する。図3（A）に、トランジスタ212がオンするときの、電源電圧V_{dd}の

ラインと出力ノードN4との間の電圧差および電源電圧V_{dd}のラインから出力ノードN4に向けて流れる電流量の時間変化を示す。例として、電源電圧V_{dd}のラインに電圧400Vの電源が接続され、トランジスタ212をオンする前の状態では出力ノードN4は-1Vであったとする。出力ノードN4が-1Vであるのは、電流が接地電圧GNDのラインからトランジスタ214の内蔵ダイオード214a、トランジスタ213および出力ノードN4を介して出力ノードN5に流れており、内蔵ダイオードにおいて電圧降下を起こすためである。また、トランジスタ211の閾値V_{TH}は3Vであるとする。更に、ゲート電源241は電圧10Vを出力するものとする。トランジスタ212をオンする前の状態では、ゲートドライバ281はトランジスタ212のゲートに対してオフ電位（例えば出力ノードN4の電位を基準として0V）を出力しており、トランジスタ212はオフ状態となっている。

[0096] トランジスタ212をオンする前の状態では、トランジスタ211のゲートにはゲート電源241の出力電圧である10Vが印加されている。トランジスタ211の閾値V_{TH}は3Vであるから、トランジスタ211のソース（トランジスタ212のドレイン）の電位は7Vとなっている。すなわち、高耐圧トランジスタ211のソースドレイン間には393Vが印加され、低耐圧トランジスタ12のソースドレイン間には8Vが印加されている。

[0097] ここで、ゲートドライバ281はトランジスタ212に対してオン電位（例えば出力ノードN4の電位を基準として15V）を出力する。トランジスタ212のゲート電位は徐々に増加し、トランジスタ212の閾値V_{TH}を超えると、トランジスタ212のドレインからソースに向けて電流が流れ始める。

[0098] 出力ノードN4から出力ノードN5に流れる電流量はコイル301により一定に保たれるため、トランジスタ212のドレインからソースに向けて流れる電流量、すなわち左上アームを流れる電流量が増加すると、左下アームを流れる電流量は減少する。左下アームを流れる電流量が0になるまでは、

出力ノードN 4の電位はほぼ -1 V を保っている。このとき、電源電圧 V_{dd} のラインから出力ノードN 4に向けて流れる電流（左上アームを流れる電流量）の変化する速さは、第1の実施形態と同様に説明できて、抵抗 $252a$ に依存する。

[0099] 左下アームを流れる電流量が0になると、出力ノードN 4の電位は増加を始める。このとき、左上アームを流れる電流は、出力ノードN 4の電位を増加させるために寄生容量を充電するための電流を無視すると、出力ノードN 4から出力ノードN 5に流れる電流に等しくなり、ほぼ一定となる。このとき、電源電圧 V_{dd} のラインと出力ノードN 4との電位差の変化する速さは、第1の実施形態と同様に説明できて、抵抗 $251a$ に依存する。出力ノードN 4が電源電圧 V_{dd} のラインと同じ 400 V に達すると、トランジスタ 212 のオン動作が完了する。

[0100] 次に、左上アームのトランジスタ 212 をオフする動作について説明する。図3（B）に、トランジスタ 212 がオフするときの、電源電圧 V_{dd} のラインと出力ノードN 4との間の電圧差および電源電圧 V_{dd} のラインから出力ノードN 4に向けて流れる電流量の時間変化を示す。トランジスタ 212 をオフする前の状態では出力ノードN 4の電位は電源電圧 V_{dd} のラインと同じ 400 V である。トランジスタ 212 をオフする前の状態では、ゲートドライバ 281 はトランジスタ 212 のゲートに対してオン電位（出力ノードN 4の電位を基準として 15 V 、接地電位を基準として 415 V ）を出力しており、トランジスタ 212 はオン状態となっている。

[0101] トランジスタ 212 をオフする前の状態では、トランジスタ 211 のゲートには出力ノードN 4の電位にゲート電源 241 の出力電圧を加算した 410 V が印加されている。

[0102] ここで、ゲートドライバ 281 はトランジスタ 212 に対してオフ電位（例えば出力ノードN 4の電位を基準として 0 V ）を出力する。トランジスタ 212 のゲート電位は徐々に減少し、トランジスタ 212 のドレインからソースに向けて流れる電流が減少する。

- [0103] 出力ノードN4から出力ノードN5に流れる電流量はコイル301により一定に保たれるため、出力ノードN4の電位は減少していく。このとき、左上アームを流れる電流は、出力ノードN4の電位が減少することにより寄生容量から放電される電流を無視すると、出力ノードN4から出力ノードN5に流れる電流に等しくなり、ほぼ一定となる。このとき、電源電圧V_{dd}のラインと出力ノードN4との電位差の変化する速さは、第1の実施形態と同様に説明できて、抵抗251aおよび251bに依存する。
- [0104] 出力ノードN4の電位が-1Vになると、接地電圧GNDのラインからトランジスタ214の内蔵ダイオード214a、トランジスタ213を介して出力ノードN4に電流が流れ始める。すなわち、左上アームの電流が減少するとともに、左下アームの電流が増加する。これ以降、出力ノードN4の電位はほぼ-1Vを保つ。このとき、電源電圧V_{dd}のラインから出力ノードN4に向けて流れる電流（左上アームを流れる電流量）の変化する速さは、第1の実施形態と同様に説明できて、抵抗252aおよび252bに依存する。左上ノードの電流が0になると、トランジスタ212のオフ動作が完了する。
- [0105] 以上の説明より明らかなように、抵抗251a, 251b, 252a, 252bを適切に選択することによって、トランジスタ212のオン時とオフ時のそれぞれにおいて、スイッチングの立ち上がりの速さ（出力ノードN4の電圧変化率および左上（左下）アームの電流変化率）と立ち下りの速さ（出力ノードN4の電圧変化率および左上（左下）アームの電流変化率）を独立に決定することができる。
- [0106] 図3（A）および図3（B）において、斜線が描かれている領域の面積は、スイッチングによる損失の大きさを示している。それゆえ、スイッチングによる損失を低減するためには、トランジスタのオン時とオフ時のスイッチングの速さを共に早くすればよいが、スイッチングの高速化は回路が発振しやすくなるという副作用ももたらす。
- [0107] しかしながら、トランジスタ211, 212のゲートに接続される第1,

第2の遅延回路により、トランジスタ211, 212のオン時とオフ時でそれぞれスイッチングの速さを独立して決定することができる。それゆえ、例えば、トランジスタのオン時とオフ時において、それぞれ発振しない範囲で限界までスイッチングを高速化し、スイッチング損失を低減することができる。

[0108] チョッピング動作の第2の例として、右上アーム（トランジスタ215, 216）をオンさせたままで左下アーム（トランジスタ213, 214）をオン／オフさせるチョッピング動作させたときの、電源電圧 V_{dd} のラインと出力ノードN4との間の電圧差および電源電圧 V_{dd} のラインから出力ノードN4に向けて流れる電流量の時間変化を図4に示す。

[0109] ところで、この第2の実施形態によるインバータ2の左上アームと左下アーム（あるいは右上アームと右下アーム）の組み合わせによるスイッチング電源装置に注目すると、このスイッチング電源装置は以下の構成を有している。

[0110] すなわち、このスイッチング電源装置は、ドレイン（第1の電極）が電源電圧のラインに接続されたトランジスタ211（第1のトランジスタ）を備えている。また、ドレインがトランジスタ211のソース（第2の電極）に接続され、ソースが出力ノードN4に接続されたトランジスタ212（第2のトランジスタ）も備えている。また、ドレインが出力ノードN4に接続されたトランジスタ213（第3のトランジスタ）を有している。また、ドレインがトランジスタ213のソースに接続され、ソースが基準電圧のラインに接続されたトランジスタ214（第4のトランジスタ）を備えている。そして、トランジスタ211～214の各々は、ソースドレイン間に順方向に接続された寄生ダイオードを有している。また、トランジスタ211のソースドレイン間の耐圧は、トランジスタ212のソースドレイン間耐圧よりも高く、トランジスタ213のソースドレイン間の耐圧は、トランジスタ213のソースドレイン間耐圧よりも高い。また、電源電圧のラインから出力ノードN4に電流を流す場合は、トランジスタ211, 212をオ

ンさせ、出力ノードN4から電源電圧のラインに電流を流す場合は、トランジスタ211をオンさせるとともにトランジスタ212をオフさせ、出力ノードN4から基準電圧のラインに電流を流す場合は、トランジスタ213, 214をオンさせ、基準電圧のラインから出力ノードN4に電流を流す場合は、トランジスタ213をオンさせるとともにトランジスタ214をオフさせる駆動回路を備える。また、前記駆動回路は、出力ノードN4の電圧にトランジスタ211のしきい値電圧を加算した電圧よりも高い電圧をトランジスタ211のゲートに与えてトランジスタ211をオンさせ、基準電圧のラインの電圧にトランジスタ213のしきい値電圧を加算した電圧よりも高い電圧をトランジスタ213のゲートに与えてトランジスタ213をオンさせる。

[0111] 上記構成によれば、高耐圧のトランジスタ211, 213に比べて低耐圧のトランジスタ212, 214は内蔵ダイオードに起因するリカバリ電流が小さい。そして、出力ノードN4から電源電圧のラインに電流が流れる際は、トランジスタ211はオンしており、トランジスタ212はオフしているので、リカバリ電流が大きいトランジスタ211の内蔵ダイオードには電流が流れずに、リカバリ電流が小さいトランジスタ212の内蔵ダイオードのみに電流が流れる。同様に、基準電圧のラインから出力ノードN4に電流が流れる際は、トランジスタ213はオンしており、トランジスタ214はオフしているので、リカバリ電流が大きいトランジスタ213の内蔵ダイオードには電流が流れずに、リカバリ電流が小さいトランジスタ214の内蔵ダイオードのみに電流が流れる。したがって、還流ダイオードを外付けすることなくトランジスタの内蔵ダイオードを活用し、リカバリ電流による損失を低減することができる。以上の理由により、高効率かつ低コストであるスイッチング電源装置が提供される。

[0112] インバータ2の左上アームと左下アーム（あるいは右上アームと右下アーム）の組み合わせによるスイッチング電源装置は更にまた、トランジスタ211～214のゲートには、それぞれトランジスタ211～214のゲート

の電位変動を遅延させる第１～第４の遅延回路が接続されている。そして、第１の遅延回路および第２の遅延回路の少なくともいずれか一方は、トランジスタ２１１のゲートまたはトランジスタ２１２のゲートの電位を増加させる速さと減少させる速さが異なるよう構成されている。更に、第３の遅延回路および第４の遅延回路の少なくともいずれか一方は、トランジスタ２１３のゲートまたはトランジスタ２１４のゲートの電位を増加させる速さと減少させる速さが異なるよう構成されている。

[0113] 上記構成によれば、トランジスタ２１１，２１２の少なくともいずれか一方、およびトランジスタ２１３，２１４の少なくとも一方において、ゲート電位が増加する速さと減少する速さを独立して決定することが可能となる。したがって、スイッチングの立ち上がりと立ち下りの速さを独立に決定することができるため、回路が発振しない範囲でよりきめ細かく回路のスイッチング高速化を行い、損失を低減することができる。

[0114] 上記左上アームと左下アームの組み合わせによるスイッチング電源装置を２つ組み合わせてなる、この第２の実施形態のインバータも、同様の作用効果を奏する。

[0115] [第３の実施形態]

この発明の第３の実施形態による昇圧チョッパ４を図５に示す。昇圧チョッパ４は、インバータ２と極めて類似した回路で構成されている。昇圧チョッパ４がインバータ２と異なる点は、左上および左下アームと右上および右下アームとが昇圧チョッパ４の一部であるコイル４０１で結ばれていること、右上アームのトランジスタ２１５のドレインが入力端子 V_{in} と接続されていること、左上アームのトランジスタ２１１のドレインが出力端子 V_{out} と接続されていること、のみである。なお、インバータ２と同一符号をもつ要素については、説明を省略する。

[0116] この昇圧チョッパの動作について説明する。トランジスタ２１４および２１６をオンさせると、入力端子 V_{in} からトランジスタ２１５，２１６、コイル４０１、およびトランジスタ２１３，２１４を介して接地電圧 GND の

ラインに電流が流れ、コイル401に電磁エネルギーが蓄積される。

[0117] このとき、右上アームでは入力端子V_{in}から出力ノードN5に向けて（図5の下方向に）電流が流れており、トランジスタ215およびトランジスタ216は共にオン状態である。また、左下アームでは出力ノードN4から接地電圧GNDのラインに向けて（図5の下方向に）電流が流れており、トランジスタ213およびトランジスタ214は共にオン状態である。

[0118] 次に、トランジスタ214をオフさせると、トランジスタ214に電流が流れなくなるが、コイル401が電流を流し続けるため、トランジスタ213のソース電圧が上昇し、トランジスタ213もオフ状態になる。トランジスタ213、214がオフした後もコイル401が電流を流し続けるため、トランジスタ212のソース電圧が上昇する。トランジスタ212のソース電圧がドレイン電圧よりも高くなると、トランジスタ212のソースから寄生ダイオード212aを介してトランジスタ212のドレインに還流電流が流れる。

[0119] このとき、トランジスタ211のソース電圧はトランジスタ212のソース電圧よりも低くなっている。また、トランジスタ211のゲート電圧は、コンデンサ221の容量カップリングにより、トランジスタ212のソース電圧よりもゲート電源241が発生する電圧だけ（例えば10V）高い電圧が維持されているため、トランジスタ211はオン状態になっている。このため、トランジスタ211のチャネルに電流が流れ、寄生ダイオード211aに流れる電流は小さく抑制される。

[0120] このとき、入力端子V_{in}からトランジスタ215、216、コイル401、寄生ダイオード212aおよびトランジスタ211を介して出力端子V_{out}に電流が流れ、コイル401の電磁エネルギーが解放される。

[0121] このとき、右上アームでは入力端子V_{in}から出力ノードN5に向けて（図5の下方向に）電流が流れており、トランジスタ215およびトランジスタ216は共にオン状態である。また、左上アームでは出力ノードN4から出力端子V_{out}に向けて（図5の上方向に）電流が流れており、トランジ

スタ 211 はオン状態であり、トランジスタ 212 はオフ状態である。

[0122] 次に、トランジスタ 214 をオンさせると、トランジスタ 214 に電流が流れ、トランジスタ 213 のソース電圧が低下してトランジスタ 213 もオン状態になる。これにより、トランジスタ 213, 214 がオンし、コイル 401 の電流はトランジスタ 213, 214 に流れはじめ、トランジスタ 212 のソース電圧が低下する。トランジスタ 212 のソース電圧がドレイン電圧よりも低下すると、トランジスタ 212 にリカバリ電流が流れ、それと同時にまたは続いてトランジスタ 211 にリカバリ電流が流れる。その後、トランジスタ 212 のソース電圧が十分に低下すると、入力端子 V_{in} からトランジスタ 215, 216、コイル 401、およびトランジスタ 213, 214 を介して接地電圧 GND のラインに電流が流れ、コイル 401 に電磁エネルギーが蓄積される。このようにして、デューティ比が 50% の条件でトランジスタ 214 をオン／オフさせると、本実施例では、昇圧チョッパの入力電圧 150 V に対して出力電圧は約 300 V になった。

[0123] トランジスタ 214 のオン／オフにともなうスイッチングの速さは、抵抗 253a, 253b, 254a, 254b を適切に選択することによって、トランジスタ 214 のオン時とオフ時のそれぞれにおいて、スイッチングの立ち上がりの速さと立ち下りの速さを独立に決定することができる。

[0124] この第 3 の実施形態による昇圧チョッパは、第 1 の実施形態によるスイッチング電源装置を用いたものであるから、高効率かつ低コストである昇圧チョッパが提供される。

[0125] なお、この第 3 の実施形態では、直列接続された高耐圧トランジスタおよび低耐圧トランジスタからなるアームを備えた昇圧チョッパ（非絶縁型 DC / DC コンバータ）について説明したが、そのアームを用いて他のスイッチング電源装置を構成可能であることは言うまでもない。他のスイッチング電源装置としては、絶縁型 DC / DC コンバータ、PFC（Power Factor Correction：力率改善）回路などがある。

[0126] [第 4 の実施形態]

図6は、この発明の第4の実施形態による双方向チョッパ5の構成を示す回路ブロック図であって、図5と対比される図である。図6において、この双方向チョッパ5は、図5の昇圧チョッパ4のうちのトランジスタ215～218、292、コンデンサ222、273b、274b、ダイオード232、255c～258c、抵抗255a～258a、255b～258b、273a、274a、ツェナーダイオード263、264、ゲート電源242、ゲートドライバ282を備える。双方向チョッパ5は更に、一端が出力ノードN5に接続されるコイル501、コイル501の他端と接地電圧GNDのラインとの間に設けられたコンデンサ502、コイル501の他端に接続された第1の入出力端子T1、トランジスタ215のドレインと接地電圧GNDのラインとの間に設けられたコンデンサ503およびトランジスタ215のドレインと接続された第2の入出力端子T2を備える。なお、図5の昇圧チョッパ4と同一符号をもつ要素については、説明を省略する。

[0127] 次に、この双方向チョッパの昇圧動作について説明する。第1の入出力端子T1にたとえば140Vを印加し、第2の入出力端子T2に280Vを出力する場合、高耐圧トランジスタ215、217の各々のゲートに、高耐圧トランジスタのしきい値電圧 V_{TH} よりも高い直流電圧（たとえば、10V）を印加する。また、低耐圧トランジスタ216をオフさせ、昇圧比（2倍）に応じたデューティ比（たとえば、50%）で低耐圧トランジスタ218をオン／オフさせる。

[0128] トランジスタ218がオンすると、第1の入出力端子T1からコイル501およびトランジスタ217、218を介して接地電圧GNDのラインに電流が流れ、コイル501に電磁エネルギーが蓄積される。次に、トランジスタ218がオフすると、コイル501から寄生ダイオード216aおよびトランジスタ215を介して第2の入出力端子T2に電流が還流され、第2の入出力端子T2の電圧が昇圧される。第2の入出力端子T2の電圧は、第1の入出力端子T1の電圧（140V）よりも高い280Vになる。

[0129] コイル501から寄生ダイオード216aおよびトランジスタ215を介

して第2の入出力端子T2に電流が還流されているときに、トランジスタ218をオンさせると、低耐圧トランジスタ216の寄生ダイオード216aにリカバリ電流が流れる。しかし、低耐圧トランジスタ216のリカバリ電流は高耐圧トランジスタのリカバリ電流よりも小さい。また、高耐圧トランジスタ215の寄生ダイオード215aには還流電流がほとんど流れないので、高耐圧トランジスタ215のリカバリ電流も小さい。したがって、昇圧動作におけるリカバリ電流は小さく抑えられる。

[0130] 次に、この双方向チョッパの降圧動作について説明する。第2の入出力端子T2にたとえば280Vを印加し、第1の入出力端子T1に140Vを出力する場合、高耐圧トランジスタ215、217の各々のゲートに、高耐圧トランジスタのしきい値電圧 V_{TH} よりも高い直流電圧（たとえば、10V）を印加する。また、低耐圧トランジスタ218をオフさせ、降圧比（2倍）に応じたデューティ比（たとえば、50%）で低耐圧トランジスタ216をオン／オフさせる。

[0131] トランジスタ216がオンすると、第2の入出力端子T2からトランジスタ215、216およびコイル501を介して第1の入出力端子T1に電流が流れ、コイル501に電磁エネルギーが蓄積される。次に、トランジスタ216がオフすると、接地電圧GNDのラインから寄生ダイオード218a、トランジスタ217、およびコイル501を介して第1の入出力端子T1に電流が還流され、第1の入出力端子T1の電圧が降圧される。第1の入出力端子T1の電圧は、第2の入出力端子T2の電圧（280V）よりも低い140Vになる。

[0132] 接地電圧GNDのラインから寄生ダイオード218a、トランジスタ217、およびコイル501を介して第1の入出力端子T1に電流が還流されているときに、トランジスタ216をオンさせると、低耐圧トランジスタ218の寄生ダイオード218aにリカバリ電流が流れる。しかし、低耐圧トランジスタ218のリカバリ電流は高耐圧トランジスタのリカバリ電流よりも小さい。また、高耐圧トランジスタ217の寄生ダイオード217aには還

流電流がほとんど流れないので、高耐圧トランジスタ 217 のリカバリ電流も小さい。したがって、昇圧動作におけるリカバリ電流は小さく抑えられる。

[0133] なお、スイッチングさせない低耐圧トランジスタ 216 (または 218) を常にオフさせて寄生ダイオード 216a (または 218a) に電流を流したが、これに限るものではなく、同期整流を行なってもよい。同期整流では、寄生ダイオード 216a (または 218a) に電流が流れ始めると低耐圧トランジスタ 216 (または 218) をオンさせ、スイッチングしている低耐圧トランジスタ 218 (または 216) がオンする直前、すなわち低耐圧トランジスタ 216 (または 218) に電流が流れなくなる直前に低耐圧トランジスタ 216 (または 218) をオフさせる。これにより、電力損失をさらに低減することができる。

[0134] トランジスタ 216 または 218 のオン／オフにともなうスイッチングの速さは、抵抗 255a, 255b, 256a, 256b または抵抗 257a, 257b, 258a, 258b を適切に選択することによって、トランジスタ 216 または 218 のオン時とオフ時のそれぞれにおいて、スイッチングの立ち上がりの速さと立ち下りの速さを独立に決定することができる。

[0135] この第 4 の実施形態による双方向チョッパは、第 1 の実施形態によるスイッチング電源装置を用いたものであるから、高効率かつ低コストである双方向チョッパが提供される。

[0136] なお、この第 4 の実施形態では、直列接続された高耐圧トランジスタおよび低耐圧トランジスタからなるアームを備えた双方向チョッパについて説明したが、そのアームを用いて一方向チョッパを構成可能であることは言うまでもない。

[0137] [第 5 の実施形態]

図 7 は、この発明の第 5 の実施形態による三相モータ制御インバータ 6 の構成を示す回路ブロック図である。図 7 において、この三相モータ制御インバータ 6 は、U 相ドライバ 604、V 相ドライバ 605、および W 相ドライ

バ606を備える。

[0138] U相ドライバ604は、図2に示したインバータのうちのトランジスタ211～214、291、コンデンサ221、271b、272b、ダイオード231、251c～254c、抵抗251a～254a、251b～254b、271a、272a、ツェナーダイオード261、262、ゲート電源241、ゲートドライバ281を備える。U相ドライバ604のトランジスタ211のドレインは、直流電源901に接続される。U相ドライバ604の出力ノードN4はモータ902のU相端子（U相コイルの一方端子）に接続される。なお、図2のインバータ2と同一符号をもつ要素については、説明を省略する。

[0139] V相ドライバ605は、U相ドライバ604と同じものである。V相ドライバ605のトランジスタ211のドレインは、直流電源901に接続される。V相ドライバ605の出力ノードN4はモータ902のV相端子（V相コイルの一方端子）に接続される。

[0140] W相ドライバ606は、U相ドライバ604と同じものである。W相ドライバ606のトランジスタ211のドレインは、直流電源901に接続される。W相ドライバ606の出力ノードN4はモータ902のW相端子（W相コイルの一方端子）に接続される。モータ902のU相コイル、V相コイル、およびW相コイルの他方端子は互いに接続されている。

[0141] このインバータは、いわゆる120度通電方式によりモータ902に給電してモータ902のロータを回転駆動させる。120度通電方式では、U相ドライバ604、V相ドライバ605、およびW相ドライバ606の上側アーム（トランジスタ211、212）が120度ずつ順次オンされるとともに、それに180度遅延してU相ドライバ604、V相ドライバ605、およびW相ドライバ606の下側アーム（トランジスタ213、214）が120度ずつ順次オンされる。これにより、3相交流電力がモータ902に供給され、モータ902のロータが回転駆動される。

[0142] 次に、直流電源901からU相ドライバ604の上側アーム、モータ90

2、およびV相ドライバ605の下側アームを介して接地電圧GNDのラインに電流を流す場合について説明する。この場合は、ドライバ604、605の高耐圧トランジスタ211、213のゲートに、高耐圧トランジスタ211、213のしきい値電圧よりも高い電圧（たとえば、10V）を印加する。また、U相ドライバ604の低耐圧トランジスタ214をオフさせ、V相ドライバ605の低耐圧トランジスタ212をオフさせ、V相ドライバ605の低耐圧トランジスタ214をオンさせる。この状態で、U相ドライバ604の低耐圧トランジスタ212をオン／オフさせる。

[0143] U相ドライバ604の低耐圧トランジスタ212をオンさせると、直流電源901からU相ドライバ604のトランジスタ211、212、モータ902のU相コイル、V相のコイル、およびV相ドライバ605のトランジスタ213、214を介して接地電圧GNDのラインに電流が流れる。

[0144] 次に、U相ドライバ604の低耐圧トランジスタ212をオフさせると、モータのU相コイルおよびV相コイルが電流を流し続けようとする。このため、接地電圧GNDのラインからU相ドライバ604の寄生ダイオード214aおよび高耐圧トランジスタ213、モータ902、およびV相ドライバ605のトランジスタ213、214を介して接地電圧GNDのラインに還流電流が流れる。

[0145] 同様に、3つのドライバ604～606を制御することにより、正弦波状の電流をモータ902に供給することができる。

[0146] トランジスタ212のオン／オフにともなうスイッチングの速さは、抵抗251a、251b、252a、252bを適切に選択することによって、トランジスタ212のオン時とオフ時のそれぞれにおいて、スイッチングの立ち上がりの速さと立ち下りの速さを独立に決定することができる。

[0147] この第5の実施形態による三相モータ制御インバータは、第1の実施形態によるスイッチング電源装置を用いたものであるから、高効率かつ低コストである三相モータ制御インバータが提供される。

[0148] [第6の実施形態]

図8は、この発明の第6の実施形態によるプッシュプル型DC/DCコンバータ7の構成を示す回路ブロック図である。図8において、このプッシュプル型DC/DCコンバータ7は、ゲート電源797、ゲートドライバ798、直流電源794、NチャネルMOSトランジスタ795、796、トランス793、およびドライバ704、705を備え、ドライバ704、705には負荷903が接続されている。

[0149] ゲート電源797は、ゲート電圧を出力する。トランス793は、1次巻線793aおよび2次巻線793bを含む。直流電源794の正極は、1次巻線793aの midpoint に接続される。トランジスタ795は、1次巻線793aの一方端子と直流電源794の負極との間に接続される。トランジスタ796は、1次巻線793aの他方端子と直流電源794の負極との間に接続される。トランジスタ795、796のゲートは、ゲートドライバ798に接続される。ゲートドライバ798は、ゲート電源797からのゲート電圧をトランジスタ795、796のゲートに交互に与える。これにより、トランジスタ795、796が交互にオンし、トランス793の2次巻線793bには交流電圧が発生する。

[0150] ドライバ704は、図2に示したインバータのうちのトランジスタ211～214、291、コンデンサ221、271b、272b、ダイオード231、251c～254c、抵抗251a～254a、251b～254b、271a、272a、ツェナーダイオード261、262、ゲート電源241、ゲートドライバ281を備える。ドライバ704のトランジスタ211のドレインは、負荷903の一端に接続される。ドライバ704の出力ノードN4はトランス793の2次巻線793bの一方端子に接続される。なお、図2のインバータ2と同一符号をもつ要素については、説明を省略する。

[0151] ドライバ705は、ドライバ704と同じものである。ドライバ705のトランジスタ211のドレインは、負荷903の一端に接続される。ドライバ705の出力ノードN4はトランス793の2次巻線793bの他方端子

に接続される。

[0152] 次に、このプッシュプル型DC／DCコンバータ7の動作について説明する。ドライバ704、705の高耐圧トランジスタ211、213の各々のゲートに、高耐圧トランジスタのしきい値電圧 V_{TH} よりも高い直流電圧（たとえば、10V）を印加する。また、ドライバ704、705の低耐圧トランジスタ212、214をオフさせ、トランジスタ795と796を交互にオンさせる。

[0153] トランジスタ796をオフ状態にしてトランジスタ795をオンさせると、直流電源794からトランス793の1次巻線793aおよびトランジスタ795に電流が流れ、トランス793の2次巻線793bに正電圧が誘起される。これにより、接地電圧GNDのラインからドライバ705の寄生ダイオード214aおよび高耐圧トランジスタ213と、2次巻線793bと、ドライバ704の寄生ダイオード212aおよび高耐圧トランジスタ211と、負荷903とを介して接地電圧GNDのラインに電流が流れる。負荷903には、トランス793の巻線比に応じた値の電圧が印加される。

[0154] 次に、トランジスタ795をオフさせると、直流電源794からトランス793の1次巻線793aに流れる電流が遮断され、2次巻線793bに流れる電流も遮断される。このとき、ドライバ705の寄生ダイオード214aおよびドライバ704の寄生ダイオード212aに流れている電荷や、回路の寄生容量に蓄積された電荷がリカバリ電流として流れる。

[0155] 次に、トランジスタ795をオフ状態にしてトランジスタ796をオンさせると、直流電源794からトランス793の1次巻線793aおよびトランジスタ796に電流が流れ、トランス793の2次巻線793bに負電圧が誘起される。これにより、接地電圧GNDのラインからドライバ704の寄生ダイオード214aおよび高耐圧トランジスタ213と、2次巻線793bと、ドライバ705の寄生ダイオード212aおよび高耐圧トランジスタ211と、負荷903とを介して接地電圧GNDのラインに電流が流れる。負荷903には、トランス793の巻線比に応じた値の電圧が印加され

る。

[0156] 次に、トランジスタ 796 をオフさせると、直流電源 794 からトランス 793 の 1 次巻線 793 a に流れる電流が遮断され、2 次巻線 793 b に流れる電流も遮断される。このとき、ドライバ 704 の寄生ダイオード 214 a およびドライバ 705 の寄生ダイオード 212 a に流れている電荷や、回路の寄生容量に蓄積された電荷がリカバリ電流として流れる。

[0157] この第 6 の実施形態によるプッシュプル型 DC/DC コンバータは、第 1 の実施形態によるスイッチング電源装置を用いたものであるから、高効率かつ低コストであるプッシュプル型 DC/DC コンバータが提供される。

[0158] なお、上記第 1 の実施形態のスイッチング電源装置を用いた上記第 2 ～第 6 の実施形態のスイッチング電源装置（インバータ、コンバータ）は、冷蔵庫、冷凍庫、エアコンディショナー、ソーラーパワーコントローラ、自動車などに使用可能である。上記第 2 ～第 6 の実施形態のスイッチング電源装置（インバータ、コンバータ）を冷蔵庫、冷凍庫、エアコンディショナー、ソーラーパワーコントローラ、自動車などに使用することにより、冷蔵庫、冷凍庫、エアコンディショナー、ソーラーパワーコントローラ、自動車などの高効率化を図ることができる。

[0159] 今回開示された実施形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

[0160] [まとめ]

この発明に係るスイッチング電源装置は、第 1 の電極が第 1 のノードに接続された第 1 のトランジスタと、第 1 の電極が前記第 1 のトランジスタの第 2 の電極に接続され、第 2 の電極が第 2 のノードに接続された第 2 のトランジスタとを備え、前記第 1 および第 2 のトランジスタの各々は、第 2 および第 1 の電極間に順方向に接続された寄生ダイオードを有し、前記第 1 のトランジスタの第 1 および第 2 の電極間の耐圧は、前記第 2 のトランジスタの第

1 および第2の電極間の耐圧よりも高く、さらに、この発明に係るスイッチング電源装置は、前記第1のノードから前記第2のノードに電流を流す場合は、前記第1および第2のトランジスタをオンさせ、前記第2のノードから前記第1のノードに電流を流す場合は、前記第1のトランジスタをオンさせるとともに前記第2のトランジスタをオフさせる駆動回路を備え、前記駆動回路は、前記第2のノードの電圧に前記第1のトランジスタのしきい値電圧を加算した電圧よりも高い電圧を前記第1のトランジスタの制御電極に与えて前記第1のトランジスタをオンさせ、前記第1のトランジスタの制御電極および第2のトランジスタの制御電極には、それぞれ前記第1のトランジスタの制御電極の電位変動を遅延させる第1の遅延回路および前記第2のトランジスタの制御電極の電位変動を遅延させる第2の遅延回路が接続され、前記第1の遅延回路および第2の遅延回路の少なくともいずれか一方は、前記第1のトランジスタの制御電極または第2のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるよう構成されてなることを特徴としている。

[0161] 上記構成によれば、高耐圧の第1のトランジスタに比べて低耐圧の第2のトランジスタは内蔵ダイオードに起因するリカバリ電流が小さい。そして、第2のノードから第1のノードに電流が流れる際は、第1のトランジスタはオンしており、第2のトランジスタはオフしているので、リカバリ電流が大きい第1のトランジスタの内蔵ダイオードには電流が流れずに、リカバリ電流が小さい第2のトランジスタの内蔵ダイオードのみに電流が流れる。したがって、還流ダイオードを外付けすることなくトランジスタの内蔵ダイオードを活用し、リカバリ電流による損失を低減することができる。それゆえ、高効率かつ低コストであるスイッチング電源装置が提供される。

[0162] 上記構成によればまた、高耐圧の第1のトランジスタと低耐圧の第2のトランジスタが直列に接続され、スイッチング動作を行うのは低耐圧の第2のトランジスタである。電源電圧の大半は高耐圧の第1のトランジスタの第1の電極ー第2の電極間に印加されるため、スイッチング動作を行う低耐圧の

第2のトランジスタの第1の電極－第2の電極間電圧を非常に小さくすることができる。そのため、スイッチング動作を行う第2のトランジスタの制御電極の電位が、容量結合する第1の電極の電位が変動することにより影響を受ける度合いを非常に小さくすることができる。それゆえ、制御電極の電位の変動による第2のトランジスタの誤点弧を効果的に抑制することができる。したがって、信頼性の高いスイッチング電源装置が提供される。

[0163] 上記構成によればまた、第1および第2のトランジスタの少なくともいずれか一方において、制御電極の電位が増加する速さと減少する速さを独立して決定することが可能となる。したがって、スイッチングの立ち上がりと立ち下りの速さを独立に決定することができるため、回路が発振しない範囲でよりきめ細かく回路のスイッチング高速化を行い、損失を低減することができる。

[0164] 一実施形態では、前記第1のトランジスタの制御電極または第2のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるよう構成されてなる第1の遅延回路または第2の遅延回路は、第1の抵抗器と、第2の抵抗器とダイオードが直列接続された回路とが並列に接続されてなることを特徴としている。

[0165] 上記形態によれば、極めて簡易な回路により第1または第2の遅延回路を構成し、第1のトランジスタまたは第2のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるようにできるので、スイッチング電源装置のコストを低減することができる。

[0166] また、一実施形態では、前記第1の遅延回路および第2の遅延回路は、それぞれ前記第1のトランジスタの制御電極および第2のトランジスタの制御電極の電位を増加させる速度と減少させる速さが異なるよう構成されてなることを特徴としている。

[0167] 上記形態によれば、第1および第2のトランジスタの制御電極の電位を増加させる速度と減少させる速さを、それぞれ独立に決定することが可能となり、回路が発振しない範囲で非常にきめ細かく回路のスイッチング高速化を

行い、損失を限界まで低減することができる。

[0168] また、一実施形態では、前記前記駆動回路は、前記第 1 のノードから前記第 2 のノードに電流を流すとき、前記第 1 のトランジスタの制御電極と第 2 のトランジスタの制御電極にそれぞれ異なる電位を印加するように構成されてなることを特徴としている。

[0169] 上記形態によれば、コスト削減または信頼性向上を実現したうえで、良好な特性を有するスイッチング電源装置を実現することができる。

[0170] また、一実施形態では、前記駆動回路は、前記第 1 のノードから前記第 2 のノードに電流を流すとき、前記第 1 のトランジスタの制御電極に印加するゲートオーバードライブが、前記第 2 のトランジスタの制御電極に印加するゲートオーバードライブより小さくなるよう構成されてなることを特徴としている。

[0171] 上記実施形態によれば、低耐圧である第 2 のトランジスタでのオン抵抗を小さくしたまま、第 2 のトランジスタの第 1 および第 2 の電極間の電圧を小さく保つことができる。したがって、スイッチング電源装置の性能を保ちつつ信頼性を向上することができる。

[0172] また、この発明に係るスイッチング電源装置は、第 1 の電極が第 1 のノードに接続された第 1 のトランジスタと、第 1 の電極が前記第 1 のトランジスタの第 2 の電極に接続され、第 2 の電極が第 2 のノードに接続された第 2 のトランジスタとを備え、前記第 1 および第 2 のトランジスタの各々は、第 2 および第 1 の電極間に順方向に接続された寄生ダイオードを有し、前記第 1 のトランジスタの第 1 および第 2 の電極間の耐圧は、前記第 2 のトランジスタの第 1 および第 2 の電極間の耐圧よりも高く、さらに、この発明に係るスイッチング電源装置は、前記第 1 のノードから前記第 2 のノードに電流を流す場合は、前記第 1 および第 2 のトランジスタをオンさせ、前記第 2 のノードから前記第 1 のノードに電流を流す場合は、前記第 2 のノードから前記第 1 のノードに電流が流れ始めた後に前記第 2 のトランジスタをオンさせ、前記第 2 のノードから前記第 1 のノードに電流が流れなくなる前に前記第 2 の

トランジスタをオフさせる駆動回路を備え、前記駆動回路は、前記第2のノードの電圧に前記第1のトランジスタのしきい値電圧を加算した電圧よりも高い電圧を前記第1のトランジスタの制御電極に与えて前記第1のトランジスタをオンさせ、前記第1のトランジスタの制御電極および第2のトランジスタの制御電極には、それぞれ前記第1のトランジスタの制御電極の電位変動を遅延させる第1の遅延回路および前記第2のトランジスタの制御電極の電位変動を遅延させる第2の遅延回路が接続され、前記第1の遅延回路および第2の遅延回路の少なくともいずれか一方は、前記第1のトランジスタの制御電極または第2のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるよう構成されてなることを特徴としている。

[0173] 上記構成によれば、スイッチング電源装置の効率を更に向上することができる。

[0174] また、この発明に係るスイッチング電源装置は、第1の電極が電源電圧のラインに接続された第1のトランジスタと、第1の電極が前記第1のトランジスタの第2の電極に接続され、第2の電極が出力ノードに接続された第2のトランジスタと、第1の電極が前記出力ノードに接続された第3のトランジスタと、第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が基準電圧のラインに接続された第4のトランジスタとを備え、前記第1～第4のトランジスタの各々は、第2および第1の電極間に順方向に接続された寄生ダイオードを有し、前記第1のトランジスタの第1および第2の電極間の耐圧は、前記第2のトランジスタの第1および第2の電極間の耐圧よりも高く、前記第3のトランジスタの第1および第2の電極間の耐圧は、前記第4のトランジスタの第1および第2の電極間の耐圧よりも高く、さらに、この発明に係るスイッチング電源装置は、前記電源電圧のラインから前記出力ノードに電流を流す場合は、前記第1および第2のトランジスタをオンさせ、前記出力ノードから前記電源電圧のラインに電流を流す場合は、前記第1のトランジスタをオンさせるとともに前記第2のトランジスタをオフさせ、前記出力ノードから前記基準電圧のラインに電流を流す場合は

、前記第3および第4のトランジスタをオンさせ、前記基準電圧のラインから前記出力ノードに電流を流す場合は、前記第3のトランジスタをオンさせるとともに前記第4のトランジスタをオフさせる駆動回路を備え、前記駆動回路は、前記出力ノードの電圧に前記第1のトランジスタのしきい値電圧を加算した電圧よりも高い電圧を前記第1のトランジスタの制御電極に与えて前記第1のトランジスタをオンさせ、前記駆動回路は更に、前記基準電圧のラインの電圧に前記第3のトランジスタのしきい値電圧を加算した電圧よりも高い電圧を前記第3のトランジスタの制御電極に与えて前記第3のトランジスタをオンさせ、前記第1、第2、第3および第4のトランジスタの制御電極の制御電極には、それぞれ前記第1、第2、第3および第4のトランジスタの制御電極の電位変動を遅延させる第1、第2、第3および第4の遅延回路が接続され、前記第1の遅延回路および第2の遅延回路の少なくともいずれか一方は、前記第1のトランジスタの制御電極または第2のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるよう構成されており、前記第3の遅延回路および第4の遅延回路の少なくともいずれか一方は、前記第3のトランジスタの制御電極または第4のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるよう構成されてなることを特徴としている。

[0175] 上記構成によってもまた、高効率、高信頼性かつ低コストであるスイッチング電源装置が提供される。

[0176] また、この発明に係るコンバータは、本発明のスイッチング電源装置を備え、直流電圧を昇圧または降圧することを特徴としている。

[0177] 上記構成によれば、高効率、高信頼性かつ低コストであるコンバータが提供される。

[0178] また、この発明に係るインバータは、本発明のスイッチング電源装置を備え、直流電力を交流電力に変換することを特徴としている。

[0179] 上記構成によれば、高効率、高信頼性かつ低コストであるインバータが提供される。

[0180] また、この発明に係るエアコンディショナーは、本発明のスイッチング電源装置を備えたことを特徴としている。

[0181] 上記構成によれば、高効率、高信頼性かつ低コストであるエアコンディショナーが提供される。

[0182] また、この発明に係るソーラーパワーコントローラは、本発明のスイッチング電源装置を備えたことを特徴としている。

[0183] 上記構成によれば、高効率、高信頼性かつ低コストであるソーラーパワーコントローラが提供される。

[0184] また、この発明に係る自動車は、本発明のスイッチング電源装置を備えたことを特徴としている。

[0185] 上記構成によれば、高効率、高信頼性かつ低コストである自動車を提供される。

産業上の利用可能性

[0186] 本発明は、スイッチング電源装置に適用されるものであり、特に、スイッチング損失が小さなスイッチング電源装置と、それを用いたインバータ、コンバータ、およびソーラーパワーコントローラに適している。

符号の説明

[0187] 11, 211, 213, 215, 217 高耐圧トランジスタ (NチャネルMOSトランジスタ)、12, 212, 214, 216, 218 低耐圧トランジスタ (NチャネルMOSトランジスタ)、795, 796 NチャネルMOSトランジスタ、11a, 12a, 211a~218a, 291a, 292a 寄生ダイオード、21, 71b, 221, 222, 271b~274b, 502, 503 コンデンサ、31, 51c, 52c, 231, 232, 251c~258c ダイオード、61, 261~264 ツェナーダイオード、51a, 51b, 52a, 52b, 71a, 251a~258a, 251b~258b, 271a~274a 抵抗、41, 241, 242, 797 ゲート電源、81, 281, 282, 798 ゲートドライバ、3, 903 負荷、901, 794 直流電源、301, 401, 501 コイル、N1, N

2, N3 ノード、N4, N5 出力ノード、Vin 入力端子、Vout 出力端子、T1, T2 入出力端子、604 U相ドライバ、605 V相ドライバ、606 W相ドライバ、902 モータ、793 トランス、793a 1次巻線、793b 2次巻線、704, 705 ドライバ

請求の範囲

[請求項1]

第1の電極が第1のノードに接続された第1のトランジスタと、
第1の電極が前記第1のトランジスタの第2の電極に接続され、第2の電極が第2のノードに接続された第2のトランジスタと、
前記第1のノードから前記第2のノードに電流を流す場合は、前記第1および第2のトランジスタをオンさせ、前記第2のノードから前記第1のノードに電流を流す場合は、前記第1のトランジスタをオンさせるとともに前記第2のトランジスタをオフさせる駆動回路と、
前記第1のトランジスタの制御電極と前記駆動回路との間に接続され、前記第1のトランジスタの制御電極の電位変動を遅延させる第1の遅延回路と、
前記第2のトランジスタの制御電極と前記駆動回路との間に接続され、前記第2のトランジスタの制御電極の電位変動を遅延させる第2の遅延回路と
を備え、
前記第1および第2のトランジスタの各々は、第2および第1の電極間に順方向に接続された寄生ダイオードを有し、
前記第1のトランジスタの第1および第2の電極間の耐圧は、前記第2のトランジスタの第1および第2の電極間の耐圧よりも高く、
前記駆動回路は、前記第2のノードの電圧に前記第1のトランジスタのしきい値電圧を加算した電圧よりも高い電圧を前記第1のトランジスタの制御電極に与えて前記第1のトランジスタをオンさせ、
前記第1の遅延回路および第2の遅延回路の少なくともいずれか一方は、前記第1のトランジスタの制御電極または第2のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるよう構成されていること
を特徴とするスイッチング電源装置。

[請求項2]

請求項1に記載のスイッチング電源装置であって、

前記第 1 のトランジスタの制御電極または第 2 のトランジスタの制御電極の電位を増加させる速さと減少させる速さが異なるよう構成されている第 1 の遅延回路または第 2 の遅延回路は、

第 1 の抵抗器と、

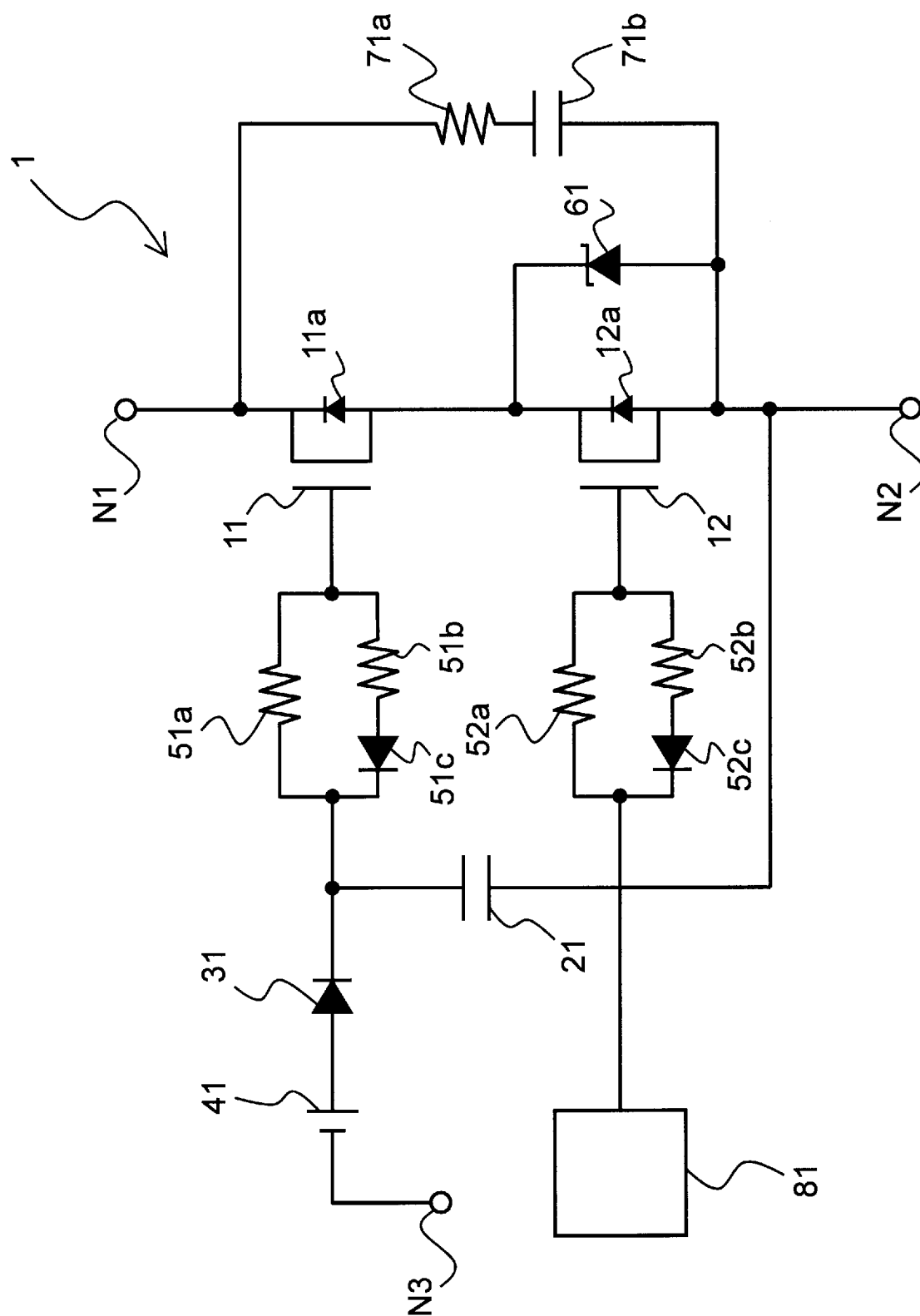
互いに直列に接続された第 2 の抵抗器およびダイオードを含み前記第 1 の抵抗器と並列に接続された回路とを備えることを特徴とする、スイッチング電源装置。

[請求項 3] 請求項 1 または請求項 2 に記載のスイッチング電源装置を備え、直流電圧を昇圧または降圧する、コンバータ。

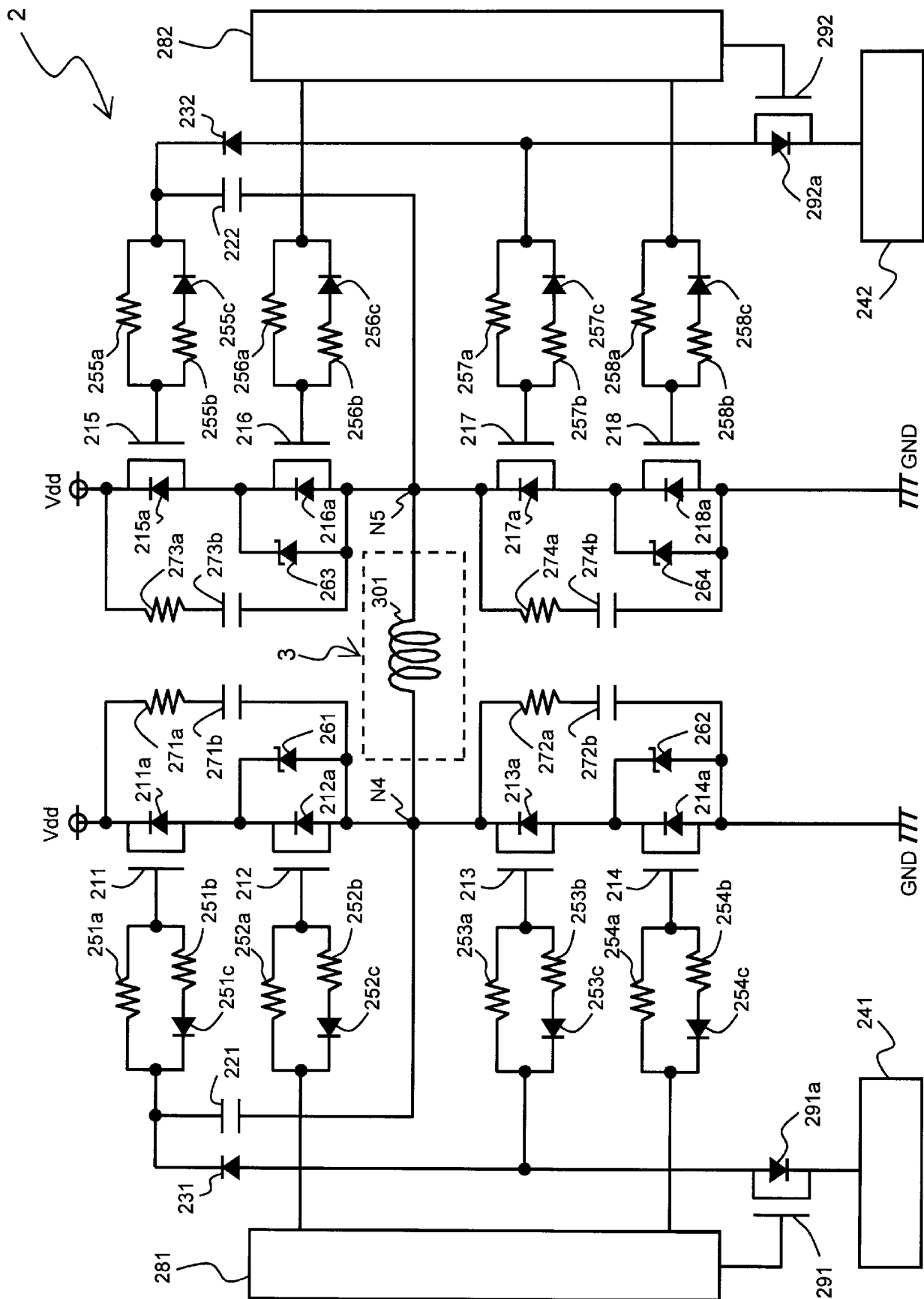
[請求項 4] 請求項 1 または請求項 2 に記載のスイッチング電源装置を備え、直流電力を交流電力に変換する、インバータ。

[請求項 5] 請求項 1 または請求項 2 に記載のスイッチング電源装置を備える、ソーラーパワーコントローラ。

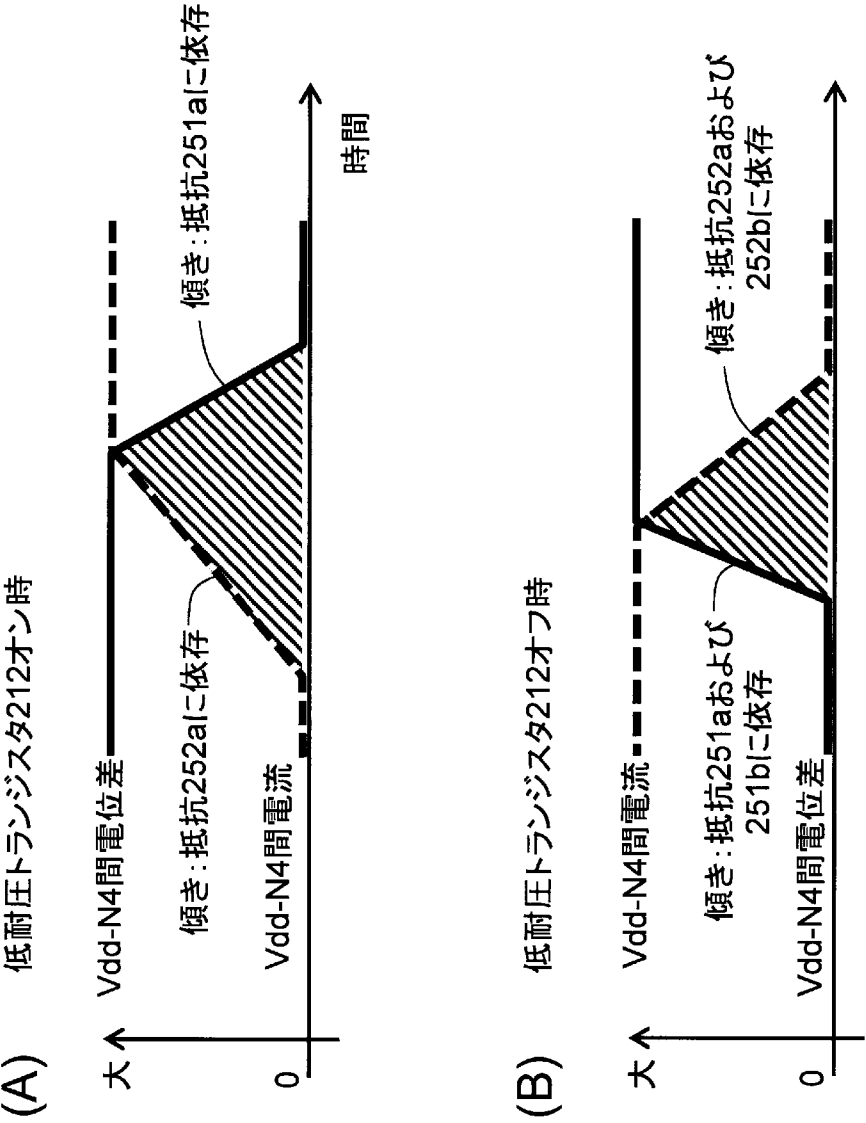
[図1]



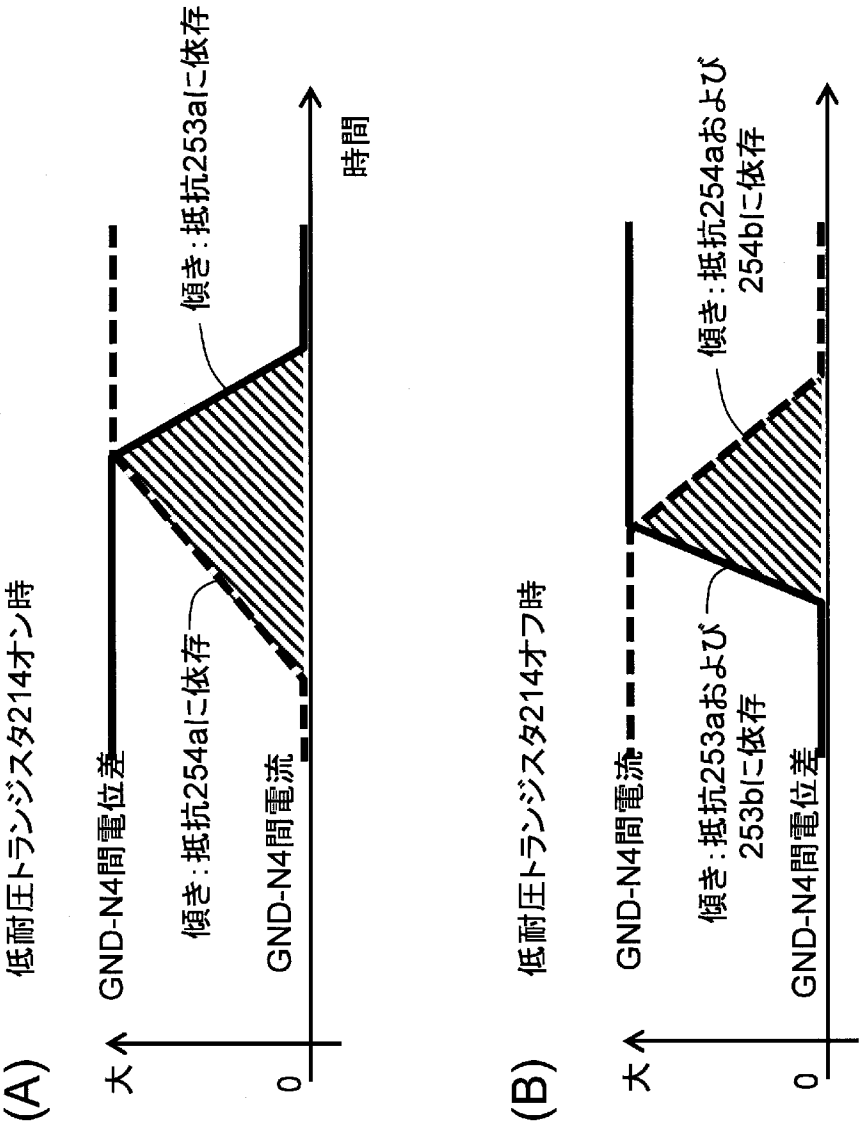
[図2]



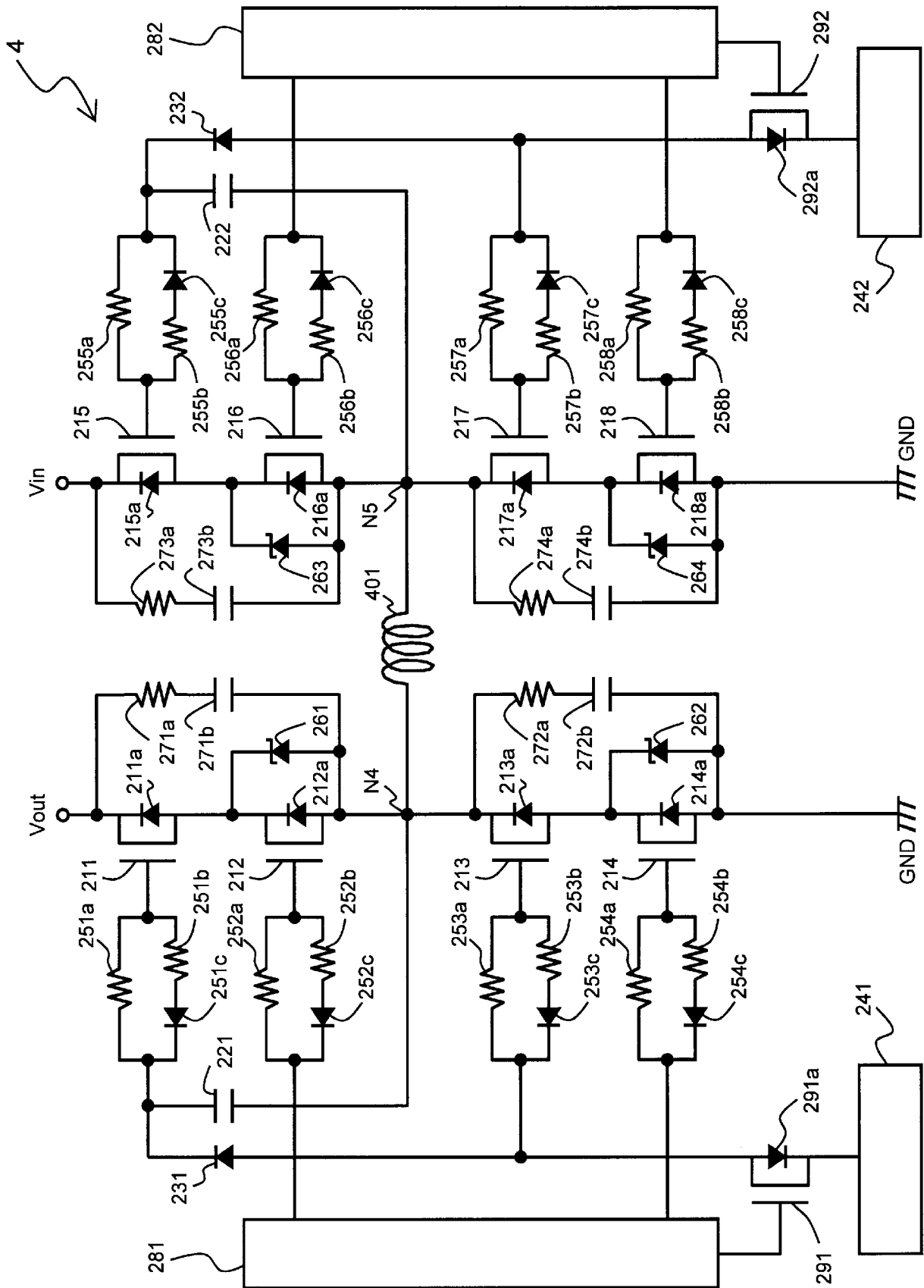
[図3]



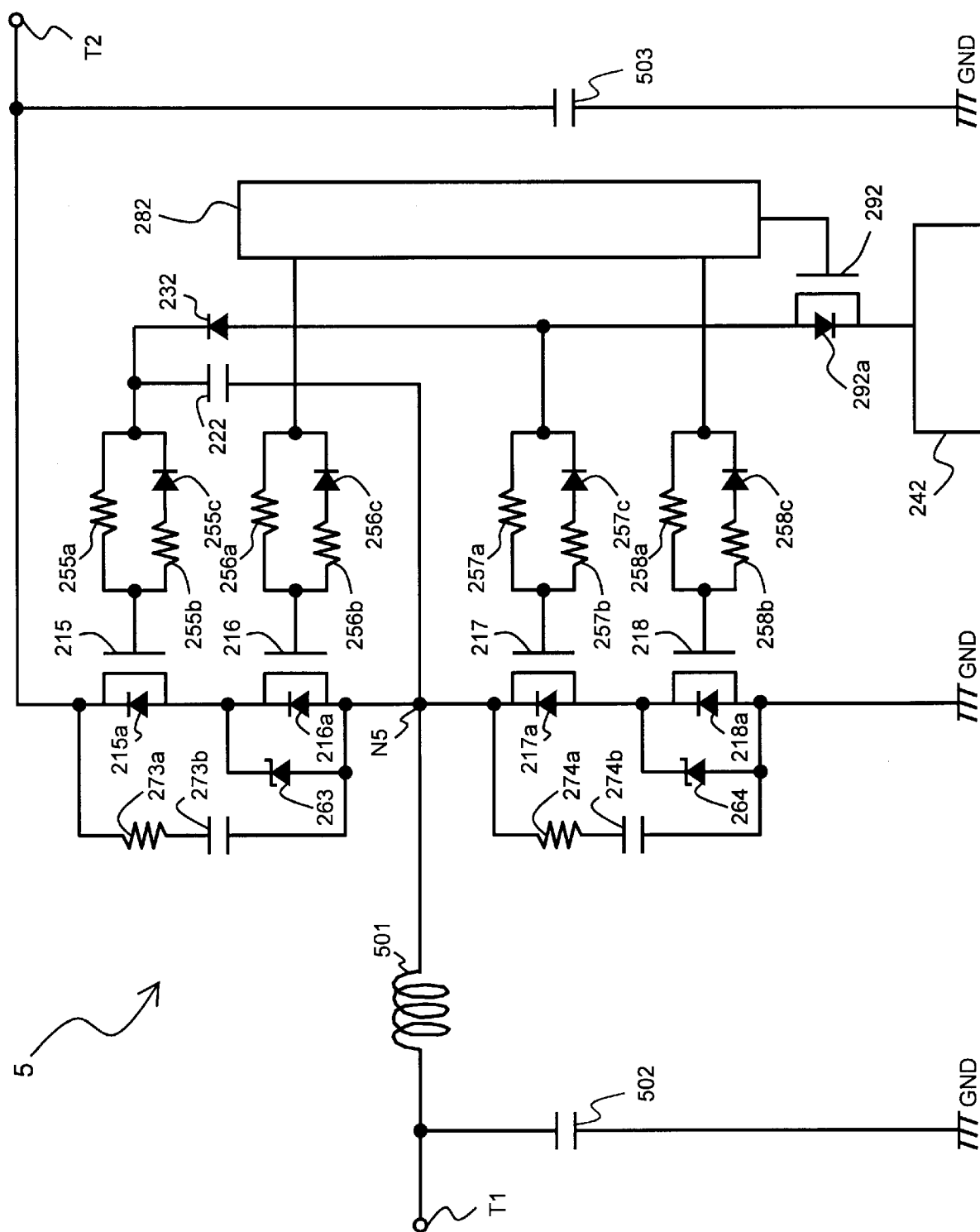
[図4]



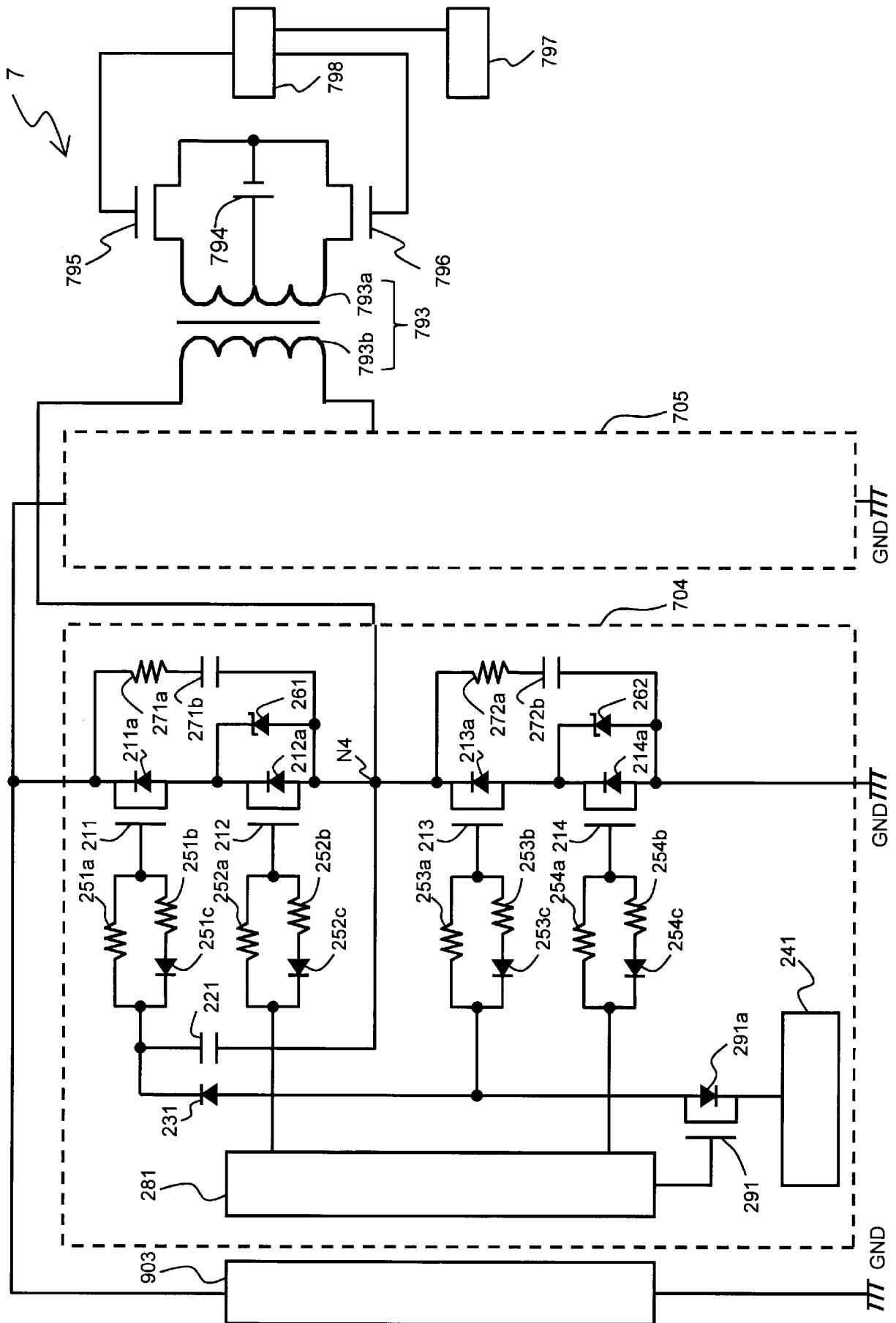
[図5]



[図6]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/056974

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08(2006.01)i, H02M3/155(2006.01)i, H02M3/28(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08, H02M3/155, H02M3/28, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-85448 A (Sharp Corp.), 09 May 2013 (09.05.2013), paragraphs [0026] to [0111] & US 2013/0083580 A1 & CN 103036466 A & KR 10-2013-0035923 A	1-5
Y	JP 2003-319638 A (Nissan Motor Co., Ltd.), 07 November 2003 (07.11.2003), paragraphs [0056] to [0060]; fig. 8 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 May, 2014 (19.05.14)

Date of mailing of the international search report
27 May, 2014 (27.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M1/08(2006.01)i, H02M3/155(2006.01)i, H02M3/28(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M1/08, H02M3/155, H02M3/28, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-85448 A（シャープ株式会社）2013.05.09, 段落[0026]-[0111]等 & US 2013/0083580 A1 & CN 103036466 A & KR 10-2013-0035923 A	1-5
Y	JP 2003-319638 A（日産自動車株式会社）2003.11.07, 段落[0056]-[0060], 図8等（ファミリーなし）	1-5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 5 . 2 0 1 4

国際調査報告の発送日

2 7 . 0 5 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 貞雄

3 V

4 1 2 9

電話番号 03-3581-1101 内線 3357