

[19]中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 7/00

G11C 11/40

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94191980.3

[45]授权公告日 2000 年 2 月 16 日

[11]授权公告号 CN 1049515C

[22]申请日 1994.11.18 [24]颁证日 1999.11.20

[21]申请号 94191980.3

[30] 优先权

[32]1994.3.2 [33]US[31]08/204,866

[86]国际申请 PCT/US94/13359 1994.11.18

[87]国际公布 WO95/24040 英 1995.9.8

[85]进入国家阶段日期 1995.11.2

[73]专利权人 爱特梅尔股份有限公司

地址 美国加利福尼亚州

[72]发明人 乔治·斯马兰杜 埃米尔·兰布朗克

[56]参考文献

US5,022,003 1991. 6. 4 G11C13/00

US5,022,003 1991. 6. 4 G11C13/00

US5,040,148 1991. 8.13 G11C7/00

审查员 王晓光

[74] 专利代理机构 中原信达知识产权代理有限责任公司

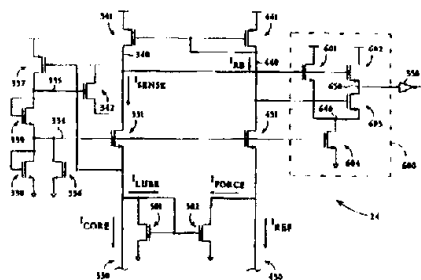
代理人 张天舒

权利要求书 2 页 说明书 11 页 附图页数 3 页

[54]发明名称 存储磁心结构

[57]摘要

连接半导体存储器的读出放大电路使读出放大器功能得到改进,电流镜像电路(341)一侧与磁心存储器邻近的第一旁路晶体管的数据结点相连,另一侧连接在由存储器基准单元产生的电流,它提供润滑电流以保证旁路晶体管在无电流从磁心存储器单元流出的情况下不会关断。读出放大器的速度可由旁路晶体管提高到一个较高的跨导水平。



ISSN 1008-4274

专利文献出版社出版

权 利 要 求 书

1. 连接半导体存储器的读出放大器电路包括:

(a) 数据结点装置, 它用于从选定磁心存储器单元接收表明存储器状态的电流;

(b) 读出结点装置, 它用于接收来自该数据结点装置的电流, 而该数据结点装置对由该数据结点装置所接收的电流进行反射;

(c) 基准结点装置, 它用于从选定基准单元接收表明该基准单元状态的基准电流;

(d) 基准电流镜像电路, 它包含第一和第二基准晶体管, 每个基准晶体管各自具有基极、漏极和源极结点, 该基准晶体管的各个源极结点接于选定的电源电压, 该第一和第二基准晶体管的栅极结点电气上相互连接在一起, 该第一基准晶体管的漏极结点与该读出结点装置相接, 该第二基准晶体管的漏极结点与其自身的栅极结点相连并配备有来自该基准结点装置的电流, 该基准结点装置对由该基准结点装置所接收的电流进行反射, 该基准电流镜像电路有效地为该读出结点装置提供一个基准电流, 该基准电流与从该基准结点装置向该第二基准晶体管提供的电流成正比;

其特征还在于还包括:

(e) 电容缓冲电路, 它包含第一和第二晶体管分支, 由结点装置驱动并用于减小对于该读出结点装置的电容;

(f) 钳位装置, 它利用对读出结点以及变换器输入电压摆动进行自动钳位;

(g) 改进型变换器, 它具有位于数据输入结点的一个输入端和位于第一偏置结点和第二偏置结点的两个输出端, 通过电压电平的自动调节, 使旁路晶体管维持饱和状态以获得较高跨导;

(h) 旁路晶体管装置, 它用于限制该数据结点装置的电压, 该旁路晶体管装置具有源极和漏极, 该漏极与该读出结点装置相连, 而该源极与该数据结点装置相连; 以及

(i) 润滑电流镜像电路，它包含第一和第二润滑晶体管，每个润滑晶体管各自具有栅极、漏极和源极结点，该润滑晶体管的各个源极结点连接于公共结点，该第一和第二润滑晶体管的栅极结点电气上相互连接在一起，该第一润滑晶体管的漏极结点与该数据结点装置相连并配备有来自该数据结点装置的电流，该第一润滑晶体管的漏极结点与其栅极结点和该数据结点装置相连，该润滑电流镜像电路有效地为该基准结点装置和该基准电流镜像电路提供一个电流，该电流与从该数据结点装置向该第一润滑晶体管提供的润滑电流成正比，且该润滑电流镜像电路有效地向该旁路晶体管装置提供一个预定量级的电流，从而甚至在无电流从磁心存储器单元流出的情况下该旁路晶体管装置仍保持导通。

2. 根据权利要求1的读出放大器电路，其特征在于该第一和第二润滑晶体管为MOS晶体管。

3. 根据权利要求2的读出放大器电路，其特征在于该第一和第二润滑晶体管的沟道尺寸各自不同。

4. 根据权利要求1的读出放大器电路，其特征在于该第一和第二晶体管分支与电流源相连。

5. 根据权利要求4的读出放大器电路，其特征在于该第一和第二晶体管分支只含有N个MOS晶体管。

6. 根据权利要求1的读出放大器电路，其特征在于该钳位装置包含电流镜像装置，该镜像装置用于在完成由低电平向高电平转换之后为读出结点提供一个下拉电流。

说明书

存储磁心结构

本发明涉及半导体存储器装置和方法，更具体而言，它涉及半导体读出放大器电路装置和方法。

读出放大器是用于从半导体存储器阵列中的存储晶体管（即磁心存储器）读取数据的电路装置。H. Arakawa的第5,198,997号美国专利中给出了已知读出放大器装置的一个实例，该专利的题目为“紫外线可擦固定存储器”。该专利中所给出的装置特别令人感兴趣的是它被引向含有基准单元的读出放大器装置，而其中基准单元通过电流镜像装置连接于另一列中的磁心存储器读出电路。

图3给出了根据现有技术的另一个读出放大器装置，该装置与Arakawa的装置不同。具体地说，图3给出了读出放大器电路300，该电路有效地检测在选定半导体记忆芯片的磁心存储器中选定存储单元的传导状态。图示的特定读出放大器电路300是通常所知的方法，该方法特别适用于可变门限存储器装置的场合。这种装置的情形包括如下两个子域：EPROMs（即电气可编程及紫外线(UV)可擦只读存储器）和EEPROMs（即电气可编程及电气可擦只读存储器）。

为本申请书中叙述的目的并根据常规，若记忆单元导通或“接通”，则定义该含有可变门限装置的记忆单元的传导状态为“低电平状态”；而若记忆单元不导通或“关断”，则定义该记忆单元的传导状态为“高电平状态”。

关于芯片存储器中特定磁心单元310传导状态的信息通过流经比特线320的电流进行传输，该比特线通过若干附加的装置与接于一个或更多个变换器350输入端的读出结点340相连，而其中变换器350将产生于读出结点340的电压放大，以便适当地驱动图中未示出的输出装置。

众所周知，磁心单元310可包含一个或多个晶体管；例如，磁心单元310可以包含选择晶体管311，该晶体管的漏极接比特线320，其源极接可变门限晶体管312的漏极，其栅极由字线313而驱动，该磁心单元还可包括可变门限晶体管312，其栅极由读出线314所驱动。特定的磁心单元被选为读取模式是通过对字线313和读出线314施加适用的偏压并接通一个或多个磁心选择晶体管（如磁心选择晶体管321）而实现的。这种偏置条件的组合将有效地将磁心单元310连接在数据总线330之上，该数据总线所起的作用是对读出放大器300的磁心侧输入。另外，读出放大器300具有基准侧输入线430，该输入线又与类似于磁心单元310的基准单元410相连。基准单元410的驱动通过基准单元选择线413在基准单元选择晶体管411的栅极进行，同时也通过基准读出线414在基准单元可变门限晶体管412的栅极进行。

读出放大器的磁心侧输入（即数据总线330）作为微分放大器333的倒相输入并同时与第一旁路晶体管331的源极相连。第一旁路晶体管331的漏极接于读出结点340，而该结点又与第二旁路晶体管342的源极、电流镜像晶体管341的漏极、放大变换器350的输入端以及钳位晶体管360的漏极与栅极相接。

读出放大器的基准侧输入（即基准数据结点430）与第三旁路晶体管431的源极相连。第三旁路晶体管431的漏极与基准结点440相连，该基准结点又与电流镜像晶体管441的栅极和漏极以及电流镜像晶体管341的栅极相连。

另外，微分放大器333的非倒相输入接于结点332处的偏置电压源VB，第一旁路晶体管331的栅极接于微分放大器333的输出端334，第二旁路晶体管342的栅极接于偏置电压源VD的正极端335，而该偏压源的负极端又与微分放大器333的输出端334相连。再有，钳位晶体管360的源极370接于钳位电压源VC。

在该读出放大器装置的实际实现过程中，事实上可以用晶体管的组合实现微分放大器333和各个电压源VB、VD以及VC；在此，为了阐述读出放大器互作原理，上述这些元器件作为理

想元件。

与偏置电压源VB一道，微分放大器333迫使数据总线330上的电位达到某个控制电平，该电平可有效地对接于比特线的磁心单元的终端进行偏置。该偏压约等于VB，其特定值约为2V。第一和第二旁路晶体管331和342的作用是提供一条电流通路以维持数据总线330上的电位等于VB。如果在查询特定磁心单元状态的过程中数据总线330被放电，则第一和第二旁路晶体管331和342的组合将提供一个电流通路以便把数据总线330上的电位恢复至约等于VB。电压源VD提供足够的漏-栅极偏压以保持第一旁路晶体管331在稳态偏置条件下（即当数据总线330的电平被充至约等于VB时）处于饱和。因此，第一旁路晶体管331将保持在互作区，在该区域中电流与栅-源极偏压成平方关系，这种条件有利于由该电路操作的更快响应时间。

第三旁路晶体管431的作用是限定基准数据结点430的电位基本等于数据总线330上的电位值。这种装置提供了与选定磁心单元310和基准单元410基本类似的偏置条件。当对基准单元选择线413和基准读出线414施加适当的偏置电压时，电流 I_{REF} 流过基准单元。该基准电流通过两电流镜像连接晶体管441和341被镜像反射并被反射为读出结点340处的电流 I_{SENSE} 。

各种装置的尺寸和偏压电平的典型选择方式是使得电流 I_{SENSE} 大致等于 I_{CORE} 的一半，其中 I_{CORE} 对应于“低电平”状态磁心单元的电流；因此，当读取导通单元内容时，读出结点340处的电流和保持第一和第二旁路晶体管331和342处于导通状态并保持相对的低电位，而当读取非导通单元时，读出结点340处的电流和则对该读出结点充电，使之达到比相应于前述导通单元情形的电位更高的电位。

如前所述，读出结点340的电位低端被限制在接近VB+VD的数值，而其高端由钳位晶体管360及在结点370处接于该钳位晶体管360源极的钳位电压源VC的组合来进行限制。读出结点340处的降低电压摆动是必要的，因为它被转换成降低充电转移及

在比基础上的较快响应时间。另外，变换器350的跳闸点应高于最低读出结点电位（即 $V_B + V_D$ ）且低于由钳位晶体管360和钳位电压源VC确定的最高读出结点电位。

上述装置读取磁心单元的传导状态。然而，其性能由若干因素所限制。采用涉及结合在变化电压和温度条件下编程的众多磁心单元的读出放大器的单个（典型为UV可擦的）基准单元，则难于在温度和电压变化的大范围内在基准单元电流 I_{REF} 与磁心单元电流 I_{CORE} 之间取得最佳的匹配。

另外，当从读取“高电平”状态变换到读取“低电平”状态时，数据总线330从被完全充电状态开始起动并必须充分地放电以便使第一旁路晶体管331能传导略大于 I_{SENSE} 的电流，从而开始读出结点340的向下移动。接通第一旁路晶体管331所需的电压变化是由这样的事实产生的。即导通磁心单元必须对初始被完全充电的数据总线330进行放电。这是响应时间的典型限制的因素，因为相对小的单元电流要“对抗”相对大的数据总线的容性负荷。

再有，尽管钳位晶体管360是用于限制读出结点340处的电压摆动的，但它同时也增加了容性负荷，这种负荷便抵消了降低电压摆动所带来的好处。

还有，由于变换器350工作在高增益区，则由固有的栅极电容以及密勒反射电容，该变换器将对读出结点340产生一个相对大的容性负载。

因此，本发明的目的在于改善或消除上述限制因素而增加读取磁心存储器的速度。

上述目的通过将单个基准单元改换成“一列”基准单元而获得实现，其中该列基准单元与共享相同“字线”的磁心单元同时进行编程。在读出放大器中，分隔数据总线与读出结点的第一旁路晶体管总保持导通状态，而与磁心单元电流无关。读出结点钳位二极管被取消并代之以“有源”钳位装置，且读出结点通过具有低输入电容和相对高输出驱动的缓冲级与第一变

换级相隔离。

借助利用一“列”与磁心单元共享相同字线和(作为可能的情形)读出线的基准单元,可取得基准单元电流与磁心单元电流的良好匹配,因为共享相同字线的磁心及基准单元将同时在类似的温度和电压条件下进行编程。另外,通过物理上设置扩散于磁心中的基准单元,可取得基准单元对磁心单元在尺寸方面的良好匹配。因此,导通存储器单元的电流将基本上等于基准单元的电流。

分隔读出结点与数据总线的第一旁路晶体管借助在与被读磁心单元传导状态无关的条件下保持其处于导通状态而被“润滑”。因此,流经该旁路晶体管的电流将从有限值 I_{LUB} 变为等于 $I_{LUB}+I_{CORE}$ 的值,而不是从零(非导通单元)变至 I_{CORE} (导通磁心单元)。引起这种电流变化所需的栅-源极电压变化小于“非润滑”旁路晶体管的情形,这是由于晶体管电流与栅-源极电压之间呈平方关系。因此,数据总线上为产生从读取非导通单元到读取导通单元所需的电压摆动被减小,从而改善了响应时间。为保持磁心单元电流与基准单元电流之间所需要的关系,“润滑”电流被镜像反射以便在读出结点处抵消。电路的操作速度通过所采用的缓冲电路以减小读出结点电容的方式加以改善。

附图简要说明;

图1为存储器平面图,它描述了根据本发明的改进磁心装置,其中包含了分布在磁心中的分散基准列;

图2给出了根据本发明的电路装置,它通过“润滑”连接数据总线与读出结点的旁路晶体管和通过利用低输入电容/高输出驱动级隔离该读出结点与第一变换器而有效地改善了读出放大器的性能;以及

图3给出了根据现有技术的读出放大器装置。

图1给出了根据本发明的磁心装置。具体而言,按照一种方案,图中所示的存储磁心10包括2,048个有源(以及附加32个

多余的)存储磁心柱, 其中如上所指出的, 每个磁心柱涉及预定数量的包含选择晶体管和浮动栅极晶体管的磁心单元。存储磁心10根据本发明构造成一组磁心存储列组(即从10a到10n)和从15a到15n的基准列。根据其中一种模型, 每个存储列组(10a...10n)包含128个有源(以及附加2个多余的)存储磁心柱, 这些磁心柱可有选择地与数据结点18中的一个相接, 而这次数据结点又作为对读出放大器电路24中任一个的输入点。总而言之, 共有“n”个数据结点, 即18a...18n。另外, 每个读出放大器电路24在其输入端与接于各个基准列15a...15n的缔合基准列结点25a...25n相连。因此, 对于读出放大器电路24a, 备有相应的输入结点对(分别为18a和25a), 该结点对依次为数据结点输入端和基准列结点输入端。由此显而易见, 存储磁心10包含一组列组合10a...10n, 每个列组合又与具有基准列结点25a...25n的相应基准列15a...15n相关联。基准列位于列组合10a...10n之间且分布于存储磁心10之中。这种分散式分布于存储磁心10中的方式所导致的结果是, 它在整个有效电压和温度的范围内建立了磁心单元参数与基准磁心单元参数之间的自动匹配。每行存储器以及基准磁心单元在特定的电压和温度下进行编程。因此, 适当基准列的基准单元自动被编程以匹配存储磁心10中特定行内相应存储磁心单元的条件。存储列组合10a...10n与基准列15a...15n之间由字线19a...19n相连。

图2给出了根据本发明的读出放大器电路4, 它包含具有晶体管501和502的“润滑”级和具有晶体管组合601、602、603及604的低输入电容缓冲级600, 这些将在下面进行详细介绍。图2还分别给出了晶体管336、337、338和339, 这些晶体管构成网络而有效地维持了读出放大器输入端(即数据输入结点330和基准输入结点430)偏置电压的基本稳定。晶体管336和337的栅极与数据输入结点330相连, 而该结点330又与第一旁路晶体管331的源极以及“二极管式”连接的“润滑”晶体管501的漏极和源极相连。晶体管336的源极接地, 而晶体管337的源极与电

源正极端相接。晶体管337的漏极接于第二偏置结点335，而该结点又与第二旁路晶体管342的栅极以及晶体管339的漏极和栅极相连。晶体管339的源极接于第一偏置结点334，而该结点又连接晶体管336的漏极、晶体管338的漏极和栅极、第一旁路晶体管331的栅极和第三旁路晶体管431的栅极。晶体管338的源极接地。晶体管336、337、338和339构成改进型变换器，该变换器具有位于数据输入结点330的一个输入端和位于第一偏置结点334和第二偏置结点335的两个输出端。如果第一旁路晶体管331相对于流过其自身的电流而言很大，且如果该晶体管为“零”门限晶体管，则在稳态下第一偏置结点334的电压电平将略高于数据输入结点330上的电压电平。由于电流流经晶体管339引起该晶体管电压下降，第二偏置结点335的电压电平将仍然高于第一偏置结点334的电压电平。如果第二旁路晶体管342利用“零”门限晶体管构成并相对大于流经其自身的电流，则第一旁路晶体管的漏极电压电平将接近第二偏置结点335处的电压电平。因而，第一旁路晶体管331的漏极电压高于该晶体管栅极的电压，则该晶体管维持饱和状态，这种饱和状态是获得较高跨导的必要条件。

在稳定状态下，数据输入结点330和基准输入结点430相应于读取导通或非导通磁心单元将处于稳定的电平状态。如图1所示，可变门限磁心单元以及可变门限基准单元被接于两读出放大器输入端330和430。

当读取“低电压”状态(即导通单元)时，电流 I_{CORE} 将从数据输入端330流向选定的磁心单元，而电流 I_{REF} 将从基准结点430流向选定的基准单元。在如图1所示的磁心单元/基准单元装置的情况下(其中一个存储输出中的所有磁心单元共享由相同字线和/或读出线驱动的基准单元并且在尺寸上也与有源磁心单元相似)， I_{CORE} 将基本上等于 I_{REF} 。

由第一旁路晶体管331、第二旁路晶体管342以及改进变换器晶体管336、337、338和339所组成的装置将迫使在数据输入

结点330上建立一个电压电平该电平的数值接近该改进变换器的跳闸点，其中跳闸点的定义是指施加于数据输入结点330之上而导致在第一偏置结点334产生相等电压电平的电压值。“强加于”数据输入结点的电压将决定电流 I_{LUBE} ，该电流流过“润滑二极管式”连接的晶体管501。电流 I_{LUBE} 的“镜”像将流过晶体管502，而该晶体管的栅极接于数据输入结点330，其漏极接于基准输入结点430，而其源极接地。 I_{FORCE} （即流经晶体管502的镜像电流）的大小将依赖于晶体管501和502之间实际尺寸的比例。“润滑”晶体管502与501之间的尺寸比率最好与“顶”电流镜像晶体管441和341之间的尺寸比率相同，这样可使得在读出结点340处抵消“润滑”电流。

在读出放大器的优选方案中，晶体管502与501及441与341之间的尺寸比率约为2比1，即在类似的电压偏置下，较大的晶体管将传导两倍于较小晶体管电流的电流。因此，流经基准分支（即流经顶镜像晶体管441和第三旁路晶体管431）的电流为： $I_{RB} = I_{FORCE} + I_{REF} = 2 \times I_{LUBE} + I_{CORE}$ ，而流经顶镜像晶体管341的电流趋向于 $I_{SENSE} = I_{RB}/2 = I_{LUBE} + I_{CORE}/2$ 。

因而，在存在导通存储器单元的情况下，当 I_{CORE} 从数据输入结点330流出而进入有源磁心时，从第一旁路晶体管331源极流出的电流为： $I_{TOT} = I_{CORE} + I_{LUBE}$ 。

由于 $I_{SENSE} = I_{CORE}/2 + I_{LUBE}$ ，从而第二旁路晶体管342将导通并将产生一个等于 $I_{CORE}/2$ 的电流以便维持读出结点340处的电流平衡。如果第二旁路晶体管342导通，则读出结点340处的电压电平便为相对的“低电平”。

相反，如果读取非导通磁心单元，且从数据输入结点330流向磁心的电流为零，则从第一旁路晶体管331源极的电流为 $I_{TOT} = 0 + I_{LUBE} = I_{LUBE}$ 。

由于 I_{SENSE} 趋向于与 $I_{CORE}/2 + I_{LUBE}$ 相等，且由于 I_{SENSE} 不能大于 I_{LUBE} ，从而读出结点340的电压电平将上升，直至晶体管341的漏极电压足够高以至一个等于 I_{LUBE} 的电流流过晶体

管341为止，这只有当晶体管341进入线性区时才可能发生。因此，读出结点340被‘向上’充电至一个相对‘高’电平，但这个电平又低于正电源电压，也就是说电流仍将流过晶体管341，从而自动地将读出结点的电平钳制在低于正电源电压的水平。这种自动的钳位作用限制了读出结点的电压摆动，从而改善了速度（与‘非钳位’方法相比较）而又不会象图3所示的现有技术中所采用的方式那样以附加的钳位装置去增加读出结点的负担。

由此可见，在稳定状态下，流经第一晶体管331的电流将从等于 I_{LUBE} 的低值变至等于 $I_{LUBE} + I_{CORE}$ 的高值。数据输入结点330的电压电平也会随着发生变化。当流过第一旁路晶体管331的电流较大时，这个电压将会变得较低一些。在数据输入结点330‘高电平’与各个‘低电平’状态之间的电压差当存在 I_{LUBE} 时将较小，从而导致比不存在 I_{LUBE} 的情形更快的开关时间。这是在MOS晶体管处于饱和状态下由于晶体管电流对栅—源极电压成平方依赖关系而导致的结果。

‘润滑二极管式’连接的晶体管501在读出放大器的瞬态行为中同样起着重要的作用。因此，当读出放大器对先前放电的数据输入结点330进行充电时，由于第一偏置结点334与数据输入结点330之间有限的相位滞后，第一旁路晶体管331可能将数据输入结点330‘过分充电’至某一点，而在该点处第一旁路晶体管331实际上被关断。如果在数据输入结点的充电以及读取导通单元的过程中第一旁路晶体管331关断，则该数据输入结点330不得不再次放电，直至第一旁路晶体管331导通从而允许该数据输入结点330与读出结点340进行通讯为止。在存在 I_{LUBE} 的情况下，过分充电的数据输入结点330的放电较快，由此又进一步加快了响应时间。过分充电的情形也适用于电源电压电平突然下降的场合，此时第一偏置结点334的电压可能下降，由此而关断第一旁路晶体管331。在这种情况下， I_{LUBE} 的存在明显地加速了恢复。二极管式连接的晶体管338用以控制改进偏置变换器的增益并改善其响应时间。

与现有技术中读出结点340与变换器350的输入端直接相连的情形相反，在本发明中，该读出结点与第一变换级相隔离。具体而言，读出结点340与“追随”相连晶体管601的栅极和“零”门限及“追随”相连晶体管602的栅极相接。内基准结点440与晶体管603的栅极相连，而该晶体管603作为电流开关。晶体管603的漏极在结点650处与变换器350的输入端和“追随”晶体管602的源极相连。晶体管603的源极在“追随结点”640与“追随”晶体管601的源极和“电流源”连接晶体管604的漏极相连。晶体管601和602的漏极接于正电源，而晶体管604的源极接地。“电流源”连接晶体管604的栅极与第一偏置结点334相连。由于读出结点340驱动“追随”型输入，则显而易见“追随的”结点640和650与驱动读出结点“同相”移动，从而相对于读出结点直接驱动变换器输入端的情形，此时对读出结点340所加的容性负荷较轻。

在检测“低电平”状态(即导通磁心单元)时，读出结点340的电压电平低于内基准结点440的电压电平。从而，流经“电流源”连接晶体管604的电流被控制着流过晶体管603而不流过晶体管601，且“追随”晶体管602中的电流将很微弱或被“关断”。这允许变换器输入结点650放电至低电平，该电平应低于变换器350的跳闸点。反之，在检测“高电平”状态时，则读出结点340将处于相对的高电平，该电平高于内基准结点440的电压电平。因此，流经“电流源”连接晶体管604的电流将被控制流过“追随”晶体管601而不流过晶体管603。另外，“追随”晶体管602将把变换器输入结点650的电平提高而不受来自“电流开关”晶体管603的明显“阻力”。变换器350的输入端在低于读出结点340最高电平的情况下被钳制在“高电平”，而在一定偏压下被钳制为“低电平”，其中该偏压低于内基准结点440的相对稳定的电平约一个增强门限。尽管移动读出结点340的电流(当其接近于静态时)约为 $I_{CORE}/2$ ，而移动变换器350输入端的电流可以大得多，从而导致更快的响应时间。附加增益由从偏置结

点334驱动电流源晶体管604而提供；因此，当检测“低电平”状态时，偏置结点334的电平将相对较高且更强的电流将被迫流过晶体管604，从而对缓冲器输出结点650放电的速度便快于用恒定电流对其进行放电。反之，当检测“高电平”状态时，偏置结点334的电平将相对较低且较弱的电流将被迫流过晶体管604，从而对结点650电平的上升运动产生较小的阻力。

总而言之，根据本发明的装置，通过利用与磁心列相关联的基准列，利用保持旁路晶体管具有相对较高的跨导，利用对读出结点以及变换器输入电压摆动进行自动钳位、以及利用追随缓冲电路减小读出结点的容性负荷，从而改善了读出时间。

说明书附图

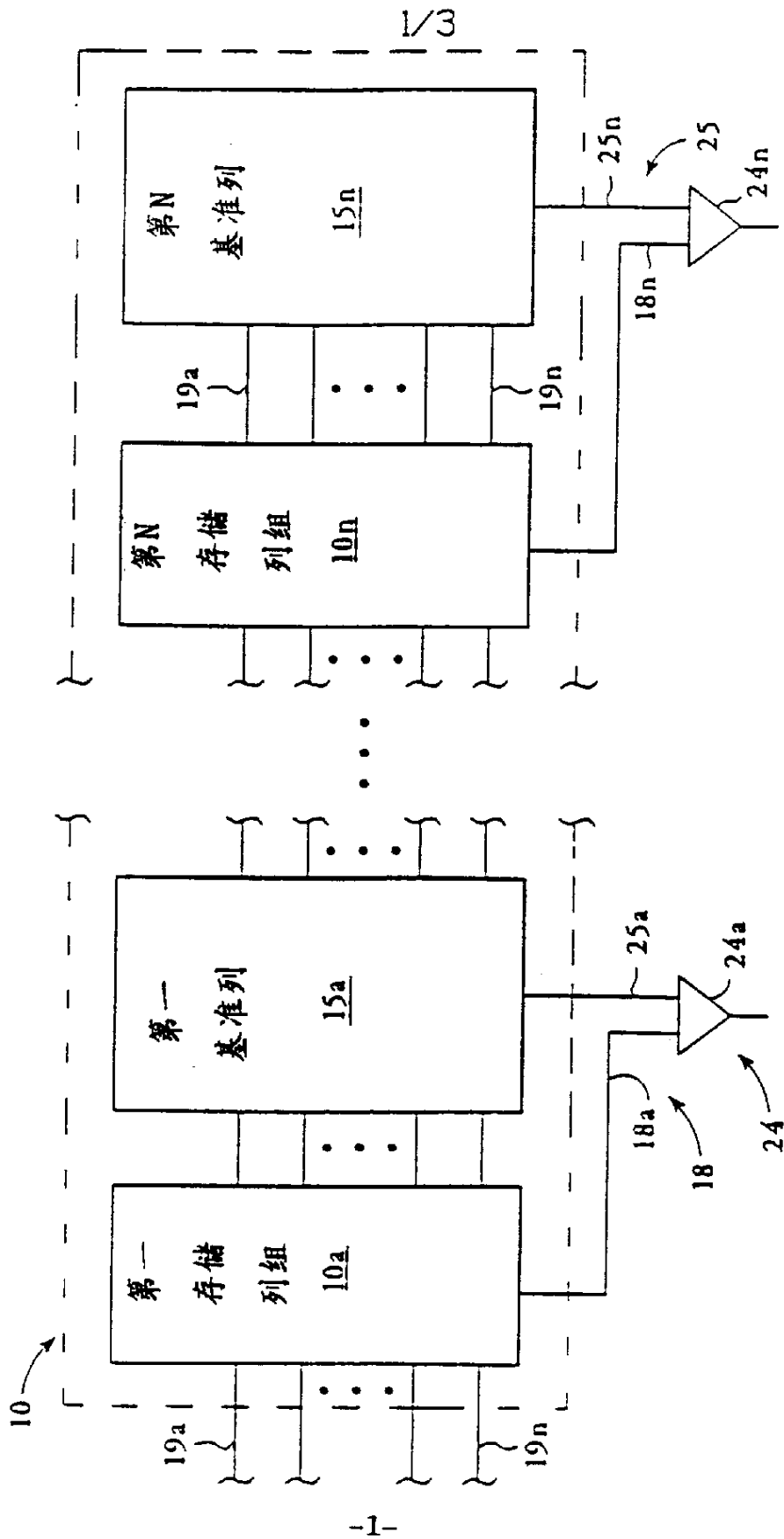


图1

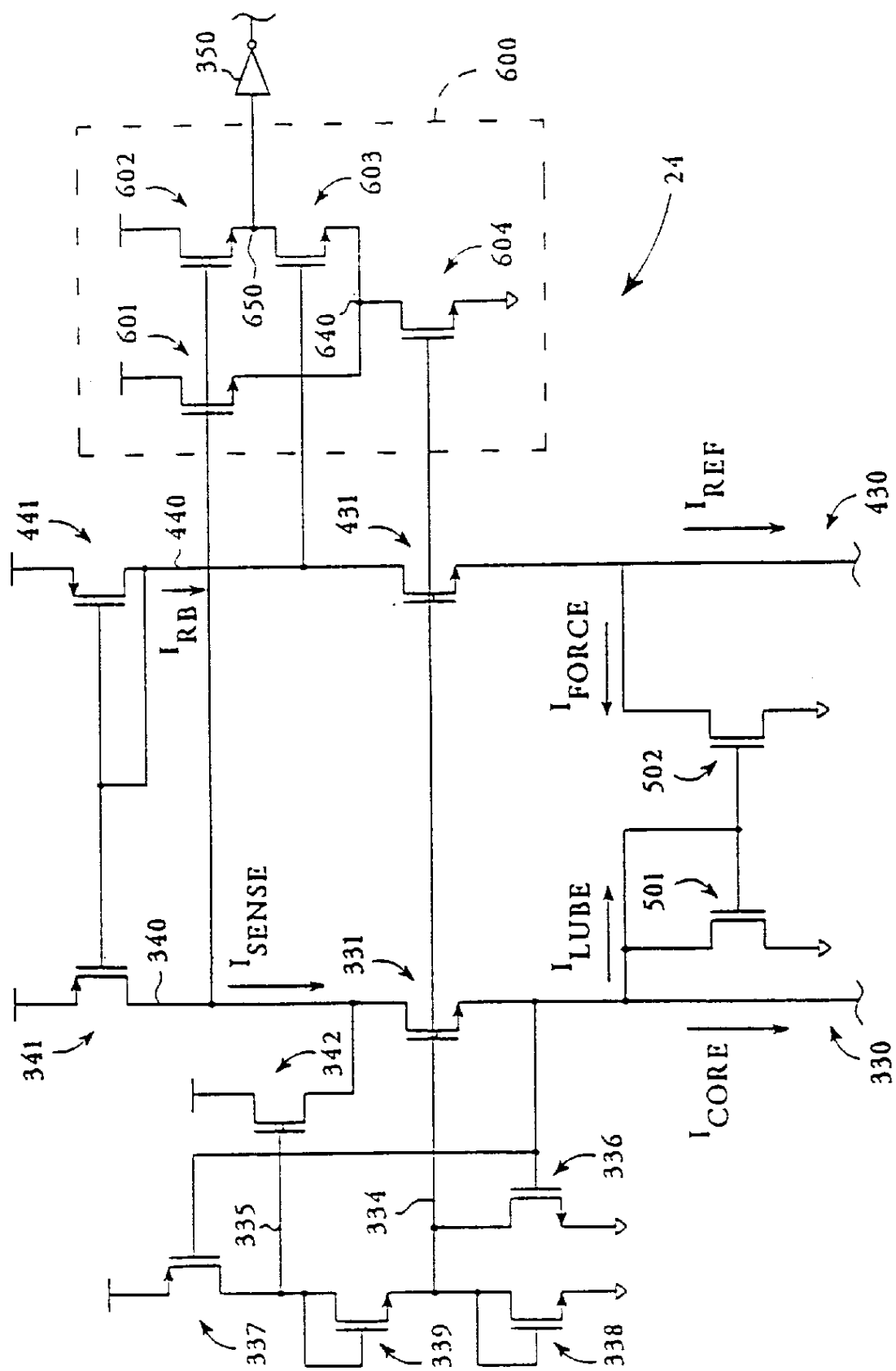


FIG. 2

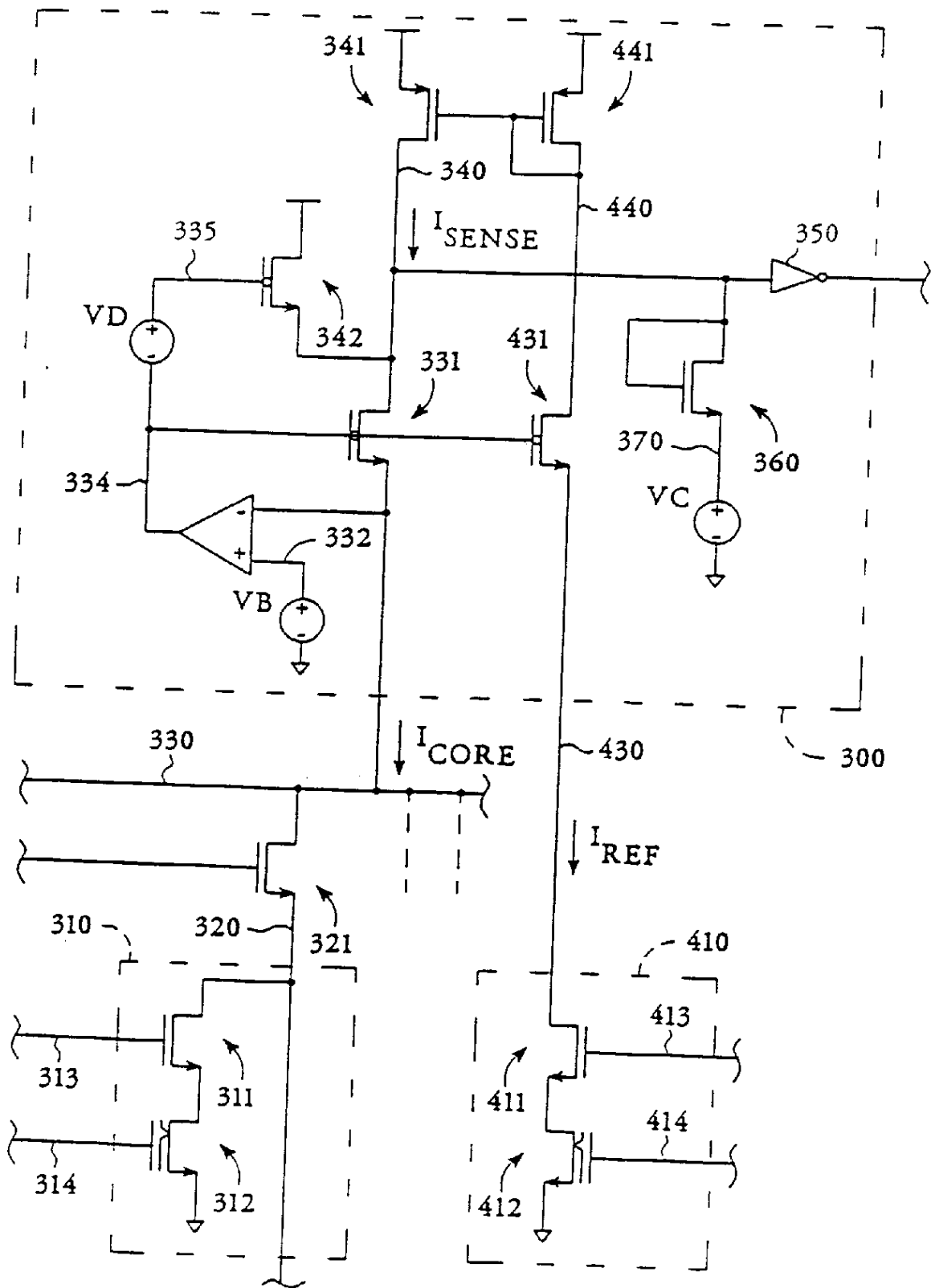


图 3