

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4063828号
(P4063828)

(45) 発行日 平成20年3月19日(2008.3.19)

(24) 登録日 平成20年1月11日(2008.1.11)

(51) Int.Cl.

A 63 F 5/04 (2006.01)

F 1

A 63 F 5/04 512 Z

請求項の数 12 (全 93 頁)

(21) 出願番号 特願2005-40606 (P2005-40606)
 (22) 出願日 平成17年2月17日 (2005.2.17)
 (65) 公開番号 特開2006-223550 (P2006-223550A)
 (43) 公開日 平成18年8月31日 (2006.8.31)
 審査請求日 平成18年12月6日 (2006.12.6)

早期審査対象出願

(73) 特許権者 000144153
 株式会社三共
 群馬県桐生市境野町6丁目460番地
 (74) 代理人 100098729
 弁理士 重信 和男
 (74) 代理人 100116757
 弁理士 清水 英雄
 (74) 代理人 100123216
 弁理士 高木 祐一
 (74) 代理人 100089336
 弁理士 中野 佳直
 (72) 発明者 山中 隆司
 群馬県桐生市境野町6丁目460番地 株式会社三共内

最終頁に続く

(54) 【発明の名称】スロットマシン

(57) 【特許請求の範囲】

【請求項 1】

1 ゲームに対して所定数の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシンであって、

信号が入力されることにより外部割込を発生させる割込入力端子と、通常入力端子と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段を搭載したメイン制御基板と、

前記メイン制御手段から送信された制御情報の受信に基づき演出の制御を行うサブ制御手段を搭載したサブ制御基板と、

前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときに電断信号を出力する電断検出手段と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板と、を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領

10

20

域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域と、前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが読み出し及び書き込みが行われることのない未使用領域と、が少なくとも割り当てられたメインデータ記憶手段と、

複数種類の初期化条件のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用領域を1ゲーム毎に初期化する初期化手段と、

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理を実行するメイン制御状態復帰処理手段と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理を含む電断時割込処理を実行する電断時割込処理実行手段と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間を所定の範囲でランダムに設定する遅延時間設定手段と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段と、

を含み、

前記メインデータ記憶手段には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段は、2種類以上の初期化条件の種類に対応して前記メインデータ記憶手段における初期化開始アドレスが設定されるとともに、該初期化条件に共通する初期化終了アドレスが設定された初期化領域設定手段を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから前記初期化終了アドレスまでの各アドレスが割り当てられた記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる、

ことを特徴とするスロットマシン。

【請求項2】

1ゲームに対して所定数の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシンであって、

信号が入力されることにより外部割込を発生させる割込入力端子と、通常入力端子と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段を搭載したメイン制御基板と、

前記メイン制御手段から送信された制御情報の受信に基づき演出の制御を行うサブ制御手段を搭載したサブ制御基板と、

前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときに電断信号を出力する電断検出手段と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板と、を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

10

20

30

40

50

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域と、前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが読み出し及び書き込みが行われることのない未使用領域と、が少なくとも割り当てられたメインデータ記憶手段と、

複数種類の初期化条件のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用領域を1ゲーム毎に初期化する初期化手段と、

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理を実行するメイン制御状態復帰処理手段と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理を含む電断時割込処理を実行する電断時割込処理実行手段と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間を所定の範囲でランダムに設定する遅延時間設定手段と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段と、

を含み、

前記メインデータ記憶手段には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段は、初期化条件の種類に対応して前記メインデータ記憶手段における初期化開始アドレスと該初期化開始アドレスに対して初期化される記憶領域のサイズが設定された初期化領域設定手段を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから該初期化アドレスに対して設定されたサイズの記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる、

ことを特徴とするスロットマシン。

【請求項3】

前記メインデータ記憶手段の記憶領域には、前記ワーク領域及び前記未使用領域に加えてデータを一時的に格納することが可能なスタック領域が割り当てられており、

前記メイン制御手段は、

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段と、

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段と、

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段と、

を含み、

前記初期化手段は、前記メインデータ記憶手段の記憶領域における前記未使用領域に加えて前記未使用スタック領域特定手段により特定される未使用スタック領域も1ゲーム毎に初期化する、

ことを特徴とする請求項1または2に記載のスロットマシン。

【請求項 4】

1 ゲームに対して所定数の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシンであって、

信号が入力されることにより外部割込を発生させる割込入力端子と、通常入力端子と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段を搭載したメイン制御基板と、

前記メイン制御手段から送信された制御情報の受信に基づき演出の制御を行うサブ制御手段を搭載したサブ制御基板と、10

前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときに電断信号を出力する電断検出手段と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板と、
を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域と、データを一時的に格納することが可能なスタック領域と、が少なくとも割り当てられたメインデータ記憶手段と、20

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段と、

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段と、

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段と、

複数種類の初期化条件のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用スタック領域特定手段により特定される未使用スタック領域を1ゲーム毎に初期化する初期化手段と、30

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理を実行するメイン制御状態復帰手段と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理を含む電断時割込処理を実行する電断時割込処理実行手段と、40

前記制御情報を送信する際に、該制御情報の送信の遅延時間を所定の範囲でランダムに設定する遅延時間設定手段と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段と、

を含み、

前記メインデータ記憶手段には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段は、2種類以上の初期化条件の種類に対応して前記メインデータ記憶手段における初期化開始アドレスが設定されるとともに、該初期化条件に共通する初期化終了アドレスが設定された初期化領域設定手段を含み、前記初期化条件が成立したときに、50

該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから前記初期化終了アドレスまでの各アドレスが割り当てられた記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる、

ことを特徴とするスロットマシン。

【請求項 5】

1 ゲームに対して所定数の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果が導出表示されることにより 1 ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシンであって、

信号が入力されることにより外部割込を発生させる割込入力端子と、通常入力端子と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段を搭載したメイン制御基板と、

前記メイン制御手段から送信された制御情報の受信に基づき演出の制御を行うサブ制御手段を搭載したサブ制御基板と、

前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときに電断信号を出力する電断検出手段と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板と、
を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域と、データを一時的に格納することが可能なスタック領域と、が少なくとも割り当てられたメインデータ記憶手段と、

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段と、

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段と、

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段と、

複数種類の初期化条件のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用スタック領域特定手段により特定される未使用スタック領域を 1 ゲーム毎に初期化する初期化手段と、

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理を実行するメイン制御状態復帰処理手段と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理を含む電断時割込処理を実行する電断時割込処理実行手段と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間を所定の範囲でランダムに設定する遅延時間設定手段と、

10

20

30

40

50

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段と、

を含み、

前記メインデータ記憶手段には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段は、初期化条件の種類に対応して前記メインデータ記憶手段における初期化開始アドレスと該初期化開始アドレスに対して初期化される記憶領域のサイズが設定された初期化領域設定手段を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから該初期化アドレスに対して設定されたサイズの記憶領域を初期化し、

10

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる、

ことを特徴とするスロットマシン。

【請求項 6】

前記初期化手段は、前記成立した初期化条件の種類に関わらず前記メインデータ記憶手段の記憶領域における未使用領域及び／または前記未使用スタック領域を必ず初期化する、

20

ことを特徴とする請求項1～5のいずれかに記載のスロットマシン。

【請求項 7】

前記メイン制御手段は、前記初期化手段による前記メインデータ記憶手段の記憶領域の初期化中において全ての割込処理を禁止する割込処理禁止手段を含む、

ことを特徴とする請求項1～6のいずれかに記載のスロットマシン。

【請求項 8】

前記メインデータ記憶手段における前記未使用領域及び／または前記未使用スタック領域を含む全ての記憶領域のデータを所定の演算方法にて計算する全データ演算手段を備え、

30

前記電断時割込処理実行手段は、前記電断処理において前記全データ演算手段による計算結果を特定の値とするための調整用データを算出し、該算出した調整用データを前記メインデータ記憶手段に格納する処理を実行し、

前記メイン制御状態復帰処理手段は、電力供給が開始されたときに前記全データ演算手段による計算結果が前記特定の値か否かを判定し、該全データ演算手段による計算結果が前記特定の値であると判定したことを条件に、前記メイン制御状態復帰処理を実行する、

ことを特徴とする請求項2～7のいずれかに記載のスロットマシン。

【請求項 9】

前記メイン制御手段は、前記制御情報の送信後、所定の送信規制時間が経過するまで新たな制御情報の送信を禁止する制御情報送信規制手段を含む、

ことを特徴とする請求項1～8のいずれかに記載のスロットマシン。

40

【請求項 10】

前記電断検出手段が前記所定の電力の状態として監視する監視電圧を生成する監視電圧生成手段を備え、

前記電断検出手段は、前記監視電圧を監視し、該監視電圧が所定値以下となったときに前記電断信号を出力するとともに、

前記スロットマシンは、該スロットマシンに搭載された電気部品に対して供給される電源電圧を前記監視電圧とは別個に生成する電源電圧生成手段を更に備えることを特徴とする請求項1～9のいずれかに記載のスロットマシン。

【請求項 11】

前記電断時割込処理実行手段は、前記制御情報の送信待ちの状態において生じた前記外

50

部割込に基づく前記電断時割込処理において、前記遅延時間の残り時間を前記メインデータ記憶手段に格納し、

前記送信遅延手段は、前記メイン制御状態復帰処理手段により前記メイン制御手段の制御状態が電力供給が停止する前の制御状態に復帰し、前記制御情報の送信待ちの状態である場合に、前記メインデータ記憶手段に格納されている遅延時間の残り時間が経過するまで前記制御情報の送信を遅延させる。

ことを特徴とする請求項1～10のいずれかに記載のスロットマシン。

【請求項12】

前記遅延時間設定手段は、前記メイン制御状態復帰処理手段により前記メイン制御手段の制御状態が電力供給が停止する前の制御状態に復帰した際に、前記制御情報の送信待ちの状態である場合に、該制御情報の送信の遅延時間を所定の範囲でランダムに再設定し、

前記送信遅延手段は、前記遅延時間設定手段により再設定された遅延時間が経過するまで前記制御情報の送信を遅延させる。

ことを特徴とする請求項1～10のいずれかに記載のスロットマシン。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果に応じて所定の入賞が発生可能なスロットマシンに関し、特にはマイクロコンピュータにて構成され、遊技の制御を行う制御手段を備えるスロットマシンに関する。

【背景技術】

【0002】

従来、この種のスロットマシンとしては、1ゲームが終了する毎に、遊技の制御を行うマイクロコンピュータが搭載するRAMの記憶データのうち次のゲームに持ち越す必要のないデータ（例えば、次のゲームに持ち越されない入賞の当選フラグやメダルの投入枚数等）を初期化し、次のゲームへ移行するものが提案されている（例えば、特許文献1参照）。

【0003】

また、パチンコ機においても、可変表示装置の制御を行う可変表示装置が可変表示装置を構成する各表示領域に対応したデータを格納する格納領域を有し、可変表示の終了時（遊技制御手段から確定コマンドを受信したとき）において前述した格納領域に格納されたデータを初期化するものが提案されている（例えば、特許文献2参照）。

【0004】

一方、この種のスロットマシンでは、遊技（ゲーム）の制御と、遊技に関連して行われる演出の制御とが、1つの制御手段（マイクロコンピュータ）にて行われていたが、この制御手段の処理能力には一定の限界があり、ゲームの多様化やそれに伴う演出の多様化を図ることが極めて困難であるため、遊技の制御を行うメイン制御手段とは別個にサブ制御手段を設け、このサブ制御手段がメイン制御手段から送信されたコマンドに基づいて遊技に関連した演出の制御を行うようにしたスロットマシンが提案されている。

【0005】

また、停電時においてもメイン制御手段が備えるRAMの内容やサブ制御手段が備えるRAMの内容、すなわちメイン制御手段やサブ制御手段の制御内容をバックアップし、不意の停電時でも復旧時に停電時の制御状態に復帰できるようにしたスロットマシンが提案されている。この種のスロットマシンには、供給電圧を監視して電断を検出する電断検出手段を設け、この電断検出手段にて電断が検出された際に、復旧時においてメイン制御手段やサブ制御手段の制御内容が正常にバックアップされているか否かを判定するためのデータ（例えば、バリティやチェックサム等）を設定する停電処理を実行し、復旧時においてメイン制御手段やサブ制御手段の制御内容のバックアップが正常であるか否かを確認できるようにしたものが提案されている（例えば、特許文献3参照）。

【0006】

10

20

30

40

50

また、前述したような電断検出手段は、ノイズ等を拾って電断を誤って検出することがあり、この場合には、電断していないにも関わらず制御手段が停止状態となってしまうという不具合が生じてしまう。このため、停電処理の実行後、電断検出手段からの電断検出信号を監視し、電断検出信号が入力されていない場合には、元の制御状態に復帰させるようにしたものが提案されている（例えば、特許文献4参照）。

【0007】

- 【特許文献1】特開2001-79157号公報
- 【特許文献2】特開2002-35318号公報
- 【特許文献3】特開2001-87459号公報
- 【特許文献4】公開実用平成4-67733号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述した特許文献1に記載のスロットマシンにおいては、1ゲームが終了する毎に、RAMの記憶データのうち次のゲームに持ち越す必要のないデータが初期化されるものの、RAMの格納領域のうち未使用の格納領域（設計上全く使用されることのない格納領域やスタッカーの未使用領域）は、定期的に初期化されるものではない。このため、これらRAMの未使用領域に不正なプログラムを常駐させることにより、何らかの契機（例えば、普段行われる可能性の低い手順で操作が行われる等）で本来のプログラム（ROMに格納されているプログラム）とは異なった動作を遊技機に行わせるといった不正がなされる虞があった。

20

【0009】

一方、特許文献4に記載の技術では、停電処理の実行後、電断検出手段からの電断検出信号を監視し、電断検出信号が入力されていない場合には、元の制御状態に復帰するので、電断検出手段がノイズ等を拾って電断を誤って検出した場合でも、元の制御状態に復帰することが可能であるが、誤って電断を検出したときでも、電断処理が実行されるので、必要以上に長い間制御が中断されるばかりか、必要以上に負荷がかかってしまうという問題があった。

【0010】

本発明は、このような問題点に着目してなされたものであり、遊技の制御を行うマイクロコンピュータの記憶手段の未使用領域に不正プログラムが常駐することを防止できるとともに、電断を誤って検出した際に、誤って停電処理が行われてしまうことを防止できるスロットマシンを提供することを目的とする。

30

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明の請求項1に記載のスロットマシンは、1ゲームに対して所定数の賭けを設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシンであって、

40

信号が入力されることにより外部割込を発生させる割込入力端子と、通常入力端子と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段を搭載したメイン制御基板と、

前記メイン制御手段から送信された制御情報の受信に基づき演出の制御を行うサブ制御手段を搭載したサブ制御基板と、

前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときに電断信号を出力する電断検出手段と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板と、を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及

50

び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域と、前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが読み出し及び書き込みが行われることのない未使用領域と、が少な
くとも割り当てられたメインデータ記憶手段と、

複数種類の初期化条件のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用領域を1ゲーム毎に初期化する初期化手段と、

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理を実行するメイン制御状態復帰処理手段と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理を含む電断時割込処理を実行する電断時割込処理実行手段と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間を所定の範囲でランダムに設定する遅延時間設定手段と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段と、

を含み、

前記メインデータ記憶手段には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段は、2種類以上の初期化条件の種類に対応して前記メインデータ記憶手段における初期化開始アドレスが設定されるとともに、該初期化条件に共通する初期化終了アドレスが設定された初期化領域設定手段を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから前記初期化終了アドレスまでの各アドレスが割り当てられた記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる、

ことを特徴としている。

この特徴によれば、メインデータ記憶手段における未使用領域が1ゲーム毎に初期化されるので、メインデータ記憶手段の未使用領域を利用して不正プログラムを格納させても、当該不正プログラムが常駐してしまうことを防止できる。

また、2種類以上の初期化条件の種類に対応する初期化開始アドレスとこれら初期化条件に共通の初期化終了アドレスのみを設定しておくことで、初期化条件の種類に対応する初期化終了アドレスを個々に設定しておくことなく、初期化条件の種類に対応する記憶領域を初期化することができるので、複数種類の初期化を行うためのプログラム容量を削減できる。

また、メイン制御基板とサブ制御基板とが中継基板を介して通信可能に接続されており、メイン制御基板にサブ制御基板が直接接続されていないので、制御情報の送信線等からメイン制御手段に対して外部から不正な信号が入力され、遊技の制御に影響を与えてしまうことを防止できる。

また、メイン制御手段から送信される制御情報の送信線が、メイン制御基板とサブ制御

10

20

30

40

50

基板との間で中継基板を介して接続されており、メイン制御基板にサブ制御基板が直接接続されていないので、制御情報の送信線からメイン制御手段に対して外部から不正な信号が入力され、遊技の制御に影響を与えられてしまうことを防止できる。

また、割込入力端子に電断信号が入力されることによる外部割込に応じて電断時割込処理が実行されるが、電断時割込処理では、電断処理（停電処理）が行われる前に通常入力端子に電断信号が入力されているか否かが判定され、通常入力端子に電断信号が入力されていると判定された場合に電断処理が行われるのに対して、通常入力端子に電断信号が入力されていないと判定された場合には、元の処理に復帰することとなる。すなわち、電断信号を割込入力端子と通常入力端子との2系統の端子に入力し、割込入力端子に電断信号が入力されたことを契機に電断時割込処理が実行されても、電断処理が実行される前に通常入力端子に電断信号が入力されているか否かが判定され、通常入力端子にも電断信号が入力されていて初めて電断処理が実行されるようになっており、電断を誤って検出した場合には、電断処理が行われてしまうことが防止できるので、電断を誤って検出することに伴い、必要以上に長い間メイン制御手段の制御が中断されたり、必要以上に負荷がかかってしまうことを防止できる。10

本発明の請求項2に記載のスロットマシンは、

1ゲームに対して所定数の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシンであって、20

信号が入力されることにより外部割込を発生させる割込入力端子と、通常入力端子と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段を搭載したメイン制御基板と、

前記メイン制御手段から送信された制御情報の受信に基づき演出の制御を行うサブ制御手段を搭載したサブ制御基板と、

前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときに電断信号を出力する電断検出手段と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板と、
を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、30

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域と、前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが読み出し及び書き込みが行われることのない未使用領域と、が少なくとも割り当てられたメインデータ記憶手段と、

複数種類の初期化条件のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用領域を1ゲーム毎に初期化する初期化手段と、40

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理を実行するメイン制御状態復帰処理手段と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理を含む電断時割込処理を実行する電断時割込処理実行手段と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間を所定の範囲でランダムに50

設定する遅延時間設定手段と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段と、

を含み、

前記メインデータ記憶手段には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段は、初期化条件の種類に対応して前記メインデータ記憶手段における初期化開始アドレスと該初期化開始アドレスに対して初期化される記憶領域のサイズが設定された初期化領域設定手段を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから該初期化アドレスに対して設定されたサイズの記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる、

ことを特徴としている。

この特徴によれば、メインデータ記憶手段における未使用領域が1ゲーム毎に初期化されるので、メインデータ記憶手段の未使用領域を利用して不正プログラムを格納させても、当該不正プログラムが常駐してしまうことを防止できる。

また、初期化条件の種類に対応する初期化開始アドレスとその際初期化される記憶領域のサイズのみを設定しておくことで、初期化条件の種類に対応する初期化終了アドレスを個々に設定しておくことなく、初期化条件の種類に対応する記憶領域を初期化することができるので、複数種類の初期化を行うためのプログラム容量を削減できる。

また、メイン制御基板とサブ制御基板とが中継基板を介して通信可能に接続されており、メイン制御基板にサブ制御基板が直接接続されていないので、制御情報の送信線等からメイン制御手段に対して外部から不正な信号が入力され、遊技の制御に影響を与えられてしまうことを防止できる。

また、メイン制御手段から送信される制御情報の送信線が、メイン制御基板とサブ制御基板との間で中継基板を介して接続されており、メイン制御基板にサブ制御基板が直接接続されていないので、制御情報の送信線からメイン制御手段に対して外部から不正な信号が入力され、遊技の制御に影響を与えられてしまうことを防止できる。

また、割込入力端子に電断信号が入力されることによる外部割込に応じて電断時割込処理が実行されるが、電断時割込処理では、電断処理（停電処理）が行われる前に通常入力端子に電断信号が入力されているか否かが判定され、通常入力端子に電断信号が入力されていると判定された場合に電断処理が行われるのに対して、通常入力端子に電断信号が入力されていないと判定された場合には、元の処理に復帰することとなる。すなわち、電断信号を割込入力端子と通常入力端子との2系統の端子に入力し、割込入力端子に電断信号が入力されたことを契機に電断時割込処理が実行されても、電断処理が実行される前に通常入力端子に電断信号が入力されているか否かが判定され、通常入力端子にも電断信号が入力されていて初めて電断処理が実行されるようになっており、電断を誤って検出した場合には、電断処理が行われてしまうことが防止できるので、電断を誤って検出することに伴い、必要以上に長い間メイン制御手段の制御が中断されたり、必要以上に負荷がかかってしまうことを防止できる。

尚、所定数の賭数とは、少なくとも1以上の賭数であって、2以上の賭数が設定されることや最大賭数が設定されることでゲームが開始可能となるようにしても良い。

また、メインデータ記憶手段は、メイン制御手段を構成するマイクロコンピュータに内蔵されていても良いし、マイクロコンピュータの外部に備えていても良い。

また、初期化手段は、メインデータ記憶手段における未使用領域を1ゲーム毎に初期化するものであれば良く、1ゲームのうちのいずれかのタイミング（例えば、ゲーム開始時

10

20

30

40

50

や終了時、1ゲーム毎に必ず実行される処理の実行時等)で少なくとも1回は、メインデータ記憶手段における未使用領域を初期化するものであれば良い。

また、前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときとは、例えば、直流電圧を監視し、当該電圧が電断を判断するために定められた閾値以下となったとき、またはその期間が一定期間継続したときや、交流電圧を監視し、交流電圧の波形の乱れを検出したとき、またはその期間が一定期間継続したとき、等であり、停電を検出できるものであればその他の条件であっても良い。

【0012】

本発明の請求項3に記載のスロットマシンは、請求項1または2に記載のスロットマシンであって、10

前記メインデータ記憶手段の記憶領域には、前記ワーク領域及び前記未使用領域に加えてデータを一時的に格納することが可能なスタック領域が割り当てられており、

前記メイン制御手段は、

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段と、

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段と、

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段と、20

を含み、

前記初期化手段は、前記メインデータ記憶手段の記憶領域における前記未使用領域に加えて前記未使用スタック領域特定手段により特定される未使用スタック領域も1ゲーム毎に初期化する、

ことを特徴としている。

この特徴によれば、メインデータ記憶手段における未使用領域に加えてスタック領域における未使用スタック領域も1ゲーム毎に初期化されるので、メインデータ記憶手段においてその時点で使用されていない全ての領域が1ゲーム毎に初期化されることとなり、例え、未使用領域を利用せずに未使用スタック領域を利用して不正プログラムを格納させようとしても、当該不正プログラムが常駐してしまう余地を無くすことができるので、不正プログラムが常駐してしまうことを一層確実に防止できるとともに、例え、未使用スタック領域に不正なデータ(不正プログラムが指定するアドレス等)を加え、データの復帰時にマイクロコンピュータを誤作動させることでレジスタ等を不正なものに書き換えてしまうことにより、本来のプログラムとは異なる動作を行わせてしまうような不正も防止できる。30

【0013】

本発明の請求項4に記載のスロットマシンは、

1ゲームに対して所定数の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシンであって、40

信号が入力されることにより外部割込を発生させる割込入力端子と、通常入力端子と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段を搭載したメイン制御基板と、

前記メイン制御手段から送信された制御情報の受信に基づき演出の制御を行うサブ制御手段を搭載したサブ制御基板と、

前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときに電断信号を出力する電断検出手段と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板と、
を備え、50

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域と、データを一時的に格納することが可能なスタック領域と、が少なくとも割り当てられたメインデータ記憶手段と、

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段と、

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段と、

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段と、

複数種類の初期化条件のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用スタック領域特定手段により特定される未使用スタック領域を1ゲーム毎に初期化する初期化手段と、

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理を実行するメイン制御状態復帰処理手段と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理を含む電断時割込処理を実行する電断時割込処理実行手段と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間を所定の範囲でランダムに設定する遅延時間設定手段と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段と、

を含み、

前記メインデータ記憶手段には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段は、2種類以上の初期化条件の種類に対応して前記メインデータ記憶手段における初期化開始アドレスが設定されるとともに、該初期化条件に共通する初期化終了アドレスが設定された初期化領域設定手段を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから前記初期化終了アドレスまでの各アドレスが割り当てられた記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる、

ことを特徴としている。

この特徴によれば、メインデータ記憶手段のスタック領域における未使用スタック領域が1ゲーム毎に初期化されるので、未使用スタック領域を利用して不正プログラムを格納させても、当該不正プログラムが常駐してしまうことを防止できることとともに、例えば、未使用スタック領域に不正なデータ（不正プログラムが指定するアドレス等）を加え、データの復帰時にマイクロコンピュータを誤作動させることでレジスタ等を不正なものに書き換えてしまうことにより、本来のプログラムとは異なる動作を行わせてしまうような不正

も防止できる。

また、2種類以上の初期化条件の種類に対応する初期化開始アドレスとこれら初期化条件に共通の初期化終了アドレスのみを設定しておくことで、初期化条件の種類に対応する初期化終了アドレスを個々に設定しておくことなく、初期化条件の種類に対応する記憶領域を初期化することができるので、複数種類の初期化を行うためのプログラム容量を削減できる。

また、メイン制御手段からサブ制御手段に対して送信される制御情報の送信タイミングが所定時間の範囲でランダムに変化するため、サブ制御手段によりメイン制御手段から送信される制御情報の受信タイミングに基づいて目押しの補助となるような演出が行われてしまふことを防止できる。

また、メイン制御基板とサブ制御基板とが中継基板を介して通信可能に接続されており、メイン制御基板にサブ制御基板が直接接続されていないので、制御情報の送信線等からメイン制御手段に対して外部から不正な信号が入力され、遊技の制御に影響を与えてしまふことを防止できる。

また、割込入力端子に電断信号が入力されることによる外部割込に応じて電断時割込処理が実行されるが、電断時割込処理では、電断処理（停電処理）が行われる前に通常入力端子に電断信号が入力されているか否かが判定され、通常入力端子に電断信号が入力されると判定された場合に電断処理が行われるのに対して、通常入力端子に電断信号が入力されないと判定された場合には、元の処理に復帰することとなる。すなわち、電断信号を割込入力端子と通常入力端子との2系統の端子に入力し、割込入力端子に電断信号が入力されたことを契機に電断時割込処理が実行されても、電断処理が実行される前に通常入力端子に電断信号が入力されているか否かが判定され、通常入力端子にも電断信号が入力されて初めて電断処理が実行されるようになっており、電断を誤って検出した場合には、電断処理が行われてしまうことが防止できるので、電断を誤って検出することに伴い、必要以上に長い間メイン制御手段の制御が中断されたり、必要以上に負荷がかかってしまうことを防止できる。

本発明の請求項5に記載のスロットマシンは、

1ゲームに対して所定数の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシンであつて、

信号が入力されることにより外部割込を発生させる割込入力端子と、通常入力端子と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段を搭載したメイン制御基板と、

前記メイン制御手段から送信された制御情報の受信に基づき演出の制御を行うサブ制御手段を搭載したサブ制御基板と、

前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときに電断信号を出力する電断検出手段と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板と、
を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域と、データを一時的に格納することが可能なスタック領域と、が少なくとも割り当てられたメインデータ記憶手段と、

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段と、

10

20

30

40

50

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段と、

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段と、

複数種類の初期化条件のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用スタック領域特定手段により特定される未使用スタック領域を1ゲーム毎に初期化する初期化手段と、

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理を実行するメイン制御状態復帰処理手段と、10

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理を含む電断時割込処理を実行する電断時割込処理実行手段と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間を所定の範囲でランダムに設定する遅延時間設定手段と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段と、20

を含み、

前記メインデータ記憶手段には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段は、初期化条件の種類に対応して前記メインデータ記憶手段における初期化開始アドレスと該初期化開始アドレスに対して初期化される記憶領域のサイズが設定された初期化領域設定手段を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから該初期化アドレスに対して設定されたサイズの記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる、30

ことを特徴としている。

この特徴によれば、メインデータ記憶手段のスタック領域における未使用スタック領域が1ゲーム毎に初期化されるので、未使用スタック領域を利用して不正プログラムを格納させても、当該不正プログラムが常駐してしまうことを防止できるとともに、例えば、未使用スタック領域に不正なデータ（不正プログラムが指定するアドレス等）を加え、データの復帰時にマイクロコンピュータを誤作動させることでレジスタ等を不正なものに書き換えてしまうことにより、本来のプログラムとは異なる動作を行わせてしまうような不正も防止できる。40

また、初期化条件の種類に対応する初期化開始アドレスとその際初期化される記憶領域のサイズのみを設定しておくことで、初期化条件の種類に対応する初期化終了アドレスを個々に設定しておくことなく、初期化条件の種類に対応する記憶領域を初期化することができる、複数種類の初期化を行うためのプログラム容量を削減できる。

また、メイン制御手段からサブ制御手段に対して送信される制御情報の送信タイミングが所定時間の範囲でランダムに変化するため、サブ制御手段によりメイン制御手段から送信される制御情報の受信タイミングに基づいて目押しの補助となるような演出が行われてしまうことを防止できる。

また、メイン制御基板とサブ制御基板とが中継基板を介して通信可能に接続されており50

、メイン制御基板にサブ制御基板が直接接続されていないので、制御情報の送信線等からメイン制御手段に対して外部から不正な信号が入力され、遊技の制御に影響を与えられてしまうことを防止できる。

また、割込入力端子に電断信号が入力されることによる外部割込に応じて電断時割込処理が実行されるが、電断時割込処理では、電断処理（停電処理）が行われる前に通常入力端子に電断信号が入力されているか否かが判定され、通常入力端子に電断信号が入力されていると判定された場合に電断処理が行われるのに対して、通常入力端子に電断信号が入力されていないと判定された場合には、元の処理に復帰することとなる。すなわち、電断信号を割込入力端子と通常入力端子との2系統の端子に入力し、割込入力端子に電断信号が入力されたことを契機に電断時割込処理が実行されても、電断処理が実行される前に通常入力端子に電断信号が入力されているか否かが判定され、通常入力端子にも電断信号が入力されていて初めて電断処理が実行されるようになっており、電断を誤って検出した場合には、電断処理が行われてしまうことが防止できるので、電断を誤って検出することに伴い、必要以上に長い間メイン制御手段の制御が中断されたり、必要以上に負荷がかかってしまうことを防止できる。10

尚、所定数の賭数とは、少なくとも1以上の賭数であって、2以上の賭数が設定されることや最大賭数が設定されることでゲームが開始可能となるようにしても良い。

また、メインデータ記憶手段は、メイン制御手段を構成するマイクロコンピュータに内蔵されても良いし、マイクロコンピュータの外部に備えていても良い。

また、初期化手段は、メインデータ記憶手段におけるスタック領域のうちの未使用スタック領域を1ゲーム毎に初期化するものであれば良く、1ゲームのうちのいずれかのタイミング（例えば、ゲーム開始時や終了時、1ゲーム毎に必ず実行される処理の実行時等）で少なくとも1回は、未使用スタック領域を初期化するものであれば良い。20

また、前記スロットマシンで用いられる所定の電力の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているときは、例えば、直流電圧を監視し、当該電圧が電断を判断するために定められた閾値以下となったとき、またはその期間が一定期間継続したときや、交流電圧を監視し、交流電圧の波形の乱れを検出したとき、またはその期間が一定期間継続したとき、等であり、停電を検出できるものであればその他の条件であっても良い。

【0014】

本発明の請求項6に記載のスロットマシンは、請求項1～5のいずれかに記載のスロットマシンであって、30

前記初期化手段は、前記成立した初期化条件の種類に関わらず前記メインデータ記憶手段の記憶領域における未使用領域及び／または前記未使用スタック領域を必ず初期化することを特徴としている。

この特徴によれば、複数種類の初期化条件のうちどの条件が成立した場合でも、必ずメインデータ記憶手段における未使用領域及び／またはスタック領域における未使用スタック領域が初期化されることとなるので、不正プログラムが常駐してしまうことを一層確実に防止できる。

尚、複数種類の初期化条件は、1ゲームのうちのいずれかのタイミング（例えば、ゲーム開始時や終了時、1ゲーム毎に必ず実行される処理の実行時等）で成立する初期化条件を含むものである。40

【0017】

本発明の請求項7に記載のスロットマシンは、請求項1～6のいずれかに記載のスロットマシンであって、

前記メイン制御手段は、前記初期化手段による前記メインデータ記憶手段の記憶領域の初期化中において全ての割込処理を禁止する割込処理禁止手段を含む、

ことを特徴としている。

この特徴によれば、メインデータ記憶手段に記憶されているデータを初期化している最中に電断信号が検出されても、電断時割込処理が実行されないので、例えば、初期化が完50

全に終了する前の段階で電断処理が行われることにより、初期化されるべきデータのうち初期化されたデータと初期化されていないデータとが混在してしまい、電断復旧時に電断前の制御状態へ正常に復帰させることができなくなってしまう等の不具合を防止できる。

【0018】

本発明の請求項8に記載のスロットマシンは、請求項2～7のいずれかに記載のスロットマシンであって、

前記メインデータ記憶手段における前記未使用領域及び／または前記未使用スタック領域を含む全ての記憶領域のデータを所定の演算方法にて計算する全データ演算手段を備え、

前記電断時割込処理実行手段は、前記電断処理において前記全データ演算手段による計算結果を特定の値とするための調整用データを算出し、該算出した調整用データを前記メインデータ記憶手段に格納する処理を実行し、

前記メイン制御状態復帰処理手段は、電力供給が開始されたときに前記全データ演算手段による計算結果が前記特定の値か否かを判定し、該全データ演算手段による計算結果が前記特定の値であると判定したことを条件に、前記メイン制御状態復帰処理を実行する、ことを特徴としている。

この特徴によれば、復旧時において、メインデータ記憶手段における未使用領域及び／または未使用スタック領域を含む全ての記憶領域に格納されているデータを所定の演算方法にて計算した結果が特定の値か否かを判定している。すなわちメインデータ記憶手段における未使用領域及び／または未使用スタック領域を含む全ての記憶領域に格納されているデータに基づいて計算された内容に基づいて、メインデータ記憶手段のデータが正常か否かを判定しているので、当該判定を正確にかつ簡便に行うことができる。

【0028】

本発明の請求項9に記載のスロットマシンは、請求項1～8のいずれかに記載のスロットマシンであって、

前記メイン制御手段は、前記制御情報の送信後、所定の送信規制時間が経過するまで新たな制御情報の送信を禁止する制御情報送信規制手段を含む、

ことを特徴としている。

この特徴によれば、複数の制御情報を連続して送信する場合でも、送信規制時間以上の間隔を空けて送信されるため、サブ制御手段が制御情報を確実に受信するための時間を担保できる。

【0029】

本発明の請求項10に記載のスロットマシンは、請求項1～9のいずれかに記載のスロットマシンであって、

前記電断検出手段が前記所定の電力の状態として監視する監視電圧を生成する監視電圧生成手段を備え、

前記電断検出手段は、前記監視電圧を監視し、該監視電圧が所定値以下となったときに前記電断信号を出力するとともに、

前記スロットマシンは、該スロットマシンに搭載された電気部品に対して供給される電源電圧を前記監視電圧とは別個に生成する電源電圧生成手段を更に備えることを特徴としている。

この特徴によれば、電断検出手段が監視する監視電圧が他の電気部品の駆動によって不安定化することを回避できるので、電源の誤検出を防止できる。

【0030】

本発明の請求項11に記載のスロットマシンは、請求項1～10のいずれかに記載のスロットマシンであって、

前記電断時割込処理実行手段は、前記制御情報の送信待ちの状態において生じた前記外部割込に基づく前記電断時割込処理において、前記遅延時間の残り時間を前記メインデータ記憶手段に格納し、

前記送信遅延手段は、前記メイン制御状態復帰処理手段により前記メイン制御手段の制

10

20

30

40

50

御状態が電力供給が停止する前の制御状態に復帰し、前記制御情報の送信待ちの状態である場合に、前記メインデータ記憶手段に格納されている遅延時間の残り時間が経過するまで前記制御情報の送信を遅延させる、

ことを特徴としている。

この特徴によれば、制御情報の送信待ちの状態で停電しても、復旧時においては停電時のままの状態から制御情報の送信制御を再開できるので、メイン制御手段の制御を簡素化できる。

【0032】

本発明の請求項12に記載のスロットマシンは、請求項1～10のいずれかに記載のスロットマシンであって、

10

前記遅延時間設定手段は、前記メイン制御状態復帰処理手段により前記メイン制御手段の制御状態が電力供給が停止する前の制御状態に復帰した際に、前記制御情報の送信待ちの状態である場合に、該制御情報の送信の遅延時間を所定の範囲でランダムに再設定し、

前記送信遅延手段は、前記遅延時間設定手段により再設定された遅延時間が経過するまで前記制御情報の送信を遅延させる、

ことを特徴としている。

この特徴によれば、制御情報の送信待ちの状態で停電し、復旧時に復帰した制御情報を送信する際には、当該制御情報の遅延時間が再度ランダムに設定されるので、復旧時にも確実に制御情報の送信タイミングを変化させることができる。

【発明を実施するための最良の形態】

20

【0033】

本発明の実施例を以下に説明する。

【0034】

本発明が適用されたスロットマシンの実施例を図面を用いて説明すると、本実施例のスロットマシン1は、前面が開口する筐体(図示略)と、この筐体の側端に回動自在に枢支された前面扉と、から構成されている。

30

【0035】

本実施例のスロットマシン1の筐体内部には、外周に複数種の図柄が配列されたリール2L、2C、2R(以下、左リール、中リール、右リールともいう)が水平方向に並設されており、図1に示すように、これらリール2L、2C、2Rに配列された図柄のうち連続する3つの図柄が前面扉に設けられた透視窓3から見えるように配置されている。

【0036】

リール2L、2C、2Rの外周部には、図2に示すように、それぞれ「赤7」(図中黒色の7)、「青7」(図中網かけの7)、「白7」、「BAR」、「JAC」、「スイカ」、「チェリー」、「ベル」といった互いに識別可能な複数種類の図柄が所定の順序で、それぞれ21個ずつ描かれている。リール2L、2C、2Rの外周部に描かれた図柄は、透視窓3において各々上中下三段に表示される。

【0037】

各リール2L、2C、2Rは、各々対応して設けられリールモータ32L、32C、32R(図2参照)によって回転させることで、各リール2L、2C、2Rの図柄が透視窓3に連続的に変化しつつ表示されるとともに、各リール2L、2C、2Rの回転を停止させることで、透視窓3に3つの連続する図柄が表示結果として導出表示されるようになっている。

40

【0038】

また、前面扉には、メダルを投入可能なメダル投入部4、メダルが払い出されるメダル払出口9、クレジット(遊技者所有の遊技用価値として記憶されているメダル数)を用いてメダル1枚分の賭数を設定する際に操作される1枚BETスイッチ5、クレジットを用いて、その範囲内において遊技状態に応じて定められた最大賭数(本実施例では後述の通常遊技状態及び小役ゲームにおいては3、後述のレギュラーボーナスにおいては1)を設定する際に操作されるMAXBETスイッチ6、クレジットとして記憶されているメダル

50

枚数を精算する（クレジット分のメダルを返却させる）際に操作される精算スイッチ10、ゲームを開始する際に操作されるスタートスイッチ7、リール2L、2C、2Rの回転を各々停止する際に操作されるストップスイッチ8L、8C、8Rが設けられている。

【0039】

また、前面扉には、クレジットとして記憶されているメダル枚数が表示されるクレジット表示器11、後述するビッグボーナス中のメダルの獲得枚数やエラー発生時にその内容を示すエラーコード等が表示される遊技補助表示器12、入賞の発生により払い出されたメダル枚数が表示されるペイアウト表示器13が設けられている。

【0040】

また、前面扉には、賭数が1設定されている旨を点灯により報知する1BED1 10
4、賭数が2設定されている旨を点灯により報知する2BED15、賭数が3設定
されている旨を点灯により報知する3BED16、メダルの投入が可能な状態を点
灯により報知する投入要求LED17、スタートスイッチ7の操作によるゲームのスタ
ート操作が有効である旨を点灯により報知するスタート有効LED18、ウェイト（前回の
ゲーム開始から一定期間経過していないためにゲームの開始を待機している状態）中である
旨を点灯により報知するウェイト中LED19、後述するリプレイゲーム中である旨を
点灯により報知するリプレイ中LED20が設けられている。

【0041】

また、MAXBETスイッチ6の内部には、1BETスイッチ5及びMAXBETスイ
ッチ6の操作による賭数の設定操作が有効である旨を点灯により報知するBETスイッチ
有効LED21（図3参照）が設けられており、ストップスイッチ8L、8C、8Rの内
部には、該当するストップスイッチ8L、8C、8Rによるリールの停止操作が有効である
旨を点灯により報知する左、中、右停止有効LED22L、22C、22R（図3参照）
がそれぞれ設けられている。

【0042】

また、前面扉の内側には、所定のキー操作により後述するRAM異常エラーを除くエラ
ー状態を解除するためのリセット操作を検出するリセットスイッチ23、後述する設定値
の変更中や設定値の確認中にその時点の設定値が表示される設定値表示器24、メダル投
入部4から投入されたメダルの流路を、筐体内部に設けられた後述のホッパータンク（図
示略）側またはメダル払出口9側のいずれか一方に選択的に切り替えるための流路切替ソ
レノイド30、メダル投入部4から投入され、ホッパータンク側に流下したメダルを検出
する投入メダルセンサ31が設けられている。

【0043】

筐体内部には、前述したリール2L、2C、2R、リールモータ32L、32C、32
R、各リール2L、2C、2Rの基準位置をそれぞれ検出可能なリールセンサ33からなる
リールユニット（図示略）、メダル投入部4から投入されたメダルを貯留するホッパー
タンク（図示略）、ホッパータンクに貯留されたメダルをメダル払出口9より払い出すた
めのホッパーモータ34、ホッパーモータ34の駆動により払い出されたメダルを検出する
払出センサ35、電源ボックス（図示略）が設けられている。

【0044】

電源ボックスの前面には、後述のビッグボーナス終了時に打止状態（リセット操作がな
されるまでゲームの進行が規制される状態）に制御する打止機能の有効／無効を選択する
ための打止スイッチ36、起動時に設定変更モードに切り替えるための設定キースイッチ
37、通常時においてはRAM異常エラーを除くエラー状態や打止状態を解除するための
リセットスイッチとして機能し、設定変更モードにおいては後述する内部抽選の当選確率
(出玉率)の設定値を変更するための設定スイッチとして機能するリセット／設定スイ
ッチ38、電源をON/OFFする際に操作される電源スイッチ39が設けられている。

【0045】

本実施例のスロットマシン1においてゲームを行う場合には、まず、メダルをメダル投
入部4から投入するか、あるいはクレジットを使用して賭数を設定する。クレジットを使

10

20

30

40

50

用するには1枚BETスイッチ5、またはMAXBETスイッチ6を操作すれば良い。所定数の賭数が設定されると、入賞ラインL1～L5(図1参照)が有効となり、スタートスイッチ7の操作が有効な状態、すなわち、ゲームが開始可能な状態となる。尚、本実施例において、所定数の賭数とは、後述する通常遊技状態及びビッグボーナス中の小役ゲームにおいては1ゲームにおいて設定可能な最大賭数である3枚であり、レギュラーボーナス中においては、最小単位である1枚である。

【0046】

ゲームが開始可能な状態でスタートスイッチ7を操作すると、各リール2L、2C、2Rが回転し、各リール2L、2C、2Rの図柄が連続的に変動する。この状態でいずれかのストップスイッチ8L、8C、8Rを操作すると、対応するリール2L、2C、2Rの回転が停止し、透視窓3に表示結果が導出表示される。10

【0047】

そして全てのリール2L、2C、2Rが停止されることで1ゲームが終了し、有効化されたいずれかの入賞ラインL1～L5上に予め定められた図柄の組み合わせが各リール2L、2C、2Rの表示結果として停止した場合には入賞が発生し、その入賞に応じて定められた枚数のメダルが遊技者に対して付与され、クレジットに加算される。また、クレジットが上限数(本実施例では50)に達した場合には、メダルが直接メダル払出口9(図1参照)から払い出されるようになっている。また、有効化されたいずれかの入賞ラインL1～L5上に、遊技状態の移行を伴う図柄の組み合わせが各リール2L、2C、2Rの表示結果として停止した場合には図柄の組み合わせに応じた遊技状態に移行するようになっている。20

【0048】

図3は、スロットマシン1の構成を示すブロック図である。スロットマシン1には、図3に示すように、遊技制御基板40、演出制御基板90、電源基板100が設けられており、遊技制御基板40によって遊技状態が制御され、演出制御基板90によって遊技状態に応じた演出が制御され、電源基板100によってスロットマシン1を構成する電気部品の駆動電源が生成され、各部に供給される。

【0049】

電源基板100には、外部からAC100Vの電源が供給されるとともに、このAC100Vの電源からスロットマシン1を構成する電気部品の駆動に必要な直流電圧が生成され、遊技制御基板40及び遊技制御基板40を介して接続された演出制御基板90に供給されるようになっている。また、電源基板100には、前述したホッパーモータ34、払出センサ35、打止スイッチ36、設定キースイッチ37、リセット/設定スイッチ38、電源スイッチ39が接続されている。30

【0050】

遊技制御基板40には、前述した1枚BETスイッチ5、MAXBETスイッチ6、スタートスイッチ7、ストップスイッチ8L、8C、8R、精算スイッチ10、リセットスイッチ23、投入メダルセンサ31、リールセンサ33が接続されているとともに、電源基板100を介して前述した払出センサ35、打止スイッチ36、設定キースイッチ37、リセット/設定スイッチ38が接続されており、これら接続されたスイッチ類の検出信号が入力されるようになっている。40

【0051】

また、遊技制御基板40には、前述したクレジット表示器11、遊技補助表示器12、ペイアウト表示器13、1～3BETLED14～16、投入要求LED17、スタート有効LED18、ウェイト中LED19、リプレイ中LED10、BETスイッチ有効LED21、左、中、右停止有効LED22L、22C、22R、設定値表示器24、流路切替ソレノイド30、リールモータ32L、32C、32Rが接続されているとともに、電源基板100を介して前述したホッパーモータ34が接続されており、これら電気部品は、遊技制御基板40に搭載された後述のメイン制御部41の制御に基づいて駆動されるようになっている。50

【0052】

遊技制御基板40には、CPU41a、ROM41b、RAM41c、I/Oポート41dを備えたマイクロコンピュータからなり、遊技の制御を行うメイン制御部41、所定範囲（本実施例では0～16383）の乱数を発生させる乱数発生回路42、乱数発生回路から乱数を取得するサンプリング回路43、遊技制御基板40に直接または電源基板100を介して接続されたスイッチ類から入力された検出信号を検出するスイッチ検出回路44、リールモータ32L、32C、32Rの駆動制御を行うモータ駆動回路45、流路切替ソレノイド30の駆動制御を行うソレノイド駆動回路46、遊技制御基板40に接続された各種表示器やLEDの駆動制御を行うLED駆動回路47、スロットマシン1に供給される電源電圧を監視し、電圧低下を検出したときに、その旨を示す電圧低下信号をメイン制御部41に対して出力する電断検出回路48、電源投入時またはCPU41aからの初期化命令が入力されないときにCPU41aにリセット信号を与えるリセット回路49、その他各種デバイス、回路が搭載されている。

10

【0053】

CPU41aは、計時機能、タイマ割込などの割込機能（割込禁止機能を含む）を備え、ROM41bに記憶されたプログラム（後述）を実行して、遊技の進行に関する処理を行うとともに、遊技制御基板41に搭載された制御回路の各部を直接的または間接的に制御する。ROM41bは、CPU41aが実行するプログラムや各種テーブル等の固定的なデータを記憶する。RAM41cは、CPU41aがプログラムを実行する際のワーク領域等として使用される。I/Oポート41dは、メイン制御部41が備える信号入出力端子を介して接続された各回路との間で制御信号を入出力する。

20

【0054】

メイン制御部41は、信号入力端子DATAを備えており、遊技制御基板40に接続された各種スイッチ類の検出状態がこれら信号入力端子DATAを介して入力ポートに入力される。これら信号入力端子DATAの入力状態は、CPU41aにより監視されており、CPU41aは、信号入力端子DATAの入力状態、すなわち各種スイッチ類の検出状態に応じて段階的に移行する基本処理を実行する。

【0055】

また、CPU41aは、前述のように割込機能を備えており、割込の発生により基本処理に割り込んで割込処理を実行できるようになっている。本実施例では、割込1～4の4種類の割込を実行可能であり、各割込毎にカウンタモード（信号入力端子DATAとは別個に設けられたトリガー端子CLK/TRGからの信号入力に応じて外部割込を発生させる割込モード）とタイマモード（CPU41aのクロック入力数に応じて内部割込を発生させる割込モード）のいずれかを選択して設定できるようになっている。

30

【0056】

本実施例では、割込1～4のうち、割込2がカウンタモードに設定され、割込3がタイマモードに設定され、割込1、4は未使用とされている。トリガー端子CLK/TRGは、前述した電断検出回路48と接続されており、CPU41aは電断検出回路48から出力された電圧低下信号の入力に応じて割込2を発生させて後述する電断割込処理を実行する。また、CPU41aは、クロック入力数が一定数に到達する毎、すなわち一定間隔毎に割込3を発生させて後述するタイマ割込処理を実行する。また、割込1、4は、未使用に設定されているが、ノイズ等によって割込1、4が発生することがあり得る。このため、CPU41aは、割込1、4が発生した場合に、もとの処理に即時復帰させる未使用割込処理を実行するようになっている。

40

【0057】

また、CPU41aは、割込1～4のいずれかの割込の発生に基づく割込処理の実行中に他の割込を禁止するように設定されているとともに、複数の割込が同時に発生した場合には、割込2、3、1、4の順番で優先して実行する割込が設定されている。すなわち割込2とその他の割込が同時に発生した場合には、割込2を優先して実行し、割込3と割込1または4が同時に発生した場合には、割込3を優先して実行するようになっている。

50

【 0 0 5 8 】

また、C P U 4 1 a は、割込 1 ~ 4 のいずれかの割込の発生に基づく割込処理の開始時に、レジスタに格納されている使用中のデータを R A M 4 1 c に設けられた後述のスタック領域に一時的に退避させるとともに、当該割込処理の終了時にスタック領域に退避させたデータをレジスタに復帰させるようになっている。

【 0 0 5 9 】

R A M 4 1 c には、D R A M (Dynamic RAM) が使用されており、記憶しているデータ内容を維持するためのリフレッシュ動作が必要となる。C P U 4 1 a には、このリフレッシュ動作を行うためのリフレッシュレジスタ 4 1 R (図 4 2 参照) が設けられている。リフレッシュレジスタ 4 1 R は、8 ビットからなり、そのうちの下位 7 ビットが、C P U 4 1 a が R O M 4 1 b から命令をフェッチする度に自動的にインクリメントされるもので、その値の更新は、1 命令の実行時間毎に行われる。10

【 0 0 6 0 】

また、メイン制御部 4 1 には、停電時においてもバックアップ電源が供給されており、バックアップ電源が供給されている間は、C P U 4 1 a によりリフレッシュ動作が行われて R A M 4 1 c に記憶されているデータが保持されるようになっている。

【 0 0 6 1 】

乱数発生回路 4 2 は、後述するように所定数のパルスを発生する度にカウントアップして値を更新するカウンタによって構成され、サンプリング回路 4 3 は、乱数発生回路 4 2 がカウントしている数値を取得する。乱数発生回路 4 2 は、乱数の種類毎にカウントする数値の範囲が定められており、本実施例では、その範囲として 0 ~ 1 6 3 8 3 が定められている。C P U 4 1 a は、その処理に応じてサンプリング回路 4 3 に指示を送ることで、乱数発生回路 4 2 が示している数値を乱数として取得する（以下、この機能をハードウェア乱数機能という）。後述する内部抽選用の乱数は、ハードウェア乱数機能により抽出した乱数をそのまま使用するのではなく、ソフトウェアにより加工して使用するが、その詳細については詳しく説明する。また、C P U 4 1 a は、前述のタイマ割込処理により、R A M 4 1 c の特定アドレスの数値を更新し、こうして更新された数値を乱数として取得する機能も有する（以下、この機能をソフトウェア乱数機能という）。

20
【 0 0 6 2 】

C P U 4 1 a は、I / O ポート 4 1 d を介して演出制御基板 9 0 に、各種のコマンドを送信する。遊技制御基板 4 0 から演出制御基板 9 0 へ送信されるコマンドは一方向のみで送られ、演出制御基板 9 0 から遊技制御基板 4 0 へ向けてコマンドが送られる事はない。遊技制御基板 4 0 から演出制御基板 9 0 へ送信されるコマンドの伝送ラインは、ストローブ (I N T) 信号ライン、データ伝送ライン、グラウンドラインから構成されているとともに、演出中継基板 8 0 を介して接続されており、遊技制御基板 4 0 と演出制御基板 9 0 とが直接接続されない構成とされている。

30
【 0 0 6 3 】

演出制御基板 9 0 には、スロットマシン 1 の前面扉に配置された液晶表示器 5 1 (図 1 参照)、演出効果 L E D 5 2、スピーカ 5 3、5 4、リール L E D 等の電気部品が接続されており、これら電気部品は、演出制御基板 9 0 に搭載された後述のサブ制御部 9 1 による制御に基づいて駆動されるようになっている。

40
【 0 0 6 4 】

演出制御基板 9 0 には、メイン制御部 4 1 と同様に C P U 9 1 a、R O M 9 1 b、R A M 9 1 c、I / O ポート 9 1 d を備えたマイクロコンピュータにて構成され、演出の制御を行うサブ制御部 9 1、演出制御基板 9 0 に接続された液晶表示器 5 1 の駆動制御を行う液晶駆動回路 9 2、演出効果 L E D 5 2 の駆動制御を行うランプ駆動回路 9 3、スピーカ 5 3、5 4 からの音声出力制御を行う音声出力回路 9 4、電源投入時または C P U 9 1 a からの初期化命令が入力されないときに C P U 9 1 a にリセット信号を与えるリセット回路 9 5、その他の回路等、が搭載されており、C P U 9 1 a は、遊技制御基板 4 0 から送信されるコマンドを受けて、演出を行うための各種の制御を行うとともに、演出制御基板

50

90に搭載された制御回路の各部を直接的または間接的に制御する。

【0065】

CPU91aは、メイン制御部41のCPU41aと同様に、タイマ割込などの割込機能（割込禁止機能を含む）を備える。サブ制御部91の割込端子（図示略）は、コマンド伝送ラインのうち、メイン制御部41がコマンドを送信する際に出力するストローブ（INT）信号線に接続されており、CPU91aは、ストローブ信号の入力に基づいて割込を発生させて後述するコマンド受信割込処理を実行する。また、CPU91aは、クロック入力数が一定数に到達する毎、すなわち一定間隔毎に割込を発生させて後述するタイマ割込処理（サブ）を実行する。また、CPU91aにおいても未使用の割込が発生した場合には、もとの処理に即時復帰させる未使用割込処理を実行するようになっている。

10

【0066】

また、CPU91aは、CPU41aとは異なり、ストローブ信号（INT）の入力に基づいて割込が発生した場合には、他の割込に基づく割込処理の実行中であっても、当該処理に割り込んでコマンド受信割込処理を実行し、他の割込が同時に発生してもコマンド受信割込処理を最優先で実行するようになっている。

【0067】

また、サブ制御部91にも、停電時においてバックアップ電源が供給されており、バックアップ電源が供給されている間は、CPU91aによりリフレッシュ動作が行われてRAM91cに記憶されているデータが保持されるようになっている。

20

【0068】

図4は、電源基板100の構成を説明するための回路図であり、図5(a)は、遊技制御基板40におけるメイン制御部41まわりの構成を説明するための回路図であり、図5(b)は、演出制御基板90におけるサブ制御部91まわりの構成を説明するための回路図である。

30

【0069】

電源基板100には、図4に示すように、整流回路302、トランス304、電圧生成回路303、305～308が搭載されている。整流回路302は、外部から供給されたAC100Vの交流電圧を直流電圧に変換し、トランス304は、整流回路302により変換された直流電圧を内部回路に伝達する。そして電圧生成回路303は、トランス304を介して伝達された直流電圧から+25Vの直流電圧を生成してコネクタ301と電圧生成回路305、306、307、308にそれぞれ出力する。電圧生成回路305、306、307、308は、電圧生成回路303にて生成された+25Vの直流電圧から、+24V、+12V(VCC)、+12V、+5Vの直流電圧を各自生成してコネクタ301に出力する。コネクタ301は遊技制御基板40等に接続され、電圧生成回路305、306、307、308により生成された直流電圧が、遊技制御基板40や演出制御基板90に搭載されたデバイス、遊技制御基板40や演出制御基板90に接続された各種電気部品を駆動するための電源として供給される。すなわち電圧生成回路303により生成された+25Vの直流電圧は、遊技制御基板40や演出制御基板90に搭載された各種デバイス、遊技制御基板40や演出制御基板90に接続された各種電気部品を駆動するための電源の生成源となっている。

40

【0070】

電源基板100から供給される直流電圧のうち、+24Vの直流電圧は、電源基板100に直接接続されたホッパーモータ34の駆動電源として使用されるとともに、遊技制御基板40に供給され、遊技制御基板40に接続されたリールモータ32L、32C、32R、流路切替ソレノイド30等の電気部品の駆動電源としても使用される。また、+12V(VCC)の直流電圧は、遊技制御基板40を介して演出制御基板90に供給されており、サブ制御部91等の演出制御基板90に搭載されたデバイスの駆動電源である後述の+5V(VCC)の元となる電源や、演出制御基板90に接続される液晶表示器51、LED、スピーカ等の電気部品の駆動電源として使用される。また、+12Vの直流電圧は、遊技制御基板40に供給され、遊技制御基板40に接続されたLEDや表示器、センサ

50

、スイッチ等の電気部品（電源基板 100 を介して遊技制御基板 40 に接続されたスイッチ等の電気部品を含む）の駆動電源として使用される。また、+5V の直流電圧は、遊技制御基板 40 に供給され、メイン制御部 41 等の遊技制御基板 40 に搭載されたデバイスの駆動電源として使用される。

【0071】

また、遊技制御基板 40 における +5V の直流電圧の供給ラインは、図 5 (a) に示すように、遊技制御基板 40 上で分岐して +5V (VBB) の直流電圧の供給ラインを形成する。この +5V (VBB) の直流電圧の供給ラインは、逆流防止用のダイオード 312 を介してバックアップ電源入力端子 VBB に接続されているとともに、図 5 (a) に示すように、電源基板 100 側でグラウンドレベルに接続され、その間には大容量のコンデンサ 310 が設けられている。これにより +5V (VBB) の直流電圧をコンデンサ 310 に蓄積可能とされ、停電時においても、コンデンサ 310 に蓄積された電圧を、当該電圧が全て放出されるまでの期間にわたりバックアップ電源として供給できるようになっている。10

【0072】

また、電源基板 100 から出力される直流電圧のうち、+25V の直流電圧、すなわち +24V、+12V (VCC)、+12V、+5V の直流電圧の生成源となる直流電圧は、遊技制御基板 40 において、5 (a) に示すように、抵抗 311 により減圧（本実施例では、約 6.6% 減圧）されて、電断検出回路 48 が備える監視電圧入力端子 VSB に入力される。電断検出回路 48 は、監視電圧入力端子 VSB に入力された電圧が所定の大きさ（本実施例では、+1.2V）以下となったときに、電圧低下信号出力端子 RESET から電圧低下信号を出力する構成とされている。この電圧低下信号出力端子 RESET は、前述のようにメイン制御部 41 のトリガー端子 CLK/TRG に接続されており、監視電圧入力端子 VSB に入力された電圧が所定の大きさ以下となったときに、電圧低下信号がメイン制御部 41 のトリガー端子 CLK/TRG に入力されるようになっている。すなわち、メイン制御部 41 の CPU41a は、電断検出回路 48 からの電圧低下信号の入力に基づき電断の発生を検知して後述する電断割込処理を実行できるようになっている。本実施例では、+25V の直流電圧が約 +18V 以下となったときに抵抗 311 により減圧された電圧が +1.2V 以下となり、電圧低下信号が出力されるため、CPU41a は電圧低下信号の入力に基づいて、+25V の直流電圧が、+18V 以下となったときに電断の発生を検知することができる。20

【0073】

また、電圧低下信号出力端子 RESET は、途中で分岐してメイン制御部 41 の信号入力端子 DATA にも接続されており、監視電圧入力端子 VSB に入力された電圧が所定の大きさ以下となったときに、電圧低下信号がメイン制御部 41 のトリガー端子 CLK/TRG に加えて信号入力端子 DATA にも入力されるようになっている。また、電断検出回路 48 は、監視電圧入力端子 VSB に入力された電圧が所定の大きさ (+1.2V) 以下となってから、当該電断検出回路 48 が動作不能となるか、電圧が所定の大きさ (+1.2V) を超えるまでの間、継続して電圧低下信号を出力するようになっている。このため、CPU41a は、電断検出回路 48 からの電圧低下信号の入力に基づく電断割込処理中にも、電圧低下信号の入力状況を監視することが可能とされている。30

【0074】

このように本実施例では、メイン制御部 41 並びに電断検出回路 48 が、電圧生成回路 308 により生成された +5V の直流電圧にて駆動されるとともに、電断検出回路 48 は、電圧生成回路 303 により生成された +25V の直流電圧がこれら各デバイスを駆動させる +5V よりも高い電圧である +18V 以下となったときに、電断の発生を検知し、電圧低下信号を出力するようになっており、CPU41a が電断の発生を検知した後もしばらくは +5V の直流電圧がメイン制御部 41 に対して供給されるため、電圧低下信号の入力に基づき CPU41a が電断割込処理を行うのに必要な時間を十分に確保することができるようになっている。40

【0075】

また、本実施例では、電断検出回路48が、電圧生成回路303にて生成された+25Vの直流電圧の降下を監視するとともに、電源基板100、遊技制御基板40及び演出制御基板90に接続された電気部品を駆動するための電源電圧が、電断検出回路48が監視する+25Vの直流電圧を生成する電圧生成回路303とは別個に設けられた電圧生成回路305、306、307にて生成されるようになっており、これら電気部品の駆動状況により下降し易い電源電圧に比較して安定した電圧が電断検出回路48により監視されるので、一時的な電圧降下に伴って電断の発生が検知され、電断割込処理が行われてしまう等の誤動作を防止できる。

【0076】

また、図4に示すように、電源基板100において電圧生成回路306に入力される+25Vの直流電圧のラインにはコンデンサ309が設けられており、+25Vの直流電圧から電圧生成回路306に供給される電圧を蓄積可能とされ、電圧生成回路303からの電圧の供給が途切れたときでも、コンデンサ309に蓄積された電圧が放出されるまでの期間にわたり電圧生成回路306に対して+12V(VCC)を生成するのに必要な電圧が供給されるようになっている。このため、電圧生成回路306は、停電時において電圧生成回路303からの電圧の供給が途切れたときでも一定時間の間、演出制御基板90に搭載されたサブ制御部91等のデバイスの電源の元となる+12V(VCC)の直流電圧の供給を維持できるようになっている。尚、本実施例では、コンデンサ309として停電時において電断検出回路48が電圧低下信号を出力した時点、すなわち+25Vの直流電圧が+18V以下となった時点から、最低でも20ms以上の時間にわたりサブ制御部91の駆動を維持することが可能な容量のコンデンサが用いられている。

【0077】

また、演出制御基板90には、図5(b)に示すように、電源基板100から遊技制御基板40を介して供給された+12V(VCC)の直流電圧から+5V(VCC)を生成する電圧生成回路313が設けられており、この電圧生成回路により生成された+5V(VCC)の直流電圧は、サブ制御部91等、演出制御基板90が搭載する各種デバイスに供給され、これらデバイスの駆動電源として使用される。

【0078】

また、+5V(VCC)の直流電圧のサブ制御部91への供給ラインは、逆流防止用のダイオード314を介してサブ制御部91のバックアップ電源入力端子VBBに接続されるとともに、グラウンドレベルに接続され、その間に大容量のコンデンサ315が設けられている。これにより+5V(VCC)の直流電圧をコンデンサに蓄積可能とされ、停電時においても、コンデンサ315に蓄積された電圧を、当該電圧が全て放出されるまでの期間にわたりバックアップ電源として供給できるようになっている。

【0079】

本実施例のスロットマシン1は、設定値に応じてメダルの払出率が変わるものであり、後述する内部抽選の当選確率は、設定値に応じて定まるものとなる。以下、設定値の変更操作について説明する。

【0080】

設定値を変更するためには、設定キースイッチ37をON状態としてからスロットマシン1の電源をONする必要がある。設定キースイッチ37をON状態として電源をONすると、設定値表示器24に設定値の初期値として1が表示され、リセット/設定スイッチ38の操作による設定値の変更操作が可能な設定変更モードに移行する。設定変更モードにおいて、リセット/設定スイッチ38が操作されると、設定値表示器24に表示された設定値が1ずつ更新されていく(設定6から更に操作されたときは、設定1に戻る)。そして、スタートスイッチ7が操作されると設定値が確定し、確定した設定値がメイン制御部41のRAM41cに格納される。そして、設定キースイッチ37がOFFされると、

10

20

30

40

50

遊技の進行が可能な状態に移行する。

【0081】

本実施例のスロットマシン1においては、メイン制御部41のCPU41aが電圧低下信号を検出した際に、電断割込処理を実行する。電断割込処理では、メイン制御部41のRAM41cにいずれかのビットが1となる破壊診断用データ（本実施例では、5A（H））を格納するとともに、RAM41cの全ての領域に格納されたデータに基づくRAMパリティが0となるようにRAMパリティ調整用データを計算し、RAM41cに格納する処理を行うようになっている。尚、RAMパリティとはRAM41cの該当する領域（本実施例では、全ての領域）の各ビットに格納されている値の排他的論理和として算出される値である。このため、RAM41cの全ての領域に格納されたデータに基づくRAMパリティが0であれば、RAMパリティ調整用データは0となり、RAM41cの全ての領域に格納されたデータに基づくRAMパリティが1であれば、RAMパリティ調整用データは1となる。10

【0082】

そして、CPU41aは、その起動時においてRAM41cの全ての領域に格納されたデータに基づいてRAMパリティを計算するとともに、破壊診断用データの値を確認し、RAMパリティが0であり、かつ破壊診断用データの値も正しいことを条件に、RAM41cに記憶されているデータに基づいてCPU41aの処理状態を電断前の状態に復帰させるが、RAMパリティが0でない場合（1の場合）や破壊診断用データの値が正しくない場合には、RAM異常と判定し、RAM異常エラーコードをセットしてRAM異常エラー状態に制御し、遊技の進行を不能化させるようになっている。尚、RAM異常エラー状態は、他のエラー状態と異なり、リセットスイッチ23やリセット／設定スイッチ38を操作しても解除されないようになっており、前述した設定変更モードにおいて新たな設定値が設定されるまで解除されることがない。20

【0083】

本実施例のスロットマシン1は、全てのリール2L、2C、2Rが停止した際に、有効化された入賞ライン（以下、有効ラインと呼ぶ）上に役と呼ばれる図柄の組み合わせが揃うと入賞となる。入賞となる役の種類は、遊技状態に応じて定められているが、大きく分けて、メダルの払い出しを伴う小役と、賭数の設定を必要とせずに次のゲームを開始可能となる再遊技役と、遊技状態の移行を伴う特別役がある。遊技状態に応じて定められた各役の入賞が発生するためには、後述する内部抽選に当選して、当該役の当選フラグが設定されている必要がある。30

【0084】

図6（a）は、遊技状態別当選役テーブルを示す図である。遊技状態別当選役テーブルは、メイン制御部41のROM41bに予め格納され、内部抽選において当選と判定される役を判断するために用いられるものであるが、遊技状態別当選役テーブルの登録内容は、遊技状態に応じて定められた役を示すものとなる。このスロットマシン1における役としては、小役としてJAC、チェリー、スイカ、ベルが、再遊技役としてリプレイ、特別役としてビッグボーナス（1）、ビッグボーナス（2）、ビッグボーナス（3）、レギュラーボーナス（1）、レギュラーボーナス（2）、JACINが定められている。40

【0085】

レギュラーボーナスの遊技状態では、小役であるJAC、チェリー、スイカ及びベルが、入賞となる役として定められており、レギュラーボーナスにおける内部抽選で抽選の対象とされる。ビッグボーナスの後述する小役ゲームでは、小役であるチェリー、スイカ及びベル、特別役であるレギュラーボーナス（2）及びJACINが入賞となる役として定められており、小役ゲームにおける内部抽選で抽選の対象とされる。通常遊技状態では、小役であるチェリー、スイカ及びベル、再遊技役であるリプレイ、特別役であるビッグボーナス（1）、ビッグボーナス（2）、ビッグボーナス（3）、レギュラーボーナス（1）が入賞となる役として定められており、通常遊技状態における内部抽選で抽選の対象とされる。50

【0086】

尚、本実施例では、レギュラーボーナスの遊技状態において、チェリー、スイカ及びベルに加えて J A C が入賞となる小役として定められているが、レギュラーボーナスの遊技状態においても、小役ゲームや通常遊技状態と同様に、チェリー、スイカ及びベルのみを入賞となる小役として定めるようにしても良い。

【0087】

J A C は、レギュラーボーナスにおいて有効ラインに「ベル - J A C - J A C」の組み合わせが揃ったときに入賞となるが、レギュラーボーナス以外の遊技状態では、この組み合わせが揃ったとしても J A C 入賞とならない。チェリーは、いずれの遊技状態においても左のリール 2 L について有効ラインのいずれかに「チェリー」の図柄が導出されたときに入賞となる。スイカは、いずれの遊技状態においても有効ラインのいずれかに「スイカ - スイカ - スイカ」の組み合わせが揃ったときに入賞となる。ベルは、いずれの遊技状態においても有効ラインのいずれかに「ベル - ベル - ベル」の組み合わせが揃ったときに入賞となる。これら的小役が入賞したときのメダルの払い出しについては後述する。

10

【0088】

リプレイは、通常遊技状態において有効ラインのいずれかに「J A C - J A C - J A C」の組み合わせが揃ったときに入賞となるが、レギュラーボーナスやビッグボーナス（小役ゲーム及びレギュラーボーナス）では、この組み合わせが揃ったとしてもリプレイ入賞とならない。リプレイ入賞したときには、メダルの払い出しへはないが次のゲームを改めて賭数を設定することなく開始できるので、次のゲームで設定不要となった賭数（レギュラーボーナスではリプレイ入賞しないので必ず 3）に対応した 3 枚のメダルが払い出されるのと実質的には同じこととなる。

20

【0089】

ビッグボーナスは、通常遊技状態において有効ラインのいずれかに「赤 7 - 赤 7 - 赤 7」の組み合わせ、「白 7 - 白 7 - 白 7」の組み合わせ、または「青 7 - 青 7 - 青 7」の組み合わせが揃ったときに入賞となる。ビッグボーナス入賞すると、遊技状態がビッグボーナスに移行する。ビッグボーナスにおいては、小役ゲームと称されるゲームを行うことができる。遊技状態がビッグボーナスにある間は、ビッグボーナス中フラグが R A M 4 1 c に設定される。ビッグボーナスは、当該ビッグボーナス中において遊技者に払い出したメダルの総数が 465 枚に達したときに終了する。

30

【0090】

尚、「赤 7 - 赤 7 - 赤 7」によるビッグボーナス、「白 7 - 白 7 - 白 7」によるビッグボーナス、及び「青 7 - 青 7 - 青 7」を区別する必要がある場合には、それぞれビッグボーナス（1）、ビッグボーナス（2）、ビッグボーナス（3）と呼ぶものとする。また、ビッグボーナス（1）～（3）は、更に、内部抽選で当選が判定される順番に応じてそれぞれ細分化されており、これらを区別する場合には、それぞれビッグボーナス（1）- A、ビッグボーナス（1）- B、ビッグボーナス（1）- C、ビッグボーナス（2）- A、ビッグボーナス（2）- B、ビッグボーナス（2）- C、ビッグボーナス（3）- A、ビッグボーナス（3）- B、ビッグボーナス（3）- C と呼ぶものとする。

40

【0091】

レギュラーボーナスは、小役ゲーム及び通常遊技状態において有効ラインのいずれかに「B A R - B A R - B A R」の組み合わせが揃ったときに入賞となる。レギュラーボーナス入賞すると、遊技状態が小役ゲームまたは通常遊技状態からレギュラーボーナスに移行する。レギュラーボーナスは、12 ゲームを消化したとき、または 8 ゲーム入賞（役の種類は、いずれでも可）したとき、のいずれか早いほうで終了する。遊技状態がレギュラーボーナスにある間は、レギュラーボーナス中フラグが R A M 4 1 c に設定される。特に、小役ゲームにおいてレギュラーボーナス入賞すると、ビッグボーナス中にレギュラーボーナスが提供されることとなり、ビッグボーナス中フラグに併せてレギュラーボーナス中フラグも R A M 4 1 c に設定される。ビッグボーナス中のレギュラーボーナスで当該ビッグボーナス中において遊技者に払い出したメダルの総数が 465 枚に達したときは、ビッグ

50

ボーナスとともに当該レギュラーボーナスも終了する。

【0092】

尚、通常遊技状態の「BAR - BAR - BAR」によるレギュラーボーナス、ビッグボーナスにおける小役ゲームの「BAR - BAR - BAR」によるレギュラーボーナスを区別する必要がある場合には、それぞれレギュラーボーナス(1)、レギュラーボーナス(2)と呼ぶものとする。また、前述したビッグボーナス(1)、ビッグボーナス(2)及びビッグボーナス(3)、レギュラーボーナス(1)及びレギュラーボーナス(2)をまとめて、単に「ボーナス」と呼ぶ場合があるものとする。

【0093】

JACINは、小役ゲームにおいて有効ラインのいずれかに「スイカ - JAC - JAC」の組み合わせが揃ったときに入賞となるが、小役ゲーム以外の遊技状態では、この組み合わせが揃ったとしてもJACIN入賞とならない。JACIN入賞すると、ビッグボーナス中に前述したレギュラーボーナスが提供されることとなり、ビッグボーナス中フラグに併せてレギュラーボーナス中フラグもメイン制御部41のRAMに設定される。ビッグボーナス中のレギュラーボーナスで当該ビッグボーナス中において遊技者に払い出したメダルの総数が465枚に達したときは、ビッグボーナスとともに当該レギュラーボーナスも終了する。

【0094】

以下、内部抽選について説明する。内部抽選は、上記した各役への入賞を許容するかどうかを、全てのリール2L、2C、2Rの表示結果が導出表示される以前に（実際には、スタートスイッチ7の検出時）、決定するものである。内部抽選では、まず、後述するよう内部抽選用の乱数（0～16383の整数）が取得される。そして、遊技状態に応じて定められた各役について、取得した内部抽選用の乱数と、遊技者が設定した賭数と、リセット／設定スイッチ38により設定された設定値に応じて定められた各役の判定値数に応じて行われる。本実施例においては、通常遊技状態において小役及び再遊技役と特別役の抽選とが個別に行われる所以、内部抽選における当選は、排他的なものではなく、1ゲームにおいて小役と特別役とが同時に当選することがあり得る。

【0095】

遊技状態に応じた役の参照は、レギュラーボーナス、ビッグボーナス中の小役ゲームにおいては、図6(a)に示した遊技状態別当選役テーブルに応じて行われ、通常遊技状態においては、図6(a)に示した遊技状態別当選役テーブル及び図6(c)に示す後述の特別役用の役別テーブルの双方に応じて行われる。

【0096】

遊技状態がレギュラーボーナス（ビッグボーナス中に提供された場合を含む）にあるときは、JAC、チェリー、スイカ、ベルが内部抽選の対象役として順に読み出され、遊技状態がビッグボーナス中の小役ゲームにあるときは、チェリー、スイカ、ベル、レギュラーボーナス(2)、JACINが内部抽選の対象役として順に読み出される。もっとも、前回以前のゲームでレギュラーボーナス当選フラグ(2)が設定され、当該フラグに基づく入賞が発生しないで持ち越されているときは、レギュラーボーナス(2)及びJACINは、内部抽選の対象役とならない。

【0097】

通常遊技状態にあるときには、まず、小役及び再遊技役の抽選が行われ、その後、特別役の抽選が行われる。小役及び再遊技役の抽選では、遊技状態別当選役テーブルを参照し、通常遊技状態において対象となる小役及び再遊技役、すなわちチェリー、スイカ、ベル、リプレイが内部抽選の対象役として順に読み出される。

【0098】

特別役の抽選では、遊技状態別当選役テーブル及び特別役用の役別テーブルを参照し、遊技状態別当選役テーブルに登録された通常遊技状態において対象となる特別役が、特別役用の役別テーブルに登録された順に読み出される。

【0099】

10

20

30

40

50

また、特別役の抽選においては、複数の特別役について当選が判定される間に、特別役のハズレか否かが判定されるようになっており、特別役用の役別テーブルには、特別役及び特別役のハズレがそれぞれ判定される順番に登録されている。このため、特別役の抽選においては、特別役用の役別テーブルに登録された順に特別役及び特別役のハズレが読み出されることとなる。

【0100】

図6(c)に示すように、特別役用の役別テーブルには、通常遊技状態において抽選対象となる特別役として、ビッグボーナス(1)-A、ビッグボーナス(2)-A、ビッグボーナス(3)-A、ビッグボーナス(1)-B、ビッグボーナス(2)-B、ビッグボーナス(3)-B、ビッグボーナス(1)-C、ビッグボーナス(2)-C、ビッグボーナス(3)-C、レギュラーボーナス(1)が登録されているとともに、ビッグボーナス(3)-Aとビッグボーナスビッグボーナス(1)-Bの間、ビッグボーナス(3)-Bとビッグボーナス(1)-Cの間に、それぞれハズレ-A、ハズレ-Bが登録されているので、特別役の抽選では、ビッグボーナス(1)-A、ビッグボーナス(2)-A、ビッグボーナス(3)-A、ハズレ-A、ビッグボーナス(1)-B、ビッグボーナス(2)-B、ビッグボーナス(3)-B、ハズレ-B、ビッグボーナス(1)-C、ビッグボーナス(2)-C、ビッグボーナス(3)-C、レギュラーボーナス(1)の順に読み出されることとなる。

【0101】

もっとも、前回以前のゲームでレギュラーボーナス当選フラグ(1)、ビッグボーナス当選フラグ(1)、ビッグボーナス当選フラグ(2)またはビッグボーナス当選フラグ(3)が設定され、当該フラグに基づく入賞が発生しないで持ち越されているときには、レギュラーボーナス(1)及びビッグボーナス(1)~(3)は、内部抽選の対象役とならないので特別役の抽選が行われることはない。

【0102】

内部抽選では、内部抽選の対象役について定められた判定値数を、内部抽選用の乱数に順次加算し、加算の結果がオーバーフローしたときに、当該役に当選したものと判定される。当選と判定されると、当該役の当選フラグがメイン制御部41のRAM41cに設定される。判定値数は、メイン制御部41のROMに予め格納された役別テーブルに登録されている判定値数の格納アドレスに従って読み出されるものとなる。

【0103】

また、特に通常遊技状態においては、まず通常遊技状態において対象となる小役及び再遊技役について定められた判定値数を、内部抽選用の乱数に順次加算し、加算の結果がオーバーフローしたときに、当該役に当選したものと判定され、当該役の当選フラグが設定される。

【0104】

更に、内部抽選用乱数の加算の結果がオーバーフローしたか否かに関わらず、通常遊技状態において対象となる特別役について定められた判定値数(特別役のハズレに対応して定められた判定値数を含む)を、加算前の内部抽選用の乱数(最初に取得した乱数)に順次加算し、加算の結果がオーバーフローしたときに、当該役に当選したものと判定され、当該役の当選フラグが設定される(特別役のハズレに対応して定められた判定値数の加算結果がオーバーフローしたときはこの限りではない)。すなわち通常遊技状態においては、同一の内部抽選用の乱数に基づいて小役及び再遊技役の抽選及び特別役の抽選の双方が行われるようになっている。

【0105】

尚、前述のように、前回以前のゲームから前回以前のゲームでレギュラーボーナス当選フラグ(1)、ビッグボーナス当選フラグ(1)、ビッグボーナス当選フラグ(2)またはビッグボーナス当選フラグ(3)が持ち越されている状態であれば、特別役の抽選が行われることはない。

【0106】

10

20

30

40

50

図6(b)は、小役及び再遊技役用の役別テーブルの例を示す図であり、図6(c)は、特別役(及びハズレ)用の役別テーブルの例を示す図である。判定値数は、その値が256以上のものとなるものもあり、1ワード分では記憶できないので、判定値数毎に2ワード分の記憶領域を用いて登録されるものとなる。

【0107】

各役(及びハズレ)の判定値数は、ゲームにおいて遊技者が設定する賭数(BET)に対応して登録されている。同一の役であっても、レギュラーボーナスにおける当選確率が他の役と異なっている場合があるからである。また、各役(及びハズレ)の賭数に応じた判定値数は、設定値に関わらずに共通になっているものと、設定値に応じて異なっているものとがある。判定値数が設定値に関わらずに共通である場合には、共通フラグが設定される(値が「1」とされる)。

【0108】

小役及び再遊技役用の役別テーブルには、図6(b)に示すように、JAC、チェリー、スイカ、ベル、リプレイの判定値数の格納アドレスが参照される順番に登録されている。

【0109】

JACは、レギュラーボーナスでのみ内部抽選の対象となる役であり、レギュラーボーナスでの賭数1に対応する判定値数の格納アドレスが登録されている。この役の共通フラグは1であり、設定値に関わらず共通の判定値数の格納アドレスが登録されている。

【0110】

チェリー、スイカ及びベルは、いずれの遊技状態でも内部抽選の対象となる役であり、レギュラーボーナスでの賭数1に対応する判定値数の格納アドレスと、通常遊技状態または小役ゲームでの賭数3に対応する判定値数の格納アドレスとが登録されている。チェリー及びスイカについては、共通フラグが1となっており、それぞれの賭数に対応して設定値に関わらず共通の判定値数の格納アドレスが登録されている。ベルについては、共通フラグが0となっており、それぞれの賭数に対応して設定値に応じて個別に判定値数の格納アドレスが登録されている。

【0111】

リプレイは、通常遊技状態でのみ内部抽選の対象となる役であり、通常遊技状態での賭数3に対応する判定値数の格納アドレスが登録されている。この役の共通フラグは1であり、設定値に関わらず共通の判定値数の格納アドレスが登録されている。

【0112】

特別役(及びハズレ)用の役別テーブルには、図6(c)に示すように、ビッグボーナス(1)-A、ビッグボーナス(2)-A、ビッグボーナス(3)-A、ハズレ-A、ビッグボーナス(1)-B、ビッグボーナス(2)-B、ビッグボーナス(3)-B、ハズレ-B、ビッグボーナス(1)-C、ビッグボーナス(2)-C、ビッグボーナス(3)-C、レギュラーボーナス(1)、レギュラーボーナス(2)及びJACINの順番に各役の判定値数の格納アドレスが登録されている。

【0113】

ビッグボーナス(1)-A、ビッグボーナス(2)-A、ビッグボーナス(3)-A、ハズレ-A、ビッグボーナス(1)-B、ビッグボーナス(2)-B、ビッグボーナス(3)-Bは、通常遊技状態でのみ内部抽選の対象となる役であり、通常遊技状態での賭数3に対応する判定値数の格納アドレスがそれぞれ登録されている。これらの役については、共通フラグの値は1であり、設定値に関わらずに共通の判定値数の格納アドレスが登録されている。

【0114】

ハズレ-B、ビッグボーナス(1)-C、ビッグボーナス(2)-C、ビッグボーナス(3)-C、レギュラーボーナス(1)は、通常遊技状態でのみ内部抽選の対象となる役であり、通常遊技状態での賭数3に対応する判定値数の格納アドレスがそれぞれ登録されている。これらの役については、共通フラグの値は0となっており、設定値に応じて個別

10

20

30

40

50

に判定値数の格納アドレスが登録されている。

【0115】

レギュラーボーナス(2)及びJACINは、ビッグボーナス中の小役ゲームでのみ内部抽選の対象となる役であり、小役ゲームでの賭数3に対応する判定値数の格納アドレスが登録されている。この役の共通フラグの値は1であり、設定値に関わらずに共通の判定値数の格納アドレスが登録されている。

【0116】

また、役別テーブルには、各役に入賞したときに払い出されるメダルの払出枚数も登録されている。もっとも、入賞したときにメダルの払い出し対象となる役は、小役であるJAC、チェリー、スイカ及びベルだけである。チェリー、スイカ及びベルは、賭数が1のとき(レギュラーボーナス)でも3のとき(レギュラーボーナス以外の遊技状態)でも入賞が発生可能であるが、ベルについては、賭数が1であるとき、すなわち遊技状態がレギュラーボーナスにあるときには、それ以外の8枚よりも多い15枚のメダルが払い出されるものとなる。

【0117】

ビッグボーナス(1)、ビッグボーナス(2)、ビッグボーナス(3)、レギュラーボーナス(1)、レギュラーボーナス(2)、及びJACINの入賞は、遊技状態の移行を伴うものであり、メダルの払い出し対象とはならない。リプレイでは、メダルの払い出しを伴わないが、次のゲームで賭数の設定に用いるメダルの投入が不要となるので実質的には3枚の払い出しと変わらない。また、当然ながら特別役のハズレについてはメダルの払い出し対象とはならない。

【0118】

図7は、役別テーブルに登録されたアドレスに基づいて取得される判定値数の記憶領域を示す図である。この判定値数の記憶領域は、開発用の機種ではメイン制御部41のRAM41cに、量産機種ではメイン制御部41のROM41bに割り当てられたアドレス領域に設けられている。

【0119】

例えばアドレスADD、ADD+36、ADD+36、ADD+38、ADD+40、ADD+42、ADD+44、ADD+46、ADD+48、ADD+110、ADD+112は、それぞれ内部抽選の対象役がJAC、リプレイ、ビッグボーナス(1)-A、ビッグボーナス(2)-A、ビッグボーナス(3)-A、ハズレ-A、ビッグボーナス(1)-B、ビッグボーナス(2)-B、ビッグボーナス(3)-B、レギュラーボーナス(2)、JACINであるときに設定値に関わらずに参照されるアドレスであり、設定値に関わらずに、それぞれ27、2245、3、3、3、260、3、3、3、32、4311が判定値数として取得される。

【0120】

ADD+98は、内部抽選の対象役がレギュラーボーナス(1)であって設定値が1のときに参照されるアドレスであり、このときには、ここに格納された値である31が判定値数として取得される。アドレスADD+100、ADD+102、ADD+104、ADD+106、ADD+108は、それぞれ内部抽選の対象役がレギュラーボーナス(1)であって設定値が2~6のときに参照されるアドレスである。レギュラーボーナス(1)については、設定値に応じて個別に判定値数が記憶されているが、同一の判定値数が記憶されているので、いずれの設定値においてもレギュラーボーナス(1)の当選確率は同じとなっている。

【0121】

アドレスADD+50、ADD+52、ADD+54、ADD+56、ADD+58、ADD+60は、それぞれ内部抽選の対象役がハズレ-Bであって設定値が1~6のときに参照されるアドレスである。アドレスADD+62、ADD+64、ADD+66、ADD+68、ADD+70、ADD+72は、それぞれ内部抽選の対象役がビッグボーナス(1)-Cであって設定値が1~6のときに参照されるアドレスである。アドレスAD

10

20

30

40

50

D + 74、ADD + 76、ADD + 78、ADD + 80、ADD + 82、ADD + 84は、それぞれ内部抽選の対象役がビッグボーナス(2)-Cであって設定値が1~6のときに参照されるアドレスである。アドレスADD + 86、ADD + 88、ADD + 90、ADD + 92、ADD + 94、ADD + 96は、それぞれ内部抽選の対象役がビッグボーナス(3)-Cであって設定値が1~6のときに参照されるアドレスである。ハズレ-B、ビッグボーナス(1)-C、(2)-C、(3)-Cについては、設定値に応じて個別に判定値数が記憶され、しかも異なる判定値数が記憶されているので、設定値に応じてハズレ-B、ビッグボーナス(1)-C、(2)-C、(3)-Cの当選(特別役のハズレ)確率が異なることとなる。

【0122】

10

アドレスADD + 2は、賭数が1のとき、すなわちレギュラーボーナスにおいて内部抽選の対象役がチェリーであるときに設定値に関わらずに参照されるアドレスである。アドレスADD + 4は、賭数が3のとき、すなわち通常遊技状態または小役ゲームにおいて内部抽選の対象役がチェリーであるときに設定値に関わらず参照されるアドレスである。チェリーについての判定値数は、賭数に応じて登録されているが、同じ値が登録されているので、いずれの遊技状態においてもチェリーの当選確率は同じとなる。スイカについても、アドレスADD + 6、ADD + 8に同様にして判定値数が登録されている。

【0123】

アドレスADD + 10、ADD + 12、ADD + 14、ADD + 16、ADD + 18、ADD + 20は、それぞれ賭数が1のとき、すなわちレギュラーボーナスにおいて内部抽選の対象役がベルであって設定値が1~6のときに参照されるアドレスである。アドレスADD + 10とADD + 12、ADD + 14とADD + 16、ADD + 18とADD + 20には、それぞれ同一の値が登録されているので、レギュラーボーナス時においては、設定値1と設定値2、設定値3と設定値4、設定値5と設定値6とで、ベルの当選確率が同一となる。

20

【0124】

アドレスADD + 22、ADD + 24、ADD + 26、ADD + 28、ADD + 30、ADD + 32は、それぞれ賭数が3のとき、すなわち通常遊技状態または小役ゲームにおいて内部抽選の対象役がベルであって設定値が1~6のときに参照されるアドレスである。アドレスADD + 22、ADD + 24、ADD + 26、ADD + 28、ADD + 30、ADD + 32には、互いに異なる値が登録されているので、通常遊技状態または小役ゲームにおいては、設定値に応じてベルの当選確率が異なることとなる。

30

【0125】

図8(a)(b)、図9、図10(a)(b)は、内部抽選用の乱数の値及び各役の判定値数と、当選役との関係の例を示す図である。図8(a)(b)及び図9では通常遊技状態にあるときの、図10(a)では小役ゲームにあるときの、図10(b)ではレギュラーボーナスにあるときの例を示している。図8(a)(b)、図9、図10(a)(b)のいずれも、設定値が6の場合の例を示しており、また、図8(b)及び図9では、レギュラーボーナス当選フラグとビッグボーナス当選フラグのいずれも設定されてない場合の例を示している。

40

【0126】

通常遊技状態において内部抽選の対象役となる役は、レギュラーボーナス(1)、ビッグボーナス(1)、ビッグボーナス(2)、ビッグボーナス(3)、チェリー、スイカ、ベル、リプレイであるが、前述のように通常遊技状態においては、同一の内部抽選用の乱数につき小役及び再遊技役の抽選と特別役の抽選とが別個に行われる所以、ここでは、小役及び再遊技役の抽選における内部抽選用の乱数の値及び各役の判定値数と当選役との関係、特別役の抽選における内部抽選用の乱数の値及び各役の判定値数と当選役との関係、双方の抽選を合わせた結果による内部抽選用の乱数の値及び各役の判定値数と当選役との関係、についてそれぞれ説明する。

【0127】

50

例えば、図8(a)に示すように、通常遊技状態における小役及び再遊技役の抽選において対象となる役は、チェリー、スイカ、ベル、リプレイであり、設定値6においては、それぞれの判定値数は、269、68、3582、2245となる。最初に小役及び再遊技役の抽選の対象役となるチェリーは、判定値数の31を加算することで加算結果がオーバーフローすることとなる16115～16383が内部抽選用の乱数として取得されたときに当選となる。

【0128】

次に小役及び再遊技役の抽選の対象役となるスイカは、チェリーの判定値数269とスイカの判定値数68とを合計した337を加算することで加算結果がオーバーフローすることとなる16047～16114が内部抽選用の乱数として取得されたときに当選となる。同様に、ベルは、12465～16046が内部抽選用の乱数として取得されたときに、リプレイは、10220～12464が内部抽選用の乱数として取得されたときに、それぞれ当選と判定される。

【0129】

これらの判定値数に基づいて算出される小役及び再遊技役のおおよその当選確率は、チェリー、スイカ、ベル、リプレイのそれぞれについて、1/60.9、1/240.9、1/4.6、1/7.3となる。尚、0～10219が内部抽選用の乱数として取得されたときには、全ての小役及び再遊技役にハズレとなる。

【0130】

一方、図8(b)に示すように、通常遊技状態における特別役の抽選において対象となる役は、ビッグボーナス(1)-A、ビッグボーナス(2)-A、ビッグボーナス(3)-A、ハズレ-A、ビッグボーナス(1)-B、ビッグボーナス(2)-B、ビッグボーナス(3)-B、ハズレ-B、ビッグボーナス(1)-C、ビッグボーナス(2)-C、ビッグボーナス(3)-C、レギュラーボーナス(1)であり、設定値6においては、それぞれの判定値数は、3、3、3、260、3、3、3、5886、14、14、14、31となるので、16381～16383、16047～16380、16375～16377、16115～16674、16112～16114、16109～16111、16106～16108、10220～16105、10206～10219、10192～10205、10178～10191、10147～10777が内部抽選用の乱数として取得されたときに、当選(特別役のハズレ)と判定される。また、それぞれの役のおおよその当選確率は、1/5461.3、1/5461.3、1/5461.3、1/63.0、1/5461.3、1/5461.3、1/5461.3、1/2.8、1/1170.3、1/1170.3、1/1170.3、1/528.5となる。尚、0～10146が内部抽選用の乱数として取得されたときには、全ての特別役にハズレとなる。

【0131】

そして、小役及び再遊技役の抽選においてチェリーが当選と判定される内部抽選用の乱数の範囲(16115～16383)と特別役の抽選においてビッグボーナス(1)-A、ビッグボーナス(2)-A、ビッグボーナス(3)-Aが当選と判定される内部抽選用の乱数の範囲(16381～16383、16047～16380、16375～16377)は重複するので、これら重複する範囲の値が内部抽選用の乱数として取得されたときには、それぞれビッグボーナス(1)とチェリー、ビッグボーナス(2)とチェリー、ビッグボーナス(3)とチェリーが同時に当選したと判定される。同様に、小役及び再遊技役の抽選においてスイカが当選と判定される内部抽選用の乱数の範囲(16047～16114)と特別役の抽選においてビッグボーナス(1)-B、ビッグボーナス(2)-B、ビッグボーナス(3)-Bが当選と判定される内部抽選用の乱数の範囲(16112～16114、16109～16111、16106～16108)、はそれぞれ重複するので、これら重複する範囲の値が内部抽選用の乱数として取得されたときには、それぞれビッグボーナス(1)とスイカ、ビッグボーナス(2)とスイカ、ビッグボーナス(3)とスイカが同時に当選したと判定される。

10

20

30

40

50

【0132】

このため、通常遊技状態では、図9に示すように、16381～16383、16047～16380、16375～16377が内部抽選用の乱数として取得されたときに、それぞれビッグボーナス(1)とチェリー、ビッグボーナス(2)とチェリー、ビッグボーナス(3)とチェリーが同時に当選したと判定され、16115～16374が内部抽選用の乱数として取得されたときに、チェリーのみが単独で当選したと判定され、16112～16114、16109～16111、16106～16108が内部抽選用の乱数として取得されたときに、それぞれビッグボーナス(1)とスイカ、ビッグボーナス(2)とスイカ、ビッグボーナス(3)とスイカが同時に当選したと判定され、16047～16105が内部抽選用の乱数として取得されたときに、スイカのみが単独で当選したと判定され、12465～16046が内部抽選用の乱数として取得されたときに、ベルのみが単独で当選したと判定され、10220～12464が内部抽選用の乱数として取得されたときに、リプレイのみが単独で当選したと判定され、10206～10219が内部抽選用の乱数として取得されたときに、ビッグボーナス(1)のみが単独で当選したと判定され、10192～10205が内部抽選用の乱数として取得されたときに、ビッグボーナス(2)のみが単独で当選したと判定され、10178～10191が内部抽選用の乱数として取得されたときに、ビッグボーナス(3)のみが単独で当選したと判定され、10147～10177が内部抽選用の乱数として取得されたときに、レギュラーボーナス(1)のみが単独で当選したと判定されることとなる。そしてビッグボーナス(1)とチェリー、ビッグボーナス(2)とチェリー、ビッグボーナス(3)とチェリーが同時当選するおおよその確率はそれぞれ $1 / 5461.3$ となり、チェリーが単独で当選するおおよその確率は $1 / 60.3$ となり、ビッグボーナス(1)とスイカ、ビッグボーナス(2)とスイカ、ビッグボーナス(3)とスイカが同時当選するおおよその確率はそれぞれ $1 / 5461.3$ となり、スイカが単独で当選するおおよその確率は $1 / 277.7$ となり、ベル、リプレイ、ビッグボーナス(1)、ビッグボーナス(2)、ビッグボーナス(3)、レギュラーボーナス(1)が単独で当選するおおよその確率はそれぞれ $1 / 4.6$ 、 $1 / 7.3$ 、 $1 / 1170.3$ 、 $1 / 1170.3$ 、 $1 / 1170.3$ 、 $1 / 528.5$ となる。尚、0～10146が内部抽選用の乱数として取得されたときには、全ての役にハズレとなる。

【0133】

また、通常遊技状態において、既にレギュラーボーナス当選フラグまたはビッグボーナス当選フラグのいずれかが設定されている場合、すなわちこれら当選フラグが前回以前のゲームにて設定され、持ち越されている場合には、小役及び再遊技役の抽選のみが行われるため、各役が当選と判定される乱数値及び各役の当選確率は、図8(a)に示すものとなる。

【0134】

また、図10(a)に示すように、小役ゲームでは、チェリー、スイカ、ベル、レギュラーボーナス(2)、J A C I Nが内部抽選の対象役となり、それぞれの判定値数が269、68、3582、32、4311であるので、16115～16383、16047～16114、12465～16046、12433～12464、8122～12432が内部抽選用の乱数として取得されたときに、当選と判定される。また、それぞれの役のおおよその当選確率は、 $1 / 60.9$ 、 $1 / 240.9$ 、 $1 / 4.6$ 、 $1 / 512.1$ 、 $1 / 3.8$ となる。尚、0～8121が内部抽選用の乱数として取得されたときには、全ての役にハズレとなる。

【0135】

また、図10(b)に示すように、レギュラーボーナスでは、J A C、チェリー、スイカ、ベルが内部抽選の対象役となり、それぞれの判定値数が27、269、68、15919であるので、16357～16383、16088～16356、16020～16087、101～16019が内部抽選用の乱数として取得されたときに、当選と判定される。また、それぞれの役のおおよその当選確率は、 $1 / 606.8$ 、 $1 / 60.9$ 、 1

10

20

30

40

50

/ 2 4 0 . 9 、 1 / 1 . 0 3 となる。尚、0 ~ 1 0 0 が内部抽選用の乱数として取得されたときには、全ての役にハズレとなる。

【 0 1 3 6 】

次に、内部抽選用の乱数の取得について、図 1 1 を参照して詳しく説明する。内部抽選用の乱数は、ハードウェア乱数機能により乱数発生回路 4 2 から乱数を抽出し、これを C P U 4 1 a がソフトウェアによって加工することによって取得されるものとなる。尚、乱数発生回路 4 2 から抽出した、或いはこれを加工した乱数の最下位ビットを第 0 ビット、最上位ビットを第 1 5 ビットと呼ぶものとする。

【 0 1 3 7 】

図 1 1 (a) は、乱数発生回路 4 2 の構成を詳細に示すブロック図である。図示するように、乱数発生回路 4 2 は、パルス発生回路 4 2 a と、下位カウンタ 4 2 b と、上位カウンタ 4 2 c とから構成されている。下位カウンタ 4 2 b 及び上位カウンタ 4 2 c は、いずれも 8 ビット (1 バイト) のカウンタであり、下位カウンタ 4 2 b が第 0 ビット～第 7 ビット、上位カウンタ 4 2 c が第 8 ビット～第 1 5 ビットの合計で 1 6 ビットのデータ信号を出力する。

【 0 1 3 8 】

パルス発生回路 4 2 a は、C P U 4 1 a の動作クロックの周波数よりも高く、その整数倍とはならない周波数 (互いに素とすることが好ましい) でパルス信号を出力する。パルス発生回路 4 2 a の出力するパルス信号が下位カウンタ 4 2 b にクロック入力される。

【 0 1 3 9 】

下位カウンタ 4 2 b は、パルス発生回路 4 2 a からパルス信号が入力される度に第 0 ビットのデータ信号を H レベルと L レベルとで交互に反転させる。正論理を適用するものとすると、H レベルの論理値が 1 で L レベルの論理値が 0 に対応する。負論理の場合は、論理値が 1 の場合を L レベル、論理値が 0 の場合を H レベルと読み替えれば良い。第 0 ビットのデータ信号のレベルが H レベルから L レベルに反転するとき、すなわち第 0 ビットのデータ信号の論理値が 1 から 0 に変化する度に第 1 ビットのデータ信号のレベルを H レベルと L レベルとで交互に反転させる。

【 0 1 4 0 】

同様に、第 m - 1 ビットのデータ信号のレベルが H レベルから L レベルに反転するとき、すなわち第 m - 1 ビットのデータ信号の論理値が 1 から 0 に変化する度に第 m ビットのデータ信号のレベルを H レベルと L レベルとで交互に反転させる。また、第 7 ビットのデータ信号のレベルが H レベルからすなわち第 7 ビットのデータ信号の論理値が 1 から 0 に変化する度に桁上げ信号を出力する。下位カウンタ 4 2 b の出力する桁上げ信号が上位カウンタ 4 2 c にクロック入力される。

【 0 1 4 1 】

上位カウンタ 4 2 c は、下位カウンタ 4 2 b から桁上げ信号が入力される度に第 8 ビットのデータ信号を H レベルと L レベルとで交互に反転させる。第 9 ビットのデータ信号のレベルが H レベルから L レベルに反転する度に第 9 ビットのデータ信号のレベルを H レベルと L レベルとで交互に反転させる。同様に、第 m - 1 ビットのデータ信号のレベルが H レベルから L レベルに反転する度に第 m ビットのデータ信号のレベルを H レベルと L レベルとで交互に反転させる。

【 0 1 4 2 】

下位カウンタ 4 2 b のデータ信号を下位 8 ビットとし、上位カウンタ 4 2 c のデータ信号を上位 8 ビットとした 1 6 ビットのデータ信号の論理値は、パルス発生回路 4 2 a がパルス信号を出力する度に、0 (0 0 0 0 h) 1 (0 0 0 1 h) 2 (0 0 0 2 h) ...

6 5 5 3 5 (F F F F h) と値が更新毎に連続するように更新され、最大値の 6 5 5 3 5 (F F F F h) の次は初期値の 0 (0 0 0 0 h) へと値が循環して、乱数発生回路 4 2 から出力されるものとなる。

【 0 1 4 3 】

サンプリング回路 4 3 は、ラッチ回路から構成され、C P U 4 1 a からのサンプリング

10

20

30

40

50

指令（スタートスイッチ7の操作時）に基づいて、乱数発生回路42からそのときに出力されている16ビットのデータ信号をラッチし、ラッチしたデータ信号を出力する。CPU41aは、I/Oポート41dを介してサンプリング回路43から入力されたデータ信号に対応した数値データを、乱数発生回路42が発生する乱数として抽出するものとなる。尚、以下では、乱数発生回路42から出力されるデータ信号は、その論理値に応じた乱数として説明するものとする。

【0144】

図11(b)は、乱数発生回路42から抽出した乱数をCPU41aがソフトウェアにより内部抽選用の乱数に加工するまでの説明図である。乱数発生回路42から抽出された乱数は、CPU41aが有する16ビットの汎用レジスタ41GRに格納されるものとなる。10

【0145】

乱数発生回路42から抽出された乱数が汎用レジスタ41GRに格納されると、CPU41aは、他の汎用レジスタまたはRAM41cの作業領域を用いて、汎用レジスタ41GRの下位バイト（下位カウンタ42bから抽出した値）と、上位バイトの値（上位カウンタ42cから抽出した値）とを入れ替える。

【0146】

次に、CPU41aは、抽出された乱数に対して上位バイトと下位バイトとが入れ替えられた乱数の値を、8080hと論理和演算をする。CPU41aの処理ワードは1バイトなので、実際には上位バイトと下位バイトとについて順次論理和演算を行うものとなる。この論理和演算によって第15ビットと第7ビットは常に1となる。更に、CPU41aは、上位1バイト（第8ビット～第15ビット）までを1ビットずつ下位にシフトし、これによって空いた第15ビットに1を挿入する。20

【0147】

CPU41aは、このときに汎用レジスタ41GRに格納されている値を、内部抽選用の乱数として取得してRAM41cの所定の領域に記憶させ、これに各役の判定値数を順次加算していくものとなる。内部抽選用の乱数の第15ビットと第14ビットは常に1となるので、内部抽選用の乱数は、14ビット（16384）の大きさを有する乱数ということになり、実質的に0～16383の値をとるものとなる。

【0148】

尚、乱数発生回路42からの乱数の抽出から加工を終了するまでの間は、CPU41aに対する割り込みが禁止される。CPU41aに対して割り込みが発生することによって、当該割り込み処理ルーチンで汎用レジスタ41GRの内容が書き換えられてしまうのを防ぐためである。30

【0149】

次に、リール2L、2C、2Rの図柄の配列と、停止制御とについて説明する。前述したように、リール2L、2C、2Rの回転は、ストップスイッチ8L、8C、8Rを操作したときから4コマ以内の引き込み範囲で停止される。停止すべき図柄は、当選フラグの設定状況に応じて選択されるものであり、各ゲームにおいて設定された有効ライン上に4コマの引き込み範囲で当選している役の図柄を揃えて停止させることができれば、これを揃えて停止させる。当選していない役の図柄は、4コマの引き込み範囲でハズシで停止させる。40

【0150】

ここで、図2に示すように、「スイカ」、「ベル」、「JAC」については、リール2L、2C、2Rのいずれについても5コマ以内の間隔で配置されており、4コマの引き込み範囲で必ず可変表示装置2の任意の位置に停止させることができる。つまり、スイカの小役、ベルの小役、リプレイ、JAC、JACINの当選フラグがそれぞれ設定されているときには、遊技者によるストップスイッチ8L、8C、8Rの操作タイミングに関わらずに、必ず当該役に入賞させることができる。

【0151】

10

20

30

40

50

次に、メイン制御部41のRAM41cの初期化について説明する。メイン制御部41のRAM41cは、512バイトの格納領域を有しており、図12に示すように、各バイト毎に7E00(H)～7FFF(H)のアドレスが割り当てられているとともに、重要ワーク、一般ワーク、特別ワーク、設定値ワーク、非保存ワーク、未使用領域、スタック領域に区分されている。

【0152】

重要ワークは、7E00(H)～7E27(H)の40バイトの領域であり、各種表示器やLEDの表示用データ、I/Oポート41dの入出力データ、遊技時間の計時カウンタ等、ビッグボーナス終了時に初期化すると不都合があるデータが格納されるワークである。

10

【0153】

一般ワークは、7E28(H)～7E8E(H)、7EB(A(H))～7F04(H)の178バイトの領域であり、停止図柄データ、メダルの払出枚数、役の当選フラグ、ビッグボーナス中のメダル払出総数等、ビッグボーナス終了時に初期化可能なデータが格納されるワークである。

【0154】

特別ワークは、7E8F(H)～7EB5(H)の39バイトの領域であり、演出制御基板90へコマンドを送信するためのデータ、各種ソフトウェア乱数等、設定開始前にのみ初期化されるデータが格納されるワークである。

20

【0155】

設定値ワークは、7EB6(H)の1バイトの領域であり、設定値が格納されるワークであり、設定開始前(設定変更モードへの移行前)の初期化において0が格納された後、1に補正され、設定終了時(設定変更モードへの終了時)に新たに設定された設定値が格納されることとなる。

【0156】

非保存ワークは、7EB7(H)～7EB9(H)の3バイトの領域であり、打止スイッチ36の状態を各種スイッチ類の状態を保持するワークであり、電源投入時にRAM41cのデータが破壊されているか否かに関わらず必ず値が設定されることとなる。

【0157】

未使用領域は、7F05(H)～7FD1(H)の205バイトの領域であり、RAM41cの格納領域のうち使用していない領域であり、後述する複数の初期化条件のいずれか1つでも成立すれば初期化されることとなる。

30

【0158】

スタック領域は、7FD2(H)～7FFF(H)の45バイトの領域であり、このうち7FD2(H)～スタックポインタ-1の領域は、スタック領域内の使用されていない未使用スタック領域であり、スタックポインタ～7FFF(H)の領域は、CPU41aのレジスタから退避したデータが格納されている使用中スタック領域である。このうち未使用スタック領域は、未使用領域と同様に、後述する複数の初期化条件のいずれか1つでも成立すれば初期化されることとなるが、使用中スタック領域は、プログラムの続行のため、初期化されることはない。

40

【0159】

本実施例においてメイン制御部41のCPU41aは、図13(a)に示すように、設定開始前(設定変更モードへの移行前)、ビッグボーナス終了時、電源投入時にRAM41cのデータが破壊されていないとき、1ゲーム終了時の4つからなる初期化条件が成立了際に、各初期化条件に応じて初期化される領域の異なる4種類の初期化を行う。

【0160】

初期化1は、電源投入時において設定キースイッチ37がONの状態であり、設定変更モードへ移行する場合において、その前に行う初期化であり、初期化1では、RAM41cの格納領域のうち、使用中スタック領域を除く全ての領域(未使用領域及び未使用スタック領域を含む)が初期化される。初期化2は、ビッグボーナス終了時に行う初期化であ

50

り、初期化 2 では、RAM 41c の格納領域のうち、一般ワーク、未使用領域及び未使用スタック領域が初期化される。初期化 3 は、電源投入時において設定キースイッチ 37 が OFF の状態であり、かつ RAM 41c のデータが破壊されていない場合において行う初期化であり、初期化 3 では、非保存ワーク、未使用領域及び未使用スタック領域が初期化される。初期化 4 は、1 ゲーム終了時に行う初期化であり、初期化 4 では、RAM 41c の格納領域のうち、未使用領域及び未使用スタック領域が初期化される。

【0161】

ROM 41b には、初期化 1 ~ 4 に対応してそれぞれ初期化する領域の開始アドレスと初期化する領域のサイズを示す初期化サイズとが登録されており、CPU 41a が RAM 41c の初期化を行う際には、初期化テーブルを参照し、初期化条件に応じて初期化 1 ~ 4 のいずれかに対応する開始アドレスと初期化サイズを取得し、開始アドレスにポインタを設定し、初期化サイズを設定する。また、初期化サイズが未使用スタック領域のサイズを含むものであれば、未使用スタック領域のサイズ（スタックポインタ - 7FD2(H)）を計算し、初期化サイズを設定する。そして、ポインタが設定された初期化アドレスから 1 バイトづつ該当するアドレスの領域を 0クリアし、1 バイトクリアする毎に初期化サイズを 1 減算するとともに、ポインタを 1 進める処理を、初期化サイズが 0 になるまで実行する。すなわち CPU 41a が RAM 41c を初期化する際には、初期化条件に応じた領域毎に初期化するのではなく、指定したアドレスから指定したサイズ分の領域を初期化することとなる。

【0162】

図 13(b) は、初期化テーブルを示す図である。初期化テーブルには、前述のように初期化 1 ~ 4 に対応して開始アドレス及び初期化サイズが登録されている。

【0163】

初期化 1 には、開始アドレスとして 7E00(H)、初期化サイズとして 1D3(H) + M (未使用スタック領域のサイズ：(スタックポインタ - 7FD2)) バイトが登録されているので、初期化 1 では、7E00(H) から 1D3(H) + M バイト分の領域が初期化される。そして、図 12 に示すように、重要ワーク、一般ワーク、特別ワーク、設定値ワーク、非保存ワーク、一般ワーク、未使用領域、未使用スタック領域は、7E00(H) から連続するアドレス領域に割り当てられており、これらの領域のサイズを合計すると 1D3(H) + M バイトとなるので、初期化 1 において、7E00(H) から 1D3(H) + M バイト分が初期化されることで、重要ワーク、一般ワーク、特別ワーク、設定値ワーク、非保存ワーク、一般ワーク、未使用領域、未使用スタック領域の順番でこれらの各領域が初期化されることとなる。

【0164】

初期化 2 には、2 つの開始アドレス及び各アドレス別の初期化サイズが登録されている。これは、初期化 2 において初期化される一般ワークが離れた 2 つのアドレス領域に割り当てられているからである。初期化 2 には、最初に初期化する領域の開始アドレスとして 7E28(H)、初期化サイズとして 67(H) バイトが登録され、次に初期化する領域の開始アドレスとして 7EB7(H)、初期化サイズとして 118(H) + M バイトがそれぞれ登録されているので、初期化 2 では、7E28(H) から 67(H) バイト分の領域及び 7EB7(H) から 118(H) + M バイト分の領域が初期化される。そして、7E28(H) ~ 7E8E(H) の一般ワークのサイズは 67(H) バイトとなり、図 12 に示すように、残りの一般ワークの領域、未使用領域、未使用スタック領域は、7EB7(H) から連続するアドレス領域に割り当てられ、これらの領域のサイズを合計すると 118(H) + M バイトとなるので、初期化 2 において、7E28(H) から 67(H) バイト分が初期化され、7EB7(H) から 118(H) + M バイト分が初期化されることで、一般ワーク、未使用領域、未使用スタック領域の順番でこれらの各領域が初期化されることとなる。

【0165】

初期化 3 にも、2 つの開始アドレス及び各アドレス別の初期化サイズが登録されている

10

20

30

40

50

。これは、初期化 3において初期化される非保存ワークと未使用領域及び未使用スタック領域とが離れた2つのアドレス領域に割り当てられているからである。初期化 3には、最初に初期化する領域の開始アドレスとして 7 E B 7 (H)、初期化サイズとして 3 (H) バイトが登録され、次に初期化する領域の開始アドレスとして 7 F 0 5 (H)、初期化サイズとして C D (H) + M バイトがそれぞれ登録されているので、初期化 3では、7 E B 7 (H) から 3 (H) バイト分の領域及び 7 F 0 5 (H) から C D (H) + M バイト分の領域が初期化される。そして、図 1 2 に示すように、非保存ワークは、7 E B 7 (H) から 3 バイト分の領域であり、未使用領域、未使用スタック領域は、7 F 0 5 (H) から連続するアドレス領域に割り当てられ、これらの領域のサイズを合計すると C D (H) + M バイトとなるので、初期化 3において、7 E B 7 (H) から 3 (H) バイト分が初期化され、7 F 0 5 (H) から C D (H) + M バイト分が初期化されることで、非保存ワーク、未使用領域、未使用スタック領域の順番でこれらの各領域が初期化されることとなる。

【 0 1 6 6 】

初期化 4には、開始アドレスとして 7 F 0 5 (H)、初期化サイズとして C D (H) + M バイトが登録されているので、初期化 4では、7 F 0 5 (H) から C D (H) + M バイト分の領域が初期化される。そして、図 1 2 に示すように、未使用領域、未使用スタック領域は、7 F 0 5 (H) から連続するアドレス領域に割り当てられており、これらの領域のサイズを合計すると C D (H) + M バイトとなるので、初期化 4において、7 F 0 5 (H) から C D (H) + M バイト分が初期化されることで、未使用領域、未使用スタック領域の順番でこれらの各領域が初期化されることとなる。

【 0 1 6 7 】

また、初期化 1 ~ 4 のうち初期化 1、3 については、C P U 4 1 a の起動後、割込が許可される前に行われる処理である。一方、初期化 2、4 については、割込が許可されている状態で行われる処理であるが、これら初期化 2、4 の実行中は、割込が禁止されるようになっている。すなわち初期化 1 ~ 4 の実行中においては常に割込が禁止されるようになっている。

【 0 1 6 8 】

次に、メイン制御部 4 1 の C P U 4 1 a が演出制御基板 9 0 に対してコマンドを送信する際の制御について説明する。

【 0 1 6 9 】

図 1 4 は、メイン制御部 4 1 から演出制御基板 9 0 に対して送信されるコマンドの一例を示す図である。

【 0 1 7 0 】

B E T コマンドは、メダルの投入枚数、すなわち賭数の設定に使用されたメダル枚数を特定可能なコマンドであり、メダル投入時、1 枚 B E T スイッチ 5 または M A X B E T スイッチ 6 が操作されて賭数が設定されたときに送信される。

【 0 1 7 1 】

内部当選コマンドは、内部当選フラグの当選状況、並びに成立した内部当選フラグの種類を特定可能なコマンドであり、スタートスイッチ 7 が操作されてゲームが開始したときに送信される。

【 0 1 7 2 】

リール回転開始コマンドは、リールの回転の開始を通知するコマンドであり、リール 2 L、2 C、2 R の回転が開始されたときに送信される。

【 0 1 7 3 】

リール停止コマンドは、停止するリールが左リール、中リール、右リールのいずれかであるか、該当するリールに停止する図柄、を特定可能なコマンドであり、各リールの停止制御が行われる毎に送信される。

【 0 1 7 4 】

入賞判定コマンドは、入賞の有無、並びに入賞の種類、入賞時のメダルの払出枚数を特定可能なコマンドであり、全リールが停止して入賞判定が行われた後に送信される。

10

20

30

40

50

【 0 1 7 5 】

払出開始コマンドは、メダルの払出開始を通知するコマンドであり、入賞及びクレジットの精算によるメダルの払出が開始されたときに送信される。また、払出終了コマンドは、メダルの払出終了を通知するコマンドであり、入賞及びクレジットの精算によるメダルの払出が終了したときに送信される。

【 0 1 7 6 】

遊技状態コマンドは、次ゲームの遊技状態（通常遊技状態であるか、ビッグボーナス中であるか、レギュラーボーナス中であるか、等）を特定可能なコマンドであり、ゲームの終了時に送信される。

【 0 1 7 7 】

待機コマンドは、待機状態へ移行する旨を示すコマンドであり、1ゲーム終了後、賭数が設定されずに一定時間経過して待機状態に移行するときに送信される。

【 0 1 7 8 】

初期化コマンドは、遊技状態が初期化された旨を示すコマンドであり、設定終了時、すなわち設定変更モードの終了時に送信される。

【 0 1 7 9 】

これら各コマンドのうち初期化コマンドを除くコマンドは、後述するゲーム処理においてゲームの進行に応じて生成され、RAM41cの特別ワークに設けられたコマンドキューに一時格納され、前述したタイマ割込処理において送信される。尚、初期化コマンドは、設定変更モードの終了時にコマンドキューに一時格納され、前述したタイマ割込処理において送信される。

【 0 1 8 0 】

図15は、前述したコマンドキューの構成を示す図である。コマンドキューには、最大で16個のコマンドを格納可能な領域が設けられており、複数のコマンドを蓄積できるようになっている。また、各コマンドを格納する領域には、各格納領域毎に領域番号を示す数値（0～15）が対応付けて設定されている。更に、コマンドキューには、次に送信すべきコマンドが格納されている領域の領域番号を示す送信ポインタと次にコマンドを格納すべき領域の領域番号を示す格納ポインタが設定されている。送信ポインタは、コマンドキューに格納された未送信のコマンドが送信される毎に1加算され、格納ポインタは、コマンドを格納する際に1加算されるようになっており、未送信のコマンドが全て送信されたとき及び未送信のコマンドでコマンドキューの全ての領域が満タンとなったときに送信ポインタが示す領域番号と格納ポインタの領域番号とが同一の番号となる。尚、未送信のコマンドが格納されている場合には、未送信フラグがセットされるため、送信ポインタが示す領域番号と格納ポインタの領域番号とが同一の番号の場合に、未送信フラグがセットされていれば、コマンドキューが未送信のコマンドで満タンである旨が示され、未送信フラグがセットされていなければ未送信のコマンドが空である旨が示されるようになっている。

【 0 1 8 1 】

本実施例においてCPU41aは、0.56msの間隔で割込3を発生させるとともに、割込3の発生によりタイマ割込処理を実行するので、タイマ割込処理は0.56ms毎に実行されることとなる。また、図16に示すように、タイマ割込処理では、タイマ割込1～4が繰り返し行われるようになっており、これらタイマ割込1～4に固有な処理が2.24msの間隔で行われることとなる。そして、コマンドキューに格納されたコマンドの送信を行うコマンド送信処理は、タイマ割込2で実行されるので、コマンド送信処理も2.24msの間隔で実行されることとなる。

【 0 1 8 2 】

一方、サブ制御部91では、後に説明するがバッファしたコマンドを1.12msの間隔で実行するタイマ割込処理（サブ）において取得する。このため、CPU41aがタイマ割込処理を実行する毎、すなわち0.56msの間隔でコマンドの送信処理を行った場合には、サブ制御部91側でコマンドを正常に受信できない可能性がある。

10

20

30

40

50

【0183】

しかしながら、本実施例では、前述のように C P U 4 1 a がタイマ割込処理 4 回につき 1 回の割合、すなわち 2 . 2 4 m s の間隔でコマンド送信処理を実行することで、2 つのコマンドが連続して送信される場合でも、最低 2 . 2 4 m s の間隔をあけて送信されることとなり、サブ制御部 9 1 側でこれら連続して送信されるコマンドを確実に取得することができる。

【0184】

図 17 (a) (b) は、本実施例におけるコマンドの送信状況の一例を示すタイミングチャートである。

【0185】

本実施例では、図 17 (a) に示すように、ゲームの進行に応じて、または設定終了時にコマンドが生成され、コマンドキューに格納される。タイマ割込 2 内のコマンド送信処理においてコマンドキューに格納された未送信のコマンドが検知されると、遅延時間が設定され、設定した遅延時間が経過した時点で、コマンドキューに格納された未送信のコマンドが送信される。

【0186】

具体的には、コマンド送信処理においてコマンドキューに格納された未送信のコマンドを検知すると、0 ~ 1 5 の範囲に設定された遅延用乱数値を取得し、取得した値を補正した 2 ~ 1 7 の範囲の値 (L) を R A M 4 1 c の特別ワークに設けられた遅延カウンタに設定する。

【0187】

この際、当該遅延カウンタ値 (L) を設定したコマンド送信処理及びその後のタイマ割込 2 内において実行するコマンド送信処理において遅延カウンタ値を 1 ずつ減算していく、遅延カウンタ値が 0 となった時点で、コマンドキューに格納されているコマンドを送信する。

【0188】

すなわち、コマンド送信処理において検知されたコマンドは、コマンド送信処理の実行間隔 (2 . 2 4 m s) の倍数に相当する時間、詳しくはその際取得した遅延カウンタの値 (L) から 1 を減算した値 (L - 1) にコマンド送信処理の実行間隔 (2 . 2 4 m s) を乗じた時間 { (L) } は 2 ~ 1 7 の値なので 2 . 2 4 ~ 3 5 . 8 4 m s } が経過した後、送信されることとなる。

【0189】

また、本実施例では、コマンドキューに複数のコマンドを格納可能な領域が設けられており、コマンドキューに格納されたコマンドの送信を待たずに、新たに生成したコマンドをコマンドキューの空き領域に格納することが可能とされている。すなわち複数のコマンドを蓄積できるようになっている。このため、コマンドの送信が遅延されることに伴ってゲームの進行が停止してしまうことを回避できる。尚、コマンドキューが未送信のコマンドで満タンの場合はこの限りでない。

【0190】

また、コマンド格納処理では、コマンドキューに複数のコマンドを格納する際にこれらコマンドをその生成順に格納するとともに、コマンド送信処理ではコマンドキューに格納された順番でコマンドを送信するようになっている。すなわちコマンドキューに格納されたコマンドは、常に生成された順番で送信されるようになっている。

【0191】

また、コマンドキューに未送信のコマンドが複数格納されている場合には、最初に生成されたコマンドを送信した後、次に実行するコマンド送信処理において改めてコマンドキューに未送信のコマンドが格納されているかを判定し、コマンドが格納されている場合には、その時点でそのコマンドの遅延時間 (遅延カウンタ値) を設定し、その遅延時間が経過した時点で送信する。このため、複数のコマンドがコマンドキューに格納されている場合には、各々の送信間隔が最短 (遅延カウンタの値として 2 が決定された場合) でも、図

10

20

30

40

50

17(a)に示すように、 4.48 ms ($2.24 \times 2\text{ ms}$) の間隔をあけて送信されることとなる。言い換れば、コマンドの送信後、 4.48 ms が経過するまでは新たなコマンドの送信が禁止されるようになっている。

【0192】

本実施例のスロットマシン1では、リール2L、2C、2Rに配列された図柄数が21個とされているとともに、回転速度が 750 ms で1回転（1分間で80回転）するよう構成されており、各リール2L、2C、2Rが1図柄移動するのに要する時間は 35.7 ms ($= 750 / 21\text{ ms}$) となる。

【0193】

また、演出制御基板90側で目押しの補助となるような演出が行われてしまうことを防止するためには、CPU41aが演出制御基板90にコマンドを送信するときに、遅延時間の最大値としてリール2L、2C、2Rが1図柄移動するのに要する時間以上の時間を設定する必要がある。すなわち本実施例では、遅延時間の最大値として 35.7 ms 以上の時間を設定する必要がある。10

【0194】

一方、演出制御基板90に搭載されたサブ制御部91による演出と、メイン制御部41による制御とのズレが大きくなつて違和感が生じるのを防止するためには、コマンド送信処理における遅延時間の最大値をできるだけ短くすることが好ましい。すなわち本実施例の場合には、遅延時間の最大値が 35.7 ms 以上の値で、かつ 35.7 ms に可能な限り近い値に設定されることが好ましい。また、本実施例では、前述したようにコマンド送信処理における遅延時間がコマンド送信処理の実行間隔 (2.24 ms) の倍数に相当する時間のみ設定可能とされており、これら 2.24 ms の倍数で 35.7 ms 以上の値のうち最小の値は、 $2.24\text{ ms} \times 16 = 35.84\text{ ms}$ となることから、本実施例のスロットマシン1において最適な遅延時間の最大値は 35.84 ms となる。20

【0195】

このため、遅延カウンタの値 (L) の上限値として17を設定すれば良く、このようにすれば遅延時間の最大値を、本実施例において目押しの補助となるような演出を防止するために最低限必要な遅延時間の最大値以上の値のうち最小の値とすることができます。

【0196】

また、本実施例では、図17(b)に示すように、未送信のコマンドが検知された際に設定された遅延時間 $\{2.24 \times (L_a - 1)\text{ ms}\}$ が経過する前に停電が発生し、後述する電断割込処理が実行された場合には、当該電断割込処理においてコマンドキューに格納されたコマンド、送信ポインタ、格納ポインタの値、未送信フラグ、その時点の遅延カウンタの値 L_a' がバックアップされるようになっている。そして、電断が復旧して割込禁止が解除された後、未送信のコマンドが残っている場合には、その時点で設定されている遅延カウンタの値 L_a' が0となった時点で未送信のコマンドを送信する。すなわち電断復旧時には、電断時の遅延カウンタの値 L_a' から減算が再開されるようになっており、電断復旧後、遅延時間 $\{2.24 \times (L_a' - 1)\text{ ms}\}$ が経過することで未送信のコマンドを送信するようになっている。30

【0197】

次に、本実施例におけるメイン制御部41のCPU41aが実行する各種制御内容を、図18～図35に基づいて以下に説明する。40

【0198】

CPU41aは、リセット回路49からリセット信号が入力されると、図18のフローチャートに示す起動処理を行う。尚、リセット信号は、電源投入時及びメイン制御部41の動作が停滞した場合に出力される信号であるので、起動処理は、電源投入に伴うCPU41aの起動時及びCPU41aの不具合に伴う再起動時に行われる処理である。

【0199】

起動処理では、まず、内蔵デバイスや周辺IC、割込モード、スタックポインタ等を初期化した後 (Sa1)、入力ポートから電圧低下信号の検出データを取得し、電圧低下信50

号が入力されているか否か、すなわち電圧が安定しているか否かを判定し(Sa2)、電圧低下信号が入力されている場合には、いずれの処理も行わないループ処理に移行する。

【0200】

Sa2のステップにおいて電圧低下信号が入力されていないと判定した場合には、Iレジスタ及びIYレジスタの値を初期化する(Sa3)。Iレジスタ及びIYレジスタの初期化により、Iレジスタには、割込発生時に参照する割込テーブルのアドレスが設定され、IYレジスタには、RAM41cの格納領域を参照する際の基準アドレスが設定される。これらの値は、固定値であり、起動時には常に初期化されることとなる。

【0201】

次いで、RAM41cへのアクセスを許可し(Sa4)、設定キースイッチ37がONの状態か否かを判定する(Sa5)。Sa5のステップにおいて設定キースイッチ37がONの状態でなければ、RAM41cの全ての格納領域(未使用領域及び未使用スタック領域を含む)のRAMパリティを計算し(Sa6)、RAMパリティが0か否かを判定する(Sa7)。正常に電断割込処理が行われていれば、RAMパリティが0になるはずであり、Sa7のステップにおいてRAMパリティが0でなければ、RAM41cに格納されているデータが正常ではないので、図19に示すRAM異常エラー処理に移行する。

【0202】

また、Sa7のステップにおいてRAMパリティが0であれば、更に破壊診断用データが正常か否かを判定する(Sa8)。正常に電断割込処理が行われていれば、破壊診断用データが設定されているはずであり、Sa8のステップにおいて破壊診断用データが正常でない場合(破壊診断用データが電断時に格納される5A(H)以外の場合)にも、RAM41cのデータが正常ではないので、図19に示すRAM異常エラー処理に移行する。

【0203】

RAM異常エラー処理では、図19に示すように、RAM異常エラーコードを遊技補助表示器12に表示した後(Sb1)、いずれの処理も行わないループ処理に移行する。

【0204】

また、Sa8のステップにおいて破壊診断用データが正常であると判定した場合には、RAM41cのデータは正常であるので、RAM41cの非保存ワーク、未使用領域及び未使用スタック領域を初期化する初期化3を行った後(Sa9)、破壊診断用データをクリアする(Sa10)。次いで、各レジスタを電断前の状態に復帰し(Sa11)、割込を許可して(Sa12)、電断前の最後に実行していた処理に戻る。

【0205】

また、Sa5のステップにおいて設定キースイッチ37がONの状態であれば、RAM41cの格納領域のうち、使用中スタック領域を除く全ての格納領域を初期化する初期化1を実行した後(Sa13)、設定値ワークに格納されている値(この時点では0)を1に補正する(Sa14)。次いで、割込を許可して(Sa15)、図20に示す設定変更処理、すなわち設定変更モードに移行し(Sa16)、設定変更処理の終了後、ゲーム処理に移行する。

【0206】

設定変更処理では、図20に示すように、RAM41cの設定値ワークに格納されている設定値(設定変更処理に移行する前に設定値ワークの値は1に補正されているので、ここでは1である)を読み出す(Sb1)。

【0207】

その後、リセット/設定スイッチ38とスタートスイッチ7の操作の検出待ちの状態となり(Sb2、Sb3)、Sb2のステップにおいてリセット/設定スイッチ38の操作が検出されると、Sb1のステップにおいて読み出した設定値に1を加算し(Sb4)、加算後の設定値が7であるか否か、すなわち設定可能な範囲を超えたか否かを判定し(Sb5)、加算後の設定値が7でなければ、再びSb2、Sb3のステップにおけるリセット/設定スイッチ38とスタートスイッチ7の操作の検出待ちの状態に戻り、Sb5のステップにおいて加算後の設定値が7であれば設定値を1に補正した後(Sb6)、再びS

10

20

30

40

50

b 2、S b 3 のステップにおけるリセット / 設定スイッチ 3 8 とスタートスイッチ 7 の操作の検出待ちの状態に戻る。

【 0 2 0 8 】

また、S b 3 のステップにおいてスタートスイッチ 7 の操作が検出されると、その時点で選択されている変更後の設定値を R A M 4 1 c の設定値ワークに格納して、設定値を確定した後 (S b 7)、設定キースイッチ 3 7 が O F F の状態となるまで待機する (S b 8)。そして、S b 8 のステップにおいて設定キースイッチ 3 7 の O F F が判定されると、図 1 8 のフローチャートに復帰し、ゲーム処理に移行することとなる。

【 0 2 0 9 】

このように起動処理においては、設定キースイッチ 3 7 が O N の状態ではない場合に、
R A M パリティが 0 であるか否か、破壊診断用データが正常であるか否かを判定することで R A M 4 1 c に記憶されているデータが正常か否かを判定し、R A M 4 1 c のデータが正常でなければ、R A M 異常エラー処理に移行する。R A M 異常エラー処理では、R A M 異常エラーコードを遊技補助表示器 1 2 に表示させた後、いずれの処理も行わないループ処理に移行するので、ゲームの進行が不能化される。そして、R A M 4 1 c のデータが正常でなければ、割込が許可されることがないので、一度 R A M 異常エラー処理に移行すると、設定キースイッチ 3 7 が O N の状態で起動し、割込が許可されるまでは、電断しても電断割込処理は行われない。すなわち電断割込処理において新たに R A M パリティが 0 となるように R A M 調整用データが計算されて格納されることはなく、破壊診断用データが新たに設定されることもないで、C P U 4 1 a が再起動しても設定キースイッチ 3 7 が O N の状態で起動した場合を除き、C P U 4 1 a を再起動させてもゲームを再開させることができないようになっている。
10

【 0 2 1 0 】

そして、R A M 異常エラー状態に一度移行すると、設定キースイッチ 3 7 が O N の状態で起動し、R A M 4 1 c の使用中スタック領域を除く全ての領域が初期化された後、設定変更処理が行われ、リセット / 設定スイッチ 3 8 の操作により新たに設定値が選択・設定されるまで、ゲームの進行が不能な状態となる。すなわち R A M 異常エラー状態に移行した状態では、リセット / 設定スイッチ 3 8 の操作により新たに設定値が選択・設定されたことを条件に、ゲームの進行が不能な状態が解除され、ゲームを再開させることが可能となる。
20

【 0 2 1 1 】

図 2 1 は、C P U 4 1 a が実行するゲーム処理の制御内容を示すフローチャートである。
30

【 0 2 1 2 】

ゲーム処理では、B E T 処理 (S d 1)、内部抽選処理 (S d 2)、リール回転処理 (S d 3)、リール停止処理 (S d 4)、入賞判定処理 (S d 5)、払出処理 (S d 6)、ゲーム終了時処理 (S d 7) を順に実行し、ゲーム終了時処理が終了すると、再び B E T 処理に戻る。

【 0 2 1 3 】

S d 1 のステップにおける B E T 処理では、賭数を設定可能な状態で待機し、所定数の賭数が設定され、スタートスイッチ 7 が操作された時点で賭数を確定する処理を実行する。また、前回のゲームでリプレイ入賞が発生した場合には、前回のゲームと同じ賭数を設定する。
40

【 0 2 1 4 】

S d 2 のステップにおける内部抽選処理では、S d 1 のステップにおけるスタートスイッチ 7 の検出によるゲームスタートと同時に内部抽選用の乱数を抽出し、抽出した乱数の値に基づいて上記した各役への入賞を許容するかどうかを決定する処理を行う。この内部抽選処理では、それぞれの抽選結果に基づいて、R A M 4 1 c に当選フラグが設定される。
50

【 0 2 1 5 】

S d 3 のステップにおけるリール回転処理では、各リール 2 L、2 C、2 R を回転させる処理を実行する。このリール回転処理においては、全てのリール 2 L、2 C、2 R が定速回転した時点でストップスイッチ 8 L、8 C、8 R の操作を有効とする。

【 0 2 1 6 】

S d 4 のステップにおけるリール停止処理では、遊技者によるストップスイッチ 8 L、8 C、8 R の操作が検出され、各リール 2 L、2 C、2 R の停止条件が成立したことに応じて対応するリール 2 L、2 C、2 R の回転を停止させる処理を実行する。

【 0 2 1 7 】

S d 5 のステップにおける入賞判定処理では、S d 4 のステップにおいて全てのリール 2 L、2 C、2 R の回転が停止したと判定した時点で、各リール 2 L、2 C、2 R に導出された表示結果に応じて入賞が発生したか否かを判定する処理を実行する。
10

【 0 2 1 8 】

S d 6 のステップにおける払出処理では、S d 5 のステップにおいて入賞の発生が判定された場合に、その入賞に応じた払出枚数に基づきクレジットの加算並びにメダルの払出等の処理を行う。

【 0 2 1 9 】

S d 7 のステップにおけるゲーム終了時処理では、次のゲームに備えて遊技状態を設定する処理を実行する。また、ゲーム終了時処理では、RAM 41c の未使用領域及び未使用スタック領域を初期化する初期化 4 を行うとともに、特に、ビッグボーナス終了時においては、RAM 41c の未使用領域及び未使用スタック領域に加えて一般ワークを初期化する初期化 2 を行う。
20

【 0 2 2 0 】

図 22 ~ 24 は、CPU 41a が S d 2 のステップにおいて実行する内部抽選処理の制御内容を示すフローチャートである。

【 0 2 2 1 】

内部抽選処理では、まず、詳細を後述する乱数取得処理を行う (S e 1)。この乱数取得処理においては、乱数発生回路 (図示略) が発生する乱数に基づいて、内部抽選用の乱数の値が取得されることとなる。

【 0 2 2 2 】

そして、RAM の設定値ワークに格納されている設定値を読み出し (S e 2)、読み出した設定値が 1 ~ 6 の範囲か否か、すなわち設定値ワークに格納されている設定値が適正な値か否かを判定し (S e 3)、読み出した設定値が 1 ~ 6 の範囲の値でなければ、図 1 9 に示す RAM 異常エラー処理に移行する。
30

【 0 2 2 3 】

また、S e 3 のステップにおいて読み出した設定値が 1 ~ 6 の範囲であれば、現在の遊技状態が通常遊技状態であるか否かを判定し (S e 4)、通常遊技状態であれば、通常遊技状態に対応して、図 6 (a) に示す遊技状態別当選役テーブルに登録されている順番で小役及び再遊技役を読み出す (S e 5)。S d 1 のステップで設定された BET 数 (賭数) を読み出し、当該役と読み出した BET 数に対応する役について、図 6 (b) の小役及び再遊技役用の役別テーブルから共通フラグの設定状況を取得する (S e 6)。この結果、当該役、当該 BET 数について共通フラグが設定されているかどうかを判定する (S e 7)。
40

【 0 2 2 4 】

共通フラグが設定されていれば、当該役、当該 BET 数について図 6 (b) の小役及び再遊技役用の役別テーブルに登録されているアドレスに格納されている判定値数を取得する (S e 8)。そして、S e 10 の処理に進む。共通フラグが設定されていなければ、当該役、当該 BET 数について読み出した設定値に対応して小役及び再遊技役用の役別テーブルに登録されているアドレスに格納されている判定値数を取得する (S e 9)。そして、S e 10 の処理に進む。

【 0 2 2 5 】

10

20

40

50

S e 1 0 のステップでは、S e 8 またはS e 9 のステップにおいて取得した判定値数を内部抽選用の乱数の値に加算し、加算の結果を新たな内部抽選用の乱数の値とする。ここで、判定値数を内部抽選用の乱数の値に加算したときにオーバーフローが生じたかどうかを判定する (S e 1 1)。オーバーフローが生じた場合には、当該役の当選フラグを R A M 4 1 c に設定する (S e 1 2)。そして、図 2 3 に示す S e 1 4 の処理に進む。

【 0 2 2 6 】

S e 1 1 のステップにおいてオーバーフローが生じていない場合には、通常遊技状態について定められた小役及び再遊技役のうちで未だ処理対象としていない役があるかどうかを判定する (S e 1 3)。未だ処理対象としていない役があれば、S e 5 の処理に戻り、通常遊技状態について定められた小役及び再遊技役から次の役を処理対象として処理を継続する。処理対象としていない役がなければ、図 2 3 に示す S e 1 4 の処理に進む。
10

【 0 2 2 7 】

S e 1 4 のステップでは、前回以前のゲームで R A M 4 1 c にレギュラーボーナス当選フラグまたはビッグボーナス当選フラグが既に設定され、当該当選フラグに基づいて入賞することなく持ち越されているかどうかを判定する (S e 1 4)。レギュラーボーナス当選フラグまたはビッグボーナス当選フラグが既に設定されていれば、内部抽選処理を終了して、図 2 1 のフローチャートに復帰する。また、レギュラーボーナス当選フラグもビッグボーナス当選フラグも設定されていなければ、内部抽選用の乱数を加算前の値、すなわち S e 1 の乱数取得処理において取得した値に戻す (S e 1 5)。

【 0 2 2 8 】

次いで、図 6 (a) に示す遊技状態別当選役テーブル及び図 6 (c) に示す特別役用の役別テーブルを参照し、遊技状態別当選役テーブルに登録されている通常遊技状態の抽選対象となる特別役を、特別役用の役別テーブルに登録されている順番で読み出す (S e 1 6)。この際、特別役のハズレが特別役用の役別テーブルに登録されている場合には、特別役のハズレについても登録されている順番で読み出す。更に、図 6 (c) の特別役用の役別テーブルから共通フラグの設定状況を取得する (S e 1 7)。この結果、当該役について共通フラグが設定されているかどうかを判定する (S e 1 8)。
20

【 0 2 2 9 】

共通フラグが設定されていれば、当該役について図 6 (c) の特別役用の役別テーブルに登録されているアドレスに格納されている判定値数を取得する (S e 1 9)。そして、S e 2 1 の処理に進む。共通フラグが設定されていなければ、当該役について読み出した設定値に対応して特別役用の役別テーブルに登録されているアドレスに格納されている判定値数を取得する (S e 2 0)。そして、S e 2 1 の処理に進む。
30

【 0 2 3 0 】

S e 2 1 のステップでは、S e 1 9 またはS e 2 0 のステップにおいて取得した判定値数を内部抽選用の乱数の値に加算し、加算の結果を新たな内部抽選用の乱数の値とする。ここで、判定値数を内部抽選用の乱数の値に加算したときにオーバーフローが生じたかどうかを判定する (S e 2 2)。オーバーフローが生じた場合には、当該役がハズレ - A またはハズレ - B であるか否かを判定する (S e 2 3)。当該役がハズレ - A またはハズレ - B のいずれかであれば、内部抽選処理を終了して、図 2 1 のフローチャートに復帰する。また、当該役がハズレ - A でもなく、ハズレ - B でもなければ、当該役の当選フラグを R A M 4 1 c に設定する (S e 2 4)。そして、内部抽選処理を終了して、図 2 1 のフローチャートに復帰する。
40

【 0 2 3 1 】

S e 2 2 のステップにおいてオーバーフローが生じていない場合には、通常遊技状態について定められた特別役（特別役のハズレ含む）のうちで未だ処理対象としている役があるかどうかを判定する (S e 2 5)。未だ処理対象としている役があれば、S e 1 6 の処理に戻り、通常遊技状態について定められた特別役（特別役のハズレ含む）から次の役を処理対象として処理を継続する。処理対象としている役がなければ、内部抽選処理を終了して、図 2 1 のフローチャートに復帰する。
50

【 0 2 3 2 】

また、S e 4 のステップにおいて、現在の遊技状態が通常遊技状態でなければ、小役ゲームか否かを判定する (S e 2 6)。小役ゲームであれば、小役ゲームに対応して、図 6 (a) の遊技状態別当選役テーブルに登録されている役を順番に読み出し (S e 2 7)、S e 2 9 の処理に進む。S e 2 6 のステップにおいて小役ゲームでなければ、レギュラーボーナスであるので、レギュラーボーナスに対応して図 6 (a) の遊技状態別当選役テーブルに登録されている役を順番に読み出し (S e 2 8)、S e 2 9 の処理に進む。

【 0 2 3 3 】

S e 2 9 のステップでは、S e 2 7 及び S e 2 8 のステップで読み出した役の種類がレギュラーボーナス (2) または J A C I N であるかどうかを判定する。レギュラーボーナス (2) または J A C I N である場合には、前回以前のゲームで R A M 4 1 c にレギュラーボーナス (2) 当選フラグが既に設定され、当該当選フラグに基づいて入賞することなく持ち越されているかどうかを判定する (S e 3 0)。読み出した役の種類がレギュラーボーナス (2) でも J A C I N でもなければ、そのまま S e 3 1 の処理に進む。

10

【 0 2 3 4 】

レギュラーボーナス (2) 当選フラグが既に設定されていれば、内部抽選処理を終了して、図 2 1 のフローチャートに復帰する (レギュラーボーナス (2) 及び J A C I N は、前述のように遊技状態別当選役テーブルにおいて小役よりも後に登録されているので、これで内部抽選処理が終了することとなる)。読み出した役の種類がレギュラーボーナス (2) または J A C I N であっても、レギュラーボーナス (2) 当選フラグが設定されていなければ、S e 3 1 の処理に進む。

20

【 0 2 3 5 】

S e 3 1 のステップでは、更に S d 1 のステップで設定された B E T 数 (賭数) を読み出し、当該役と読み出した B E T 数に対応する役について、図 6 (b) (c) の役別テーブルから共通フラグの設定状況を取得する。この結果、当該役、当該 B E T 数について共通フラグが設定されているかどうかを判定する (S e 3 2)。

【 0 2 3 6 】

共通フラグが設定されていれば、当該役、当該 B E T 数について図 6 (b) (c) の役別テーブルに登録されているアドレスに格納されている判定値数を取得する (S e 3 3)。そして、S e 3 5 の処理に進む。共通フラグが設定されていなければ、当該役、当該 B E T 数について読み出した設定値に対応して図 6 (b) (c) の役別テーブルに登録されているアドレスに格納されている判定値数を取得する (S e 3 4)。そして、S e 3 5 の処理に進む。

30

【 0 2 3 7 】

S e 3 5 のステップでは、S e 3 3 または S e 3 4 のステップにおいて取得した判定値数を内部抽選用の乱数の値に加算し、加算の結果を新たな内部抽選用の乱数の値とする。ここで、判定値数を内部抽選用の乱数の値に加算したときにオーバーフローが生じたかどうかを判定する (S e 3 6)。オーバーフローが生じた場合には、当該役の当選フラグを R A M 4 1 c に設定する (S e 3 7)。そして、内部抽選処理を終了して、図 2 1 のフローチャートに復帰する。

40

【 0 2 3 8 】

S e 3 6 のステップにおいてオーバーフローが生じていない場合には、当該遊技状態について定められた役のうちで未だ処理対象としていない役があるかどうかを判定する (S e 3 8)。未だ処理対象としていない役があれば、S e 2 6 の処理に戻り、当該遊技状態について定められた次の役を処理対象として処理を継続する。処理対象としていない役がなければ、内部抽選処理を終了して、図 2 1 のフローチャートに復帰する。

【 0 2 3 9 】

以上のように内部抽選処理においては、設定値ワークに格納されている設定値が適正な値であるか否かを確認し、設定値が適正な値でない場合には、前述した R A M 異常エラー処理に移行し、起動時に R A M 4 1 c のデータが正常ではないと判定された場合と同様に

50

、RAM異常エラー状態となり、ゲームの進行が不能化されるようになっている。

【0240】

また、通常遊技状態においては、同一の内部抽選用の乱数につき小役及び再遊技役と特別役との抽選が別個に行われるようになっているため、通常遊技状態においては、当選となる乱数の範囲が重複する小役（本実施例では、チェリー及びスイカ）と特別役（本実施例では、ビッグボーナス（1）～（3））とが同時に当選することがある。

【0241】

次に、Se1のステップにおける乱数取得処理を図25のフローチャートに基づいて詳しく説明する。乱数取得処理では、まず、割込を禁止する（Sf1）。次に、サンプリング回路43にサンプリング指令を出力し、乱数発生回路42が発生している乱数をラッチさせ、ラッチさせた乱数の値をI/Oポート41dから入力して、これを抽出する。乱数発生回路42から抽出された乱数の値は、汎用レジスタ41GRに格納される（Sf2）。

【0242】

次に、汎用レジスタ41GRに格納された乱数の下位バイトの値と上位バイトの値を、RAM41cの作業領域を用いて互いに入れ替える（Sf3）。次に、汎用レジスタ41GRに格納された乱数の値を8080hと論理和演算する（Sf4）。更に上位バイト（第15～第8ビット）を1ビットずつ下位にシフトし、これによって空いた第15ビットに1を挿入する。このときに汎用レジスタ41GRに格納された値が内部抽選用の乱数として取得され、RAM41cの所定の領域に保存される（Sf5）。そして、Sf1のステップで禁止した割込を許可してから（Sf6）、乱数取得処理を終了して、図24のフローチャートに復帰する。

【0243】

次に、CPU41aが初期化条件の成立に応じて実行する初期化1～4の制御内容を図26～図30のフローチャートに基づいて説明する。

【0244】

図26は、CPU41aがSa13のステップ、すなわち設定変更モードへの移行前に実行する初期化1の制御内容を示すフローチャートである。

【0245】

初期化1では、まず、ROM41bの初期化テーブルを参照し、初期化1に対応して登録されている開始アドレスと初期化サイズを読み出す（Sg1）。読み出した開始アドレス（7E00（H））にポインタをセットする（Sg2）。次いで、未使用スタック領域のサイズ（M=スタックポインタ - 7FD2（H））を計算し（Sg3）、初期化する領域のバイト数（1DM（H）+M）をセットする（Sg4）。そして、Sg2でセットされた開始アドレスからSg4でセットされたバイト数にわたりデータをクリアするRAMクリア処理を実行し（Sg5）、RAMクリア処理が終了すると、初期化1を終了してとの処理に復帰する。

【0246】

図27は、図26のSg5のステップにおいて実行するRAMクリア処理の制御内容を示すフローチャートである。

【0247】

RAMクリア処理では、ポインタが示すアドレスが示す1バイトのデータを0クリアし（Sh1）、初期化バイト数（初期化する領域としてセットされたバイト数）を1減算する（Sh2）。次いで、減算後の初期化バイト数が0となったか否か、すなわち指定されたバイト数全ての初期化が終了したか否かを判定する（Sh3）。減算後の初期化バイト数が0でなければ、ポインタを1進めて（Sh4）、Sh1の処理に戻り、初期化バイト数が0となるまでSh1～4の処理を繰り返し行う。そして、Sh3のステップにおいて減算後の初期化バイト数が0であれば、指定されたバイト数全ての初期化が終了したこととなるので、RAMクリア処理を終了し、もとの処理に復帰する。

【0248】

10

20

30

40

50

図28は、CPU41aがSd7のゲーム終了時処理においてビッグボーナス終了時に実行する初期化2の制御内容を示すフローチャートである。

【0249】

初期化2では、まず、割込を禁止した後(Si1)、ROM41bの初期化テーブルを参照し、初期化2に対応して登録されている開始アドレスと初期化サイズを読み出す(Si2)。初期化2には、2つの開始アドレス及びそれぞれに対応する初期化サイズが登録されているので、読み出した開始アドレスのうち最初に初期化する領域の開始アドレス(7E28(H))にポインタをセットし(Si3)、最初に初期化する領域のバイト数(67(H))をセットし(Si4)、Si3でセットされた開始アドレスからSi4でセットされたバイト数にわたりデータをクリアするRAMクリア処理(図27参照)を実行する(Si5)。RAMクリア処理が終了すると、読み出した開始アドレスのうち2番目に初期化する領域の開始アドレス(7EB(A))にポインタをセットし(Si6)、未使用スタック領域のサイズ(M=スタックポインタ-7FD2(H))を計算し(Si7)、2番目に初期化する領域のバイト数(118(H)+M)をセットする(Si8)。そして、Si6でセットされた開始アドレスからSi8でセットされたバイト数にわたりデータをクリアするRAMクリア処理(図27参照)を実行し(Si9)、RAMクリア処理が終了すると、Si1のステップにおいて禁止していた割込を許可し(Si10)、初期化2を終了してもとの処理に復帰する。

【0250】

図29は、CPU41aがSa9のステップ、すなわち起動時にRAM41cのデータが正常である場合に実行する初期化3の制御内容を示すフローチャートである。

【0251】

初期化3では、まず、ROM41bの初期化テーブルを参照し、初期化3に対応して登録されている開始アドレスと初期化サイズを読み出す(Sj1)。初期化3には、2つの開始アドレス及びそれぞれに対応する初期化サイズが登録されているので、読み出した開始アドレスのうち最初に初期化する領域の開始アドレス(7EB7(H))にポインタをセットし(Sj2)、最初に初期化する領域のバイト数(3(H))をセットし(Sj3)、Sj2でセットされた開始アドレスからSj3でセットされたバイト数にわたりデータをクリアするRAMクリア処理(図27参照)を実行する(Sj4)。RAMクリア処理が終了すると、読み出した開始アドレスのうち2番目に初期化する領域の開始アドレス(7F05(H))にポインタをセットし(Sj5)、未使用スタック領域のサイズ(M=スタックポインタ-7FD2(H))を計算し(Sj6)、2番目に初期化する領域のバイト数(CD(H)+M)をセットする(Sj7)。そして、Sj5でセットされた開始アドレスからSj7でセットされたバイト数にわたりデータをクリアするRAMクリア処理(図27参照)を実行し(Sj8)、RAMクリア処理が終了すると、初期化3を終了してもとの処理に復帰する。

【0252】

図30は、CPU41aがSd7のゲーム終了時処理において各ゲーム毎に実行する初期化4の制御内容を示すフローチャートである。

【0253】

初期化4では、まず、割込を禁止した後(Sk1)、ROM41bの初期化テーブルを参照し、初期化4に対応して登録されている開始アドレスと初期化サイズを読み出す(Sk2)。読み出した開始アドレス(7F05(H))にポインタをセットする(Sk3)。次いで、未使用スタック領域のサイズ(M=スタックポインタ-7FD2(H))を計算し(Sk4)、初期化する領域のバイト数(CD(H)+M)をセットする(Sk5)。そして、Sk3でセットされた開始アドレスからSk5でセットされたバイト数にわたりデータをクリアするRAMクリア処理(図27参照)を実行し(Sk6)、RAMクリア処理が終了すると、Sk1のステップにおいて禁止していた割込を許可し(Sk7)、初期化4を終了してもとの処理に復帰する。

【0254】

10

20

30

40

50

図31及び図32は、CPU41aが割込3の発生に応じて、すなわち0.56msの間隔で設定変更処理やゲーム処理に割り込んで実行するタイマ割込処理の制御内容を示すフローチャートである。

【0255】

タイマ割込処理においては、まず、割込を禁止する(Sm1)。すなわち、タイマ割込処理の実行中に他の割込処理が実行されることを禁止する。そして、使用中のレジスタをスタック領域に退避する(Sm2)。

【0256】

次いで、4種類のタイマ割込1～4から当該タイマ割込処理において実行すべきタイマ割込を識別するための分岐用カウンタを1進める(Sm3)。Sm3のステップでは、分岐用カウンタ値が0～2の場合に1が加算され、カウンタ値が3の場合に0に更新される。すなわち分岐用カウンタ値は、タイマ割込処理が実行される毎に、0 1 2 3 0 …の順番でループする。

10

【0257】

次いで、分岐用カウンタ値を参照して2または3か、すなわちタイマ割込3またはタイマ割込4かを判定し(Sm4)、タイマ割込3またはタイマ割込4ではない場合、すなわちタイマ割込1またはタイマ割込2の場合には、リールモータ32L、32C、32Rの始動時または定速回転中か否かを確認し、リールモータ32L、32C、32Rの始動時または定速回転中であれば、後述するSm8のモータステップ処理において変更した位相信号データや後述するSm23の最終停止処理において変更した位相信号データを出力するモータ位相信号出力処理を実行する(Sm5)。

20

【0258】

次いで、分起用カウンタ値を参照して1か否か、すなわちタイマ割込2か否かを判定し(Sm6)、タイマ割込2ではない場合、すなわちタイマ割込1の場合には、リールモータ32L、32C、32Rの始動時のステップ時間間隔の制御を行うリール始動処理(Sm7)、リールモータ32L、32C、32Rの位相信号データの変更を行うモータステップ処理(Sm8)、リールモータ32L、32C、32Rの停止後、一定時間経過後に位相信号を1相励磁に変更するモータ位相信号スタンバイ処理(Sm9)を順次実行した後、Sm2においてスタック領域に退避したレジスタを復帰し(Sm20)、Sm1のステップにおいて禁止した割込を許可して(Sm21)、割込前の処理に戻る。

30

【0259】

また、Sm6のステップにおいてタイマ割込2の場合には、各種表示器をダイナミック点灯させるLEDダイナミック表示処理(Sm10)、各種LED等の点灯信号等のデータを出力ポートへ出力する制御信号等出力処理(Sm11)、各種ソフトウェア乱数を更新する乱数更新処理(Sm12)、各種時間カウンタを更新する時間カウンタ更新処理(Sm13)、コマンドキューに格納されたコマンドを演出制御基板90に対して送信するコマンド送信処理(Sm14)、外部出力信号を更新する外部出力信号更新処理(Sm15)を順次実行した後、Sm2においてスタック領域に退避したレジスタを復帰し(Sm20)、Sm1のステップにおいて禁止した割込を許可して(Sm21)、割込前の処理に戻る。

40

【0260】

また、Sm4のステップにおいてタイマ割込3またはタイマ割込4であれば、更に、分起用カウンタ値を参照して3か否か、すなわちタイマ割込4か否かを判定し(Sm16)、タイマ割込4でなければ、すなわちタイマ割込3であれば、入力ポートから各種スイッチ類の検出データを入力するポート入力処理(Sm17)、定速回転中のリール2L、2C、2Rの原点通過をチェックする原点通過時処理(Sm18)、各種スイッチ類の検出信号に基づいてこれら各種スイッチが検出条件を満たしているか否かを判定するスイッチ入力判定処理(Sm19)を順次実行した後、Sm2においてスタック領域に退避したレジスタを復帰し(Sm20)、Sm1のステップにおいて禁止した割込を許可して(Sm21)、割込前の処理に戻る。

50

【 0 2 6 1 】

また、S m 1 7 のステップにおいてタイマ割込 4 であれば、有効なストップスイッチ 8 L、8 C、8 R の検出が判定されたときに、停止位置を決定し、何ステップ後に停止すれば良いかを算出する停止スイッチ処理 (S m 2 2) 、停止スイッチ処理で算出された停止までのステップ数をカウントして、停止する時期になつたら 2 相励磁によるブレーキを開始する停止処理 (S m 2 3) 、停止処理においてブレーキを開始してから一定時間後に 3 相励磁とする最終停止処理 (S m 2 4) を順次実行した後、S m 2 においてスタック領域に退避したレジスタを復帰し (S m 2 0) 、S m 1 のステップにおいて禁止した割込を許可して (S m 2 1) 、割込前の処理に戻る。

【 0 2 6 2 】

10

図 3 3 は、C P U 4 1 a が遊技の進行に応じてコマンドを生成し、コマンドキューに格納する際に実行するコマンド格納処理の制御内容を示すフローチャートである。

【 0 2 6 3 】

尚、C P U 4 1 a が送信するコマンドは、2 バイトで構成され、1 バイト目はM O D E (コマンドの分類) を表し、2 バイト目はE X T (コマンドの内容) を表す。また、本実施例で示すコマンドの形態は一例であつて他のデータ形態を用いても良い。また、本実施例では、コマンドを2 バイトの信号で構成しているが、これらコマンドを1 バイトの信号または3 バイト以上の信号で構成しても良い。

【 0 2 6 4 】

20

コマンド格納処理では、まず、送信すべきコマンドを構成するM O D E とE X T を生成する (S n 1) 。そして、生成したコマンドを格納ポインタが示す領域番号の領域、すなわちコマンドキューの空き領域に格納した後 (S n 2) 、格納ポインタが示す領域番号に1 を加算する (S n 3) 。尚、領域番号は0 ~ 1 5 の範囲の数値なので、格納ポインタが示す通し番号が1 5 の場合に1 を加算して1 6 となつたときには0 に更新する。

【 0 2 6 5 】

30

次いで、未送信フラグがセットされているか否かを確認し (S n 4) 、未送信フラグがセットされていなければ未送信フラグをセットする (S n 5) 。そして、格納ポインタが示す領域番号が送信ポインタが示す領域番号と一致したか否か、すなわち未送信のコマンドでコマンドキューの全ての領域が満タンとなつたか否かを確認し、一致している場合には、コマンドキューに格納されている未送信のコマンドが送信されて格納ポインタが示す領域番号と送信ポインタが示す領域番号とが一致しなくなるまで待機し、格納ポインタが示す領域番号と送信ポインタが示す領域番号とが一致しなくなつた時点、すなわちコマンドキューに空きができる時点でコマンド格納処理を終了する (S n 6) 。

【 0 2 6 6 】

図 3 4 は、C P U 4 1 a が前述したタイマ割込処理のタイマ割込 2 内において実行するコマンド送信処理の制御内容を示すフローチャートである。

【 0 2 6 7 】

コマンド送信処理では、まず、コマンドの送信遅延時間を設定するための遅延カウンタが0 より大きいか否か、すなわちコマンドキューに格納されたコマンドの送信待ちの状態であるか否かを判定する (S p 1) 。

40

【 0 2 6 8 】

S p 1 において送信待ちの状態でない場合には、コマンドキューに未送信のコマンドが格納されている旨を示す前述の未送信フラグがセットされているか否かを判定する (S p 2) 。S p 2 において未送信フラグがセットされていない場合には、送信すべきコマンドが格納されていないので、コマンド送信処理を終了する。

【 0 2 6 9 】

また、S p 2 において未送信フラグがセットされている場合、すなわちコマンドキューに未送信のコマンドが格納されている場合には、乱数カウンタから0 ~ 1 5 の範囲でランダムに発生する乱数値を取得し (S p 3) 、取得した乱数値に2 を加算して2 ~ 1 7 の値に補正し、遅延カウンタに設定する (S p 4) 。

50

【 0 2 7 0 】

次いで、遅延カウンタ値を1減算し(S p 5)、遅延カウンタ値が0より大きいか否か、すなわちコマンドキューの送信ポインタ値が示す領域に格納されたコマンドの送信遅延時間が経過したか否か、を判定し(S p 6)、遅延カウンタ値が0より大きい場合、すなわち送信遅延時間が経過していない場合には、コマンド送信処理を終了する。

【 0 2 7 1 】

また、S p 6 のステップにおいて遅延カウンタ値が0の場合、すなわち送信遅延時間が経過した場合には、コマンドキューの送信ポインタ値が示す領域に格納されたコマンドを演出制御基板90に対して送信する(S p 7 ~ S p 10)。詳しくは、まず、コマンドキューの送信ポインタ値が示す領域に格納されたコマンドを構成するMODEを出力し(S p 7)、コマンドを出力した旨をサブ制御部91に通知するためのストローブ信号を所定時間(本実施例では、10μs)出力する(S p 8)。そして、送信ポインタ値が示す領域に格納されたコマンドを構成するEXTを出力し(S p 9)、再度ストローブ信号を所定時間出力する(S p 10)。

10

【 0 2 7 2 】

次いで、送信ポインタが示す領域番号に1を加算する(S p 11)。尚、領域番号は0~15の範囲の数値なので、送信ポインタが示す領域番号が15の場合に1を加算して16となったときには0に更新する。

【 0 2 7 3 】

次いで、送信ポインタが示す領域番号が格納ポインタが示す通し番号と一致したか否か、すなわちコマンドキューに送信すべきコマンドが格納されているか否かを確認し(S p 12)、一致している場合には、未送信フラグをクリアしてコマンド送信処理を終了する(S p 13)。

20

【 0 2 7 4 】

また、S p 1において遅延カウンタ値が0より大きい、すなわち送信待ちの状態であると判定した場合には、S p 5に移行し、送信遅延時間が経過した場合にはコマンドキューの送信ポインタ値が示す領域に格納されたコマンドを送信するとともに、未送信のコマンドが空になった場合には未送信フラグをクリアする等の処理を行い(S p 5 ~ S p 13)、コマンド送信処理を終了する。

【 0 2 7 5 】

30

図35は、CPU41aが割込2の発生に応じて、すなわち電断検出回路48からの電圧低下信号が入力されたときに設定変更処理やゲーム処理に割り込んで実行する電断割込処理の制御内容を示すフローチャートである。

【 0 2 7 6 】

電断割込処理においては、まず、割込を禁止する(S q 1)。すなわち電断割込処理の開始にともなってその他の割込処理が実行されることを禁止する。次いで、使用している可能性がある全てのレジスタをスタック領域に退避する(S q 2)。尚、前述したIレジスタ及びIYレジスタの値は使用されているが、電源投入時の初期化に伴って常に同一の固定値が設定されるため、ここでは保存されない。

【 0 2 7 7 】

40

次いで、入力ポートから電圧低下信号の検出データを取得し、電圧低下信号が入力されているか否かを判定する(S q 3)。この際、電圧低下信号が入力されていなければ、S q 2においてスタック領域に退避したレジスタを復帰し(S q 4)、S q 1のステップにおいて禁止した割込を許可して(S q 5)、割込前の処理に戻る。

【 0 2 7 8 】

また、S q 3のステップにおいて電圧低下信号が入力されていれば、破壊診断用データ(本実施例では、5A(H))をセットして(S q 6)、全ての出力ポートを初期化する(S q 7)。次いでRAM41cの全ての格納領域(未使用領域及び未使用スタック領域を含む)の排他的論理和が0になるようにRAMパリティ調整用データを計算してセットし(S q 8)、RAM41cへのアクセスを禁止する(S q 9)。

50

【0279】

そして、電圧低下信号が入力されているか否かの判定（S q 1 0、尚、S q 1 0は、S q 3と同様の処理である）を除いて、何らの処理も行わないループ処理に入る。すなわち、そのまま電圧が低下すると内部的に動作停止状態になる。よって、電断時に確実にCPU 4 1 aは動作停止する。また、このループ処理において、電圧が回復し、電圧低下信号が入力されないと、前述した起動処理が実行され、RAMパリティが0となり、かつ破壊診断用データが正常であれば、元の処理に復帰することとなる。

【0280】

尚、本実施例では、RAM 4 1 cへのアクセスを禁止した後、電圧低下信号の出力状況を監視して、電圧低下信号が入力されなくなった場合に電圧の回復を判定し、起動処理へ移行するようになっているが、ループ処理において何らの処理も行わず、ループ処理が行われている間に、電圧が回復し、リセット回路4 9からリセット信号が入力されたことに基づいて、起動処理へ移行するようにしても良い。

10

【0281】

次に、演出制御基板9 0に搭載されたサブ制御部9 1のCPU 9 1 aが実行する各種制御内容を、図3 6～図3 8のフローチャートに基づいて以下に説明する。

【0282】

サブ制御部9 1は、リセット回路9 5からリセット信号が入力されると、図3 6に示す起動処理（サブ）を行う。

【0283】

起動処理（サブ）では、内蔵デバイスや周辺IC、割込モード、スタックポインタ等を初期化した後（S r 1）、RAM 9 1 cへのアクセスを許可する（S r 2）。そして、RAM 9 1 cの全ての格納領域のRAMパリティを計算し（S r 3）、RAMパリティが0か否かを判定する（S r 4）。RAM 9 1 cのデータが正常であれば、RAMパリティが0になるはずであり、S r 4のステップにおいてRAMパリティが0であれば、RAM 9 1 cに格納されているデータが正常であるので、各レジスタを復帰した後（S r 5）、割込を許可して（S r 7）、ループ処理に移行する。すなわち電断時の制御状態に復帰する。また、S r 4のステップにおいてRAMパリティが0でなければ、RAM 9 1 cに格納されているデータが正常ではないので、RAM 9 1 cを初期化した後（S r 6）、割込を許可して（S r 7）、ループ処理に移行する。

20

【0284】

図3 7は、CPU 9 1 aが、遊技制御基板4 0から出力されたストローブ信号の検出に基づき他の処理に割り込んで実行するコマンド受信割込処理の制御内容を示すフローチャートである。尚、ストローブ信号は、コマンド送信時にサブ制御部9 1の割込端子に入力される信号である。

【0285】

コマンド受信割込処理においては、まず、割込を禁止し（S s 1）、レジスタをRAM 9 1 cに退避する（S s 2）。そして、入力ポートからコマンド伝送ラインの検出データ、すなわち遊技制御基板4 0から出力されるMODEを取得するとともに（S s 3）、再度ストローブ信号が検出されるまで待機する（S s 4）。

30

【0286】

次いで、再度ストローブ信号を検出すると、再び入力ポートからコマンド伝送ラインの検出データ、すなわち遊技制御基板4 0から出力されるEXTを取得する（S s 5）。そして、MODEとEXTから構成されるコマンドをRAM 9 1 cに設けられたバッファに格納する（S s 6）。そして、S s 2において退避したレジスタを復帰し（S s 7）、S s 1において禁止した割込を許可し（S s 8）、割込前の状態に戻る。

40

【0287】

図3 8は、CPU 9 1 aが内部クロックのカウントに基づいて1.12msの間隔で実行するタイマ割込処理（サブ）の制御内容を示すフローチャートである。

【0288】

50

タイマ割込処理（サブ）においては、まず、バッファにコマンドが格納されているか否かを判定する（S t 1）。格納されていれば、バッファからコマンドを取得し（S t 2）、取得したコマンドが初期化コマンドであるか否かを判定する（S t 3）。そして取得したコマンドが初期化コマンドであれば、RAM91cを初期化した後（S t 7）、S t 8の処理に進む。

【0289】

また、S t 3において、取得したコマンドが初期化コマンドでないと判定された場合には、コマンドの内容に応じた演出用周辺機器の制御内容を設定する演出設定処理と（S t 4）、設定された制御内容に従って演出用周辺機器を制御する演出制御処理を行い（S t 5）、コマンドに応じた演出の制御を実行し、各種カウンタを更新するカウンタ更新処理を行った後（S t 6）、S t 8の処理に進む。10

【0290】

S t 8のステップでは、起動時にRAM91cにバックアップされているデータの内容が正常であるか否かを確認できるように、RAM91cの全ての格納領域の排他的論理和が0になるようにRAMパリティ調整用データを計算してセットし、タイマ割込処理（サブ）を終了する。すなわちCPU91aは、メイン制御部41のCPU41aのように電断検出時にRAMパリティ調整用データをセットするのではなく、定期的に実行されるタイマ割込処理（サブ）毎に、RAMパリティ調整用データをセットし、いつ電断しても、復旧時にRAM91cにバックアップされているデータの内容が正常であるか否かを判定できるようになっている。20

【0291】

次に停電時におけるメイン制御部41のCPU41a及びサブ制御部91のCPU91aの動作状況を図39のタイミングチャートに基づいて説明する。

【0292】

まず、電断検出回路48は、+25Vの直流電圧（以下電源監視用電圧と称す）が+18V以下となったとき（t a 1）に電圧低下信号をメイン制御部41に対して出力する。電圧低下信号が入力された際にCPU41aが設定変更処理やゲーム処理の実行中であればゲーム処理に割り込んで電断割込処理が実行される。また、タイマ割込処理の要求（割込3）と同時に電圧低下信号が入力された場合にはタイマ割込処理よりも電断割込処理を優先して電断割込処理が実行される。また、CPU41aがタイマ割込処理の実行中に電圧低下信号が入力された場合には実行中のタイマ割込処理が終了した時点で電断割込処理が実行される（t a 2）。尚、本実施例では、タイマ割込処理に要する最大時間と電断割込処理に要する最大時間の合計よりも、電源監視用電圧が電圧低下信号が出力される+18VとなってからCPU41aを駆動させることが可能な電圧（+5V）（t a 3）まで下降する時間が長いので、停電発生時にCPU41aがタイマ割込処理の実行中であっても電断割込処理を確実に行える時間が担保されるようになっている。30

【0293】

また、サブ制御部91の電源電圧（+5V（VCC））の元となる+12V（VCC）は、停電時においても電源基板100に搭載されたコンデンサ309によって電圧の降下が遅延されるようになっており、停電発生時にタイマ割込処理において送信されたコマンドをバッファし、かつバッファしたコマンドをその後のタイマ割込処理（サブ）において取得するのに十分な時間が経過するまで（t a 4）、CPU91aを駆動させることができない電圧（+7V）が維持されるので、停電発生時に遊戯制御基板40からコマンドをバッファした場合でも、当該コマンドを確実に取得し、RAM91cにバックアップされるデータとして反映させる時間が担保されるようになっている。尚、本実施例では、電源監視用電圧が+18V以下となった時点から20ms以上の時間が経過するまでCPU91aを駆動させることができない電圧が維持されるようになっているが、少なくともタイマ割込2の実行間隔（CPU91aがコマンドを確実に取得するのに十分な時間）の時間以上にわたり、CPU91aを駆動させることができない電圧を維持できれば良い。40

【0294】

以上説明したように、本実施例のスロットマシン1では、メイン制御部41のRAM41cにおける未使用領域が1ゲーム毎に初期化されるので、RAM41cの未使用領域を利用して不正プログラムを格納させても、当該不正プログラムが常駐してしまうことを防止できる。

【0295】

また、本実施例では、RAM41cにおける未使用領域に加えてスタック領域における未使用スタック領域も1ゲーム毎に初期化されるので、RAM41cにおいてその時点で使用されていない全ての領域が1ゲーム毎に初期化されることとなり、例え、RAM41cの未使用領域を利用せずに未使用スタック領域を利用して不正プログラムを格納させようとしても、当該不正プログラムが常駐してしまう余地を無くすことができるので、不正プログラムが常駐してしまうことを一層確実に防止できるとともに、例えば、未使用スタック領域に不正なデータ（不正プログラムが指定するアドレス等）を加え、データの復帰時にマイクロコンピュータを誤作動させることでレジスタを不正なものに書き換えてしまうことにより、本来のプログラムとは異なる動作を行わせてしまうような不正も防止できる。更に、未使用スタック領域に不正なデータが格納されることによって、本来であれば退避したデータを格納できるはずの領域が圧迫され、スタック領域がオーバーフローしてしまい、メイン制御部41を構成するマイクロコンピュータが暴走してしまう等の不具合も防止できる。

【0296】

尚、本実施例では、ゲーム終了時にRAM41cの未使用領域及び未使用スタック領域を初期化する初期化4を毎ゲーム実行することで、RAM41cの未使用領域や未使用スタック領域を1ゲーム毎に初期化しているが、少なくとも1ゲーム毎に1回以上RAM41cの未使用領域及び／または未使用スタック領域が初期化されるものであれば、RAM41cの未使用領域及び／または未使用スタック領域の初期化を行うタイミングは、1ゲーム中のどのタイミングであっても良く、例え、ゲーム開始時や1ゲーム毎に必ず実行される処理の実行時にRAM41cの未使用領域及び／または未使用スタック領域の初期化を行うものであっても良い。

【0297】

また、設定開始前（設定変更モードへの移行前）、ビッグボーナス終了時、電源投入時にRAM41cのデータが破壊されていないとき、1ゲーム終了時の4つからなる初期化条件が成立した際に、各初期化条件に応じて初期化される領域の異なる4種類の初期化1～4を行うとともに、これら4種類の初期化条件のうちどの条件が成立した場合でも、必ずRAM41cにおける未使用領域及びスタック領域における未使用スタック領域が初期化されるので、不正プログラムが常駐してしまうことを一層確実に防止できる。

【0298】

また、メイン制御部41のROM41bには、初期化1～4に対応してそれぞれ初期化する領域の開始アドレスと初期化する領域のサイズを示す初期化サイズとが登録されており、CPU41aがRAM41cの初期化を行う際には、初期化テーブルを参照し、初期化条件に応じて初期化1～4のいずれかに対応する開始アドレスと初期化サイズを取得し、開始アドレスにポインタを設定し、初期化サイズを設定する（初期化サイズが未使用スタック領域のサイズを含むものであれば、未使用スタック領域のサイズ（スタックポインタ-7FD2(H)）を計算し、初期化サイズを設定する）。そして、ポインタが設定された初期化アドレスから1バイトづつ該当するアドレスの領域を0クリアし、1バイトクリアする毎に初期化サイズを1減算するとともに、ポインタを1進める処理を、初期化サイズが0になるまで実行する。すなわちCPU41aがRAM41cを初期化する際には、初期化条件に応じた領域毎に初期化するのではなく、指定したアドレスから指定したサイズ分の領域を初期化するようになっている。

【0299】

このため、ROM41bの初期化テーブルに、初期化条件の種類に対応する開始アドレスとその際初期化される領域のサイズのみを設定しておくことで、初期化条件の種類に対

10

20

30

40

50

応する初期化終了アドレスを個々に設定しておくことなく、初期化条件の種類に対応する領域を初期化することができるとともに、複数種類の初期化を共通の処理（RAM初期化処理）を用いて行えるので、複数種類の初期化を行うためのプログラム容量を削減できる。更に、RAM初期化処理においては、初期化サイズが0か否かを判定するのみで処理の終了を判定するので、現在初期化したバイトのアドレスと終了アドレスとの比較によって処理の終了を判定する場合に比較して、処理負荷を大幅に軽減できる。

【0300】

また、初期化1～4の実行中においては常に割込が禁止されるようになっており、RAM41cに記憶されているデータを初期化している最中に電断検出回路48から電圧低下信号が入力されても、初期化が終了するまでは電断割込処理が実行されないので、例えば初期化が完全に終了する前の段階で電断割込処理が行われることにより、初期化されるべきデータのうち初期化されたデータと初期化されていないデータとが混在してしまい、復旧時に電断前の制御状態へ正常に復帰させることができなくなってしまう等の不具合を防止できる。10

【0301】

また、電断割込処理においてRAM41cの未使用領域及び未使用スタック領域を含む全てのデータに基づくRAMパリティが0となるようにRAMパリティ調整用データを計算し、格納するとともに、復旧時においてRAM41cにおける未使用領域及び未使用スタック領域を含む全ての領域に格納されているデータに基づいて計算したRAMパリティが0か否かを判定し、RAMパリティが0でなかった場合には、RAM異常エラー状態となり、設定キースイッチ37をONの状態で電源投入し、RAM41cの使用中スタック領域を除く全ての領域を初期化する初期化1が行われるまで、ゲームの進行が不可能となるので、電源投入時にRAM41cの未使用領域及び/または未使用スタック領域に不正プログラムが格納された場合でも、当該不正プログラムを発見して初期化ができる。20

【0302】

また、本実施例では、RAM41cに記憶されているデータに異常が生じた場合には、RAM異常エラー状態に制御され、ゲームの進行が不能化されるとともに、一度RAM異常エラー状態に制御されると、設定変更モードに移行し、設定変更操作に基づいて設定値を新たに選択・設定しなければ、ゲームの進行が不能化された状態が解除されない。すなわち、RAM41cに記憶されているデータに異常が生じても、スロットマシンにより自動的に設定された設定値ではなく、設定変更操作に基づいて選択・設定された設定値（一般的に、設定変更操作は遊技店の従業員により行われるので、遊技店側が選択した設定値である）に基づいてゲームが行われることが担保があるので、ゲームの公平性を図ることができる。30

【0303】

また、本実施例では、内部抽選処理において入賞の発生を許容するか否かを決定する際に、RAM41cの設定値ワークに格納されている設定値が適正な値（1～6の範囲の値）でなければ、デフォルトの設定値（例えば設定1）に基づく確率で入賞の発生を許容するか否かを決定するのではなく、この場合にもRAM異常エラー状態に制御され、ゲームの進行が不能化され、設定変更モードに移行し、設定変更操作に基づいて設定値を新たに選択・設定しなければ、ゲームの進行が不能化された状態が解除されない。すなわち内部抽選処理において入賞の発生を許容するか否かの決定を適正に行うことのできない場合にも、設定変更操作に基づいて選択・設定された設定値に基づいてゲームが行われることが担保があるので、ゲームの公平性を図ることができる。40

【0304】

また、RAM41cに記憶されたデータに異常が生じるのは、停電時やCPU41aが暴走する等、制御に不具合が生じて制御を続行できないときがほとんどである。このため本実施例では、これらの状態から復旧してCPU41aが起動するときにおいてのみデータが正常か否かの判定を行うようになっているので、RAM41cに記憶されたデータが50

正常か否かの判定をデータに異常が生じている可能性が高い状況においてのみ行うことができる。すなわちデータに異常が生じている可能性の低い状況では、当該判定を行わずに済み、CPU41aの負荷を軽減させることができる。

【0305】

また、本実施例では、電断割込処理においてRAM41cの全てのデータに基づくRAMパリティが0となるようにRAMパリティ調整用データを計算し、格納するとともに、復旧時においてRAM41cにおける全ての領域に格納されているデータに基づいて計算したRAMパリティが0か否かを判定することで、RAM41cのデータが正常か否かを判定しているので、当該判定を正確にかつ簡便に行うことができる。

【0306】

また、本実施例では、電断割込処理において、RAMパリティ調整用データを計算する前にいずれかのビットが1となる破壊診断用データ（本実施例では、5A(H)）を所定のアドレスに格納し、復旧時においては、RAMパリティが0か否かの判定に加えて、破壊診断用データが正常に格納されているか否かの判定を行い、RAMパリティが0であり、かつ破壊診断用データも正常であることを条件に、RAM41cのデータが正常であると判定する。RAM41cのデータが正常でなくとも、全ての領域に00(H)が格納されている場合には、起動時のRAMパリティの判定により正常であると判定されてしまうが、停電時にいずれかのビットが1となる破壊診断用データを格納した後、RAMパリティ調整用データを計算し、格納しておくとともに、復旧時にRAMパリティの判定に加えて破壊診断用データのチェックも行うことで、例え、復旧時において全ての領域に00(H)が格納されていて、RAMパリティが正常と判定された場合にも、破壊診断用データが停電時に格納される値と一致しなくなり、異常と判定されるため、RAM41cの異常の判定を一層正確に行うことができる。

【0307】

また、本実施例では、RAM41cのデータに異常が生じて、ゲームの進行が不能化された場合には、ゲームの進行が不能化された状態を解除する条件となる設定値の変更操作が有効となる設定変更モード（設定変更処理）へ移行することに伴って、RAM41cの使用中スタック領域を除く全ての領域が初期化されるので、RAM41cのデータに異常が生じたことに伴うデータの初期化及び設定値の選択・設定に伴うデータの初期化を1度で行うことができ、無駄な処理を省くことができる。更に、CPU41aの起動時には、RAM41cのデータが正常か否かを判定する前に、設定キースイッチ37がONの状態であるか否かを判定し、その時点で設定キースイッチ37がONの状態であると判定した場合には、RAM41cのデータが正常か否かの判定は行わず、設定変更モードに移行し、新たに設定値が選択・設定されることとなり、この場合にも無駄な処理を省くことができる。

【0308】

尚、本実施例では、設定変更処理に移行する前に、RAM41cの使用中スタック領域を除く全ての領域を初期化する初期化1を行っているが、設定変更処理に移行することに伴って初期化1が行われれば良く、例え、設定変更処理の終了後に行っても良いし、設定変更処理において設定値が確定した時点に行っても良い。尚、この場合には、確定した設定値が変更されてしまうと不都合が生じるので、初期化1においては、RAM41cの使用中スタック領域及び設定値ワークを除く全ての領域が初期化されることとなる。

【0309】

また、本実施例では、一度RAM異常エラー状態に制御されると、設定変更処理が行われるまで、ゲームが不能動化されるようになっているが、RAM異常エラー状態となったときに、RAM41cの使用中スタック領域を除く全ての領域を初期化する初期化1を行うとともに、設定値を初期値（例え、設定値1）に設定し、この状態でリセット操作がなされることで、ゲームを再開できるようにしても良い。

【0310】

また、本実施例では、内部抽選処理において入賞の発生を許容するか否かを決定する際

10

20

30

40

50

に、RAM41cの設定値ワークに格納されている設定値が適正な値（1～6の範囲の値）でなければ、この場合にもRAM異常エラー状態に制御されるようになっているが、RAM41cの設定値ワークに格納されている設定値が適正な値（1～6の範囲の値）でない場合に、設定値の初期値（例えば、設定値1）に基づく確率で入賞の発生を許容するか否かを決定するようにしても良い。

【0311】

また、本実施例では、CPU41aが演出制御基板90に対して遊技の進行に応じたコマンドを送信し、演出制御基板90に搭載されたサブ制御部91は、遊技制御基板40から送信されたコマンドに基づいて演出の制御を行うようになっており、CPU41aは、コマンドを送信するのみで演出の制御を行う必要がないので、CPU41aの処理負荷を軽減できるうえに、演出を多彩なものにできる。10

【0312】

また、遊技制御基板40から演出制御基板90にコマンドが送信されるコマンド伝送ラインが、遊技制御基板40と演出制御基板90との間で演出中継基板80を介して接続されており、遊技制御基板40に演出制御基板90が直接接続される構成ではないので、コマンド伝送ラインからCPU41aに対して外部から不正な信号が入力され、遊技の制御に影響を与えられてしまうことを防止できる。

【0313】

また、CPU41aは、コマンドを送信する際に、遅延カウンタの値をランダムに設定し、遅延カウンタ値が0となったときに当該コマンドを送信するようになっており、コマンドの送信タイミングが所定時間の範囲（2.24～35.84ms）でランダムに変化するため、演出制御基板90側で遊技制御基板40から送信されたコマンドの受信タイミングに基づいて目押しの補助となるような演出が行われてしまうことを防止できる20

【0314】

尚、本実施例では、2.24～35.84msの範囲でコマンドの送信タイミングが遅延されるようになっているが、少なくとも、その最大遅延時間がリール2L、2C、2Rの図柄が1図柄以上移動する時間を超えるものであれば良い。

【0315】

また、複数のコマンドが連続して送信される場合でも、これらコマンドは、生成された順番でRAM41cに設けられたコマンドキューに格納され、各々のコマンドがその生成順、すなわち本来コマンドが送信されるべき順番にて送信されるため、演出制御基板90側では、CPU41aの制御状態を正確な順番で把握して演出を行うことが可能であり、演出の順番に食い違いが生じることにより遊技者に違和感を与えることを防止できる。30

【0316】

また、コマンドの送信を遅延させている状態、すなわちコマンドの送信待ちの状態で停電し、電断割込処理が行われた場合には、コマンドキューに格納されているコマンド、送信ポインタ、格納ポインタ、遅延カウンタ値の全てがRAM41cにバックアップされるとともに、復旧時においてはこれらRAM41cにバックアップされているコマンドキューに格納されているコマンド、送信ポインタ、格納ポインタ、遅延カウンタ値の状態でコマンドの送信制御が再開されるようになっており、コマンドの送信の送信待ちの状態で停電しても、復旧時には停電時のままの状態からコマンドの送信制御を再開できるので、CPU41aの制御を簡素化できる。40

【0317】

尚、本実施例では、コマンドの送信コマンドの送信の送信待ちの状態で停電し、停電が復旧した際には、停電時のままの状態からコマンドの送信制御を再開するようになっているが、コマンドの送信コマンドの送信の送信待ちの状態で停電した際に、復旧後、遅延カウンタ値を新たに再設定し、送信待ちのコマンドを再設定された遅延カウンタ値に基づく遅延時間が経過したときに送信するようにしても良い。すなわち復旧時において送信待ちのコマンドが残っている場合には、復旧時において新たに設定した遅延時間が経過したと50

きに当該コマンドを送信するようにしても良く、このようにすることで、復旧時にも確実にコマンドの送信タイミングを変化させることができる。

【0318】

また、本実施例では、トリガー端子 C L K / T R G に電圧低下信号が入力されることで、C P U 4 1 a が実行中の処理に割り込んで電断割込処理を実行するようになっているが、電断割込処理では、破壊診断用データを設定する処理やR A M パリティ調整用データを計算して設定する処理等、復旧時にR A M 4 1 c のデータが正常であるかを判定可能とするための処理や出力ポートの初期化等を行う前に、信号入力端子 D A T A に電圧低下信号が入力されているか否かを判定を行い、信号入力端子 D A T A にも電圧低下信号が入力されていれば、復旧時にR A M 4 1 c のデータが正常であるかを判定可能とするための処理や出力ポートの初期化等を行うのに対して、信号入力端子 D A T A に電圧低下信号が入力されていなければ、もとの処理に復帰するようになっている。10

【0319】

すなわち、メイン制御部 4 1 には、電圧低下信号が 2 系統の入力部に入力され、C P U 4 1 a は、一方の入力部に電圧低下信号が入力されて電断割込処理を実行しても、復旧時にR A M 4 1 c のデータが正常であるかを判定可能とするための処理や出力ポートの初期化等が実行される前に再度他方の入力部に電圧低下信号が入力されているか否かを判定し、他方の入力部にも電圧低下信号が入力されていて初めてこれらの処理が実行されるようになっており、電断を誤って検出した際に、誤って復旧時にR A M 4 1 c のデータが正常であるかを判定可能とするための処理や出力ポートの初期化等の処理が行われてしまうことが防止できるので、電断を誤って検出することに伴い、必要以上に長い間 C P U 4 1 a の制御が中断されたり、必要以上に負荷がかかってしまうことを防止できる。20

【0320】

また、本実施例では、電断検出回路 4 8 が監視する電圧と、電源基板 1 0 0 、遊技制御基板 4 0 及び演出制御基板 9 0 に接続された電気部品を駆動させるための電源電圧と、が別個に設けられた電圧生成回路にて生成されるようになっており、これら電気部品の駆動状況により下降し易い電源電圧に比較して安定した電圧が電断検出回路 4 8 により監視されるので、一時的な電圧低下に伴って電圧低下信号が出力され、電断割込処理が行われてしまう等の誤動作を防止できる。

【0321】

また、電断割込処理及びタイマ割込処理の実行中においては、他の割込が禁止されるようになっており、例えば、タイマ割込処理の実行中に電圧低下信号が入力された場合でも 2 重に割込が生じることがなく、C P U 4 1 a の処理負荷が増大してしまったりデータの整合性がとれなくなってしまうことを防止できる。特に、コマンドの送信中に電圧低下信号が入力されても、割込が生じて当該コマンドの送信が阻害されることなく、C P U 4 1 a の駆動が停止する前に正常に送信を完了させることができる。30

【0322】

また、電断割込処理の割込タイミングとタイマ割込処理の割込タイミングとが同時となつた場合、すなわち割込 2 と割込 3 が同時に発生した場合には、割込 2 を優先し、電断割込処理を実行するとともに、タイマ割込処理の実行中に割込 2 が発生した場合には、当該タイマ割込処理の終了を待って電断割込処理を実行するようになっており、多重割込を防止しつつも極力早い段階で電断割込処理が行われるので、C P U 4 1 a の駆動が停止する前に電断割込処理を確実に行うことができる。40

【0323】

また、C P U 4 1 a は、割込 1 ~ 4 の 4 種類の割込を実行可能であり、このうち未使用に設定されている割込 1 、 4 が発生した場合には、もとの処理に即時復帰させる未使用割込処理を実行するようになっている。このため、未使用の割込 1 、 4 が発生したときでも、すぐに割込前の処理に復帰することとなるので、ノイズ等によって未使用の割込が発生しても C P U 4 1 a が暴走してしまうといった不具合を防止できる。

【0324】

10

20

30

40

50

また、本実施例では、サブ制御部91のCPU91aは、タイマ割込処理が実行される毎に、RAMパリティ調整用データを計算して設定するようになっている。すなわち復旧時にRAM91cにバックアップされているデータの内容が正常であるか否かを判定可能とするための処理を、遊技制御基板40から送信されるコマンドに依存せずに定期的に行うようになっており、コマンドを遅延して送信する場合でもコマンドの送信が遅延されることによってCPU91aがRAMパリティ調整用データを計算して設定する前に停止してしまうようなことがないので、復旧時においてCPU91aがRAM91cにバックアップされているデータが正常であるか否かを正確に判定することができる。

【0325】

また、本実施例では、CPU41aがコマンドを送信した後、最低でも4.48msの間、新たなコマンドの送信が禁止されるようになっており、サブ制御部91のCPU91aがコマンドを確実に受信し、かつ受信したコマンドをRAM91cにバックアップするための時間を担保できる。尚、本実施例では、新たなコマンドの送信が禁止される時間として4.48msを適用しているが、少なくともCPU91aがコマンドを受信し、かつ受信したコマンドをRAM91cにバックアップするのに十分な時間であれば、4.48msよりも短い時間（例えば、2.24ms）を適用しても良い。

【0326】

また、本実施例では、サブ制御部91の電源電圧{+5V(VCC)}の元となる+12V(VCC)が、停電時においても電源基板100に搭載されたコンデンサ309によって電圧の降下が遅延され、少なくとも停電時には、タイマ割込処理において送信されたコマンドをCPU91aが確実に受信するのに十分な時間（本実施例では20ms）が経過するまで、サブ制御部91のCPU91aを駆動させることができ電圧(+7V)が維持されるようになっており、コマンドの送信中に停電した場合でも、CPU91aは、停電時に送信されたコマンドを駆動が停止する前に確実に受信することができるとともに、CPU91aが受信したコマンドのバックアップがなされる間隔（タイマ割込処理（サブ）の実行間隔）よりも長く、CPU91aを駆動させることができ電圧(+7V)が維持されるので受信したコマンドをRAM91cに確実にバックアップすることもできる。

【0327】

また、本実施例のスロットマシン1では、入賞となる役の種類として、メダルの払い出しを伴う小役、次のゲームでの賭数にメダルを消費しないで済む再遊技役、遊技状態の移行を伴う特別役が定められている。特別役は、遊技状態の移行を伴うものであって、そのときの遊技状態に依存するので基本的な役とは言えない。スロットマシンの遊技性は、単にゲームを行うだけではなく、ゲームの結果により遊技者がメダルを獲得していくことにあるので、入賞によってメダルの払い出しを伴う小役が最も基本的な役であることができる。ここで、小役の種類としては、JAC、チエリー、スイカ、ベルがあるが、レギュラーボーナスにおいて僅かな確率で当選するJACの他は、いずれの遊技状態においても入賞となる役の種類として定められている。このように基本となる小役を、いずれの遊技状態に制御されているときであっても入賞となる役として定めることで、遊技性が遊技者にとって分かり易いものとなる。

【0328】

通常遊技状態でビッグボーナス入賞すると、レギュラーボーナスへの移行を伴うJACINに比較的高い確率で当選する（取りこぼしがないので、入賞する）ビッグボーナスに遊技状態が移行される。ビッグボーナスは、消化ゲーム数に関わらず、当該ビッグボーナス中において遊技者に払い出したメダル数の総数が465枚に達すると終了するものとなっている。ここでビッグボーナス（小役ゲーム及びレギュラーボーナスを含む）中のゲームでは、リプレイが内部抽選の対象役として定められていないので、リプレイ入賞がない。リプレイは、遊技者の手持ちのメダルを減らさないものであるがメダルの払い出しを伴わないので、ビッグボーナスの終了条件となる払い出しメダル数に影響しない。つまり、ビッグボーナス中にリプレイ入賞させても不必要にビッグボーナスのゲーム数を

10

20

30

40

50

増やすだけのものとなってしまうので、リプレイをビッグボーナスにおける内部抽選の対象役として定めないことで、ビッグボーナスの遊技状態を無駄に長引かせることがなく、遊技を効率良く進めることができるようになる。

【 0 3 2 9 】

また、レギュラーボーナスの遊技状態では、小役（特にベル）に高い確率で当選し、非常に多くのメダルを獲得できるようになるので、これに対する遊技者の期待感は高い。このレギュラーボーナスには、小役ゲームで J A C I N 入賞したときに移行されるだけではなく、通常遊技状態でレギュラーボーナス入賞したときにも移行される。このため、通常遊技状態にあるときであっても、レギュラーボーナスに対する期待感を遊技者に与えることができる。更に、レギュラーボーナスにおいては、通常遊技状態や小役ゲームにおいても定められているチェリー、スイカ、ベルに加えて、J A C も小役として定められている。これにより、レギュラーボーナスにおける遊技者の期待感を更に高めさせて、遊技の興趣を向上させることができる。10

【 0 3 3 0 】

また、ビッグボーナスにおいて小役ゲームからレギュラーボーナスに遊技状態を移行させるための J A C I N の表示態様は、「スイカ - J A C - J A C 」の組み合わせにより構成され、他の役の表示態様として使用されていないものである。レギュラーボーナスにおいてチェリー、スイカ、ベルの小役に加えて入賞と判定される J A C の表示態様も、「ベル - J A C - J A C 」の組み合わせにより構成され、他の役の表示態様として使用されていないものである。このため、リール 2 L、2 C、2 R の表示結果として導出された表示態様と入賞となる役との関係が明確になり、遊技者にとって遊技性が分かりやすいものとなる。20

【 0 3 3 1 】

また、リール 2 L、2 C、2 R の回転は、ストップスイッチ 8 L、8 C、8 R の操作が検出されてから 190 ミリ秒の最大停止遅延時間の範囲で停止されることとなるが、この間に 4 コマを引き込むことができるので、停止すべき図柄は 5 コマの範囲から選ぶことができる。ここで、「スイカ」、「ベル」及び「J A C 」の図柄は、リール 2 L、2 C、2 R のいずれについても必ず 5 コマ以内の間隔で配置されているので、これらの図柄によって構成されるスイカ、ベル、リプレイ、J A C 及び J A C I N は、当選しているときには取りこぼしが生じない。特にレギュラーボーナス中のベルは、おおよそ 1 / 1 . 0 3 という非常に高い確率で当選することとなるが、この取りこぼしが生じ得ないので、レギュラーボーナスでは遊技者が実質的には目押しをしなくても済むようになり、簡単に遊技を進められるようになる。30

【 0 3 3 2 】

上記したように遊技状態毎に内部抽選の対象となる役の種類は、遊技状態別当選役テーブルに登録されているが、各役の当選確率を定める判定値数は、役別テーブルから参照されるアドレスに格納されている。役別テーブルには、各役の入賞が発生したときのメダル数も登録されている。

【 0 3 3 3 】

役別テーブルにおいて、メダル数は賭数に応じて登録されており、チェリー、スイカ、ベルの入賞が発生したときには、賭数に応じてメダル数が設定される（もっとも、チェリー、スイカでは、結果的に同じメダル数が設定される）。ここで、レギュラーボーナスにおける賭数は 1 で固定されているが、レギュラーボーナス以外の遊技状態における賭数は 3 で固定されている。これにより、賭数に応じて払出数を取得するだけでも、遊技状態に応じて適切な数のメダルを払い出すことができる。また、メダル数を設定する際に遊技状態を判断する必要がないので、入賞判定処理における処理ステップが簡素化される。しかも、レギュラーボーナスに対応した賭数 1 の方が、賭数 3 のときよりもベルの入賞時におけるメダル数が多いので、レギュラーボーナスにおける遊技者の期待感を更に高めさせて、遊技の興趣を向上させることができる。40

【 0 3 3 4 】

50

役別テーブルにおいて、いずれの遊技状態においても入賞となる役として定められたチエリー、スイカ、及びベルについては、賭数毎に判定値数の格納先アドレスが登録されており、賭数に従って判定値数が取得されることとなる（もっとも、チエリー、スイカでは、結果的に同じ判定値数が取得される）。ここで、レギュラーボーナスにおける賭数は1で固定されているが、レギュラーボーナス以外の遊技状態における賭数は3で固定されている。これにより、賭数に応じて判定値数を取得するだけでも、遊技状態に応じた当選確率でチエリー、スイカ、及びベルの内部抽選を行うことができる。また、判定値数を取得する際に遊技状態を判断する必要がないので、内部抽選における処理ステップが簡素化される。しかも、レギュラーボーナスに対応した賭数1の方が、賭数3のときよりもベルの当選確率が高いので、レギュラーボーナスにおける遊技者の期待感を更に高めさせて、遊技の興味を向上させることができる。

【0335】

また、役別テーブルに登録されている各役の判定値数の格納先のアドレスは、設定値に応じて異なっている場合もあるが、設定値に関わらずに当選確率を同一とするものとした役については、設定値に関わらずに判定値数が共通化して格納されるものとなる。このように判定値数を共通化して格納することで、そのために必要な記憶容量が少なくて済むようになる。もっとも、役別テーブルにおいて、内部抽選の対象役と設定されている賭数とが同じで設定値に応じて参照される判定値数を格納したアドレスが異なっていても、異なるアドレスにおいて格納されている判定値数が同じである場合がある。

【0336】

一般に開発段階においては、少なくとも一部の役について設定値に応じて判定値数を調整しながら（すなわち、内部抽選の当選確率を調整しながら）、シミュレーションを行っていくものとしている。当初の判定値数として、設定値に応じて異なる判定値数を登録しておいたが、シミュレーションにより調整を行った結果として、設定値が異なる場合の判定値数が同一になる場合もある。当初の判定値数として、設定値に応じて同一の判定値数を登録しておいたが、シミュレーションの結果により当初から登録してあった判定値数がそのまま用いられる場合もある（シミュレーションの結果により当初とは異なる判定値数すなわち、設定値に応じて異なる判定値数となる場合もある）。そして、それぞれの場合におけるシミュレーションで適切な結果の得られた判定値数を、量産用の機種に設定する判定値数として選ぶものとしている。

【0337】

ここで、シミュレーションにより調整された判定値数が結果として設定値に関わらずに同じになったとしても、その開発段階でのアドレス割り当てと同じアドレスの割り当てで判定値数をROM41bに記憶して、そのまま量産用の機種とすることができます。このため、量産用の機種において判定値数の格納方法を開発用の機種から変更する必要がなく、最初の設計段階から量産用の機種に移行するまでの開発を容易に行うことができるようになる。

【0338】

また、役別テーブルに登録されている各役の判定値数の格納先のアドレスは、賭数（1または3）に応じて異なっているが、例えば、チエリーやスイカのように異なるアドレスにおいて格納されている判定値数が同じである場合がある。

【0339】

開発用の機種においては、賭数に応じても判定値データを微妙に調整しながらシミュレーションを行っていくのが通常である（当初の判定値数を異なるものとしておく場合と、同じものとしておく場合とがあり得る）。ここで、シミュレーションにより調整された判定値数が結果として賭数に関わらずに同じになったとしても、その開発段階でのアドレス割り当てと同じアドレスの割り当てで判定値数をROM41bに記憶して、そのまま量産用の機種とすることができます。このため、量産用の機種において判定値数の格納方法を開発用の機種から変更する必要がなく、最初の設計段階から量産用の機種に移行するまでの開発を容易に行うことができるようになる。

10

20

30

40

50

【 0 3 4 0 】

また、内部抽選は、取得した内部抽選用の乱数に、役別テーブルから参照された各役の判定値数を加算していき、その加算の結果がオーバーフローしたか否かによって、それぞれの役の当選の有無を判定するものとしている。このため、各役の判定値数をそのまま用いて内部抽選を行うことができる。尚、実際の当選判定を行う前に当選判定用テーブルを生成する場合にはループ処理が2回必要になるが、この実施の形態によれば、抽選処理におけるループ処理が1回で済むようになり、抽選処理全体での処理効率が高いものとなる。

【 0 3 4 1 】

また、通常遊技状態における内部抽選では、同一の内部抽選用の乱数に基づいて小役及び再遊技役の抽選と特別役の抽選とを別個に行うようになっている。そして、特別役の成立後、すなわち特別役の当選フラグが持ち越されている状態においては、小役及び再遊技役の抽選のみが行われることとなる。このため、特別役の成立前後において、小役及び再遊技役の抽選を共通化できるので、通常遊技状態における内部抽選を簡素化することができる。

【 0 3 4 2 】

また、通常遊技状態の内部抽選における特別役の抽選において参考する特別役用の役別テーブルには、特別役の判定値数として、小役の当選が判定される乱数の範囲と、特別役の当選が判定される乱数の範囲と、が重複する判定値数を格納したアドレスと、重複しない判定値数を格納したアドレスと、が登録されている。このため、通常遊技状態の内部抽選では、特別役の当選が判定される乱数の範囲が、小役の当選が判定される乱数の範囲と一部重複することとなり、特別役と小役の双方の当選が判定される範囲の値が内部抽選用の乱数として取得された場合には、特別役と小役が同時に当選することとなり、特別役の当選のみが判定される範囲の値が内部抽選用の乱数として取得された場合には、特別役のみが当選することとなる。これにより、ゲームの結果として小役入賞が発生した場合でも、小役よりも有利度の高い特別役の発生が許容されていることが否定されないので、このような状況においても特別役の発生に対する遊技者の期待感を持続させることができる。

【 0 3 4 3 】

また、乱数取得処理によって取得される内部抽選用の乱数は、サンプリング回路43により乱数発生回路42から抽出した乱数をそのまま使用するのではなく、ソフトウェアにより加工してから使用するものとしている。乱数発生回路42は、パルス発生回路42aのパルス信号の周波数で高速に更新して乱数を発生しているが、ソフトウェアにより加工した後の内部抽選用の乱数では、その加工によって更新の周期性が失われるものとなる。

【 0 3 4 4 】

これに対して、内部抽選では各役に対応した判定値数を内部抽選用の乱数の値に順次加算していくことにより行うため、図8～図10に示したように各役を当選とする内部抽選用の乱数の値は、固まってしまうこととなる。これに対して、ソフトウェアによる加工で内部抽選用の乱数の周期性を失わせ、その値をバラつかせることによって、遊技者による狙い打ちを可能な限り防ぐことができる。

【 0 3 4 5 】

しかも、乱数発生回路42のカウンタ42b、42cの値を更新させるためにパルス発生回路42aが発生するパルス信号の周波数は、CPU41aの動作クロックの周波数よりも高く、整数倍ともなっていない。このため、乱数発生回路42が発生する乱数の更新が、CPU41aが行う処理と同期しにくくなる。しかも、パルス発生回路42aのパルス信号の周波数の方を高くすることで、乱数発生回路42が発生する乱数の更新速度を非常に速いものとすることができます。

【 0 3 4 6 】

一方、ソフトウェアによる乱数の加工は、サンプリング回路43により乱数発生回路42から抽出した乱数の上位バイトと下位バイトとを入れ替え、第15、第7ビットをマスクした後、上位バイトをビットシフトするだけで良い。従って、16ビット（実際にはマ

10

20

30

40

50

スクされて 14 ビット) という比較的大きな乱数であっても、周期性を失わせるために必要な加工の処理に要する負荷がそれほど大きくならず、容易に取得することができる。このように大きな乱数が取得できることで、内部抽選における確率設定を細かく行うことができるようになる。

【 0 3 4 7 】

以上、本発明の実施例を図面により説明してきたが、本発明はこの実施例に限定されるものではなく、本発明の主旨を逸脱しない範囲における変更や追加があっても本発明に含まれることは言うまでもない。

【 0 3 4 8 】

例えば、前記実施例では、判定値数記憶領域は、2 バイトの領域を用いて、それぞれの場合における判定値数を記憶するものとしていた。もっとも、一般的なスロットマシンでは、ビッグボーナス、レギュラーボーナスといった役の判定値数は、いずれの遊技状況においても 255 を超えるものが設定されることはない。このように 255 を超える判定値数を設定する必要がないものについては、1 バイトの領域だけを用いて、判定値数を記憶するものとしても良い。

10

【 0 3 4 9 】

また、前記実施例では、判定値数が設定値に関わらず共通のものについて、その一部を設定値 1 ~ 6 の全体に共通して記憶しているが、判定値数が設定値に関わらず共通のものについても、設定値 1 ~ 6 のそれぞれに対して個別に記憶することもできる。また、判定値数が設定値に関わらず共通のものは、その全てを設定値 1 ~ 6 の全体に共通して記憶するすることもできる。

20

【 0 3 5 0 】

また、前記実施例では、判定値数が、設定値 1 ~ 6 の全体に共通して記憶されているか、設定値 1 ~ 6 のそれぞれに対して個別に記憶されているかであった。もっとも、設定値 1 ~ 6 の全体に共通して判定値数が記憶されない(設定値についての共通フラグが設定されない)ものとして、例えば、設定値 1 ~ 3 については判定値数が共通、設定値 4 ~ 6 については判定値数が共通のものとすることもできる。賭数についての判定値数についても同様で、例えば賭数 1 と 2 については共通、賭数 3 では個別とすることもできる。

【 0 3 5 1 】

また、前記実施例では、同一の設定値における同一の役について賭数に応じて参照される判定値数が賭数(1 または 3)のそれぞれに対して異なるアドレスに格納されていた。すなわち同一の設定値における同一の役について賭数に応じて参照される判定値数が同じであっても個別に記憶されていたが、賭数に関わらず当選確率を同一とするものとした役について、判定値数の格納先のアドレスを共通化したり、設定値及び賭数に関わらず当選確率を同一とするものとした役について、判定値数の格納先のアドレスを共通化するようにも良く、このように判定値数を共通化して格納することで、そのために必要な記憶容量が少なくて済むようになる。

30

【 0 3 5 2 】

また、前記実施例では、設定値等に応じて取得した判定値数を内部抽選用の乱数の値に順次加算していたが、取得した判定値数を取得した内部抽選用の乱数の値から順次減算して、減算の結果を新たな内部抽選用の乱数の値とするものとしても良い。判定値数を内部抽選用の乱数の値から減算するときには、内部抽選用の乱数の第 15 ビットと第 14 ビットとを「0」として、減算の結果にオーバーフロー(ここでは、減算結果がマイナスとなること)が生じたかどうかを判定するものとすることができる。

40

【 0 3 5 3 】

また、前記実施例では、内部抽選において、取得した内部抽選用の乱数の値に遊技状況に応じた各役の判定値数を順次加算していく、加算結果がオーバーフローしたときに当該役を当選と判定するものとしていた。これに対して、遊技状況に応じた各役の判定値数に応じて、各役を当選と判定する判定値を定めた当選判定用テーブルをゲーム毎に作成し、取得した内部抽選用の乱数の値を各役の判定値と比較することで、内部抽選を行うものと

50

しても良い。

【0354】

また、前記実施例では、通常遊技状態及びビッグボーナス中の小役ゲームにおいて、賭数として3を設定することによりゲームを開始させることができた。これに対して、通常遊技状態及びビッグボーナス中の小役ゲームにおいても、賭数として1を設定してゲームを開始させることをできるようにしたり、更には賭数として2を設定してゲームを開始させることをできるようにしても良い。これにより、通常遊技状態及びビッグボーナス中の小役ゲームで賭数として1または2が設定されていたときには、賭数として3が設定されたときよりも内部抽選における小役の当選確率を低下させるとともに、小役に入賞したときの払い出しメダル枚数を増加させることができる。例えば、通常遊技状態及びビッグボーナス中の小役ゲームで賭数として3が設定されたときには、ベルの当選確率を1/4 . 6、払出枚数を8枚とするが、賭数として1または2が設定されたときには、ベルの当選確率を1/240 . 9、払出枚数を15枚としても良い。更に賭数として1が設定されたときと2が設定されたときとで、ベルの当選確率及び払出枚数を変えてても良い。10

【0355】

また、前記実施例では、通常遊技状態における内部抽選において、同一の内部抽選用の乱数について、小役及び再遊技役用の役別テーブルを参照する小役及び再遊技役の抽選と、特別役用の役別テーブルを参照する特別役の抽選と、を別個に行っており、特別役用の役別テーブルに、特別役の判定値数として、小役の当選が判定される乱数の範囲と、特別役の当選が判定される乱数の範囲と、が重複する判定値数を格納したアドレスを登録することにより、特別役と小役が同時に当選し得る構成としていたが、役別テーブルに、特別役のみに対応する判定値数の格納先のアドレス、特別役及び小役の双方に対応する判定値数の格納先のアドレス、小役のみに対応する判定値数の格納先アドレス、再遊技役のみに対応する判定値数の格納先アドレスをそれぞれ登録しておき、内部抽選において、取得した内部抽選用の乱数に、役別テーブルから参照された各役の判定値数を加算していく、特別役のみに対応する判定値数との加算結果がオーバーフローした場合には、特別役のみの当選を判定し、特別役及び小役の双方に対応する判定値数との加算結果がオーバーフローした場合には、特別役及び小役の双方の当選を判定し、小役または再遊技役のみに対応する判定値数との加算結果がオーバーフローした場合には、小役または再遊技役のみの当選を判定するようにすることで、特別役と小役が同時に当選し得る構成とすることもできる2030。

【0356】

図40は、役別テーブルの変形例を示す図であり、図41は内部抽選処理の変形例を示すフローチャートである。

【0357】

図40に示す役別テーブルには、ビッグボーナス(1)、ビッグボーナス(2)、ビッグボーナス(3)、レギュラーボーナス(1)、レギュラーボーナス(2)、J A C I N、J A C、チェリー、ビッグボーナス(1)+チェリー、ビッグボーナス(2)+チェリー、ビッグボーナス(3)+チェリー、スイカ、ビッグボーナス(1)+スイカ、ビッグボーナス(2)+スイカ、ビッグボーナス(3)+スイカ、ベル、リプレイの判定値数の格納アドレスが参考される順番に登録されている。40

【0358】

各役の判定値数は、ゲームにおいて遊技者が設定する賭数(B E T)に対応して登録されている。同一の役であっても、レギュラーボーナスにおける当選確率が他の役と異なっている場合があるからである。また、各役の賭数に応じた判定値数は、設定値に関わらずに共通になっているものと、設定値に応じて異なっているものとがある。判定値数が設定値に関わらずに共通である場合には、共通フラグが設定される(値が「1」とされる)。

【0359】

ビッグボーナス(1)、ビッグボーナス(2)、ビッグボーナス(3)、レギュラーボーナス(1)、ビッグボーナス(1)+チェリー、ビッグボーナス(2)+チェリー、ビ50

ツグボーナス(3) + チェリー、ビッグボーナス(1) + スイカ、ビッグボーナス(2) + スイカ、ビッグボーナス(3) + スイカは、通常遊技状態でのみ内部抽選の対象となる役であり、通常遊技状態での賭数3に対応する判定値数の格納アドレスが登録されている。これらの役のうち、ビッグボーナス(1)、ビッグボーナス(2)及びビッグボーナス(3)、レギュラーボーナス(1)については、共通フラグの値が0となっており、設定値に応じて個別に判定値数の格納アドレスが登録されている。また、ビッグボーナス(1) + チェリー、ビッグボーナス(2) + チェリー、ビッグボーナス(3) + チェリー、ビッグボーナス(1) + スイカ、ビッグボーナス(2) + スイカ、ビッグボーナス(3) + スイカについては、共通フラグの値が1であり、設定値に関わらずに共通の判定値数の格納アドレスが登録されている。レギュラーボーナス(2)及びJACINは、ビッグボーナス中の小役ゲームでのみ内部抽選の対象となる役であり、小役ゲームでの賭数3に対応する判定値数の格納アドレスが登録されている。この役の共通フラグの値は1であり、設定値に関わらずに共通の判定値数の格納アドレスが登録されている。10

【0360】

JACは、レギュラーボーナスでのみ内部抽選の対象となる役であり、レギュラーボーナスでの賭数1に対応する判定値数の格納アドレスが登録されている。この役の共通フラグは1であり、設定値に関わらず共通の判定値数の格納アドレスが登録されている。リブレイは、通常遊技状態でのみ内部抽選の対象となる役であり、通常遊技状態での賭数3に対応する判定値数の格納アドレスが登録されている。この役の共通フラグは1であり、設定値に関わらず共通の判定値数の格納アドレスが登録されている。20

【0361】

チェリー、ベル、及びスイカは、いずれの遊技状態でも内部抽選の対象となる役であり、レギュラーボーナスでの賭数1に対応する判定値数の格納アドレスと、通常遊技状態または小役ゲームでの賭数3に対応する判定値数の格納アドレスとが登録されている。チェリー及びスイカについては、共通フラグが1となっており、それぞれの賭数に対応して設定値に関わらず共通の判定値数の格納アドレスが登録されている。ベルについては、共通フラグが0となっており、それぞれの賭数に対応して設定値に応じて個別に判定値数の格納アドレスが登録されている。

【0362】

次に、図41に示すフローチャートに基づいて、CPU41aが実行する内部抽選処理の変形例を説明する。30

【0363】

この内部抽選処理では、乱数取得処理を行う(Se101)。この乱数取得処理においては、乱数発生回路42が発生する乱数に基づいて、内部抽選用の乱数の値が取得されることとなる。

【0364】

そして、RAMの設定値ワークに格納されている設定値を読み出し(Se102)、読み出した設定値が1~6の範囲か否か、すなわち設定値ワークに格納されている設定値が適正な値か否かを判定し(Se103)、読み出した設定値が1~6の範囲の値でなければ、図19に示すRAM異常エラー処理に移行する。40

【0365】

また、Se103のステップにおいて読み出した設定値が1~6の範囲であれば、現在の遊技状態に対応して、図40の役別テーブルに登録されている役を順番に読み出す(Se104)。ここで読み出した役の種類がレギュラーボーナス(レギュラーボーナス(1)、レギュラーボーナス(2))、ビッグボーナス(ビッグボーナス(1)、ビッグボーナス(2)、ビッグボーナス(3)(+チェリー、+スイカは含まず))であるかどうかを判定する(Se105)。レギュラーボーナス、ビッグボーナスまたはJACINのいずれかである場合には、前回以前のゲームでRAM41cにレギュラーボーナス当選フラグまたはビッグボーナス当選フラグが既に設定され、当該当選フラグに基づいて入賞することなく持ち越されているかどうかを判定する(Se106)。読み出した役の種類がレ50

ギューラーボーナスでもレギュラーボーナスでもなければ、そのまま S e 1 0 7 の処理に進む。

【 0 3 6 6 】

レギュラーボーナス当選フラグまたはビッグボーナス当選フラグが既に設定されていれば、S e 1 0 4 の処理に戻り、更に遊技状態別当選役テーブルに次に登録されている役を読み出すものとなる（レギュラーボーナス、ビッグボーナス及び J A C I N は、役別テーブルにおいて最初に登録されており、これで抽選処理が終了となることはないので）。読み出した役の種類がレギュラーボーナス、ビッグボーナスまたは J A C I N であっても、レギュラーボーナス当選フラグもビッグボーナス当選フラグも設定されていなければ、S e 1 0 7 の処理に進む。 10

【 0 3 6 7 】

S e 1 0 7 では、更に S d 1 のステップで設定された B E T 数を読み出し、当該役と読み出した B E T 数に対応する役について、図 4 0 の役別テーブルから共通フラグの設定状況を取得する。この結果、当該役、当該 B E T 数について共通フラグが設定されているかどうかを判定する（S e 1 0 8）。

【 0 3 6 8 】

共通フラグが設定されていれば、当該役、当該 B E T 数について図 4 0 の役別テーブルに登録されているアドレスに格納されている判定値数を取得する（S e 1 0 9）。そして、S e 1 1 1 の処理に進む。共通フラグが設定されていなければ、R A M 4 1 c に設定されている設定値を読み出し、当該役、当該 B E T 数について読み出した設定値に対応して役別テーブルに登録されているアドレスに格納されている判定値数を取得する（S e 1 1 0）。そして、S e 1 1 1 の処理に進む。 20

【 0 3 6 9 】

S e 1 1 1 のステップでは、S e 1 0 9 または S e 1 1 0 のステップにおいて取得した判定値数を内部抽選用の乱数の値に加算し、加算の結果を新たな内部抽選用の乱数の値とする。ここで、判定値数を内部抽選用の乱数の値に加算したときにオーバーフローが生じたかどうかを判定する（S e 1 1 2）。オーバーフローが生じた場合には、当該役がビッグボーナス（1）+ チェリー、ビッグボーナス（2）+ チェリー、ビッグボーナス（3）+ チェリー、またはビッグボーナス（1）+ スイカ、ビッグボーナス（2）+ スイカ、ビッグボーナス（3）+ スイカであるか否かを判定する（S e 1 1 3）。当該役がビッグボーナス（1）+ チェリー、ビッグボーナス（2）+ チェリー、ビッグボーナス（3）+ チェリー、またはビッグボーナス（1）+ スイカ、ビッグボーナス（2）+ スイカ、ビッグボーナス（3）+ スイカでなければ、当該役の当選フラグを R A M 4 1 c に設定する（S e 1 1 4）。そして、内部抽選処理を終了して、図 1 2 のフローチャートに復帰する。 30

【 0 3 7 0 】

S e 1 1 3 のステップにおいて、当該役がビッグボーナス（1）+ チェリー、ビッグボーナス（2）+ チェリー、ビッグボーナス（3）+ チェリー、またはビッグボーナス（1）+ スイカ、ビッグボーナス（2）+ スイカ、ビッグボーナス（3）+ スイカであれば、前回以前のゲームで R A M 4 1 c にレギュラーボーナス当選フラグまたはビッグボーナス当選フラグが既に設定され、当該当選フラグに基づいて入賞することなく持ち越されているかどうかを判定する（S e 1 1 5）。レギュラーボーナス当選フラグもビッグボーナス当選フラグも設定されていなければ、ビッグボーナス（1）～（3）の該当する当選フラグ及びチェリーの当選フラグ、またはビッグボーナス（1）～（3）の該当する当選フラグ及びスイカの当選フラグをそれぞれ R A M 4 1 c に設定する（S e 1 1 6）。そして、内部抽選処理を終了して、図 1 2 のフローチャートに復帰する。 40

【 0 3 7 1 】

S e 1 1 5 のステップにおいてレギュラーボーナス当選フラグまたはビッグボーナス当選フラグが既に設定されていれば、チェリーの当選フラグまたはスイカの当選フラグを R A M 4 1 c に設定する（S e 1 1 7）。そして、内部抽選処理を終了して、図 1 2 のフローチャートに復帰する。 50

【 0 3 7 2 】

S e 1 1 2 のステップにおいてオーバーフローが生じていない場合には、当該遊技状態について定められた役のうちで未だ処理対象としていない役があるかどうかを判定する(S e 1 1 8)。未だ処理対象としていない役があれば、S e 1 0 4 の処理に戻り、遊技状態別当選役テーブルに登録されている次の役を処理対象として処理を継続する。処理対象としていない役がなければ、内部抽選処理を終了して、図12のフローチャートに復帰する。

【 0 3 7 3 】

上記のように、図40に示す役別テーブル及び図41に示す内部抽選処理を適用した変形例によれば、特別役のハズレに対応する判定値数を登録する必要がないので、R O M 4 1 b の容量を節約できるとともに、遊技状態に関わらず、内部抽選処理を共通化できるので、プログラムも簡素化することができる。

10

【 0 3 7 4 】

また、前記実施例では、乱数発生回路42から抽出した乱数の上位バイト全体を下位バイトで置換し、下位バイト全体を上位バイトで置換するという入れ替えを行っていた。これに対して、乱数発生回路42から抽出した乱数のビットのうちの特定のビットのデータを他のビットのデータ（但し、マスクされる第7、第15ビット以外）で置換するだけであっても良い。また、乱数発生回路42から抽出した乱数の値を、そのまま内部抽選用の乱数として取得するものとしても良い。更に、上記の実施の形態とは異なる方法により内部抽選用の乱数に加工するものとしても良い。

20

【 0 3 7 5 】

図42は、乱数発生回路42から抽出した乱数をC P U 4 1 aがソフトウェアにより内部抽選用の乱数に加工するまでの処理の第1の変形例の説明図である。この第1の変形例でも、乱数発生回路42から抽出された乱数は、C P U 4 1 aが有する16ビットの汎用レジスタ41G Rに格納されるものとなる。

【 0 3 7 6 】

乱数発生回路42から抽出された乱数が汎用レジスタ41G Rに格納されると、C P U 4 1 aは、更に内部のリフレッシュレジスタ41Rの値を加工用の乱数として抽出する。C P U 4 1 aは、汎用レジスタ41G Rの上位バイトの値（上位カウンタ42cから抽出した値）にリフレッシュレジスタ41Rから抽出した加工用の乱数を加算する。汎用レジスタ41G Rの下位バイトの値（下位カウンタ42bから抽出した値）は、そのままにしておく。

30

【 0 3 7 7 】

次に、C P U 4 1 aは、汎用レジスタ41G Rの値、すなわち上位バイトに加工用の乱数を加算した値を、8080hと論理和演算をする。更に、C P U 4 1 aは、上位1バイト（第8ビット～第15ビット）までを1ビットずつ下位にシフトし、これによって空いた第15ビットに1を挿入する。C P U 4 1 aは、このときに汎用レジスタ41G Rに格納されている値を内部抽選用の乱数として取得し、これに判定値数を順次加算していくものとなる。

【 0 3 7 8 】

40

図43は、乱数発生回路42から抽出した乱数をC P U 4 1 aがソフトウェアにより内部抽選用の乱数に加工するまでの処理の第2の変形例の説明図である。この例でも、乱数発生回路42から抽出された乱数は、C P U 4 1 aが有する16ビットの汎用レジスタ41G Rに格納されるものとなる。

【 0 3 7 9 】

乱数発生回路42から抽出された乱数が汎用レジスタ41G Rに格納されると、C P U 4 1 aは、更に内部のリフレッシュレジスタ41Rの値を加工用の乱数として抽出する。C P U 4 1 aは、汎用レジスタ41G Rの上位バイトの値（上位カウンタ42cから抽出した値）にリフレッシュレジスタ41Rから抽出した加工用の乱数を加算する。また、汎用レジスタ41G Rの下位バイトの値（下位カウンタ42bから抽出した値）にもリフレ

50

ツシュレジスタ41Rから抽出した加工用の乱数を加算する。

【0380】

次に、CPU41aは、汎用レジスタ41GRの値、すなわち上位バイト及び下位バイトにそれぞれ加工用の乱数を加算した値を、8080hと論理和演算をする。更に、CPU41aは、上位1バイト(第8ビット～第15ビット)までを1ビットずつ下位にシフトし、これによって空いた第15ビットに1を挿入する。CPU41aは、このときに汎用レジスタ41GRに格納されている値を内部抽選用の乱数として取得し、これに判定値数を順次加算していくものとなる。

【0381】

以上説明した第1、第2の変形例では、リフレッシュレジスタ41Rの値を加工用の乱数として抽出し、これを乱数発生回路42から抽出した乱数の上位バイト(第2変形例では、更に下位バイト)に加算して、乱数の加工を行うものとしている。ここで適用した乱数の加工には、少なくとも加工用の乱数を上位バイトに加算する処理を含んでいる。これにより、内部抽選用の乱数のバラツキを大きくすることができ、遊技者による狙い打ちを可能な限り防ぐことができる。

10

【0382】

また、加工用の乱数をリフレッシュレジスタ41Rから抽出するものとしたことで、加工用の乱数を生成する手段として特別な構成が必要ない。しかも、リフレッシュレジスタ41Rの値は、CPU41aの命令フェッチ毎に更新されるもので、その更新間隔は一定しないので、ランダム性の高い乱数を加工用の乱数として抽出することができる。そして、加工用の乱数のランダム性が高いことから、これを用いて生成される内部抽選用の乱数のランダム性も高くなる。

20

【0383】

尚、上記第1、第2の変形例において、乱数発生回路42から抽出した乱数の上位バイト(及び下位バイト)にリフレッシュレジスタ41Rから抽出した値を加算していたが、リフレッシュレジスタ41R以外でハードウェアまたはソフトウェアにより周期的に更新される値を加算しても良い。また、リフレッシュレジスタ41Rから抽出した値(或いは、リフレッシュレジスタ41Rに代わるものとの値)を加算するのではなく、減算や、論理和、論理積などの論理演算を行っても良い。

30

【0384】

また、前記実施例で示した上位バイトと下位バイトとの入れ替えのようなビットの置換を、第1、第2の変形例に併用するものとしても良い。上記第1、第2の変形例においても、乱数発生回路42からの乱数の抽出から加工を終了するまでの間は、汎用レジスタ41GRの内容が書き換えられてしまうのを防ぐため、CPU41aに対する割り込みが禁止されるものとなる。

【0385】

また、第2の変形例においては、乱数発生回路42から抽出した乱数の上位バイトと下位バイトにそれぞれ加算する加工用の乱数を、リフレッシュレジスタ41Rから異なるタイミングで別々に抽出しても良い。上位バイトに加算する加工用の乱数を更新する手段と、下位バイトに加算する加工用の乱数を更新する手段とを別々に用意し、それぞれから上位バイト用、下位バイト用の加工用の乱数を抽出する手段を設けるものとしても良い。この場合において、上位バイト用の加工用の乱数を更新する手段と下位バイト用の加工用の乱数を更新する手段の一方をリフレッシュレジスタ41Rによって構成するものとすることができる。

40

【0386】

また、前記実施例では、乱数発生回路42が発生する乱数、すなわちハードウェア乱数機能により抽出した乱数をソフトウェアにより加工する場合に本発明を適用した場合について説明した。しかしながら、上記したソフトウェアによる乱数の加工は、ソフトウェアにより周期的に更新される乱数に適用しても良い。例えば、メイン制御部41を構成するマイクロコンピュータとは別の第2のマイクロコンピュータにおいてタイマ割り込みなど

50

により周期的に更新される乱数を、CPU41aが第2のマイクロコンピュータに指示を送って抽出させ、I/Oポート41dを介してCPU41aに入力して、汎用レジスタ41GRに格納するものとすることができます。第2のマイクロコンピュータの機能は、メイン制御部41を構成するマイクロコンピュータに含まれていても良い。この場合にも、加工後に取得される乱数の値をバラつかせることができるようになり、遊技者による狙い打ちの防止の効果を図ることができる。

【0387】

前記実施例において、CPU41aがRAM41cの初期化を行う際には、ROM41bの初期化テーブルを参照し、初期化条件に応じて初期化1～4のいずれかに対応する開始アドレスと初期化サイズを取得し、開始アドレスにポインタを設定し、初期化サイズを設定するとともに、ポインタが設定された初期化アドレスから1バイトづつ該当するアドレスの領域を0クリアし、1バイトクリアする毎に初期化サイズを1減算するとともに、ポインタを1進める処理を、初期化サイズが0になるまで実行することで、初期化条件に応じたRAM41cの領域を初期化しているが、初期化1～4において初期化される領域を連続するアドレス領域に設定するとともに、初期化テーブルには、初期化条件に応じて初期化1～4のいずれかに対応する開始アドレスと、初期化1～4の全てに共通する終了アドレスと、を登録しておき、CPU41aがRAM41cの初期化を行う際に、初期化テーブルを参照し、初期化条件に応じて初期化1～4のいずれかに対応する開始アドレスを取得し、開始アドレスにポインタを設定するとともに、ポインタが設定された初期化アドレスから1バイトづつ該当するアドレスの領域を0クリアし、1バイトクリアする毎に、ポインタを進める処理を、初期化1～4に共通の終了アドレスの領域がクリアされるまで実行することで、初期化条件に応じたRAM41cの領域を初期化するようにしても良い。10

【0388】

尚、この場合、1バイトクリアする毎に、ポインタが示すアドレスが終了アドレスであるかを判定し、終了アドレスであれば初期化を終了させるようにしても良いが、まず、初期化テーブルから取得した開始アドレスから共通の終了アドレスまでの初期化バイト数を計算して設定し、開始アドレスから1バイトクリアする毎に初期化バイト数を1減算するとともに、ポインタを1進める処理を、初期化バイト数が0になるまで実行し、初期化バイト数が0となった時点で終了アドレスの領域がクリアされたと判定し、初期化を終了することが好ましい。これは、ポインタが示すアドレスと終了アドレスを1バイト毎に比較する処理を行うよりも、初期化バイト数が0か否かを判定する処理の方が処理効率が高いからである。20

【0389】

図44(a)は、RAM41cの格納領域の変形例を示す図であり、図44(b)は、初期化テーブルの変形例を示す図であり、図45は、初期化1の変形例を示すフローチャートである。

【0390】

図44(a)に示すように、この変形例においては、RAM41cの格納領域が7E00(H)から、設定値ワーク、特別ワーク、重要ワーク、非保存ワーク、一般ワーク、未使用領域、未使用スタック領域、使用中スタック領域の順番で割り当てられている。このため、初期化1、2、4のいずれを行った場合でも、初期化される領域が連続するアドレス領域となる。詳しくは、初期化1において初期化される領域は、使用中スタック領域を除く全ての領域、すなわち、設定値ワーク、特別ワーク、重要ワーク、非保存ワーク、一般ワーク、未使用領域、未使用スタック領域であり、これらの領域は、7E00(H)～スタックポインタまでの連続するアドレス領域である。また、初期化2において初期化される領域は、一般ワーク、未使用領域、未使用スタック領域であり、これらの領域は、7E53(H)～スタックポインタまでの連続するアドレス領域である。また、初期化4において初期化される領域は、未使用領域、未使用スタック領域であり、これらの領域は、7F05(H)～スタックポインタまでの連続するアドレス領域である。尚、初期化2に4050

おいて一般ワーク、未使用領域、未使用スタック領域が初期化されるのに対して、初期化3では、非保存ワーク、未使用領域、未使用スタック領域が初期化されるので、初期化3において初期化される未使用領域及び未使用スタック領域は、連続するアドレス領域となるが、非保存ワークは連続しないアドレス領域となる。

【0391】

図44(a)に示すように、この変形例において適用する初期化テーブルには、初期化1~4に対応して開始アドレスが登録されているとともに、初期化1~4に共通する終了アドレスが登録されている。また、初期化3については、非保存ワークが連続しないアドレス領域となるので、非保存ワークの開始アドレスに対応して初期化サイズが登録されている。10

【0392】

次に、図45に示すフローチャートに基づいて、CPU41aが実行する初期化1の変形例を説明する。

【0393】

この初期化1では、まず、ROM41bの初期化テーブルを参照し、初期化1に対応して登録されている開始アドレスを読み出す(Sg101)。そして、読み出した開始アドレス(7E00(H))にポインタをセットする(Sg102)。次いで、ROM41bの初期化テーブルを参照し、初期化1~4に共通の終了アドレスを読み出す(Sg103)。そして、Sg101で読み出した開始アドレス(7E00(H))からSg103で読み出した終了アドレス(スタックポインタ)までのバイト数を計算し(Sg104)、計算したバイト数を初期化する領域のバイト数をセットする(Sg105)。そして、Sg102でセットされた開始アドレスからSg105でセットされたバイト数にわたりデータをクリアするRAMクリア処理を実行し(Sg106)、RAMクリア処理が終了すると、初期化1を終了してもとの処理に復帰する。20

【0394】

また、初期化2、4の変形例は、図45に示す初期化1の変形例とほぼ同様の処理であり、初期化テーブルに登録されている初期化2または初期化4の開始アドレスを取得し、開始アドレスから共通の終了アドレスまでのバイト数を計算し、開始アドレスから計算したバイト数にわたりデータをクリアする処理を行う。また、初期化3の変形例では、まず、初期化テーブルに登録されている非保存ワークの開始アドレスと初期化サイズを取得し、開始アドレスから初期化サイズ分のバイト数にわたりデータをクリアした後、初期化テーブルに登録されている未使用領域及び未使用スタック領域の開始アドレスを取得し、開始アドレスから共通の終了アドレスまでのバイト数を計算し、開始アドレスから計算したバイト数にわたりデータをクリアする処理を行う。30

【0395】

上記のようなRAM41cの初期化の変形例によれば、複数の初期化条件について、初期化テーブルに対応する開始アドレスとこれら複数の初期化条件に共通の終了アドレスのみを設定しておくことで、複数の初期化条件に対応する終了アドレスを個々に設定しておくことなく、複数の初期化条件に対応する領域を初期化することができるので、複数種類の初期化を行うためのプログラム容量を削減できる。40

【0396】

また、前記実施例では、電断割込処理においてRAM41cのRAMパリティが0となるようにRAMパリティ調整用データを格納し、復旧時においてRAM41cのRAMパリティが0か否かを判定することで、RAM41cのデータが正常か否かを判定しているが、もちろん電断割込処理においてRAM41cのRAMパリティが1となるようにRAMパリティ調整用データを格納し、復旧時においてRAM41cのRAMパリティが1か否かを判定することで、RAM41cのデータが正常か否かを判定するようにも良い。更には、電断割込処理においてRAM41cの全ての領域のチェックサム(該当する領域に格納されているデータの排他的論理和)を計算し、特定の領域に格納するとともに、復旧時において、RAM41cのチェックサムが格納されている特定の領域を含む全ての50

領域のチェックサムを計算し、その結果が 00 (H) であれば RAM41c のデータが正常であると判定し、00 (H) でなければ RAM41c のデータが異常であると判定するようにしても良い。

【0397】

これは、電断割込処理において正常にチェックサムが格納されていれば、復旧時において特定の領域を除く領域のチェックサムと特定の領域に格納されているデータ（電断時に計算したチェックサム）と同じ値をとるはずであり、特定の領域を除く領域のチェックサムと特定の領域に格納されているデータが一致するのであれば、双方のデータの排他的論理和を計算するとその結果が 00 (H) となるので、RAM41c のチェックサムが格納されている特定の領域を含む全ての領域のチェックサムを計算した結果が 00 (H) であれば、RAM41c のデータが正常であると判定できるためである。10

【0398】

尚、この場合にも、電断割込処理において、チェックサムを計算する前にいずれかのビットが 1 となる破壊診断用データ（例えば 5A (H)）を所定のアドレスに格納し、復旧時においては、チェックサムが 00 (H) か否かの判定に加えて、破壊診断用データが正常に格納されているか否かの判定を行い、チェックサムが 00 (H) であり、かつ破壊診断用データも正常であることを条件に、RAM41c のデータが正常であると判定することが好ましい。RAM41c のデータが正常でなくても、全ての領域に 00 (H) が格納されている場合には、起動時のチェックサムの判定により正常であると判定されてしまうが、停電時にいずれかのビットが 1 となる破壊診断用データを格納した後、チェックサムを計算し、特定の領域に格納しておくとともに、復旧時にチェックサムの判定に加えて破壊診断用データのチェックも行うことで、例え、復旧時において全ての領域に 00 (H) が格納されていて、チェックサムが 00 (H) となり正常と判定された場合にも、破壊診断用データが停電時に格納される値と一致しなくなり、異常と判定されるため、RAM41c の異常の判定を一層正確に行うことができる。20

【0399】

また、上記では、電断割込処理において RAM41c の RAM パリティまたはチェックサムを計算し、RAM41c に格納するとともに、復旧時において RAM41c の全ての領域に基づいて計算した RAM パリティが 0 であるか否か、または RAM41c の全ての領域に基づいて計算したチェックサムが 00 (H) であるか否か、に基づいて RAM41c のデータが正常か否かを判定しているが、電断割込処理において RAM41c の RAM パリティまたはチェックサムを計算し、特定の領域に格納するとともに、復旧時において RAM41c の特定の領域を除く RAM パリティまたはチェックサムを計算し、特定の領域に格納されている RAM パリティまたはチェックサムとの比較結果が一致するか否かによって RAM41c のデータが正常か否かを判定するようにしても良い。尚、この場合にも上記と同様に、RAM パリティやチェックサムを計算する前にいずれかのビットが 1 となる破壊診断用データを所定のアドレスに格納し、復旧時においては、RAM パリティやチェックサムが一致するか否かの判定に加えて、破壊診断用データが正常に格納されているか否かの判定を行い、RAM パリティやチェックサムが一致し、かつ破壊診断用データも正常であることを条件に、RAM41c のデータが正常であると判定することが好ましい。3040

【0400】

また、前記実施例では、メダル並びにクレジットを用いて賭数を設定するスロットマシンを用いているが、本発明はこれに限定されるものではなく、遊技球を用いて賭数を設定するスロットマシンや、クレジットのみを使用して賭数を設定する完全クレジット式のスロットマシンであっても良い。

【0401】

前記実施例における各要素は、本発明に対して以下のように対応している。

【0402】

本発明の請求項 1 に記載のスロットマシンは、50

1 ゲームに対して所定数（1 または 3）の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置（リール 2 L、2 C、2 R）の表示結果が導出表示されることにより 1 ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシン 1 であって、

信号が入力されることにより外部割込（割込 2）を発生させる割込入力端子（トリガー端子 C L K / T R G）と、通常入力端子（信号入力端子 P O R T）と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段（メイン制御部 4 1）を搭載したメイン制御基板（遊技制御基板 4 0）と、

前記メイン制御手段から送信された制御情報（コマンド）の受信に基づき演出の制御を行なうサブ制御手段（サブ制御部 9 1）を搭載したサブ制御基板（演出制御基板 9 0）と、10

前記スロットマシンで用いられる所定の電力（+ 25 V）の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているとき（+ 18 V 以下となったとき）に電断信号（電圧低下信号）を出力する電断検出手段（電断検出回路 4 8）と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板（演出中継基板 8 0）と、

を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域（重要ワーク、一般ワーク、特別ワーク、設定値ワーク、非保存ワーク）と、前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが読み出し及び書き込みが行われることのない未使用領域と、が少なくとも割り当てられたメインデータ記憶手段（RAM 4 1 c）と、20

複数種類の初期化条件（設定開始前、ビッグボーナス終了時、電源投入時で RAM 4 1 c が壊れていないとき、1 ゲーム終了時）のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域（図 13 (a)）を初期化するとともに、前記メインデータ記憶手段（RAM 4 1 c）の記憶領域における前記未使用領域を 1 ゲーム毎（1 ゲーム終了毎）に初期化する初期化手段（CPU 4 1 a による RAM 4 1 c の初期化）と、30

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理（レジスタの復帰）を実行するメイン制御状態復帰処理手段（CPU 4 1 a による起動処理）と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理（RAM パリティ調整用データの計算及び格納、破壊診断用データの設定）を含む電断時割込処理を実行する電断時割込処理実行手段（CPU 4 1 a による電断割込処理）と、40

前記制御情報を送信する際に、該制御情報の送信の遅延時間（遅延カウンタ値）を所定の範囲でランダムに設定する遅延時間設定手段（コマンド送信処理における Sq 4、Sq 5）と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段（コマンド送信処理における Sq 6）と、

を含み、

前記メインデータ記憶手段（RAM 4 1 c）には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段（CPU 4 1 a による RAM 4 1 c の初期化）は、2 種類以上の初期化50

条件（設定開始前、ビッグボーナス終了時、1ゲーム終了時）の種類に対応して前記メインデータ記憶手段における初期化開始アドレス（開始アドレス）が設定されるとともに、該初期化条件に共通する初期化終了アドレス（終了アドレス）が設定された初期化領域設定手段（ROM41bの初期化テーブル（図44（b））を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから前記初期化終了アドレスまでの各アドレスが割り当てられた記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し（Sq3）、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し（Sq6～Sq10）、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる（Sq4～RETI）、

ことを特徴としている。

本発明の請求項2に記載のスロットマシンは、

1ゲームに対して所定数（1または3）の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置（リール2L、2C、2R）の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシン1であって、

信号が入力されることにより外部割込（割込2）を発生させる割込入力端子（トリガーエンドスルCCLK/TRG）と、通常入力端子（信号入力端子PORT）と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段（メイン制御部41）を搭載したメイン制御基板（遊技制御基板40）と、

前記メイン制御手段から送信された制御情報（コマンド）の受信に基づき演出の制御を行うサブ制御手段（サブ制御部91）を搭載したサブ制御基板（演出制御基板90）と、

前記スロットマシンで用いられる所定の電力（+25V）の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているとき（+18V以下となったとき）に電断信号（電圧低下信号）を出力する電断検出手段（電断検出回路48）と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板（演出中継基板80）と、

を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域（重要ワーク、一般ワーク、特別ワーク、設定値ワーク、非保存ワーク）と、前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが読み出し及び書き込みが行われることのない未使用領域と、が少なくとも割り当てられたメインデータ記憶手段（RAM41c）と、

複数種類の初期化条件（設定開始前、ビッグボーナス終了時、電源投入時でRAM41cが壊れていないとき、1ゲーム終了時）のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域（図13（a））を初期化するとともに、前記メインデータ記憶手段（RAM41c）の記憶領域における前記未使用領域を1ゲーム毎（1ゲーム終了毎）に初期化する初期化手段（CPU41aによるRAM41cの初期化）と、

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理（レジスタの復帰）を実行するメイン制御状態復帰処理手段（CPU41aによる起動処理）と、

10

20

30

40

50

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理（RAMパリティ調整用データの計算及び格納、破壊診断用データの設定）を含む電断時割込処理を実行する電断時割込処理実行手段（CPU41aによる電断割込処理）と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間（遅延カウンタ値）を所定の範囲でランダムに設定する遅延時間設定手段（コマンド送信処理におけるSq4、Sq5）と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段（コマンド送信処理におけるSq6）と、

を含み、

前記メインデータ記憶手段（RAM41c）には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段（CPU41aによるRAM41cの初期化）は、初期化条件（設定開始前、ビッグボーナス終了時、電源投入時でRAM41cが壊れていないとき、1ゲーム終了時）の種類に対応して前記メインデータ記憶手段における初期化開始アドレス（開始アドレス）と該初期化開始アドレスに対して初期化される記憶領域のサイズ（初期化サイズ）が設定された初期化領域設定手段（ROM41bの初期化テーブル（図13（b）））を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから該初期化アドレスに対して設定されたサイズの記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し（Sq3）、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し（Sq6～Sq10）、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる（Sq4～RETI）、

ことを特徴としている。

【0403】

本発明の請求項3に記載のスロットマシンは、請求項1または2に記載のスロットマシンであって、

前記メインデータ記憶手段（RAM41c）の記憶領域には、前記ワーク領域（重要ワーク、一般ワーク、特別ワーク、設定値ワーク、非保存ワーク）及び前記未使用領域に加えてデータを一時的に格納することが可能なスタック領域が割り当てられており、

前記メイン制御手段（メイン制御部41）は、

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段（割込処理に伴いCPU41aがレジスタを退避する処理）と、

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段（割込処理の終了に伴いCPU41aがレジスタを復帰する処理）と、

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段（CPU41aがスタックポインタから未使用領域のサイズを計算する処理（Sg3、Si7、Sj6、Sk4））と、

を含み、

前記初期化手段（CPU41aによるRAM41cの初期化）は、前記メインデータ記憶手段の記憶領域における前記未使用領域に加えて前記未使用スタック領域特定手段により特定される未使用スタック領域も1ゲーム毎（1ゲーム終了毎）に初期化する、

ことを特徴としている。

【0404】

本発明の請求項4に記載のスロットマシンは、

10

20

30

40

50

1 ゲームに対して所定数（1 または 3）の賭数を設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置（リール 2 L、2 C、2 R）の表示結果が導出表示されることにより 1 ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシン 1 であって、

信号が入力されることにより外部割込（割込 2）を発生させる割込入力端子（トリガーワン端子 C L K / T R G）と、通常入力端子（信号入力端子 P O R T）と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段（メイン制御部 4 1）を搭載したメイン制御基板（遊技制御基板 4 0）と、

前記メイン制御手段から送信された制御情報（コマンド）の受信に基づき演出の制御を行なうサブ制御手段（サブ制御部 9 1）を搭載したサブ制御基板（演出制御基板 9 0）と、10

前記スロットマシンで用いられる所定の電力（+ 25 V）の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているとき（+ 18 V 以下となったとき）に電断信号（電圧低下信号）を出力する電断検出手段（電断検出回路 4 8）と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板（演出中継基板 8 0）と、

を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域（重要ワーク、一般ワーク、特別ワーク、設定値ワーク、非保存ワーク）と、データを一時的に格納することが可能なスタック領域と、が少なくとも割り当てられたメインデータ記憶手段（R A M 4 1 c）と、20

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段（割込処理に伴い C P U 4 1 a がレジスタを退避する処理）と、

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段（割込処理の終了に伴い C P U 4 1 a がレジスタを復帰する処理）と、30

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段（C P U 4 1 a がスタックポインタから未使用領域のサイズを計算する処理（S g 3、S i 7、S j 6、S k 4））と、

複数種類の初期化条件（設定開始前、ビッグボーナス終了時、電源投入時で R A M 4 1 c が壊れていないとき、1 ゲーム終了時）のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域（図 13（a））を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用スタック領域特定手段により特定される未使用スタック領域を 1 ゲーム毎（1 ゲーム終了毎）に初期化する初期化手段（C P U 4 1 a による R A M 4 1 c の初期化）と、40

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理（レジスタの復帰）を実行するメイン制御状態復帰処理手段（C P U 4 1 a による起動処理）と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理（R A M パリティ調整用データの計算及び格納、破壊診断用データの設定）を含む電断時割込処理を実行する電断時割込処理実行手段（C P U 4 1 a による電断割込処理）と、50

前記制御情報を送信する際に、該制御情報の送信の遅延時間（遅延カウンタ値）を所定の範囲でランダムに設定する遅延時間設定手段（コマンド送信処理における S q 4、S q 5）と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段（コマンド送信処理における S q 6）と、

を含み、

前記メインデータ記憶手段（RAM41c）には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段（CPU41aによるRAM41cの初期化）は、2種類以上の初期化条件（設定開始前、ビッグボーナス終了時、1ゲーム終了時）の種類に対応して前記メインデータ記憶手段における初期化開始アドレス（開始アドレス）が設定されるとともに、該初期化条件に共通する初期化終了アドレス（終了アドレス）が設定された初期化領域設定手段（ROM41bの初期化テーブル（図44（b））を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから前記初期化終了アドレスまでの各アドレスが割り当てられた記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し（S q 3）、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し（S q 6～S q 10）、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる（S q 4～RET I）、

ことを特徴としている。

本発明の請求項5に記載のスロットマシンは、

1ゲームに対して所定数（1または3）の賭けを設定することによりゲームが開始可能となるとともに、各々が識別可能な複数種類の識別情報を変動表示可能な可変表示装置（リール2L、2C、2R）の表示結果が導出表示されることにより1ゲームが終了し、該可変表示装置の表示結果に応じて入賞が発生可能とされたスロットマシン1であって、

信号が入力されることにより外部割込（割込2）を発生させる割込入力端子（トリガー端子CLK/TRG）と、通常入力端子（信号入力端子PORT）と、を有するマイクロコンピュータにて構成され、遊技の制御を行うメイン制御手段（メイン制御部41）を搭載したメイン制御基板（遊技制御基板40）と、

前記メイン制御手段から送信された制御情報（コマンド）の受信に基づき演出の制御を行うサブ制御手段（サブ制御部91）を搭載したサブ制御基板（演出制御基板90）と、

前記スロットマシンで用いられる所定の電力（+25V）の状態を監視し、電力供給が断たれたことに関わる電断条件が成立しているとき（+18V以下となったとき）に電断信号（電圧低下信号）を出力する電断検出手段（電断検出回路48）と、

前記メイン制御基板と前記サブ制御基板とを通信可能に接続する中継基板（演出中継基板80）と、

を備え、

前記電断検出手段は、前記電断信号を前記マイクロコンピュータの前記割込入力端子及び前記通常入力端子の双方に出力し、

前記メイン制御手段は、

データを読み出し及び書き込み可能に記憶する記憶領域を有し、電力供給が停止しても該記憶領域に記憶されているデータを保持することが可能な記憶手段であり、前記記憶領域として前記メイン制御手段を構成するマイクロコンピュータが動作を行うためのデータが記憶されるワーク領域（重要ワーク、一般ワーク、特別ワーク、設定値ワーク、非保存ワーク）と、データを一時的に格納することが可能なスタック領域と、が少なくとも割り当てられたメインデータ記憶手段（RAM41c）と、

前記マイクロコンピュータが使用中のデータを前記スタック領域に退避するデータ退避手段（割込処理に伴いCPU41aがレジスタを退避する処理）と、

10

20

30

40

50

前記退避手段により前記スタック領域に退避したデータを前記マイクロコンピュータが使用するデータとして復帰させるデータ復帰手段（割込処理の終了に伴いCPU41aがレジスタを復帰する処理）と、

前記スタック領域のうち前記データ退避手段により退避したデータが記憶されていない未使用スタック領域を特定する未使用スタック領域特定手段（CPU41aがスタックポインタから未使用領域のサイズを計算する処理（Sg3、Si7、Sj6、Sk4））と、

複数種類の初期化条件（設定開始前、ビッグボーナス終了時、電源投入時でRAM41cが壊れていないとき、1ゲーム終了時）のうちいずれかの初期化条件が成立したときに、前記メインデータ記憶手段における記憶領域のうち該成立した初期化条件の種類に対応して定められた領域（図13（a））を初期化するとともに、前記メインデータ記憶手段の記憶領域における前記未使用スタック領域特定手段により特定される未使用スタック領域を1ゲーム毎（1ゲーム終了毎）に初期化する初期化手段（CPU41aによるRAM41cの初期化）と、

電力供給が開始されたときに、前記メインデータ記憶手段に記憶されているデータに基づいて該メイン制御手段の制御状態を電力供給が停止する前の制御状態に復帰させるメイン制御状態復帰処理（レジスタの復帰）を実行するメイン制御状態復帰処理手段（CPU41aによる起動処理）と、

前記外部割込の発生に応じて、電力供給が開始されたときに前記メイン制御状態復帰手段が前記メイン制御手段の制御状態を電力供給が停止する前の制御状態に正常に復帰できるようにするための電断処理（RAMパリティ調整用データの計算及び格納、破壊診断用データの設定）を含む電断時割込処理を実行する電断時割込処理実行手段（CPU41aによる電断割込処理）と、

前記制御情報を送信する際に、該制御情報の送信の遅延時間（遅延カウンタ値）を所定の範囲でランダムに設定する遅延時間設定手段（コマンド送信処理におけるSq4、Sq5）と、

前記遅延時間設定手段により設定された遅延時間が経過するまで前記制御情報の送信を遅延させる送信遅延手段（コマンド送信処理におけるSq6）と、

を含み、

前記メインデータ記憶手段（RAM41c）には、記憶領域を特定するアドレスが割り当てられているとともに、

前記初期化手段（CPU41aによるRAM41cの初期化）は、初期化条件（設定開始前、ビッグボーナス終了時、電源投入時でRAM41cが壊れていないとき、1ゲーム終了時）の種類に対応して前記メインデータ記憶手段における初期化開始アドレス（開始アドレス）と該初期化開始アドレスに対して初期化される記憶領域のサイズ（初期化サイズ）が設定された初期化領域設定手段（ROM41bの初期化テーブル（図13（b）））を含み、前記初期化条件が成立したときに、該初期化条件の種類に対応して前記初期化領域設定手段に設定された初期化開始アドレスから該初期化アドレスに対して設定されたサイズの記憶領域を初期化し、

前記電断時割込処理実行手段は、前記電断時割込処理において前記通常入力端子を監視し、前記電断信号が入力されているか否かを判定し（Sq3）、前記通常入力端子に前記電断信号が入力されていると判定したときに、前記電断処理を実行し（Sq6～Sq10）、前記通常入力端子に前記電断信号が入力されていないと判定したときに、前記電断処理を行わずに割込元の処理に復帰させる（Sq4～RETI）、

ことを特徴としている。

【0405】

本発明の請求項6に記載のスロットマシンは、請求項1～5のいずれかに記載のスロットマシンであって、

前記初期化手段（CPU41aによるRAM41cの初期化）は、前記成立した初期化条件の種類に対応して定められた領域（図13（a））を初期化するとともに、該成立し

10

20

30

40

50

た初期化条件の種類に関わらず前記メインデータ記憶手段（RAM41c）の記憶領域における未使用領域及び／または前記未使用スタック領域を必ず初期化する、ことを特徴としている。

【0408】

本発明の請求項7に記載のスロットマシンは、請求項1～6のいずれかに記載のスロットマシンであって、

前記メイン制御手段（メイン制御部41）は、前記初期化手段（CPU41aによるRAM41cの初期化）による前記メインデータ記憶手段（RAM41c）の記憶領域の初期化中において全ての割込処理を禁止する割込処理禁止手段（初期化中の割込禁止）を含む、

10

ことを特徴としている。

【0409】

本発明の請求項8に記載のスロットマシンは、請求項2～7のいずれかに記載のスロットマシンであって、

前記メインデータ記憶手段（RAM41c）における前記未使用領域及び／または前記未使用スタック領域を含む全ての記憶領域のデータを所定の演算方法（排他的論理和）にて計算する全データ演算手段（CPU41aによるRAMパリティの計算）を備え、

前記電断時割込処理実行手段（CPU41aによる電断割込処理）は、前記電断処理において前記全データ演算手段による計算結果（RAMパリティ）を特定の値（0）とするための調整用データ（パリティ調整用データ）を算出し、該算出した調整用データを前記メインデータ記憶手段に格納する処理を実行し、

20

前記メイン制御状態復帰処理手段（CPU41aによる起動処理）は、電力供給が開始されたときに前記全データ演算手段による計算結果が前記特定の値か否かを判定し、該全データ演算手段による計算結果が前記特定の値であると判定したことを条件に、前記メイン制御状態復帰処理（レジスタの復帰）を実行する、

ことを特徴としている。

【0420】

本発明の請求項9に記載のスロットマシンは、請求項1～8のいずれかに記載のスロットマシンであって、

前記メイン制御手段（メイン制御部41）は、前記制御情報（コマンド）の送信後、所定の送信規制時間（4.48ms）が経過するまで新たな制御情報の送信を禁止する制御情報送信規制手段（コマンド送信処理におけるSq4）を含む、

30

ことを特徴としている。

【0421】

本発明の請求項10に記載のスロットマシンは、請求項1～9のいずれかに記載のスロットマシンであって、

前記電断検出手段（電断検出回路48）が前記所定の電力（+25V）の状態として監視する監視電圧を生成する監視電圧生成手段（電圧生成回路303）を備え、

前記電断検出手段は、前記監視電圧を監視し、該監視電圧が所定値（+18V）以下となつたときに前記電断信号（電圧低下信号）を出力するとともに、

40

前記スロットマシン1は、該スロットマシンに搭載された電気部品に対して供給される電源電圧（+24V、+12V（VCC）、+12V、+5V）を前記監視電圧とは別個に生成する電源電圧生成手段（電圧生成回路305～308）を更に備えることを特徴としている。

【0422】

本発明の請求項11に記載のスロットマシンは、請求項1～10のいずれかに記載のスロットマシンであって、

前記電断時割込処理実行手段（CPU41aによる電断割込処理）は、前記制御情報（コマンド）の送信待ちの状態において生じた前記外部割込に（外部割込）基づく前記電断時割込処理において、前記遅延時間の残り時間（遅延カウンタ値）を前記メインデータ記

50

憶手段(R A M 4 1 c)に格納し、

前記送信遅延手段(コマンド送信処理における S q 6)は、前記メイン制御状態復帰処理手段(C P U 4 1 a による起動処理)により前記メイン制御手段(メイン制御部 4 1)の制御状態が電力供給が停止する前の制御状態に復帰し、前記制御情報の送信待ちの状態である場合に、前記メインデータ記憶手段に格納されている遅延時間の残り時間が経過するまで(遅延カウンタ値が 0 となるまで)前記制御情報の送信を遅延させる、

【 0 4 2 3 】

本発明の請求項1 2に記載のスロットマシンは、請求項1 ~ 1 0のいずれかに記載のスロットマシンであって、

前記遅延時間設定手段(コマンド送信処理における S q 6)は、前記メイン制御状態復帰処理手段(C P U 4 1 a による起動処理)により前記メイン制御手段(メイン制御部 4 1)の制御状態が電力供給が停止する前の制御状態に復帰した際に、前記制御情報(コマンド)の送信待ちの状態である場合に、該制御情報の送信の遅延時間(遅延カウンタ値)を所定の範囲でランダムに再設定し、

前記送信遅延手段(コマンド送信処理における S q 6)は、前記遅延時間設定手段により再設定された遅延時間が経過するまで(遅延カウンタ値が 0 となるまで)前記制御情報の送信を遅延させる、

ことを特徴としている。

【 図面の簡単な説明 】

【 0 4 2 4 】

【 図 1 】本発明が適用された実施例のスロットマシンの正面図である。

【 図 2 】リールの図柄配列を示す図である。

【 図 3 】スロットマシンの構成を示すブロック図である。

【 図 4 】電源基板の構成を説明するための回路図である。

【 図 5 】(a)は、遊技制御基板におけるメイン制御部まわりの構成を説明するための回路図である。(b)は、演出制御基板におけるサブ制御部まわりの構成を説明するための回路図である。

【 図 6 】(a)は、遊技状態別当選役テーブルを示す図である。(b)は、小役及び再遊技役用の役別テーブルを示す図である。(c)は、特別役用の役別テーブルを示す図である。

【 図 7 】役別テーブルに登録されたアドレスに基づいて取得される判定値数の記憶領域を示す図である。

【 図 8 】(a)(b)は、内部抽選用の乱数の値及び各役の判定値数と、当選役との関係の例を示す図である。

【 図 9 】内部抽選用の乱数の値及び各役の判定値数と、当選役との関係の例を示す図である。

【 図 1 0 】(a)(b)は、内部抽選用の乱数の値及び各役の判定値数と、当選役との関係の例を示す図である。

【 図 1 1 】(a)は乱数発生回路の構成を詳細に示すブロック図である。(b)は乱数発生回路から抽出した乱数を C P U がソフトウェアにより内部抽選用の乱数に加工するまでの説明図である。

【 図 1 2 】メイン制御部の R A M の格納領域の構成を示す図である。

【 図 1 3 】(a)は、メイン制御部の C P U が行う初期化 1 ~ 4 において初期化される領域を示す図である。(b)は、メイン制御部の R O M に格納された初期化テーブルを示す図である。

【 図 1 4 】遊技制御基板から演出制御基板に対して送信されるコマンドの一例を示す図である。

【 図 1 5 】メイン制御部の R A M に設定されるコマンドキューの構成を示す図である。

【 図 1 6 】メイン制御部の C P U が行うタイマ割込処理の発生状況を示すタイミングチャートである。

10

20

30

40

50

【図17】(a) (b)は、メイン制御部のCPUによるコマンドの送信状況の一例を示すタイミングチャートである。

【図18】メイン制御部のCPUが起動時に実行する起動処理の制御内容を示すフローチャートである。

【図19】メイン制御部のCPUがRAM異常を判定したときに実行するRAM異常エラー処理の制御内容を示すフローチャートである。

【図20】メイン制御部のCPUが起動処理において実行する設定変更処理の制御内容を示すフローチャートである。

【図21】メイン制御部のCPUが起動処理後に実行するゲーム処理の制御内容を示すフローチャートである。10

【図22】メイン制御部のCPUがゲーム処理において実行する内部抽選処理の制御内容を示すフローチャートである。

【図23】メイン制御部のCPUがゲーム処理において実行する内部抽選処理の制御内容を示すフローチャートである。

【図24】メイン制御部のCPUがゲーム処理において実行する内部抽選処理の制御内容を示すフローチャートである。

【図25】メイン制御部のCPUが内部抽選処理において実行する乱数取得処理の制御内容を示すフローチャートである。

【図26】メイン制御部のCPUが起動処理において実行する初期化1の制御内容を示すフローチャートである。20

【図27】メイン制御部のCPUが初期化1～4において実行するRAMクリア処理の制御内容を示すフローチャートである。

【図28】メイン制御部のCPUがビッグボーナス終了時に実行する初期化2の制御内容を示すフローチャートである。

【図29】メイン制御部のCPUが起動処理において実行する初期化3の制御内容を示すフローチャートである。

【図30】メイン制御部のCPUが1ゲーム終了毎に実行する初期化4の制御内容を示すフローチャートである。

【図31】メイン制御部のCPUが定期的に実行するタイマ割込処理の制御内容を示すフローチャートである。30

【図32】メイン制御部のCPUが定期的に実行するタイマ割込処理の制御内容を示すフローチャートである。

【図33】メイン制御部のCPUがコマンドを生成し、コマンドキューに格納する際に実行するコマンド格納処理の制御内容を示すフローチャートである。

【図34】メイン制御部のCPUがタイマ割込処理において実行するコマンド送信処理の制御内容を示すフローチャートである。

【図35】メイン制御部のCPUが、電断検出回路から電圧低下信号の入力されることによって実行する電断割込処理の制御内容を示すフローチャートである。

【図36】サブ制御部のCPUが起動時に実行する起動処理(サブ)の制御内容を示すフローチャートである。40

【図37】サブ制御部のCPUが、遊技制御基板からストローブ(INT)信号が入力されることによって実行するコマンド受信割込処理の制御内容を示すフローチャートである。

【図38】サブ制御部のCPUが、定期的に実行するタイマ割込処理(サブ)の制御内容を示すフローチャートである。

【図39】停電時における各電圧の降下状況、メイン制御部及びサブ制御部のCPUの動作状況を示すタイミングチャートである。

【図40】役別テーブルの変形例を示す図である。

【図41】メイン制御部のCPUが実行する内部抽選処理の変形例を示す図である。

【図42】乱数発生回路から抽出した乱数をCPUがソフトウェアにより内部抽選用の乱50

数に加工するまでの処理の第1の変形例の説明図である。

【図43】乱数発生回路から抽出した乱数をCPUがソフトウェアにより内部抽選用の乱数に加工するまでの処理の第2の変形例の説明図である。

【図44】(a)は、メイン制御部におけるRAMの格納領域の変形例を示す図である。(b)は、初期化テーブルの変形例を示す図である。

【図45】メイン制御部のCPUが実行する初期化1の変形例を示す図である。

【符号の説明】

【0425】

1 スロットマシン

2 L、2C、2R リール

10

40 遊技制御基板

41 メイン制御部

41a CPU

41b ROM

41c RAM

42 亂数発生回路

43 サンプリング回路

48 電断検出回路

80 演出中継基板

90 演出制御基板

20

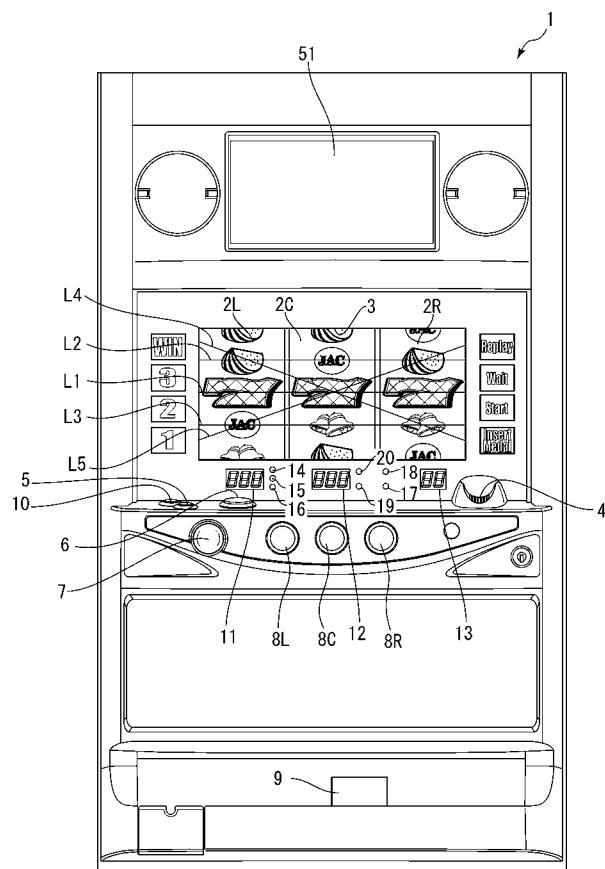
91 サブ制御部

91a CPU

91b ROM

91c RAM

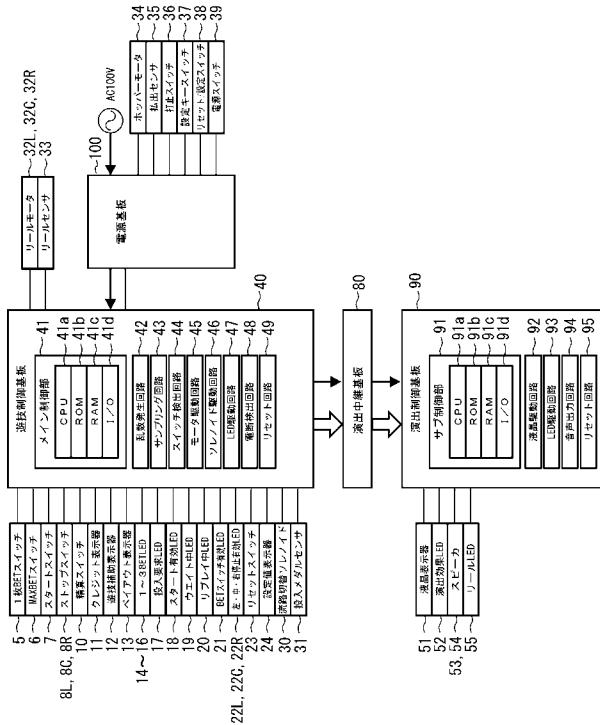
【図1】



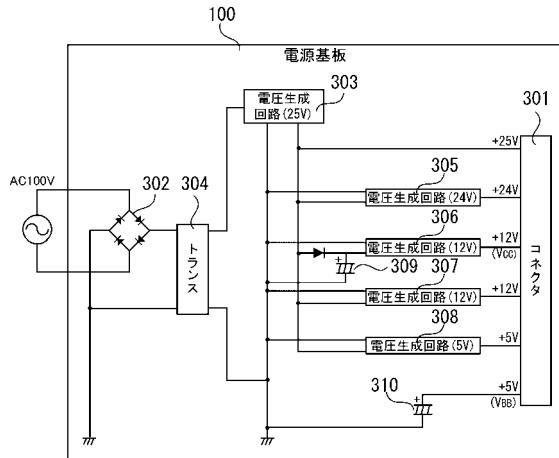
【図2】

	左	中	右
20	JAC		
19			
18			
17			
16			
15			
14	JAC		
13			
12			
11			
10	BAR		
9	JAC		
8			
7			
6			
5	JAC		
4			
3	JAC		BAR
2			
1			
0			

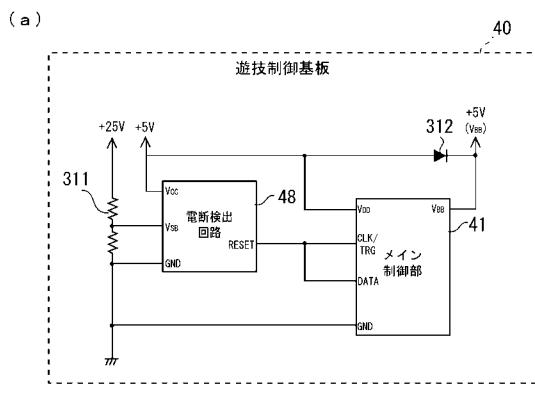
【図3】



【図4】



【図5】



【図6】

役	回路組み合わせ	選択状態					
		RB	小役ゲーム	通常			
JAC	ペル-JAC-JAC	○	x	x			
チエリー	チエリー-ANY-ANY	○	○	○			
スイカ	スイカ-スイカ-スイカ	○	○	○			
ベル	ベル-ベル-ベル	○	○	○			
リプレイ	JAC-JAC-JAC	x	x	○			
B.B(1)	赤7-赤7-赤7	x	x	○			
B.B(2)	白7-白7-白7	x	x	○			
B.B(3)	青7-青7-青7	x	x	○			
R.B(1)	BAR-BAR-BAR	x	x	○			
R.B(2)	BAR-BAR-BAR	x	○	x			
JACIN	スイカ-JAC-JAC	x	○	x			

役	BET	共通 フラグ	設定値						払出
			1	2	3	4	5	6	
JAC	1	1							15
	1	1							4
チエリー	3	1							4
スイカ	1	1							15
	3	1							15
ベル	1	0	ADD+10	ADD+12	ADD+14	ADD+16	ADD+18	ADD+20	15
	3	0	ADD+22	ADD+24	ADD+26	ADD+28	ADD+30	ADD+32	8
リプレイ	3	1							0(未質)

役	BET	共通 フラグ	設定値						払出
			1	2	3	4	5	6	
B.B(1)-A	3	1							0
B.B(2)-A	3	1							0
B.B(3)-A	3	1							0
ハズレ-A	3	1							0
B.B(1)-B	3	1							0
B.B(2)-B	3	1							0
B.B(3)-B	3	1							0
ハズレ-B	3	0	ADD+50	ADD+52	ADD+54	ADD+56	ADD+58	ADD+60	0
B.B(1)-C	3	0	ADD+62	ADD+64	ADD+66	ADD+68	ADD+70	ADD+72	0
B.B(2)-C	3	0	ADD+74	ADD+76	ADD+78	ADD+80	ADD+82	ADD+84	0
B.B(3)-C	3	0	ADD+86	ADD+88	ADD+90	ADD+92	ADD+94	ADD+96	0
R.B(1)	3	0	ADD+98	ADD+100	ADD+102	ADD+104	ADD+106	ADD+108	0
R.B(2)	3	1							0
JACIN	3	1							0

【図7】

ADD	27	JAC	+36	3	B.B(1)-A
+ 2	269	チエリー IBET	+38	3	B.B(2)-A
+ 4	289	" 3BET	+40	3	B.B(3)-A
+ 6	68	スイカ IBET	+42	260	ハズレ-A
+ 8	68	" 3BET	+44	3	B.B(1)-B
+10	15805	ベル IBET	+46	3	B.B(2)-B
+12	15805	(R.B中) 設定値1	+48	3	B.B(3)-B
+14	15873	" 設定値2	+50	5611	ハズレ-B 設定値1
+16	15873	" 設定値3	+52	5662	" 設定値2
+18	15919	" 設定値4	+54	5713	" 設定値3
+20	15918	" 設定値5	+56	5764	" 設定値4
+22	3307	ベル 3BET 設定値1	+58	5815	" 設定値5
+24	3358	(通常、小役ゲーム) 設定値2	+60	5886	" 設定値6
+26	3409	" 設定値3	+62	9	B.B(1)-C 設定値1
+28	3460	" 設定値4	+64	10	" 設定値2
+30	3511	" 設定値5	+66	11	" 設定値3
+32	3582	" 設定値6	+68	12	" 設定値4
+34	2245		+70	13	" 設定値5
+36		リプレイ	+72	14	" 設定値6
			+74	9	B.B(2)-C 設定値1
			+76	10	" 設定値2
			+78	11	" 設定値3
			+80	12	" 設定値4
			+82	13	" 設定値5
			+84	14	" 設定値6
			+86	9	B.B(3)-C 設定値1
			+88	10	" 設定値2
			+90	11	" 設定値3
			+92	12	" 設定値4
			+94	13	" 設定値5
			+96	14	" 設定値6
			+98	31	R.B(1) 設定値1
			+100	31	" 設定値2
			+102	31	" 設定値3
			+104	31	" 設定値4
			+106	31	" 設定値5
			+108	31	" 設定値6
			+110	32	R.B(2) JACIN
			+112	4311	

【図8】

(a)通常、設定値6(小役及び再遊技役判定)

役	判定値数(計)	当選となる乱数値	当選確率
チエリー	269(269)	16115~16383	1/60.9
スイカ	68(337)	16047~16114	1/240.9
ベル	3582(3919)	12465~16046	1/4.6
リプレイ	2245(6164)	10220~12464	1/7.3
ハズレ		0~10219	

(b)通常、設定値6(ボーナス判定)

役	判定値数(計)	当選となる乱数値	当選確率
B.B(1)-A	3(3)	16381~16383	1/5461.3
B.B(2)-A	3(6)	16378~16380	1/5461.3
B.B(3)-A	3(9)	16375~16377	1/5461.3
ハズレ-A	260(269)	16115~16674	1/63.0
B.B(1)-B	3(272)	16112~16114	1/5461.3
B.B(2)-B	3(275)	16109~16108	1/5461.3
B.B(3)-B	3(278)	16106~16108	1/5461.3
ハズレ-B	5886(6164)	10220~16105	1/2.8
B.B(1)-C	14(6178)	10206~10219	1/1170.3
B.B(2)-C	14(6192)	10192~10205	1/1170.3
B.B(3)-C	14(6206)	10178~10191	1/1170.3
R.B(1)	31(6195)	10147~10177	1/528.5
ハズレ		0~10146	

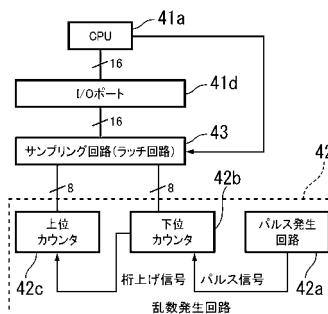
【図9】

通常、設定値6、ボーナス未当選

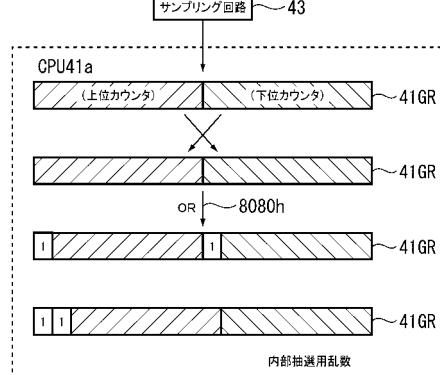
役	当選となる乱数値	当選確率
B.B(1)+チエリー	16381~16383	1/5461.3
B.B(2)+チエリー	16378~16380	1/5461.3
B.B(3)+チエリー	16375~16377	1/5461.3
チエリー	16115~16374	1/63.0
B.B(1)+スイカ	16112~16114	1/5461.3
B.B(2)+スイカ	16109~16111	1/5461.3
B.B(3)+スイカ	16106~16108	1/5461.3
スイカ	16047~16105	1/277.7
ベル	12465~16046	1/4.6
リプレイ	10220~12464	1/7.3
B.B(1)	10206~10219	1/1170.3
B.B(2)	10192~10205	1/1170.3
B.B(3)	10178~10191	1/1170.3
R.B(1)	10147~10177	1/528.5
ハズレ	0~10146	

【図11】

(a)



(b)



【図10】

(a)小役ゲーム、設定値6

役	判定値数(計)	当選となる乱数値	当選確率
チエリー	269(269)	16115~16383	1/60.9
スイカ	68(337)	16047~16114	1/240.9
ベル	3582(3919)	12465~16046	1/4.6
R.B(2)	32(3951)	12433~12464	1/512
JACIN	4311(8262)	8122~12432	1/3.8
ハズレ		0~8121	

(b)R.B、設定値6

役	判定値数(計)	当選となる乱数値	当選確率
JAC	27(27)	16357~16383	1/606.8
チエリー	269(296)	16088~16356	1/60.9
スイカ	68(364)	16020~16087	1/240.9
ベル	15919(16283)	101~16019	1/1.03
ハズレ		0~100	

【図12】

7FFF	SP	使用中スタック領域
7FD2		未使用スタック領域
7F05		未使用領域
7EBA		一般ワーク
7EB7		非保存ワーク
7EB6		設定値ワーク
7E8F		特別ワーク
7E28		一般ワーク
7E00		重要ワーク

【図13】

	初期化1	初期化2	初期化3	初期化4
	設定開始前	BB終了時	電源投入時でRAMが壊れていない時	1ゲーム終了時
重要ワーク	○	×	×	×
一般ワーク	○	○	×	×
特別ワーク	○	×	×	×
設定値ワーク	○	×	×	×
非保存ワーク	○	×	○	×
未使用領域	○	○	○	○
未使用スタック領域	○	○	○	○
使用中スタック領域	×	×	×	×

○:初期化する
×:初期化しない

(b)

	開始アドレス	初期化サイズ(バイト)
初期化1	7E00	1D3(+M)
初期化2	7E28	67
	7EBA	118(+M)
初期化3	7EB7	3
	7F05	CD(+M)
初期化4	7F05	CD(+M)

M:未使用スタック領域のサイズ(SP-7FD2)

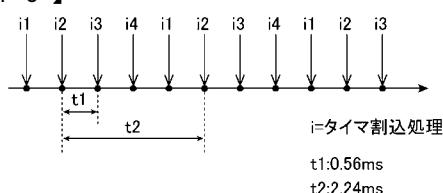
【図14】

名称	内容	送信時期
BET	メダル投入枚数(総数)	投入メダル、BETスイッチ接出時
内部当選	内部当選フラグの当選状況	スタートスイッチ接出時
リール回転開始	リールの回転開始	リールの回転開始時
リール停止	停止リール、停止位置	各リールの停止時
入賞判定	入賞種別、払出枚数	入賞判定後
払出開始	メダルの払出開始	入賞・精算によるメダルの払出開始時
払出終了	メダルの払出終了	入賞・精算によるメダルの払出終了時
遊技状態	次ゲームの遊技状態	1ゲーム終了時
待機	待機状態への移行	待機状態への移行時
初期化	遊技状態の初期化	設定終了時

【図15】

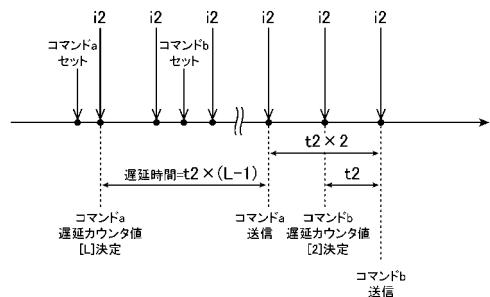


【図16】

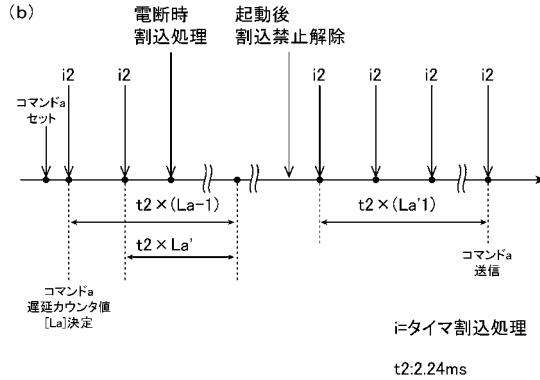


【図17】

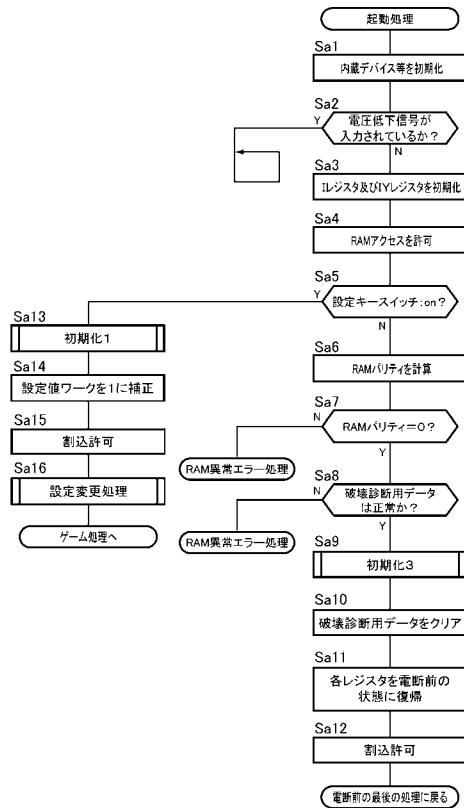
(a)



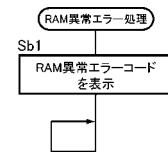
(b)



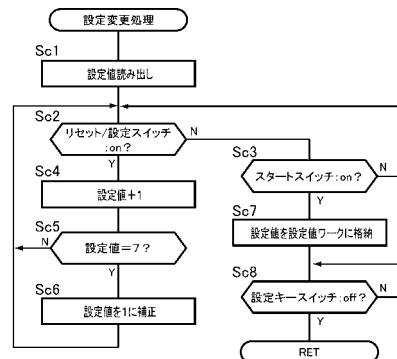
【図18】



【 図 1 9 】



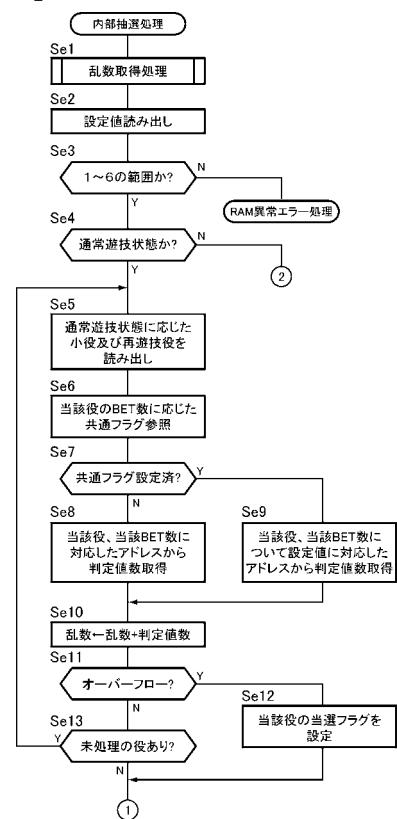
【 図 2 0 】



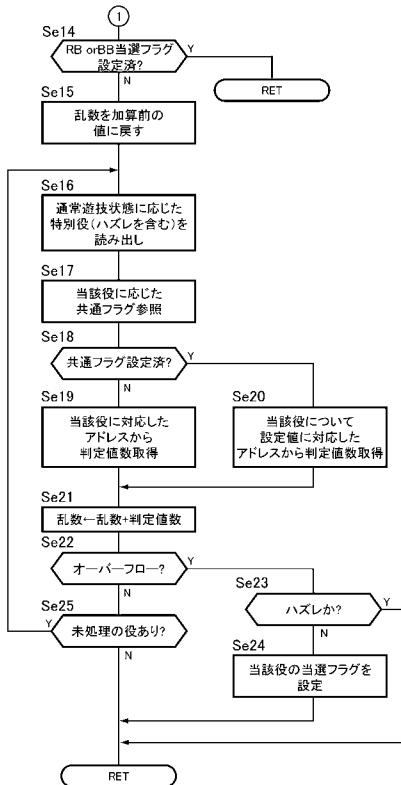
【习题 2-1】



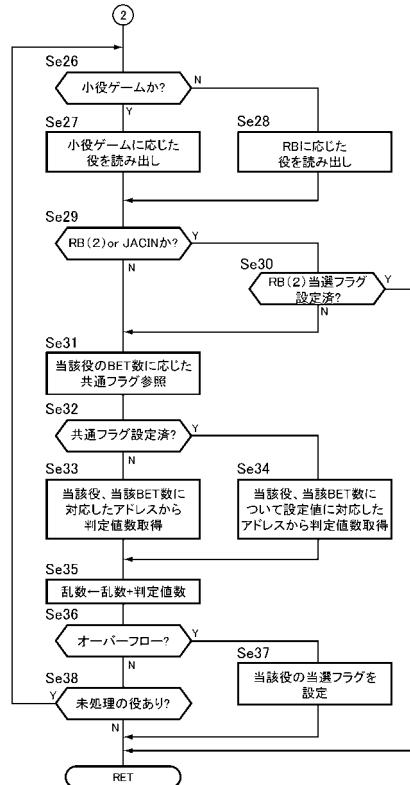
(図 2 2)



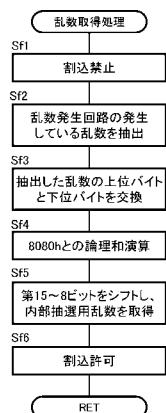
【図23】



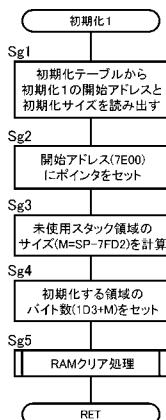
【図24】



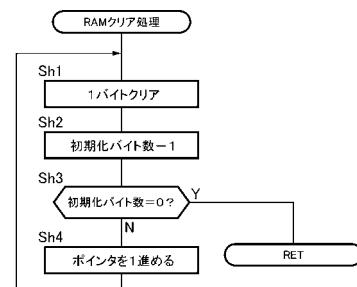
【図25】



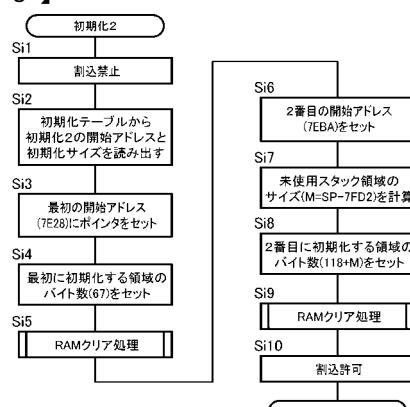
【図26】



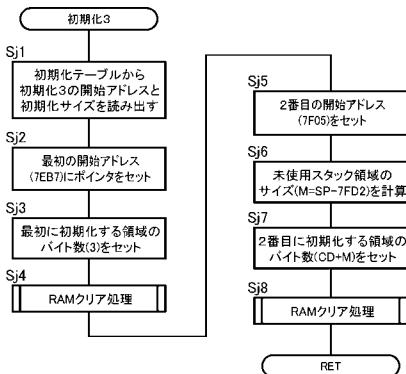
【図27】



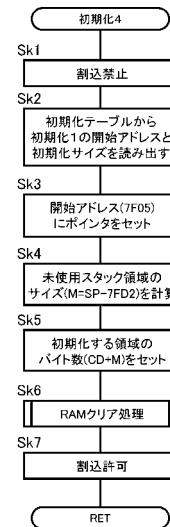
【図28】



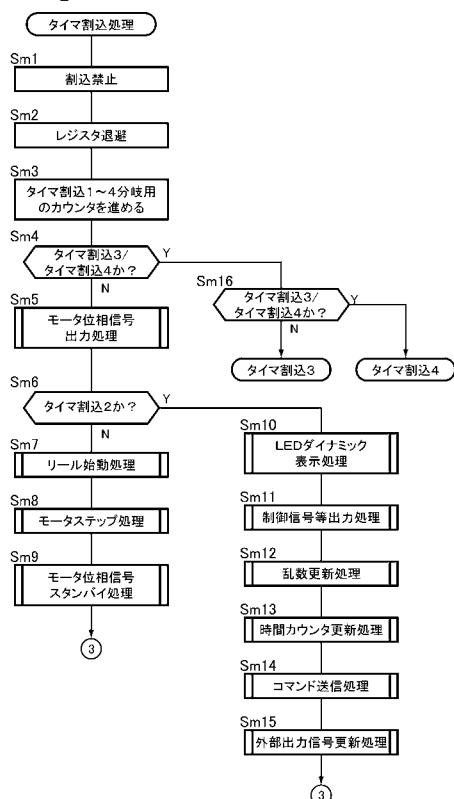
【図29】



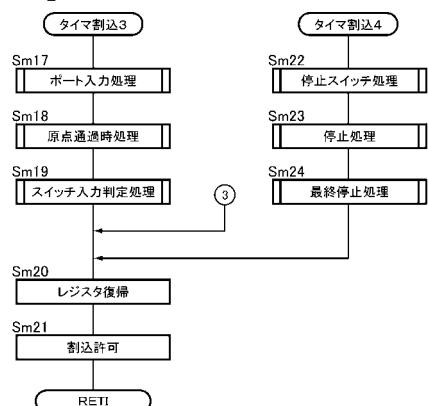
【図30】



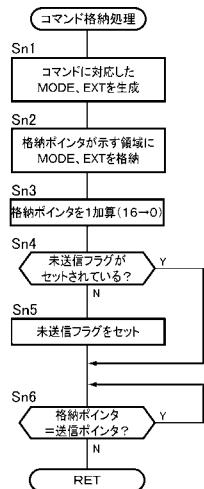
【図31】



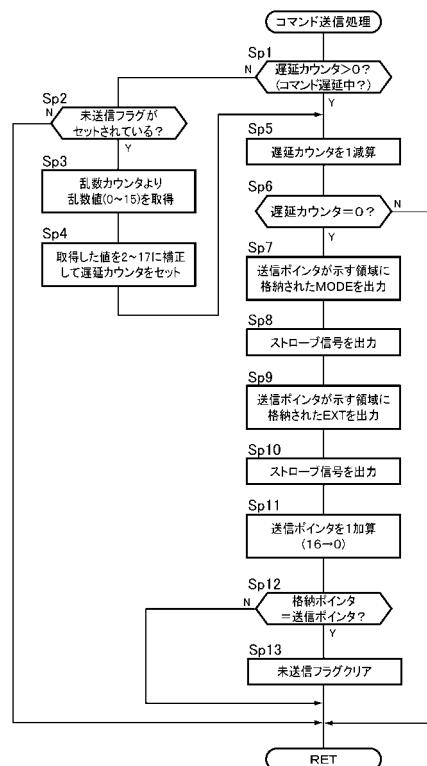
【図32】



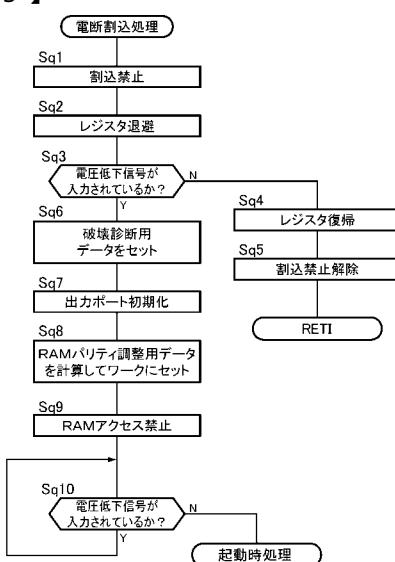
【図33】



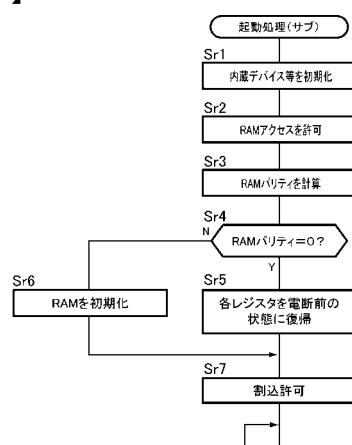
【図34】



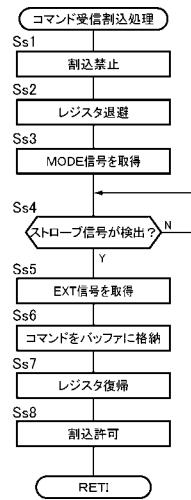
【図35】



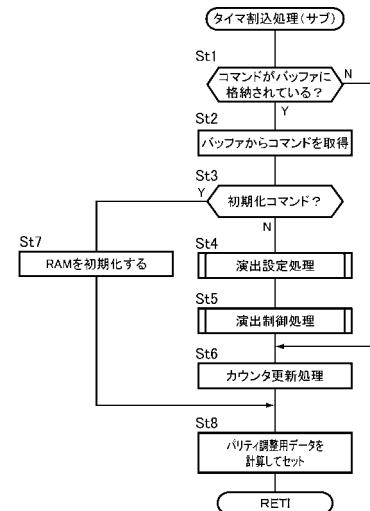
【図36】



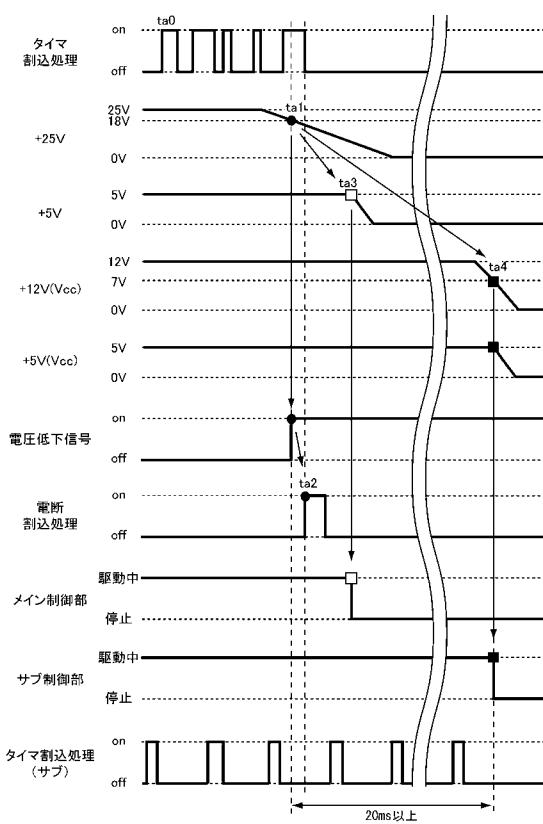
【図37】



【図38】



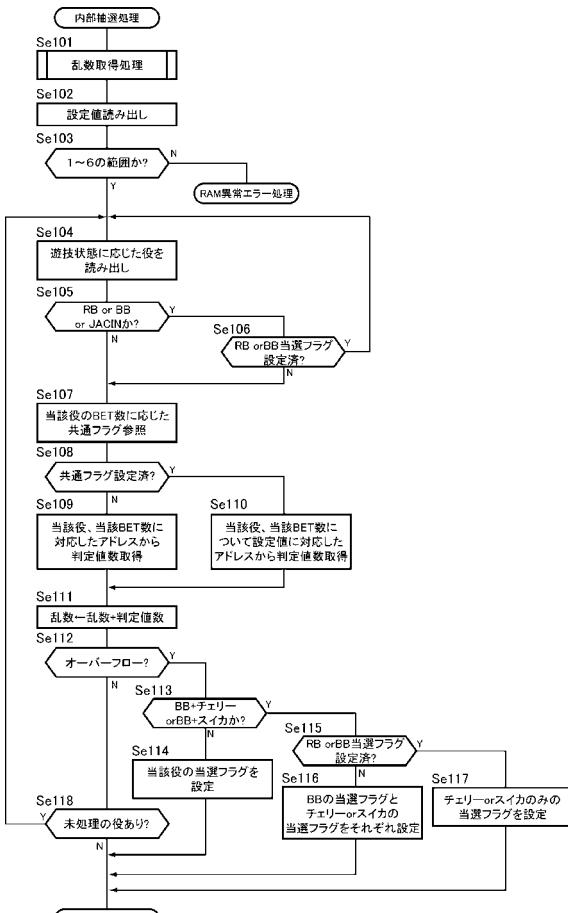
【図39】



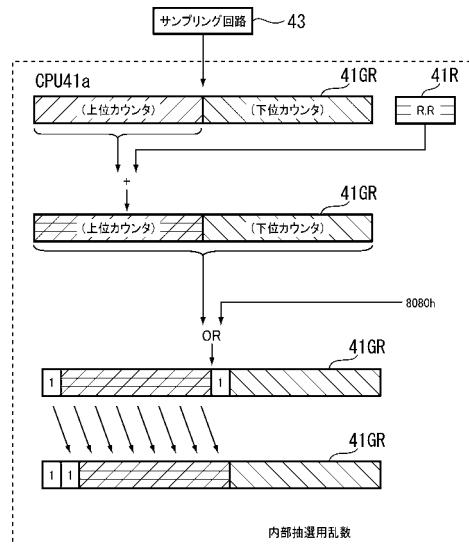
【図40】

役	BET	共通 フラグ	設定値						拡出
			1	2	3	4	5	6	
B.B(1)	3	0	ADD+0	ADD+2	ADD+4	ADD+6	ADD+8	ADD+10	0
R.B(2)	3	0	ADD+12	ADD+14	ADD+16	ADD+18	ADD+20	ADD+22	0
B.B(3)	3	0	ADD+24	ADD+26	ADD+28	ADD+30	ADD+32	ADD+34	0
R.B(1)	3	0	ADD+36	ADD+38	ADD+40	ADD+42	ADD+44	ADD+46	0
R.B(2)	3	1				ADD+48			0
JACIN	3	1				ADD+50			0
JAC	1	1				ADD+52			15
チエリー	3	1				ADD+54			4
B.B(1) +チエリー	3	1				ADD+56			4
B.B(2) +チエリー	3	1				ADD+58			(チエリー入 賽時)
B.B(3) +チエリー	3	1				ADD+60			4
スイカ	1	1				ADD+62			(チエリー入 賽時)
スイカ	3	1				ADD+64			15
B.B(1) +スイカ	3	1				ADD+66			15
B.B(2) +スイカ	3	1				ADD+68			(スイカ入 賽時)
B.B(3) +スイカ	3	1				ADD+70			15
ベル	1	0	ADD+74	ADD+76	ADD+78	ADD+80	ADD+82	ADD+84	15
ベル	3	0	ADD+86	ADD+88	ADD+90	ADD+92	ADD+94	ADD+96	8
リプレイ	3	1						ADD+98	0(実質3)

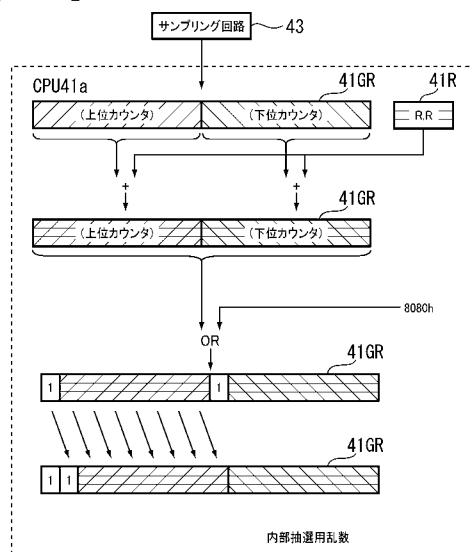
【図41】



【図42】



【図43】



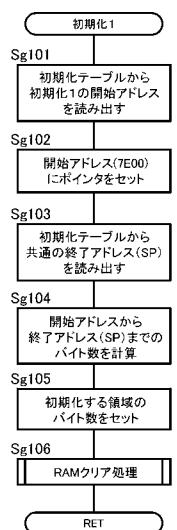
【図44】

(a)	
7FFF	使用中スタック領域
SP	未使用スタック領域
7FD2	未使用領域
7F05	一般ワーク
7E53	非保存ワーク
7E50	重要ワーク
7E28	特別ワーク
7E01	設定値ワーク
7E00	

(b)

	開始アドレス	サイズ	終了アドレス
初期化1	7E00	-	SP
初期化2	7E53	-	
初期化3	7E30	3	
	7F05	-	
初期化4	7F05	-	

【図 4 5】



フロントページの続き

(72)発明者 木村 充伴
群馬県桐生市境野町6丁目460番地 株式会社三共内
(72)発明者 平田 征也
群馬県桐生市境野町6丁目460番地 株式会社三共内

審査官 小林 英司

(56)参考文献 特開2004-089460(JP,A)
特開2002-336511(JP,A)
特開2004-223077(JP,A)
特開2005-040537(JP,A)
特開2004-223024(JP,A)
特開2002-282486(JP,A)
特開2004-008709(JP,A)

(58)調査した分野(Int.Cl., DB名)

A 63 F 5 / 04