(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 29/78

(45) 공고일자 1999년03월20일
(11) 등록번호 특0184024
(24) 등록일자 1998년12월17일

(21) 출원번호 특1994-036608
(22) 출원일자 1994년12월24일
(65) 공개번호 특1995-021778
(43) 공개일자 1995년07월26일
(30) 우선권주장 93-348577 1993년12월27일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 히우라 요헤이
일본국 가나가와현 가와사키시 사이와이구 고무가이 도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
야마다 세이지
일본국 가나가와현 가와사키시 사이와이구 고무가이 도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
요시카와 구니요시
일본국 가나가와현 가와사키시 사이와이구 고무가이 도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 이세진, 김윤배

심사관 : 오세준

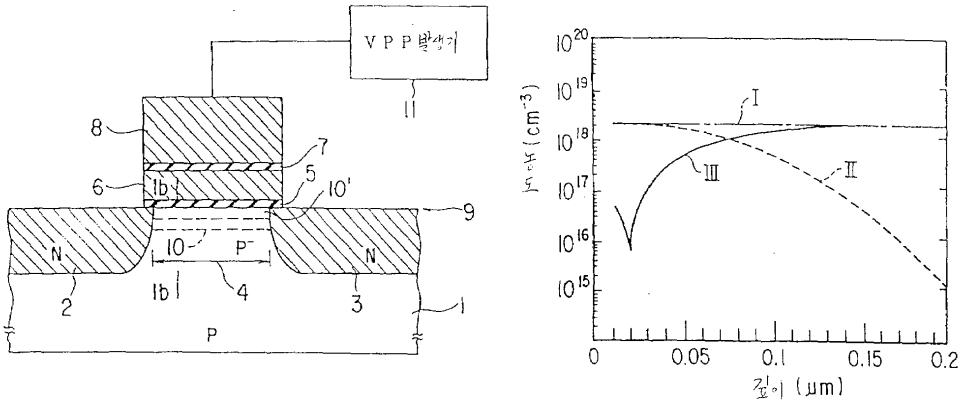
(54) 불휘발성 반도체기억장치 및 그 동작방법

요약

본 발명은 긴 기간, 안정하게 데이터를 독출할 수 있고, 또한 데이터의 기입속도를 향상시킬 수 있는 불휘발성 반도체기억장치 및 그 동작방법을 제공하고자 하는 것이다.

이를 위해 본 발명은, N형 소스확산층(2), N형 드레인 확산층(3), P형 채널영역(4), 제1게이트절연막(5), 부유게이트(6), 제2게이트절연막(7), 제어게이트(8) 및 채널영역(4)의 깊은 영역에 형성된 P^-형 영역(10)을 갖춘 메모리셀을 구비한다. 더욱이, 데이터의 독출시, P^-형 영역(10)의 도전형을 반전시킴으로써, 제1반전층을 형성한다. 더욱이, 데이터의 기입시, P^-형 영역(10)과 기판표면(9)간의 영역의 도전형도 반전시킴으로써, 제1반전층을 포함하는 보다 큰 제2반전층을 형성한다. 이 구성이면, 독출시에는 셀 전류가 계면준위의 영향을 받기 어렵게 되고, 기입시에는 핫 캐리어의 발생률이 높아진다.

대표도



명세서

[발명의 명칭]

불휘발성 반도체기억장치 및 그 동작방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 불휘발성 반도체기억장치를 나타낸 도면으로, (a)도는 메모리셀의 단면도, (b)도는 (a)도중의 1b-1b선으로 나타내어지는 단면에 따른 불순물 프로파일을 나타낸 도면.

제2도는 데이터의 독출동작을 설명하기 위한 도면으로, (a)도는 0 데이터를 독출하고 있는 상태를 나타낸 도면, (b)도는 1 데이터를 독출하고 있는 상태를 나타낸 도면.

제3도는 데이터의 기업동작을 설명하기 위한 도면으로, 부유게이트에 전자를 주입하고 있는 상태를 나타낸 도면.

제4도는 기입시에 있어서의 제어게이트전압과 게이트전류의 관계를 본 발명의 제1실시예에 따른 장치와 종래의 장치로 비교해서 나타낸 도면.

제5도는 채널영역에서의 실효억셉터농도와 부유게이트 전위의 관계를 나타낸 도면.

제6도는 데이터의 소거동작을 설명하기 위한 도면으로, 부유게이트로부터 전자를 빼내고 있는 상태를 나타낸 도면.

제7도는 본 발명의 제2실시예에 따른 불휘발성 반도체기억장치의 단면도.

제8도는 본 발명의 제2실시예에 따른 불휘발성 반도체기억장치의 제조방법을 설명하기 위한 도면으로, (a)도~(d)도는 각각 메모리셀을 주요한 제조 단계마다 나타낸 단면도.

제9도는 본 발명의 제3실시예에 따른 불휘발성 반도체기억장치의 단면도.

제10도는 본 발명의 제4실시예에 따른 불휘발성 반도체기억장치의 단면도.

제11도는 데이터의 독출동작을 설명하기 위한 도면으로, (a)도는 0 데이터를 독출하고 있는 상태를 나타낸 도면, (b)도는 1 데이터를 독출하고 있는 상태를 나타낸 도면.

제12도는 데이터의 기입동작을 설명하기 위한 도면으로, (a)도는 0 데이터를 기입하고 있는 상태를 나타낸 도면, (b)도는 1 데이터를 기입하고 있는 상태를 나타낸 도면.

제13도는 데이터의 소거동작을 설명하기 위한 도면으로, 부유게이트로부터 전자를 빼내고 있는 상태를 나타낸 도면.

제14도는 일반적인 메모리셀을 설명하기 위한 도면으로, (a)도는 단면도, (b)도는 (a)도중의 14b-14b선에 따른 불순물 프로파일을 나타낸 도면.

제15도는 일반적인 메모리셀의 동작을 설명하기 위한 도면으로, (a)도는 부유게이트중에 전자가 존재하는 경우의 동작을 나타낸 도면, (b)도는 부유게이트중에 전자가 존재하지 않는 경우의 동작을 나타낸 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : P형 실리콘기판 2 : N형 소스확산층

3 : N형 드레인확산층 4,4-1~4-4 : 채널영역

5,5-1~5-4 : 제1게이트절연막 6,6-1~6-4 : 부유게이트

7,7-1~7-4 : 제2게이트절연막 8,8-1~8-4 : 제어게이트

9 : 기판표면 10 : P^-형 영역

10-INV : 반전층 11 : VPP 전위발생기

12 : 큰 반전층 14 : 중첩부

15 : P^+형 영역 16 : 레지스트층

17 : 창 20,20-1~20-4 : N^-형 영역

21 : N형 실리콘기판 22 : P형 웰영역

25-1~25-5 : N형 확산층 27 : 채널영역

28 : 채널영역 29 : 게이트절연막

30 : 게이트(선택게이트) 31 : 게이트절연막

32 : 게이트(선택게이트) 33 : P^-형 영역

33-INV : 반전층 34 : P^-형 영역

34-INV : 반전층 35-1~35-4 : 반전층

36 : 큰 반전층

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 불휘발성 반도체기억장치 및 그 동작방법에 관한 것으로, 특히 전기적으로 데이터의 기입 및 데이터의 소거를 할 수 있는 불휘발성 반도제기억장치와 그 동작방법에 관한 것이다.

[종래의 기술 및 그 문제점]

제14도는 전기적으로 데이터의 기입 및 데이터의 소거를 할 수 있는 불휘발성 반도체기억장치가 구비하는 일반적인 메모리셀을 나타낸 도면으로, (a)도는 그 단면도, (b)도는 (a)도중에 나타내어진 14b-14b선에 따른 불순물 프로파일을 나타낸 도면이다.

제14(a)에 나타낸바와 같이, 보론(B)이 $10^{18}cm^{-3}$정도 함유된 P형 실리콘기판(1)내에는 N형 소스확산층(2) 및 N형 드레인확산층(3)이 서로 떨어져서 형성되어 있다. 이들 확산층(2)과 확산층(3)의 사이에는 채널영역(4)이 규정되어 있다. 채널영역(4)상에는 이산화실리콘으로 이루어진 제1게이트절연막(5)이 형성되고, 이 제1게이트절연막(5)상에는 폴리실리콘으로 이루어진 부유게이트(6)가 형성되어 있다. 부유게이트(6)상에는 이산화실리콘으로 이루어진 제2게이트절연막(7)이 형성되고 이 제2게이트절연막(7)상에는 폴리실리콘으로 이루어진 제어게이트(8)가 형성되어 있다.

상기 구성의 메모리셀에서는 채널영역(4)에서의 불순물 프로파일은 제14도(b)에 나타낸 바와 같은 형으로 되어 있다.

제14도(b)중의 Ⅰ선은 보론의 프로파일을 나타내는 선이다. 이 Ⅰ선으로 나타내어진 바와 같이 채널영역(4)은 기판(1)과 동일한 P형의 도전성을 갖고, 또한 그 농도는 채널영역(4)의 깊이방향에 있어서 약 $10^{18}cm^{-3}$정도로 거의 균일화되어 있다.

다음으로, 제14도(a) 및 (b)에 나타낸 메모리셀의 동작에 대해 설명한다.

제15도는 메모리셀의 동작을 설명하기 위한 도면으로, (a)도는 부유게이트중에 전자가 존재하는 경우의 동작을 나타낸 도면, (b)도는 부유게이트중에 전자가 존재하지 않는 경우의 동작을 나타낸 도면이다.

우선, 제15도(a)에 나타낸 바와 같이, 부유게이트(6)중에 전자가 존재하는 경우, 셀의 문턱치가 높아지기 때문에, 제어게이트(8)에 전압 5V를 인가했다고 해도 채널영역(4)중에 반전층이 형성되지 않는다. 따라서, 셀은 비도통상태로 된다. 이러한 동작은, 예컨대 0 데이터의 독출시에 행하여진다.

한편, 제15도(b)에 나타낸 바와 같이, 부유게이트(6)중에 전자가 존재하지 않는 경우, 제15도(a)의 상태에 비해 셀의 문턱치가 낮아지기 때문에, 제어게이트(8)에 전압 5V를 인가하면, 채널영역(4)중에 반전층(40)이 형성된다. 따라서, 셀은 도통상태로 된다. 이때, 반전층(40)은 채널영역(4)에서의 기판(1)의 표면(9)에 접하여 형성된다. 이러한 동작은, 예컨대 1 데이터의 독출시에 행하여진다.

그런데, 제14도(a) 및 (b)에 나타낸 메모리셀에서는 전기적으로 데이터의 소거/기입이 행하여진다. 특히 데이터의 기입시에는, 제어게이트(8)에 프로그램 전압을 인가하고, 또한 소스(2)와 드레인(3)의 사이에 전압을 인가함으로써 채널 핫 일렉트론(Channel Hot Electron)을 생성하고, 이 생성된 채널 핫 일렉트론을 부유게이트(6)내로 주입한다. 이러한 동작은 데이터를 바꾸어 기입할 때마다 행하여지고, 그 때마다 제1게이트절연막(5)내를 전자나 정공이 통과한다. 제1게이트절연막(5)내를 전자나 정공이 통과하면, 채널영역(4)에서의 기판(1)의 표면(9)과 제1게이트절연막(5)의 계면에는 계면준위(界面準位; 41)가 형성된다. 그 양은 데이터를 바꾸어 기입할 때마다 서서히 증가한다. 계면준위는 셀 전류를 감소시키기 때문에, 그 양이 증가함에 따라 셀 전류의 감소는 서서히 현저해진다.

이와 같이, 제14도(a)에 나타낸 메모리셀에서는, 그 구조상, 긴 시간에 걸쳐서 안정한 데이터의 독출을 행하는 것이 곤란하게 되어 있다.

또, 장치의 동작을 고속화하는 하나의 방법으로서, 데이터의 기입속도를 향상시키는 것이 있다.

그러나, 제14도(a)에 나타낸 메모리셀에서는, 그 구조상, 데이터의 기입 속도의 향상에 한계가 있다.

[발명의 목적]

본 발명은 상기와 같은 점을 감안하여 이루어진 것으로, 그 목적은 긴시간, 안정하게 데이터를 독출할 수 있고, 또한 데이터의 기입속도를 향상시킬 수 있는 불휘발성 반도체기억장치 및 그 동작방법을 제공함에 있다.

[발명의 구성]

상기 목적을 달성하기 위해 본 발명에 따른 불휘발성 반도체기억장치 및 그 동작방법에서는, 제1도전형 반도체기판과, 이 기판내에 형성된 제2도전형의 제1, 제2반도체영역, 이들 제1, 제2반도체영역 상호간의 상기 기판내에 규정된 제1도전형 채널영역, 이 채널영역상에 제1절연층을 매개하여 형성된 전하축적층, 이 전하축적층상에 제2절연층을 매개하여 형성된 전극층, 상기 기판 표면으로부터 떨어진 상기 채널영역중의 깊은 영역에 상기 제1, 제2반도체영역에 접하여 형성되고, 상기 채널영역보다도 제1도전형의 캐리어의 농도가 낮게 된 제3반도체영역을 갖춘 메모리셀을 구비하고 있다. 더욱이, 상기 전하축적층중의 전하의 유무에 따라 상기 제3반도체영역의 도전형을 제2도전형으로 하고, 상기 메모리셀로부터 그 메모리셀의 온(ON)/오프(OFF)를 나타내는 2치 데이터(2値 Data)중의 한쪽을 독출하도록 하며, 더욱이 상기 제3반도체영역의 도전형의 제2도전형으로 함과 더불어, 상기 제3반도체영역과 상기 기판 표면의 사이에서의 영역의 도전형도 제2도전형으로 하고, 상기 메모리셀로 2치 데이터중 다른쪽을 기입하도록 한 것을 특징으로 하고 있다.

[작용]

상기 구성의 불휘발성 반도체기억장치에 의하면, 2치 데이터중의 한쪽의 독출을 제3반도체영역의 도전형을 제2도전형으로 하여 행한다. 이 제3반도체영역은 기판 표면으로부터 떨어진 깊은 영역에 형성되어 있기 때문에, 셀 전류가 채널영역을 흐를 때, 기판 표면과 제1게이트절연막의 계면에 형성되는 계면준위의 영향을 받기 어렵게 된다.

이 점으로부터, 상기 셀 전류의 감소, 즉 메모리셀의 경년열화(經年劣化)의 정도가 완화되어 긴 시간, 안

정하게 데이터를 독출할 수 있다.

또, 2치 데이터중의 다른쪽의 기입을 행할 때, 제3반도체영역의 도전형을 제2도전형으로 함과 더불어, 제3반도체영역과 기판 표면의 사이에서의 영역의 도전형도 제2도전형으로 한다. 이 때문에, 채널영역의 보다 깊은 영역에서 핫 캐리어를 발생시킬 수 있고, 또한 셀 전류의 경로가 전하축적층의 근처에 설정된다. 이러한 점들로부터, 우선 채널 핫 캐리어 주입에 의한 기입의 경우에서는 채널영역의 깊은 영역에서 핫 캐리어를 생성할 수 있고, 그 발생효율을 향상시킬 수 있다. 따라서, 단시간에 다량의 핫 캐리어를 전하축적층내로 주입할 수 있어서 데이터의 기입속도를 향상시킬 수 있다.

또, F-N 터널전류에 의한 기입의 경우에서는, 제2도전형 영역이 채널영역중의 깊은 위치에 걸쳐 크게 형성됨으로써, 채널영역의 저항치를 작게 할 수 있다. 채널영역의 저항치가 작아지면, 예컨대 셀 어레이의 말단에 위치하는 메모리셀까지 신속하게 전위를 전달할 수 있다.

[실시예]

이하, 도면을 참조하여 본 발명을 실시예에 의거 설명한다. 본 발명에 있어서 전 도면에 걸쳐 공통된 부분에는 공통의 참조부호를 붙이고 중복되는 설명을 피하기로 한다.

제1도는 본 발명의 제1실시예에 따른 불휘발성 반도체기억장치를 나타낸 도면으로, (a)도는 메모리셀의 단면도, (b)도는 (a)도중에 도시된 1b-1b선에 따른 불순물 프로파일을 나타낸 도면이다.

제1도(a)에 나타낸 바와 같이, 보론(B)이 $10^{18}cm^{-3}$정도 함유된 P형 실리콘기판(1)이 있고, 이 기판(1)내에는 N형 소스확산층(2) 및 N형 드레인확산층(3)이 서로 떨어져서 형성되어 있다. 이들 확산층(2)과 확산층(3)의 사이에서의 P형 기판(1)중에는 채널영역(4)이 규정되어 있다.

채널영역(4)상에는 이산화실리콘으로 이루어진 제1게이트절연막(5)이 형성되고, 이 제1게이트절연막(5)상에는 폴리실리콘으로 이루어진 부유게이트(6)가 형성되어 있다. 부유게이트(6)상에는 이산화실리콘으로 이루어진 제2게이트절연막(7)이 형성되고, 이 제2게이트절연막(7)상에는 폴리실리콘으로 이루어진 제어게이트(8)가 형성되어 있다.

또, 채널영역(4)중의 기판표면(9)으로으로부터 떨어진 깊은 영역에는 채널영역(4)보다도 억셉터농도가 낮게 된 P^-형 영역(10)이 설치되어 있다. 이 P^-형 영역(10)을 포함하는 채널영역(4)의 불순물 프로파일을 제1도(b)에 나타냈다.

제1도(b)에 나타낸 바와 같이, 채널영역(4)은 일점쇄선(Ⅰ)으로 나타낸 바와 같이 약 $10^{18}cm^{-3}$정도의 보론을 함유하고, P형의 도전형을 가지고 있다. 더욱이, 점선(Ⅱ)으로 나타낸 바와 같이, 채널영역(4)에는 N형 불순물인 비소(As)가 도입되어 있다. P형 영역중에 N형 불순물을 도입하면, 실효 억셉터농도는 실선(Ⅲ)으로 나타낸 바와 같이 기판표면(9)으로부터의 깊이 0.02㎛의 위치에서 가장 저하되고 있다. 이와 같이, 실효 억셉터농도가 저하됨으로써, P^-형 영역(10)을 기판표면(9)으로부터 떨어진 깊은 영역에 국소적으로 얻을 수 있다.

또, 상기 구성을 갖는 메모리셀은, 채널영역(4)의 도전형이 P형이고, 기판(1)과 제어게이트(8)간의 전위차가 실질적으로 0V일 때, 소스확산층(2)과 드레인확산층(3)간은 PN접합에 의해 절연된다. 즉, 노멀리 오프형(Normally off 型) 메모리셀로 되어 있다. 이러한 메모리셀은, 예컨대 NOR형 플래시 E^2P ROM에 이용할 수 있다.

다음으로, 제1도에 나타낸 메모리셀의 동작에 대해 설명한다.

우선, 데이터의 독출동작에 대해 설명한다.

제2도는 독출동작을 설명하기 위한 도면으로, (a)도는 0레벨 데이터를 독출하고 있는 상태를 나타낸 도면, (b)도는 1레벨 데이터를 독출하고 있는 상태를 나타낸 도면이다.

데이터를 독출할 때에는, 메모리셀의 소스(2)를 접지(0V)한 상태에서 드레인(3)에 독출전위 1V를 인가하고, 제어게이트(8)에 VCC 전위 5V를 인가한다.

우선, 부유게이트(6)에 전자(e)가 주입되어 부유게이트(6)가 충분히 부(負)에 대전하고 있는 상태일 때의 독출에 대해 설명한다.

제2도(a)에 나타낸 바와 같이, 부유게이트(6)에 전자(e)가 충만되어 있는 경우에는, 제어게이트(8)에 VCC 전위를 인가해도 기판(1)과 제어게이트(8)간의 전위차는 용량결합에 의해 실질적으로 상쇄된다. 이 때문에, 채널영역(4)의 도전형은 반전되지 않는다. 따라서, 메모리셀은 도통하지 않고, 소스(2)~드레인(3)간에 셀 전류가 흐르지 않는다. 따라서, 드레인(3)에 접속되어 있는 도시하지 않은 비트선의 전위는 변화하지 않는다.

이와 같이 메모리셀의 문턱치가 높아지고 있을 때의 데이터의 독출은 통상 0레벨 데이터의 독출이라 부르고 있다.

한편, 제2도(b)에 나타낸 바와 같이, 부유게이트(6)에 전자가 존재하지 않고, 부유게이트가 실질적으로 대전하고 있지 않을 때, 제어게이트(8)에 VCC 전위를 인가하면, 기판(1)과 제어게이트(8)간에 용량결합에 의해 전위차가 생긴다. 이 때문에, 채널영역(4)의 도전형이 반전된다. 따라서, 소스확산층(2)과 N형 드레인확산층(3)이 반전층(10-INV)에 의해 서로 접속되게 되어 메모리셀이 도통하고, 소스(2)~드레인(3)간에 셀 전류가 흐른다. 그리고, 드레인(3)에 접속되어 있는 도시하지 않은 비트선의 전위를 변화시킨다.

제2도(b)에서는 전자(e)의 진행방향이 도시되어 있다. 셀 전류가 흐르는 방향은 전자(e)의 진행방향과 역방향이다. 더욱이 셀 전류가 흐름으로써 저하한 전위를, 도시하지 않은 센스 앰프에서 기준전위와 비교함으로써 증폭한다. 이와 같이 메모리셀의 문턱치가 낮아지고 있을 때의 데이터의 독출은 통상 1레벨 데이

터의 독출이라고 부르고 있다.

여기에서, 이 실시예에 따른 메모리셀에서는 채널영역(4)의 깊은 위치에 농도가 엷게 된 P^-형 영역(10)이 형성되어 있는 바, 그 농도는 제어게이트(8)에 5V를 인가한 때에 P^-형 영역(10)만이 반전되는 값으로 설정되어 있다. 이 때문에, 셀 전류는 기판표면의 근방이 아니라 채널영역(4)의 깊은 영역에서 P^-형 영역(10)의 도전형이 반전됨으로써 형성된 반전층(10-INV)을 매개로 흐른다. 따라서, 셀 전류는 기판(1)과 제1게이트절연막(5)간의 계면준위의 영향을 받기 어렵게 된다. 이 때문에, 기입/소거를 반복함으로써 계면준위가 증가해도, 상기 메모리셀에서는 상호컨덕턴스가 열화되기 어렵게 된다. 즉, 상기 메모리셀에서는 긴 기간에 걸쳐 셀 전류의 흐르기 쉬움이 변화하지 않는다. 따라서, 긴 기간, 안정하게 독출동작을 행할 수 있다.

다음으로, 데이터의 기입동작에 대해 설명한다.

제3도는 기입동작을 설명하기 위한 도면으로, 부유게이트에 전자를 주입하고 있는 상태를 나타낸 도면이다.

데이터를 기입할 때에는, 메모리셀의 소스(2)를 접지(0V)한 상태에서, 드레인(3)에 전위 6V를 인가하고, 제어게이트(8)에 VPP 전위 12V를 인가한다.

상기의 바이어스상태로 하면, 제3도에 나타낸 바와 같이, 드레인(3)과 소스(2)의 사이에 충분히 큰 전위차가 생긴다. 이 때문에, 소스(2)로부터 드레인(3)으로 흐르고 있는 전자(e)중에는, 큰 전위차에 의해 충분히 가속되어 에너지를 얻은 핫 일렉트론(he)이 발생한다. 더욱이, 제어게이트(8)가 VPP 전위 12V로 되어 있기 때문에, 핫 일렉트론(he)은 제1게이트절연막(5)에 의한 장벽을 넘어서 부유게이트(6)내로 주입된다. 이에 따라, 메모리셀에 데이터가 기입된다.

여기에서, 제1도에 나타낸 메모리셀의 제어게이트(8)에는 VPP 전위발생기(11)가 접속되어 있고, 이 발생기(11)는 P^-형 영역(10)뿐만 아니라 P^-형 영역(10)과 기판표면(9)간의 P형 영역(10')의 도전형도 반전시키는 전위를 생성한다. 이에 따라, 채널영역(4)중에는 기판표면(9)까지 도달하는 충분히 큰 반전층(12)이 얻어진다. 이 반전층(12)은 독출동작시에 발생한 반전층(10-INV) 보다도 크다. 게다가, 채널영역(4)의 깊은 영역에 P^-형 영역(10)이 형성되어 있어서 기입동작시에 반전층(12)이 기판(1)의 깊은 영역에 걸쳐 발생한다. 즉, 핫 일렉트론을 채널영역(4)의 깊은 영역에서 발생시킬 수 있다.

캐리어의 이동도(移動度)는, 기판(1)의 표면보다도, 기판(1)의 깊은 영역쪽이 캐리어의 이동도가 높다. 이는, 기판(1)의 표면 근방에서는 열산화시나 에칭시에 생기는 결정결함 등의 영향으로 캐리어의 이동도가 둔해지지만, 기판(1)의 깊은 영역에서는 결정결함 등이 적기 때문에 캐리어의 이동도가 둔해지기 어려운 점에 기인한다. 캐리어의 이동도가 높아지면, 핫 일렉트론(he)의 발생효율이 향상된다.

따라서, 반전층(12)이 기판(1)의 깊은 영역에 걸쳐 형성됨으로써, 캐리어의 이동도가 전체적으로 높아지게 된다.

다음으로, 기입시에 있어서의 제어게이트전압과 게이트전류의 관계에 대해 설명한다.

제4도는 기입시에 있어서의 제어게이트전압과 게이트전류의 관계를, 제1도에 나타낸 반도체기억장치와 종래의 반도체기억장치로 비교해서 나타낸 도면이다.

제4도에 있어서, 실선(Ⅳ)은 이 실시예에 따른 장치의 경우를 나타내고 있고, 점선(Ⅴ)은 종래의 장치의 경우를 나타내고 있다.

제4도에 나타낸 바와 같이, 이 실시예에 따른 장치에서는 종래의 장치와 비교하여 게이트전류가 커지고 있어서 캐리어 주입효율이 향상되고 있다. 여기서, 상기의 게이트전류란 전자가 부유게이트(6)에 주입될 때에 부유게이트(6)로부터 채널영역(4)을 향하여 외관상 흐르는 전류를 상정하고 있고, F-N 터널링 현상에 기초한 터널전류가 아니다.

또한, 제4도는 게이트전류가 증가하는 경향을 나타내기 위한 도면인 바, 따라서 게이트전류의 양을 나타내는 종축은 임의의 스케일로 하고 있다.

그런데, 데이터의 기입동작을 행함으로써, 전자(e)가 부유게이트(6)내에 가득 채워져 가면, 그 양에 따라 부유게이트(6)의 전위(Vfg)가 저하한다. 이 때문에, 제어게이트(8)의 전위(Vcg)가 고전위였다고 해도, 용량결합에 의해 제어게이트(8)와 채널영역(4)간의 전위차가 작아지는 것을 생각할 수 있다. 이 때문에, 반전층(12)중 기판표면(9) 근방의 영역이 원래의 P형으로 되돌아갈 가능성이 있다. 이러한 현상이 일어나면, 기입효율이 급격히 저하하게 된다.

그래서, 본 실시예에서는 전자(e)가 부유게이트(6)중에 충분히 채워진 경우라도, VPP 전위발생기(11)가 영역(10')의 도전형을 반전시킬 수 있는 전위를 발생하도록 구성되어 있다.

제5도는 기입동작 종료직전에서의 채널영역의 기판의 도전형을 반전시키는데 필요한 부유게이트전압 및 제어게이트전압과, 채널영역의 실효 억셉터농도의 관계를 나타낸 도면이다. 기억동작 종료 직전이란, 이 경우 독출 동작시 셀 문턱치가 8V 정도로 되기까지 부유게이트에 전자가 주입되고, 제어게이트에는 기입동작시의 전압이 인가되고 있는 상태의 것이다.

제5도에 있어서, 종축중 Vcg쪽은 기입동작시에 제어게이트에 인가하는 전압이다. Vfg쪽은 기입동작 종료직전의 부유게이트전압이다.

기입동작을 제어게이트에 8V를 인가하여 행하는 경우, 기판표면의 실효 억셉터농도가 $10^{17}cm^{-3}$정도 이하이면, 기입동작 종료까지 채널영역의 도전형은 계속 반전한다. 마찬가지로, 제어게이트전압(Vcg)이 10V일 때, 기판표면의 실효 억셉터농도가 $10^{18}cm^{-3}$정도 이하이면, 채널영역의 기판표면의 도전형은 기입동작중 계

속 반전한다.

다음으로, 데이터의 소거동작에 대해 설명한다.

제6도는 소거동작을 설명하기 위한 도면으로, 부유게이트로부터 전자를 빼내고 있는 상태를 나타낸 도면이다.

데이터를 소거할 때에는, 메모리셀의 드레인(3)을 개방(OPEN), 제어게이트(8)를 접지(0V)한 상태에서, 소스(2)에 전위 12V를 인가한다.

상기의 바이어스상태로 하면, 제6도에 나타낸 바와 같이 소스(2)와 부유게이트(6)가 서로 중첩하고 있는 영역(14)에 충분히 큰 전계가 발생하고, 이 영역(14)에 있어서 소스(2)로부터 부유게이트(6)를 향해 F-N 터널전류가 흐른다. 그 결과, 부유게이트(6)내에 축적되어 있던 전자(e)가 소스(2)로 방출되어 데이터가 메모리셀로부터 소거된다.

다음으로, 본 발명의 제2실시예에 따른 불휘발성 반도체기억장치에 대해 설명한다.

제7도는 본 발명의 제2실시예에 따른 불휘발성 반도체기억장치가 구비하는 메모리셀의 단면도이다.

제7도에 나타낸 바와 같이, 이 제2실시예에 따른 장치에서는 기판(1)보다도 보론 농도가 높은 P^+형 영역(15)을 채널영역(4)중에 설치하고, 이 P^+형 영역(15)중에 외관상 이 영역(15)보다도 보론 농도가 낮게 된 P^-형 영역(10)을 국소적으로 설치하고 있다. 또, P^+영역(15)은 예컨대 기판표면(9)으로부터 형성된다.

상기 구성을 갖춘 메모리셀에서는, 제1도에 나타낸 메모리셀과 마찬가지로, P^-형 영역(10)이 채널영역(4) 중의 깊은 영역에 형성되어 있기 때문에, 긴 기간, 독출동작을 정상적으로 행할 수 있다.

또, P^-형 영역(10)뿐만 아니라 P^-형 영역(10)과 기판표면(9)의 사이에 설치된 P^+영역(10'; 이 실시예에서는 P^+형 영역(15)의 일부에 상당함)의 도전형도 반전시키는 전위를 생성하는 VPP 전위발생기(11)가 제어게이트(8)에 접속되어 있기 때문에, 데이터의 기입속도(캐리어 주입속도)를 향상시킬 수 있다.

제7도에 나타낸 메모리셀에서는, 소스(2) 및 제어게이트(8)가 모두 접지되고, 드레인(3)에만 고전위가 인가되는 것과 같은 바이어스상태일 때, 드레인(3)과 기판(1)간의 PN 접합부에 발생하는 공핍층이 소스(2)에 접촉하여 메모리셀이 도통해 버린다고 하는 펀치스루우 현상을 해소할 수 있다. 즉, 채널영역(4)중에 기판(1)보다도 보론농도가 높은 P^+영역(15)을 설치함으로써, 이 영역(15)에 있어서 공핍층의 연장을 억제할 수 있기 때문이다.

이렇게 드레인에만 높은 전위가 인가되는 바이어스상태는, 예컨대 기입동작시, 비선택상태의 메모리셀에 있어서 발생한다. 이때의 전위상태의 일례는 소스(2) 및 제어게이트(8)가 모두 0V이고, 드레인(3)이 6V이다.

또, 제7도에 나타낸 메모리셀의 동작은, 제1도에 나타낸 메모리셀의 동작과 전위의 상태 이외는 거의 동일하기 때문에, 그 상세한 설명은 생략한다.

다음으로, 제7도에 나타낸 메모리셀의 제조방법에 대해 설명한다.

제8도는 메모리셀의 제조방법을 설명하기 위한 도면으로, (a)~(d)도는 각각 메모리셀의 주요한 제조단계를 나타낸 단면도이다.

우선, 제8도(a)에 나타낸 바와 같이, P형 실리콘기판(1)의 표면영역중에 도시하지 않은 필드산화막 등을 형성하여 기판(1)의 표면상에 소자영역을 규정한다. 이어서, 기판(1)상에 포토 레지스트를 도포하여 레지스트층(16)을 얻는다. 이어서, 사진식각법을 이용하여, 레지스트층(16)중에 메모리셀의 채널영역(4)에 대응한 창(17)을 형성한다. 이어서, 창(17)을 매개하여 기판(1)의 채널영역(4)중에 가속전압 60KeV, 도즈량 $10^{12}cm^{-2}$~$10^{13}cm^{-2}$정도의 조건으로 보론을 이온주입한다. 이에 따라, 채널영역(4)중의 억셉터농도가 높아져서 채널영역(4)중에 기판(1)보다도 고농도의 P^+영역(15)이 얻어진다.

다음으로, 제8도(b)에 나타낸 바와 같이, 창(17)을 매개하여 채널영역(4)중에 가속전압 45KeV, 도즈량 $1.4\times10^{14}cm^{-2}$정도의 조건으로 비소를 이온주입한다. 이에 따라 채널영역(4)의 깊은 영역중에 있어서 국소적으로 억셉터농도가 낮아져 기판(1) P^+영역(15)보다도 외관상 저농도화되어 있는 P^-형 영역(10)이 얻어진다.

다음으로, 제8도(c)에 나타낸 바와 같이, 채널영역(4)상에 제1게이트절연막(5), 부유게이트(6), 제2게이트절연막(7) 및 제어게이트(8)를 순차 형성한다. 이들은 주지된 형성방법을 이용하여 형성해도 좋다.

다음으로, 제8도(d)에 나타낸 바와 같이, 제어게이트(8) 및 도시하지 않은 필드산화막을 마스크로 이용하여 기판(1)중에 비소를 이온주입한다. 이어서, 주입된 불순물을 활성화시키기 위한 어닐 처리를 실시함으로써, 메모리셀의 소스로 되는 N형 확산층(2) 및 드레인으로 되는 N형 확산층(3)이 각각 P^-형 영역(10)에 접한 형태로 얻어진다.

한편, 제1도에 나타낸 메모리셀을 제조할 때에는, 예컨대 제8도(a)에 나타낸 공정을 생략하면 좋다. 다음으로, 본 발명의 제3실시예에 따른 불휘발성 반도체기억장치에 대해 설명한다.

제9도는 본 발명의 제3실시예에 따른 불휘발성 반도체기억장치가 구비하는 메모리셀의 단면도이다.

제9도에 나타낸 바와 같이, 이 제3실시예에 따른 장치에서는 N형 소스확산층(2) 및 N형 드레인확산층(3)에 각각 접속되는 N^-형 영역(20)을, 기판표면(9)으로부터 떨어진 채널영역(4)에서의 깊은 영역중에 국소적

으로 설치한 것이다.

상기 구성을 갖는 메모리셀은, 채널영역(4)중에 N형 소스확산층(2)과 N형 드레인확산층(3)을 서로 접속시키는 N^-형 영역(20)을 갖추고 있다. 이 때문에, 기판(1)과 제어게이트(8)간의 전위차가 실질적으로 0V일 때, 소스확산층(2)과 드레인확산층(3)이 서로 전기적으로 접속되고 있다. 즉, 노멀리 온형의 메모리셀로 되어 있다. 이러한 메모리셀은, 예컨대 NAND형 플래시 E^2PROM이나, 메모리셀의 드레인과 비트선간에 선택트랜지스터를 설치한 타입의 NOR형 플래시 E^2PROM에 이용할 수 있다.

다음으로, 본 발명의 제4실시예에 대해 설명한다.

이 제4실시예는, 상기 제3실시예에 기본적으로 준함으로써, 제9도를 참조하여 설명한 메모리셀을 NAND형 플래시 E^2PROM에 적용하고, 보다 상세화한 것이다.

제10도는 본 발명의 제4실시예에 따른 불휘발성 반도체기억장치의 단면도이다. 제10도는 특히 NAND형 플래시 E^2PROM이 갖는 셀 블록의 단면을 나타내고 있다.

제10도에 나타낸 바와 같이, N형 실리콘기판(21)내에는 P형 웰영역(22)이 형성되어 있다. P형 웰영역(22)내에는 셀 블록(CB)이 설정된다. 이 셀 블록(CB)은 서로 직렬접속된 복수의 셀 트랜지스터(CT1～CT4)를 포함하고 있다. 이 실시예에서는 1블록중의 셀 트랜지스터의 수가 4개이고, 1블록이 4행(Row)으로 구성되어 있는 것을 나타내고 있다. 1블록에서의 행의 수는 4행에 한정되는 것은 아니고, 예컨대, 8행 등, 장치의 사양에 따라 임의의 수로 설정된다.

셀 블록(CB)의 전류통로의 일단(소스)에는 제1선택트랜지스터(ST1)의 전류통로의 일단(드레인)이 접속되어 있다. 한편, 셀 블록(CB)의 전류통로의 타단(드레인)에는 제2선택트랜지스터(ST2)의 전류통로의 일단(소스)이 접속되어 있다. 제1선택트랜지스터(ST1)의 전류통로의 타단(소스)은 칩중의 저전위(예컨대 접지)에 접속되고, 제2선택트랜지스터(ST2)의 전류통로의 타단(드레인)은 도시하지 않은 비트선에 접속된다.

P형 웰영역(22)중에는 서로 떨어진 N형 확산층(2), N형 확산층(3), N형 확산층(25-1～25-5)이 각각 형성되어 있다. 확산층(25-1)과 확산층(25-2)간에서의 P형 웰영역(22)의 영역은 셀 트랜지스터(CT1)의 채널영역(4-1)으로 된다. 마찬가지로, 확산층(25-2)과 확산층(25-3)의 사이는 셀 트랜지스터(CT2)의 채널영역(4-2), 확산층(25-3)과 확산층(25-4)의 사이는 셀 트랜지스터(CT3)의 채널영역(4-3), 확산층(25-4)과 확산층(25-5)의 사이는 셀 트랜지스터(CT4)의 채널영역(4-4)으로 각각 된다.

또, 확산층(2)과 확산층(25-1)의 사이에서의 P형 웰영역(22)의 영역은 제1선택트랜지스터(ST1)의 채널영역(27)으로 되고, 마찬가지로 확산층(3)과 확산층(25-5)의 사이는 제2선택트랜지스터(ST2)의 채널영역(28)으로 된다.

채널영역(4-1)상에는 이산화실리콘으로 이루어진 제1게이트절연막(5-1)이 형성되고, 이 제1게이트절연막(5-1)상에는 폴리실리콘으로 이루어진 부유게이트(6-1)가 형성되어 있다. 부유게이트(6-1)상에는 이산화실리콘으로 이루어진 제2게이트절연막(7-1)이 형성되고, 이 제2게이트절연막(7-1)상에는 폴리실리콘으로 이루어진 제어게이트(8-1)가 형성되어 있다. 셀 트랜지스터(CT1)는 이러한 구조의 스택 게이트 구조부를 갖추고 있다. 셀 트랜지스터(CT2～CT4)에 있어서도, 셀 트랜지스터(CT1)와 동일구조의 스택 게이트 구조부를 갖추고 있다.

채널영역(27)상에는 이산화실리콘으로 이루어진 게이트절연막(29)이 형성되고, 이 게이트절연막(29)상에는 폴리실리콘으로 이루어진 선택게이트(30)가 형성되어 있다. 제1선택트랜지스터(ST1)는 이러한 구조의 게이트 구조부를 갖추고 있다. 마찬가지로, 채널영역(28)상에는 이산화실리콘으로 이루어진 게이트절연막(31)이 형성되고, 이 게이트절연막(31)상에는 폴리실리콘으로 이루어진 선택게이트(32)가 형성되어 있다. 제2선택트랜지스터(ST2)는 이러한 구조의 게이트 구조부를 갖추고 있다.

채널영역(4-1)의 표면으로부터 떨어져 있는 깊은 영역에는 제9도를 참조하여 설명한 바와 같은 N^-형 영역(20-1)이 확산층(25-1)과 확산층(25-2)에 서로 접속되어 형성되어 있다. 이에 따라, 셀 트랜지스터(CT1)는 노멀리 온형으로 된다. 마찬가지로, 채널영역(4-2～4-4)에 있어서도 N^-형 영역(20-2～20-4)이 각각 형성되어 있어서 셀 트랜지스터(CT2～CT4)도 각각 노멀리 온형으로 된다.

또, 채널영역(27)의 표면으로부터 떨어진 깊은 영역에는 제1도를 참조하여 설명한 P^-형 영역(10)과 동일한 P^-형 영역(33)이 설치되고, 마찬가지로 채널영역(28)에 있어서도 P^-형 영역(10)과 동일한 P^-형 영역(34)이 설치되어 있다. 이에 따라, 선택트랜지스터(ST1,ST2)는 노멀리 오프형으로 됨과 더불어, 이들이 도통할 때, 반전층이 웰영역의 표면으로부터 떨어진 깊은 영역에 형성되게 된다.

다음으로, 제10도에 나타낸 장치에서의 데이터의 독출동작에 대해 설명한다.

제11도는 독출동작을 설명하기 위한 도면으로, (a)도는 0레벨 데이터를 독출하고 있는 상태를 나타낸 도면, (b)도는 1레벨 데이터를 독출하고 있는 상태를 나타낸 도면이다.

데이터를 독출할 때에는, 제1선택트랜지스터(ST1)의 게이트(30) 및 제2선택트랜지스터(ST2)의 게이트(32)에 VCC 전위 5V를 각각 인가한다. 이에 따라, P^-형 영역(33 및 34)의 도전형이 각각 반전되어 반전층(33-INV 및 34-INV)이 형성된다. 반전층(33-INV)은 소스확산층(2)과 확산층(25-1)을 서로 전기적으로 접속하고, 반전층(34-INV)은 드레인확산층(3)과 확산층(25-5)을 서로 전기적으로 접속하기 때문에, 트랜지스터(ST1 및 ST2)는 모두 도통한다. 이 상태에서, 셀 블록(CB)의 소스(2)를 접지(0V)하고, 드레인(3)에 독출전위 1V를 인가한다.

우선, 부유게이트(6)에 전자(e)가 주입되고, 부유게이트(6)가 부(負)에 대전하고 있는 상태시의 독출에

대해 설명한다.

제11도(a)에 나타낸 바와 같이, 예컨대 셀 트랜지스터(CT3)의 부유게이트(6-3)내에는 전자(e)가 충만되어 있다. 여기에서, 셀 블록(CB)중으로부터 셀 트랜지스터(CT3)를 선택하기 위해, 제어게이트(8-3)에 0V를 인가하고, 다른 제어게이트(8-1,8-2 및 8-4)에 5V를 인가한다. 이때, 부유게이트(6-3)는 부(負)에 대전하고 있기 때문에 N^-형 영역(20-3)의 도전형이 반전되어 반전층(20-3INV)이 형성된다. 이 때문에, 셀 트랜지스터(CT3)는 도통하지 않고, 소스(2)~드레인(3)간에 셀 전류가 흐르지 않는다. 따라서, 드레인(3)에 접속된 도시하지 않은 비트선의 전위는 변화하지 않는다.

한편, 제11도(b)에 나타낸 바와 같이, 제어게이트(8-2)의 전위만을 0V로 하고, 셀 블록(CB)중으로부터 셀 트랜지스터(CT2)를 선택한 경우에는, 부유게이트(6-2)내에 전자(e)가 없기 때문에 N^-형 영역(20-2)은 생긴 그대로이다. 이 때문에, 셀 트랜지스터(CT2)는 도통한다. 더욱이, 셀 트랜지스터(CT3)의 부유게이트(6-3)내에는 전자(e)가 존재하고 있지만, 제어게이트(8-3)에 5V를 인가함으로써, 다시 N^-형 영역(20-3)을 형성한다. 이에 따라, 셀 트랜지스터(CT3)는 도통한다. 따라서, 소스(2)~드레인(3)간에 셀 전류가 흘러 드레인(3)에 접속된 도시하지 않은 비트선의 전위가 변화한다.

다음으로, 데이터의 기입동작에 대해 설명한다.

제12도는 기입동작을 설명하기 위한 도면으로, (a)도는 0레벨 데이터를 기입하고 있는 상태를 나타낸 도면, (b)도는 1레벨 데이터를 기입하고 있는 상태를 나타낸 도면이다.

데이터를 기입할 때에는, N형 기판(21) 및 P형 웰영역(22)을 모두 접지(0V)한 상태에서, 제1선택트랜지스터(ST1)의 게이트(30)를 접지(0V)하고, 제2선택트랜지스터(ST2)의 게이트(32)에 11V를 인가한다.

이 바이어스상태이면, P^-형 영역(33)의 도전형은 반전하지 않고, P^-형 영역(34)의 도전형만이 반전한다. 즉, 트랜지스터(ST1)는 비도통상태로 되고, 트랜지스터(ST2)는 도통상태로 된다. 이 상태에서, 드레인(3)에 접속되는 도시하지 않은 비트선을 도시하지 않은 기입회로에 접속한다.

우선, 셀 블록(CB)중의 예컨대 셀 트랜지스터(CT3)를 선택하고, 여기에 0레벨 데이터를 기입하는 경우에는, 제12도(a)에 나타낸 바와 같이 제어게이트(8-3)에만 18V를 인가하고, 다른 제어게이트(8-1,8-2 및 8-4)에는 9V를 인가한다. 그리고, 도시하지 않은 기입회로에 의해 비트선의 전위를 0V로 하면, 부유게이트(6-3)와 반전층(35-3)의 사이에 충분히 큰 전계가 걸려 부유게이트(6-3)로부터 반전층(35-3)을 향해 F-N 터널전류가 흐른다. 그 결과, 부유게이트(6-3)내로 전자(e)가 주입된다.

한편, 제12도(a)중에 참조부호 35-1~35-4로 나타낸 부분은 제10도중에 나타낸 N^-형 영역(20-1~20-4)과 웰영역(22) 표면(기판표면)의 사이에 존재하는 P형 영역(20-1'~20-4')의 도전형이 반전하여 생긴 반전층을 나타내고 있다. 즉, 채널영역(4-1~4-2)의 도전형이 웰영역(22) 표면(기판표면)에까지 미치면서 반전하고 있는 상태를 나타내고 있다.

이와 같이, P형 영역(20-1'~20-4')의 도전형도 반전시킴으로써, 부유게이트(6-1~6-4)와 반전층(35-1~35-4)간의 거리를 작게 할 수 있다. 이 때문에, 큰 F-N 터널전류를 게이트절연막내에 흘릴 수 있다.

더욱이, 큰 반전층(35-1~35-4)이 얻어짐으로써, 셀 블록(CB)이 도통상태일 때의 채널영역의 저항치가 작아진다. 즉, 셀 블록의 말단에 위치하는 셀 트랜지스터까지 신속하게 드레인(3)의 전위를 전달할 수 있다.

한편, 제12도(b)에 나타낸 바와 같이, 셀 블록(CB)중의 셀 트랜지스터(CT2)를 선택하여 1레벨 데이터를 기입하는 경우에는, 제어게이트(8)에만 18V를 인가하고, 다른 제어게이트(8-1,8-3 및 8-4)에는 9V를 인가한다. 그리고, 도시하지 않은 기입회로에 의해 비트선의 전위를 9V로 한다. 이러한 바이어스상태이면, 부유게이트(6-2)와 채널영역(4-2)에서의 반전층(35-2)간의 전계가 약해지기 때문에, 부유게이트(6-2)와 반전층(35-2)간에 F-N 터널전류는 흐르지 않는다. 그 결과, 부유게이트(6-2)내에 전자(e)가 주입되는 일은 없다.

또, 제12도(b)에 나타낸 바와 같이, 비선택의 셀 트랜지스터(CT1,CT2 및 CT4)에 있어서는 제어게이트~채널영역간의 전위차가 약해지기 때문에, N^-형 영역(20-1,20-3 및 20-4)과 웰영역(22)의 표면(기판표면)의 사이에 존재하는 P형 영역(20-1',20-3' 및 20-4')이 나타난다. 그리고, 이 나타난 P형 영역(20-1',20-3' 및 20-4')은 N^-형 영역(20-1,20-3 및 20-4)의 PN 접합이 역바이어스로 되기 때문에, 공핍층화가 진행된다. 이에 의하면, 동 도면에 나타낸 바와 같이, 예컨대 셀 트랜지스터(CT3)의 부유게이트(6-3)에 전자(e)가 주입되어 있을 때, 부유게이트(6-3)와 N^-형 영역(20-3)간의 거리를 크게 할 수 있고, 전자(e)가 부유게이트(6-3)로부터 빼내어지기 어렵게 할 수 있다고 하는 이점도 있다.

다음으로, 데이터의 소거동작에 대해 설명한다.

제13도는 소거동작을 설명하기 위한 도면으로, 부유게이트로부터 전자를 빼내고 있는 상태를 나타낸 도면이다.

데이터를 소거할 때에는, 소스(2), N형 기판(21) 및 P형 웰영역(22) 각각에 전압 18V를 인가하고, 드레인(3)을 개방(OPEN)한 상태에서, 제어게이트(8-1~8-4) 및 선택게이트(30,32)를 각각 접지(0V)한다.

셀 블록(CB)을 상기한 바와 같은 바이어스상태로 하면, 제어게이트(8-1~8-4)와 웰영역(22)의 사이에 강한 전계가 인가된다. 이 때문에, 제13도에 나타낸 바와 같이, 예컨대 부유게이트(6-3)내에 전자가 존재하고 있었다고 하면, 이 부유게이트(6-3)와 웰영역(22)의 사이에 F-N 터널전류가 흐름으로써, 부유게이트(6-3)내의 전자(e)는 웰영역(22)으로 방출된다. 이에 따라, 데이터가 메모리셀로부터 소거된다.

또, 부유게이트(6-1~6-4)와 웰영역(22)의 사이에는 N^-형 영역(20-1~20-4)이 존재하고 있지만, 부유게이

트내에 전자(e)가 존재하면, 이들 N^-형 영역(20-1~20-4)의 도전형은 웰영역(22)과 같은 P형으로 되기 때문에, 데이터 소거에 대한 치명적인 영향은 없다.

상기 제1~제3실시예에 의해 설명한 불휘발성 반도체기억장치에서는 데이터의 독출시, 기판표면으로부터 떨어진 깊은 영역에 반전층을 형성하고, 이 깊은 영역에 형성된 반전층을 매개하여 데이터의 독출을 행함으로써, 계면준위에 기인한 셀 전류의 열화를 없앨 수 있다. 이 때문에, 긴 기간, 안정한 데이터의 독출을 행할 수 있다.

또, 데이터의 기입시, 반전층을 기판표면에 도달하기까지 크게 형성하고, 이 크게 형성된 반전층을 매개하여 데이터의 기입을 행함으로써, 데이터의 기입속도를 향상시킬 수 있다.

예컨대, 채널 핫 캐리어 주입을 이용한 데이터의 기입의 경우에서는, 기판의 깊은 영역에서 핫 캐리어를 생성할 수 있기 때문에, 핫 캐리어의 발생효율이 향상된다. 이 때문에, 핫 캐리어를 단시간에 부유게이트로 주입할 수 있게 되어 데이터의 기입속도가 향상된다.

또, F-N 터널전류를 이용한 데이터의 기입의 경우에서는, 반전층이 기판표면에 도달하기까지 크게 형성됨으로써, 반전층과 부유게이트간의 거리를 작게 할 수 있다. 예컨대, 게이트절연막의 두께만으로 할 수 있다. 이 때문에, 큰 전계가 상기 절연영역층에 걸리기 쉬워져서 큰 F-N 터널전류를 흘릴 수 있다. 이 때문에, 캐리어를 단시간에 부유게이트로 주입할 수 있다.

더욱이, 반전층을 기판표면에 도달하기까지 크게 형성할 수 있는 것에 의하면, 셀 트랜지스터의 채널 저항치를 작게 할 수 있다. 이는, 예컨대 셀 트랜지스터가 직렬로 접속되는 것과 같은 NAND형 E^2PROM에서 유용하다. 즉, 각 셀 트랜지스터 각각의 채널 저항치를 작게 할 수 있게 됨으로써, 셀 블록의 말단에 위치하는 셀 트랜지스터까지, 예컨대 드레인의 전위를 신속하게 전달할 수 있기 때문이다.

한편, 본 발명에 따른 불휘발성 반도체기억장치에서는 채널영역으로의 불순물 도입량이 크기 때문에, 소스의 내압이 작아질 가능성도 있다. 그래서, 제어게이트전극에 예컨대 -7.5V 정도의 부(負)의 전위를 인가하고, 소스에 예컨대 6.5V 정도의 전위를 인가함으로써, 부유게이트로부터 전자를 빼내도록 해도 좋다.

[발명의 효과]

이상에서 설명한 바와 같이 본 발명에 의하면, 긴 기간, 안정하게 데이터를 독출할 수 있고, 또한 데이터의 기입속도를 향상시킬 수 있는 불휘발성 반도체기억장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판과, 표면채널층과 상기 반도체기판내에 형성된 매립채널층을 갖춘 2층 구조의 채널영역과, 상기 표면채널층상에 형성된 게이트절연막, 이 게이트절연막상에 형성된 게이트 및, 상기 게이트절연막내에 형성된 전하축적층을 갖추고, 적어도 데이터 기입동작을 행할 수 있는 메모리셀을 구비하고, 상기 매립채널층만을 이용함으로써 상기 메모리셀로부터의 데이터의 독출동작을 행하여 상기 매립채널층의 도전형이 상기 기판의 도전형과 같은가의 여부에 따라 1레벨 또는 0레벨의 데이터를 판정하고, 상기 표면채널층과 상기 매립채널층을 모두 이용함으로써 상기 메모리셀로의 0레벨 데이터의 기입동작을 행함과 동시에, 상기 표면채널층과 상기 매립채널층을 상기 기판의 도전형과 다른 도전형으로 하며, 상기 표면채널층과 상기 매립채널층으로 전류를 흐르게 하여 상기 전하축적층에 캐리어를 주입하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 2

제1항에 있어서, 상기 매립채널층의 캐리어농도가 상기 표면채널층의 캐리어농도보다도 낮은 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 3

제2항에 있어서, 데이터가 1레벨일 때보다도 데이터가 0레벨일 때에 상기 전하축적층에 축적되는 전자의 양이 더 많은 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 4

한 도전형의 반도체기판과, 깊은 층 및 이 깊은 층과 상기 반도체기판의 표면사이에 형성된 표면층을 갖춘 채널영역과, 제어게이트 및, 전하축적층을 갖춘 메모리셀 및, 상기 제어게이트에, 상기 메모리셀에 축적된 데이터에 기초하여 상기 채널영역의 상기 깊은 층에 반전층 또는 비반전층을 형성하는 제1전위와, 상기 채널영역의 상기 깊은 층과 상기 채널영역의 상기 표면층의 도전형이 모두 상기 반도체기판의 도전형과 다른 도전형으로 되도록 하는 제2전위를 공급하는 게이트전위 공급회로를 구비한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 5

제4항에 있어서, 상기 메모리셀이 노멀리 오프형 셀 트랜지스터를 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 6

제5항에 있어서, 상기 제1전위가 독출전위이고, 상기 제2전위가 프로그래밍전위인 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 7

제6항에 있어서, 상기 독출전위가 VCC이고, 상기 프로그래밍 전위가 VPP인 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 8

제4항에 있어서, 상기 메모리셀이 노멀리 온형 셀 트랜지스터를 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 9

제8항에 있어서, 상기 제1전위가 접지전위이고, 상기 제2전위가 프로그래밍 전위인 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 10

제8항에 있어서, 상기 노멀리 온형 셀 트랜지스터가 NAND형 셀 트랜지스터를 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 11

제10항에 있어서, 상기 제1전위가 접지전위이고, 상기 제2전위가 프로그래밍 전위인 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 12

제1도전형의 반도체 재료의 바디와, 상기 반도체 바디내에 형성되고, 그들 사이에 매립채널층 및 이 매립채널층과 상기 반도체 바디의 표면 사이에 형성된 표면채널층을 포함하는 채널영역을 규정하는 제2도전형의 소스 및 드레인영역과, 제어게이트 및, 전하축적층을 갖춘 불휘발성 메모리셀 트랜지스터 및, 상기 불휘발성 메모리셀 트랜지스터로부터 데이터를 독출하기 위한 데이터 독출동작중에 상기 제어게이트에 독출전위를 공급하고, 상기 불휘발성 메모리셀 트랜지스터로 데이터를 기입하기 위한 데이터 기입동작중에 상기 제어게이트에 기입전위를 공급하는 게이트전위 공급회로를 구비하고, 데이터 독출동작중에는 상기 표면채널층의 도전형은 반전되지 않고 상기 매립채널층의 도전형이 상기 불휘발성 메모리셀 독출전위에 기초하여 반전되거나 반전되지 않고, 데이터 기입동작중에는 상기 매립채널층과 상기 표면채널층 모두의 도전형이 상기 제어게이트에 공급되는 기입전위에 기초하여 상기 반도체 바디의 도전형과 다른 도전형으로 되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 13

제12항에 있어서, 상기 매립채널층의 캐리어농도가 상기 표면채널층의 캐리어농도보다도 낮은 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 14

제13항에 있어서, 상기 표면채널층과 상기 매립채널층의 각각은, 상기 제어게이트에 접지전위가 공급되는 경우에 상기 반도체 바디의 도전형과 같은 도전형으로 되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 15

제14항에 있어서, 상기 매립채널층의 불순물농도가 상기 표면채널층 및 상기 반도체 바디의 불순물농도보다도 낮은 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 16

제15항에 있어서, 상기 매립채널층과 접촉하여 형성되고, 상기 반도체 바디의 불순물농도보다도 큰 불순물농도를 갖는 제1도전형의 반도체영역을 더 구비한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 17

제13항에 있어서, 상기 표면채널층의 캐리어농도는, 상기 게이트전위 공급회로가 상기 제어게이트에 기입전위를 공급할 때에 그 도전형이 항시 반전되도록 설정되어 있는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 18

제17항에 있어서, 상기 게이트전위 공급회로가 10V의 기입전위를 공급하도록 설정되어 있는 경우에는, 상기 표면채널의 캐리어농도가 $10^{18}cm^{-3}$정도 이하이고, 상기 게이트전위 공급회로가 8V의 기입전위를 공급하도록 설정되어 있는 경우에는, 상기 표면채널층의 캐리어농도가 $10^{17}cm^{-3}$정도 이하인 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 19

제14항에 있어서, 상기 게이트전위 공급회로가 상기 제어게이트에 독출전위를 공급하고 상기 불휘발성 메모리셀 트랜지스터에 축적된 데이터가 제1논리레벨의 데이터인 경우에는, 상기 표면채널층의 도전형은 반전되지 않고 상기 매립채널층의 도전형만이 반전되고, 상기 게이트전위 공급회로가 상기 제어게이트에 독출전위를 공급하고 상기 불휘발성 메모리셀 트랜지스터에 축적된 데이터가 제2논리레벨의 데이터인 경우

에는, 상기 매립채널층의 도전형도 상기 표면채널층의 도전형도 반전되지 않는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 20

제19항에 있어서, 상기 전하축적층이 상기 제1논리레벨의 데이터에 대한 전자보다도 상기 제2논리레벨의 데이터에 대한 전자를 더 많이 축적하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 21

제13항에 있어서, 상기 게이트에 접지전위가 공급되고 상기 불휘발성 메모리셀 트랜지스터가 제1논리레벨의 데이터를 축적하는 경우에는, 상기 표면채널층은 상기 반도체 바디와 같은 도전형으로 되고, 상기 매립채널층은 상기 반도체 바디와 다른 도전형으로 되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 22

제21항에 있어서, 상기 게이트에 접지전위가 공급되고 상기 불휘발성 메모리셀 트랜지스터가 제2논리레벨의 데이터를 축적하는 경우에는, 상기 매립채널층의 도전형만이 반전되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 23

제22항에 있어서, 상기 게이트전위 공급회로가 상기 제어게이트에 기입전위를 공급하고 상기 불휘발성 메모리셀 트랜지스터가 제1논리레벨의 데이터를 축적하는 경우에는, 상기 표면채널층의 도전형만이 반전되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 24

제23항에 있어서, 상기 전하축적층이 상기 제1논리레벨의 데이터에 대한 전자보다도 상기 제2논리레벨의 데이터에 대한 전자를 더 많이 축적하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 25

제1도전형의 반도체 재료의 바디와, 상기 반도체 바디내에 형성되고, 그들 사이에 매립채널층 및 이 매립채널층과 상기 반도체 바디의 표면 사이에 형성된 제1도전형의 표면채널층을 포함하는 채널영역을 규정하는 제2도전형의 소스 및 드레인영역과, 제어게이트 및, 전하축적층을 갖춘 메모리셀 및, 상기 메모리셀로부터 데이터를 독출하기 위한 데이터 독출동작중에 상기 제어게이트에 독출전위를 공급하고, 상기 메모리셀로 데이터를 기입하기 위한 데이터 기입동작중에 상기 제어게이트에 기입전위를 공급하는 게이트전위 공급회로를 구비하고, 데이터 독출동작중에는 상기 표면채널층에 흐르는 전류는 없고 상기 매립채널층에 전류가 흐르는가의 여부에 따라 상기 메모리셀로부터 데이터가 독출되고, 데이터 기입동작중에는 상기 매립채널층과 상기 표면채널층 모두에 흐르는 전류에 기초하여 상기 메모리셀로 데이터가 기입되는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 26

한 도전형의 반도체기판과; 한 표면을 갖추고 상기 반도체기판내에 형성된 채널영역을 포함하는 임계치 가변형 트랜지스터와, 상기 채널영역의 한 표면상에 형성된 게이트절연막, 이 게이트절연막상에 형성된 게이트 및, 상기 게이트절연막내에 형성된 전하축적층을 갖추고, 적어도 데이터 기입동작을 행할 수 있는 메모리셀; 상기 채널영역의 한 표면과 접촉하여 형성된 표면채널층 및; 상기 채널영역의 상기 표면채널층과 접촉하여 형성된 매립채널층을 포함하고 있는 불휘발성 반도체기억장치의 동작방법에 있어서, 데이터 독출동작시에 독출데이터에 기초하여 상기 매립채널층의 도전형을 반전하거나 반전하지 않도록 상기 게이트에 독출전위를 공급하는 단계와, 데이터 기입동작시에 상기 매립채널층 및 상기 표면채널층 모두의 도전형이 상기 반도체기판의 도전형과 다른 도전형으로 되도록 상기 게이트에 상기 독출전위보다도 높은 기입전위를 공급하는 단계를 구비하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 27

제26항에 있어서, 상기 매립채널층의 캐리어농도가 상기 표면채널층의 캐리어농도보다도 낮은 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 28

제27항에 있어서, 상기 표면채널층 및 상기 매립채널층의 각각은, 상기 게이트에 접지전위가 공급되는 경우에 상기 반도체기판과 같은 도전형으로 되는 것을 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 29

제28항에 있어서, 상기 매립채널층의 불순물농도가 상기 표면채널층 및 상기 반도체기판의 불순물농도보다도 낮은 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 30

제29항에 있어서, 상기 불휘발성 반도체기억장치가, 상기 매립채널층과 접촉하여 형성되고, 상기 반도체기판의 불순물농도보다도 큰 불순물농도를 갖는 한 도전형의 반도체영역을 더 구비한 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 31

제27항에 있어서, 상기 게이트에 기입전위가 공급될 때에 그 도전형이 항시 반전되도록 상기 표면채널층의 캐리어농도를 설정하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 32

제31항에 있어서, 상기 기입전위가 10V로 설정된 경우에, 상기 표면채널층의 캐리어농도를 $10^{18}cm^{-3}$정도 이하의 값으로 설정하는 단계와, 상기 기입전위가 8V로 설정된 경우에, 상기 표면채널층의 캐리어농도를 $10^{17}cm^{-3}$정도 이하의 값으로 설정하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 33

제28항에 있어서, 상기 게이트에 독출전위가 공급되고 상기 메모리셀에 축적된 데이터가 제1논리레벨의 데이터인 경우에는, 상기 표면채널층의 도전형은 반전되지 않고 상기 매립채널층의 도전형만이 반전되고, 상기 게이트에 독출전위가 공급되고 상기 메모리셀에 축적된 데이터가 제2논리레벨의 데이터인 경우에는, 상기 표면채널층의 도전형도 상기 매립채널층의 도전형도 반전되지 않는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 34

제33항에 있어서, 상기 게이트에 기입전위가 공급되고 상기 메모리셀에 축적된 데이터가 제1논리레벨의 데이터인 경우에는, 상기 표면채널층 및 상기 매립채널층의 도전형 모두가 반전되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 35

제34항에 있어서, 상기 전하축적층이 상기 제1논리레벨의 데이터에 대한 전자보다도 상기 제2논리레벨의 데이터에 대한 전자를 더 많이 축적하는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 36

제27항에 있어서, 상기 게이트에 접지전위가 공급되고 상기 메모리셀이 제1논리레벨의 데이터를 축적하는 경우에는, 상기 표면채널층은 상기 반도체기판과 같은 도전형으로 되고, 상기 매립채널층은 상기 반도체기판과 다른 도전형으로 되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 37

제36항에 있어서, 상기 게이트에 접지전위가 공급되고 상기 메모리셀이 제2논리레벨의 데이터를 축적하는 경우에는, 상기 매립채널층의 도전형만이 반전되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 38

제37항에 있어서, 상기 게이트에 기입전위가 공급되고 상기 메모리셀에 축적된 데이터가 제1논리레벨의 데이터인 경우에는, 상기 표면채널층의 도전형만이 반전되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 39

제38항에 있어서, 상기 전하축적층이 상기 제1논리레벨의 데이터에 대한 전자보다도 상기 제2논리레벨의 데이터에 대한 전자를 더 많이 축적하는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 40

한 도전형의 반도체기판과; 깊은 층 및 이 깊은 층과 상기 반도체기판의 표면 사이에 형성된 표면층을 갖춘 채널영역과, 제어게이트 및, 전하축적층을 갖춘 메모리셀을 포함하고 있는 불휘발성 반도체기억장의 동작방법에 있어서, 상기 메모리셀에 축적된 데이터에 기초하여 상기 채널영역의 상기 깊은 층에 반전층 또는 비반전층을 형성하는 제1전위를 상기 제어게이트에 공급하는 단계와, 상기 채널영역의 상기 깊은 층과 상기 채널영역의 상기 표면층의 도전형이 모두 상기 반도체기판의 도전형과 다른 도전형으로 되도록 하는 제2전위를 상기 제어게이트에 공급하는 단계를 구비하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 41

제40항에 있어서, 상기 메모리셀이 노멀리 오프형 셀 트랜지스터를 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 42

제41항에 있어서, 상기 제1전위가 독출전위이고, 상기 제2전위가 프로그래밍 전위인 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 43

제42항에 있어서, 상기 독출전위가 VCC이고, 상기 프로그래밍 전위가 VPP인 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 44

제40항에 있어서, 상기 메모리셀이 노멀리 온형 셀 트랜지스터를 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 45

제44항에 있어서, 상기 제1전위가 접지전위이고, 상기 제2전위가 프로그래밍 전위인 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 46

제43항에 있어서, 상기 노멀리 온형 셀 트랜지스터가 NAND형 셀 트랜지스터를 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 47

제46항에 있어서, 상기 제1전위가 접지전위이고, 상기 제2전위가 프로그래밍 전위인 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 48

제1도전형의 반도체 재료의 바디와; 이 반도체 바디내에 형성되고, 그들 사이에 매립채널층 및 이 매립채널층과 상기 반도체 바디의 표면 사이에 형성된 표면채널층을 포함하는 채널영역을 규정하는 제2도전형의 소스 및 드레인영역과, 제어게이트 및, 전하축적층을 갖춘 불휘발성 메모리셀 트랜지스터를 포함하고 있는 불휘발성 반도체기억장치의 동작방법에 있어서, 상기 불휘발성 메모리셀 트랜지스터로부터 데이터를 독출하기 위한 데이터 독출동작중에 상기 제어게이트에 독출전위를 공급하는 단계와, 상기 불휘발성 메모리셀 트랜지스터로 데이터를 기입하기 위한 데이터 기입동작중에 상기 제어게이트에 기입전위를 공급하는 단계를 구비하여 이루어지고, 데이터 독출동작중에는 상기 표면채널층의 도전형은 반전되지 않고 상기 매립채널층의 도전형이 상기 불휘발성 메모리셀 트랜지스터로부터 독출되는 데이터 및 상기 제어게이트에 공급되는 독출전위에 기초하여 반전되거나 반전되지 않고, 데이터 기입동작중에는 상기 매립채널층과 상기 표면채널층 모두의 도전형이 상기 제어게이트에 공급되는 기입전위에 기초하여 상기 반도체 바디의 도전형과 다른 도전형으로 되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 49

제48항에 있어서, 상기 매립채널층의 캐리어농도가 상기 표면 채널층의 캐리어농도보다도 낮은 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 50

제49항에 있어서, 상기 표면채널층과 상기 매립채널층의 각각은, 상기 제어게이트에 접지전위가 공급되는 경우에 상기 반도체 바디의 도전형과 같은 도전형으로 되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 51

제50항에 있어서, 상기 매립채널층의 불순물농도가 상기 표면채널층 및 상기 반도체 바디의 불순물농도보다도 낮은 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 52

제51항에 있어서, 상기 불휘발성 반도체기억장치가, 상기 매립채널층과 접촉하여 형성되고, 상기 반도체 바디의 불순물농도보다도 큰 불순물농도를 갖는 제1도전형의 반도체영역을 더 구비한 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 53

제52항에 있어서, 상기 제어게이트에 기입전위가 공급될 때에 그 도전형이 항시 반전되도록 상기 표면채널층의 캐리어농도가 설정되어 있는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 54

제53항에 있어서, 10V의 기입전위가 공급되고 있는 경우에는, 상기 표면채널층의 캐리어농도가 $10^{18}cm^{-3}$정도 이하이고, 8V의 기입전위가 공급되고 있는 경우에는, 상기 표면채널층의 캐리어농도가 $10^{17}cm^{-3}$정도 이하인 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 55

제50항에 있어서, 상기 제어게이트에 독출전위가 공급되고 상기 불휘발성 메모리셀 트랜지스터에 축적된 데이터가 제1논리레벨의 데이터인 경우에는, 상기 표면채널층의 도전형은 반전되지 않고 상기 매립채널층의 도전형만이 반전되고, 상기 제어게이트에 독출전위가 공급되고 상기 불휘발성 메모리셀 트랜지스터에 축적된 데이터가 제2논리레벨의 데이터인 경우에는, 상기 매립채널층의 도전형도 상기 표면채널층의 도전형도 반전되지 않는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 56

제55항에 있어서, 상기 전하축적층이 상기 제1논리레벨의 데이터에 대한 전자보다도 상기 제2논리레벨의

데이터에 대한 전자를 더 많이 축적하는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 57

제49항에 있어서, 상기 게이트에 접지전위가 공급되고 상기 불휘발성 메모리셀 트랜지스터가 제1논리레벨의 데이터를 축적하는 경우에는, 상기 표면채널층은 상기 반도체 바디와 같은 도전형으로 되고, 상기 매립채널층은 상기 반도체 바디와 다른 도전형으로 되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 58

제57항에 있어서, 상기 게이트에 접지전위가 공급되고 상기 불휘발성 메모리셀 트랜지스터가 제2논리레벨의 데이터를 축적하는 경우에는, 상기 매립채널층의 도전형만이 반전되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 59

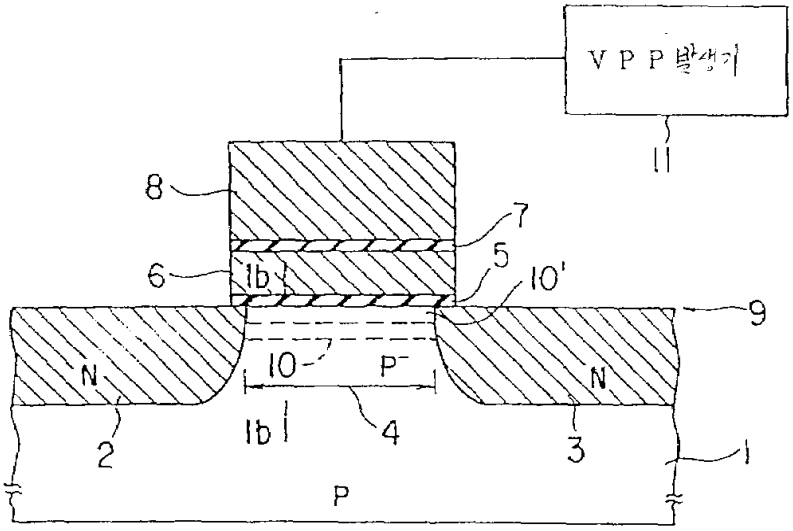
제58항에 있어서, 상기 제어게이트에 기입전위가 공급되고 상기 불휘발성 메모리셀 트랜지스터가 제1논리레벨의 데이터를 축적하는 경우에는, 상기 표면채널층의 도전형만이 반전되는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

청구항 60

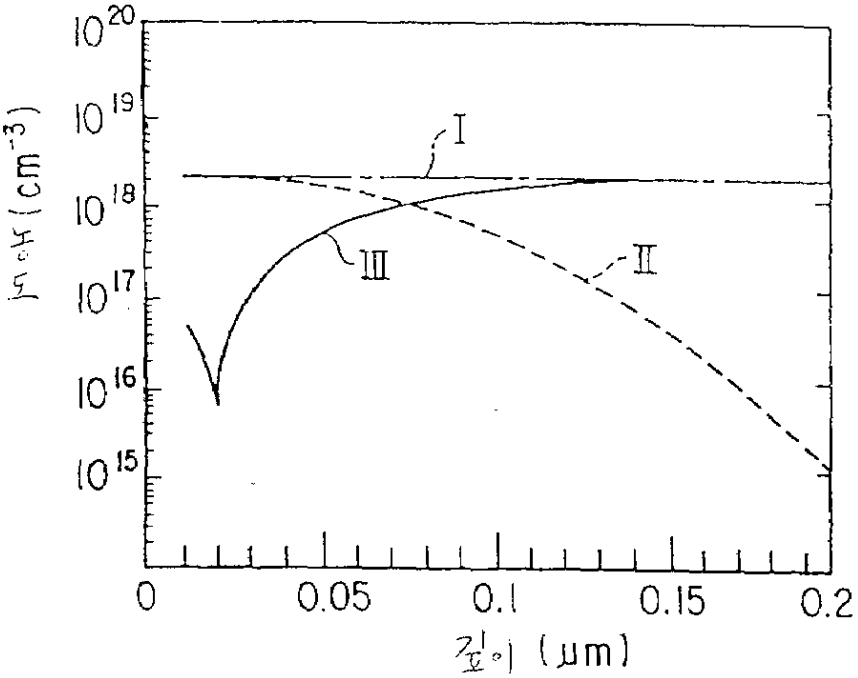
제59항에 있어서, 상기 전하축적층이 상기 제1논리레벨의 데이터에 대한 전자보다도 상기 제2논리레벨의 데이터에 대한 전자를 더 많이 축적하는 것을 특징으로 하는 불휘발성 반도체기억장치의 동작방법.

도면

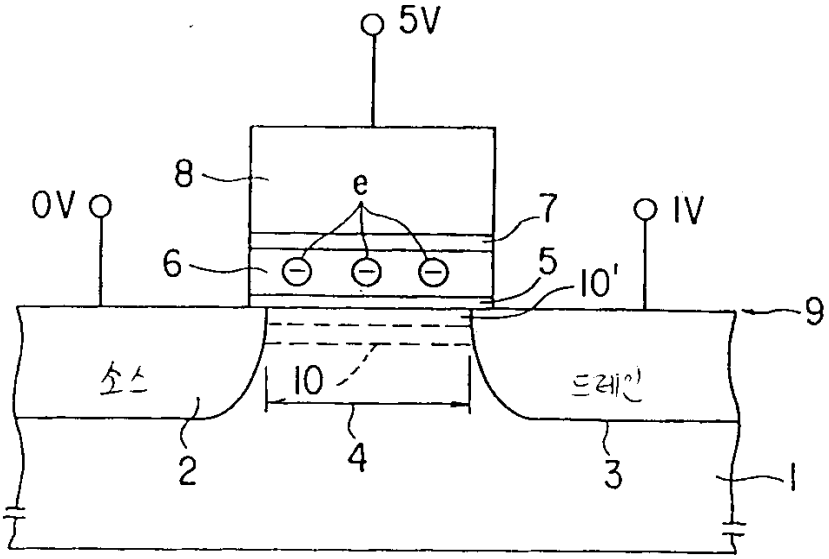
도면1a



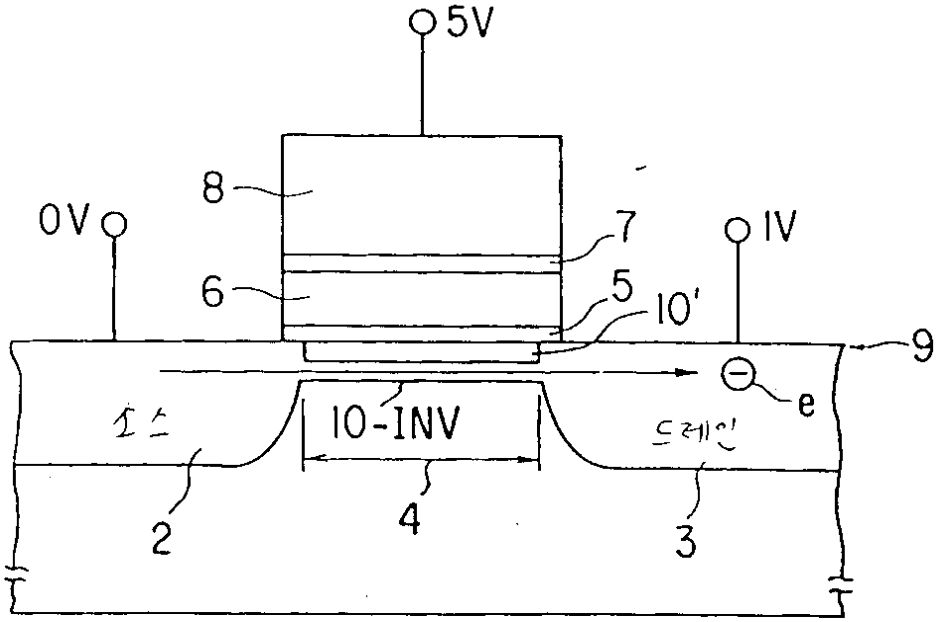
도면1b


10^{20}
10^{19}
10^{18}
10^{17}
10^{16}
10^{15}
도핑농도 (cm^{-3})
I
II
III
0
0.05
0.1
0.15
0.2
깊이 (μm)

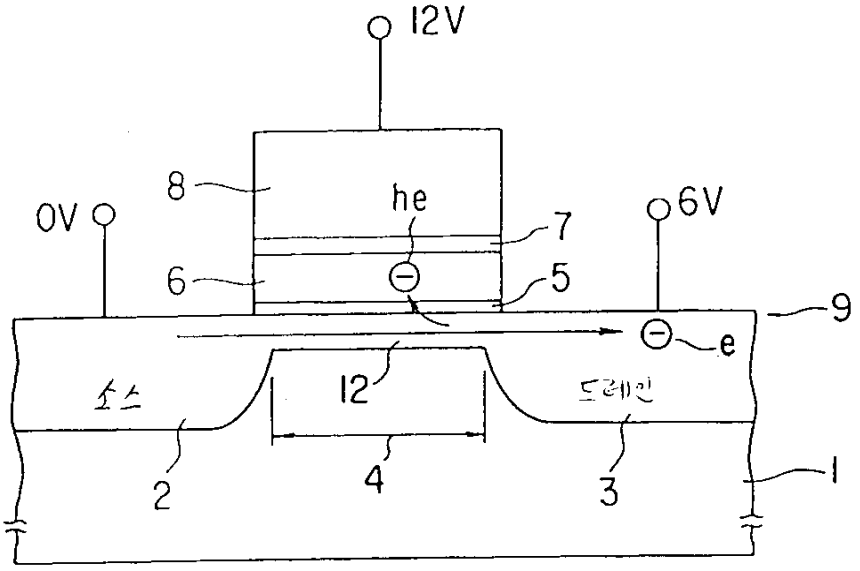
도면2a


5V
8
e
7
0V
6
5
10'
1V
9
소스
10
드레인
2
4
3
1

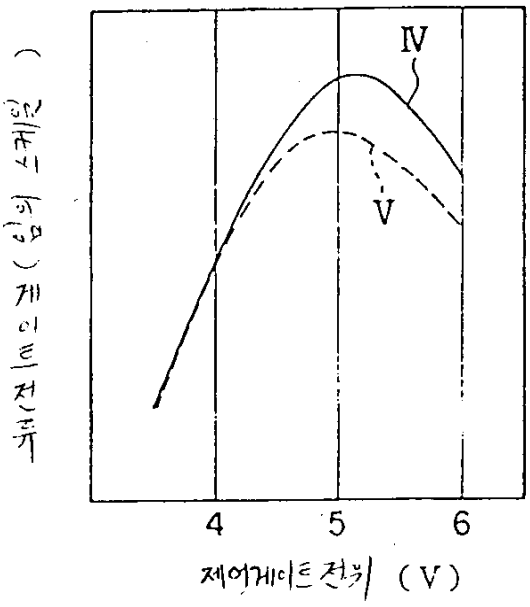
도면2b


5V
8
0V
7
1V
6
5
10'
9
e
소스
10-INV
드레인
2
4
3

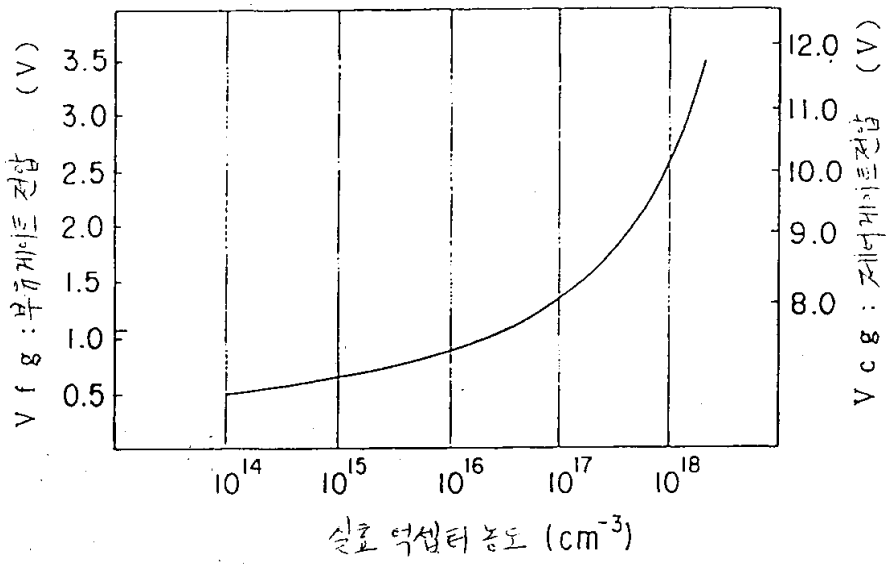
도면3


12V
8
he
0V
7
6V
6
5
9
e
소스
12
드레인
2
4
3
1

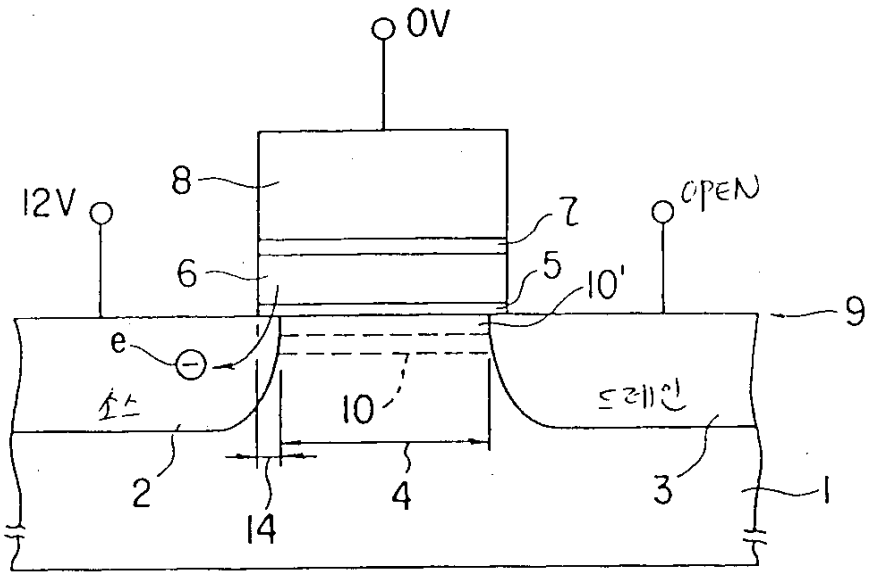
도면4


Ⅳ
Ⅴ
4
5
6
제어게이트전위 (V)

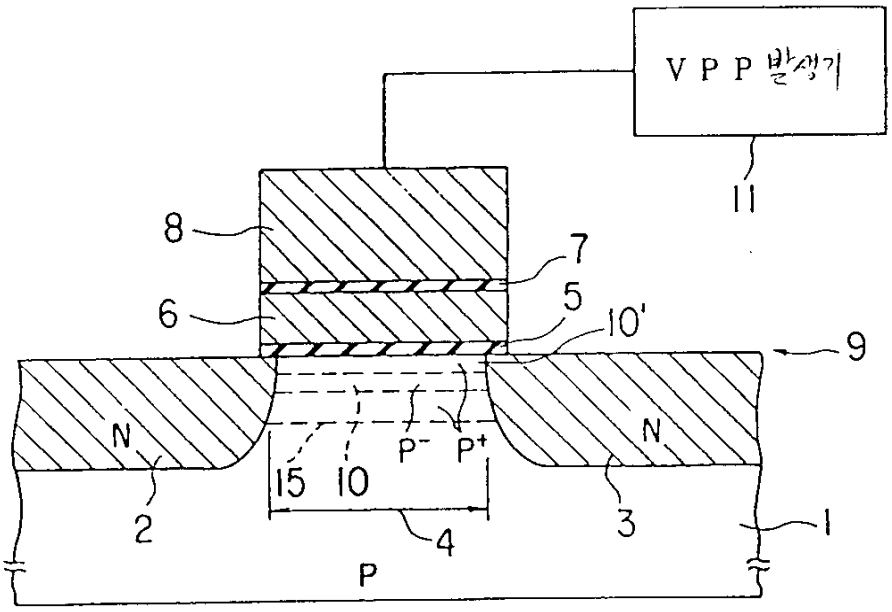
도면5


3.5
3.0
2.5
2.0
1.5
1.0
0.5
12.0
11.0
10.0
9.0
8.0
10^{14}
10^{15}
10^{16}
10^{17}
10^{18}
실효 억셉터 농도 (cm^{-3})

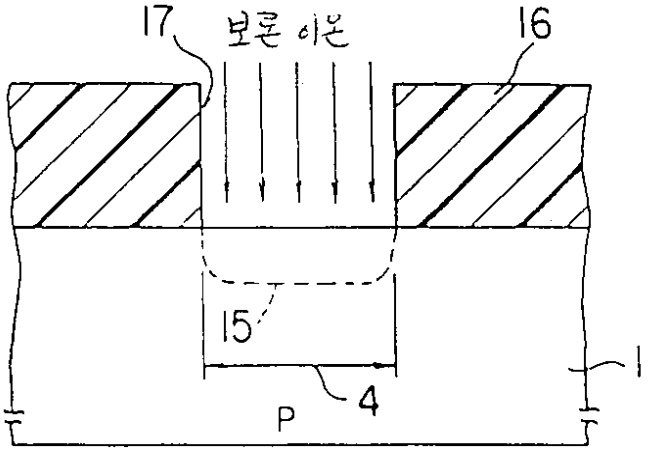
도면6


0V
12V
8
7
OPEN
6
5
10'
9
e
소스
10
드레인
2
14
4
3
1

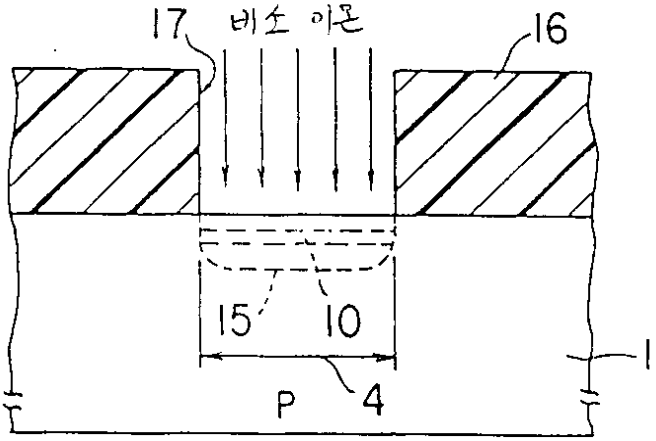
도면7


VPP 발생기
11
8
7
6
5
10'
9
N
N
15
10
P⁻
P⁺
2
4
3
1
P

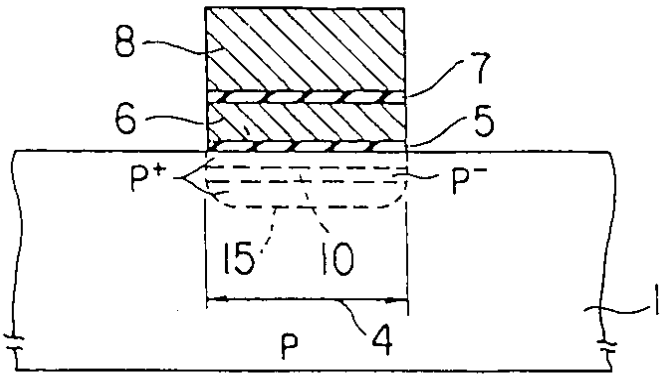
도면8a



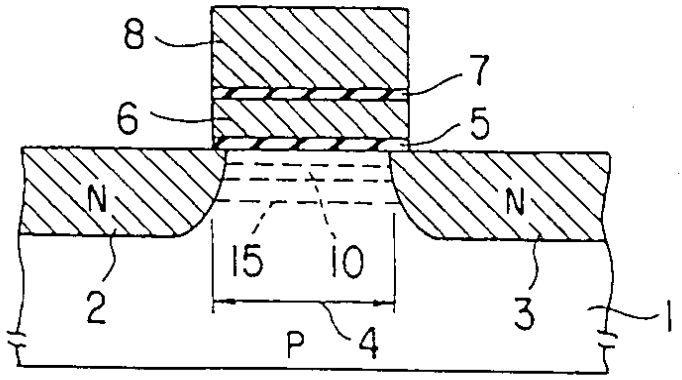
도면8b



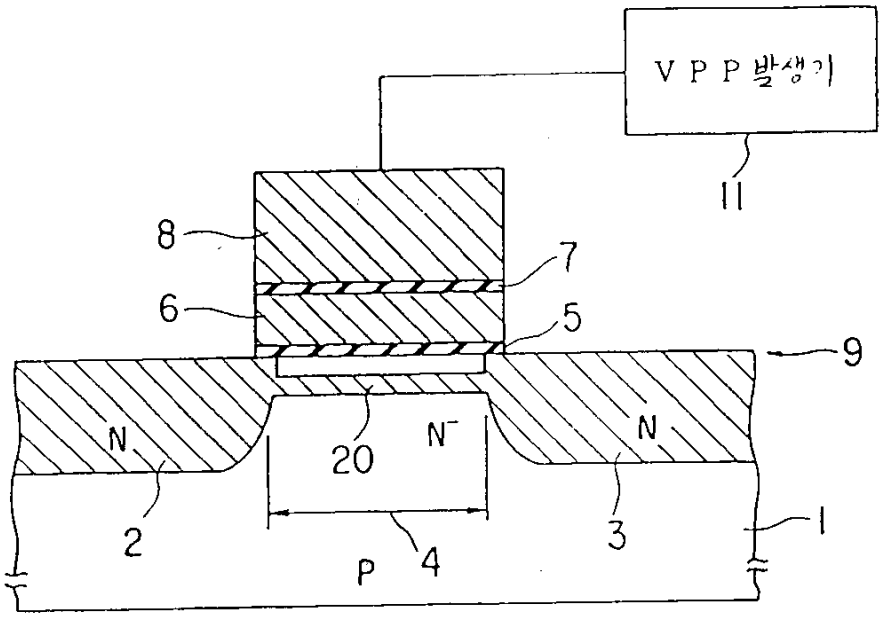
도면8c



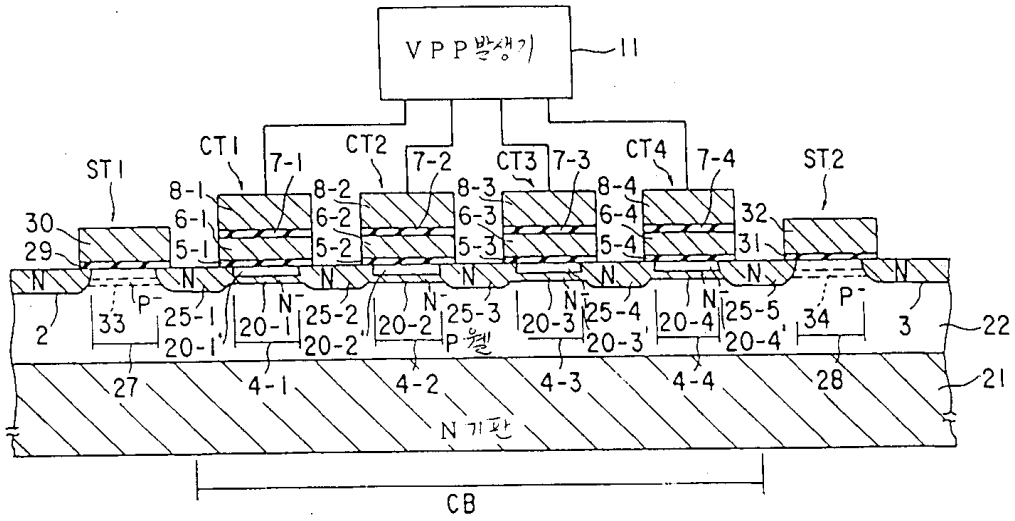
도면8d



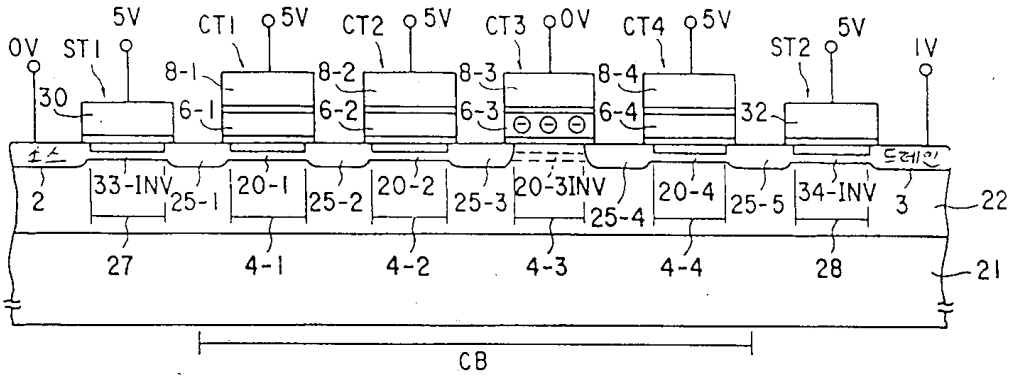
도면9



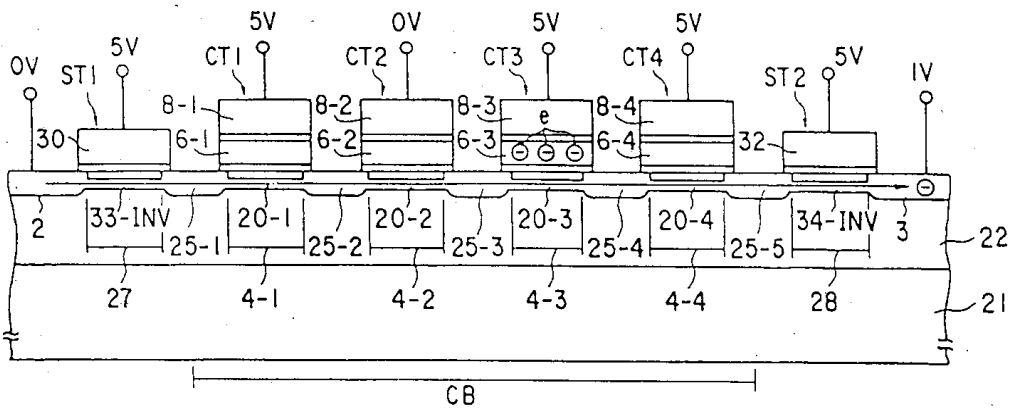
도면10



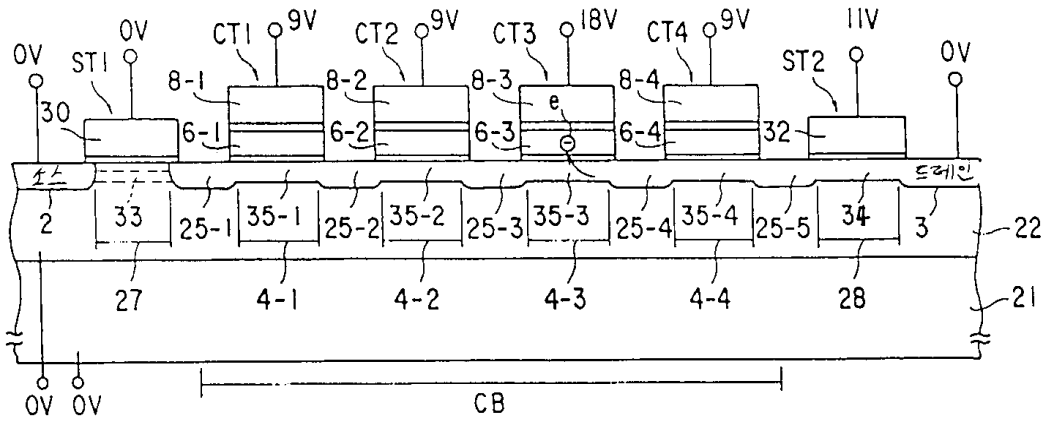
도면11a



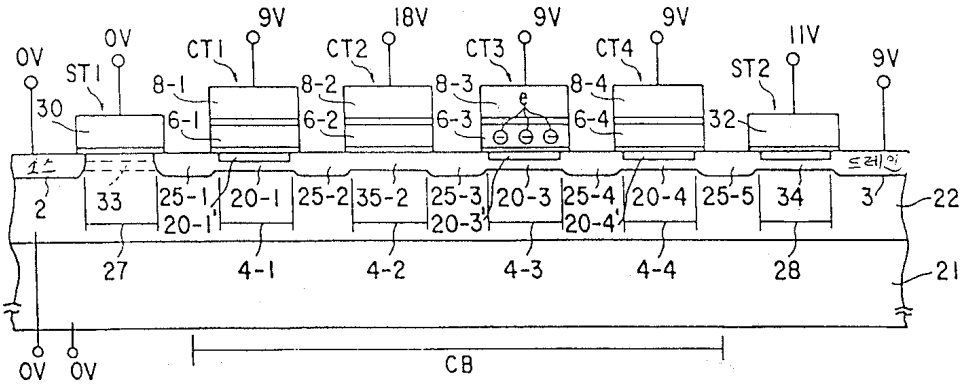
도면11b



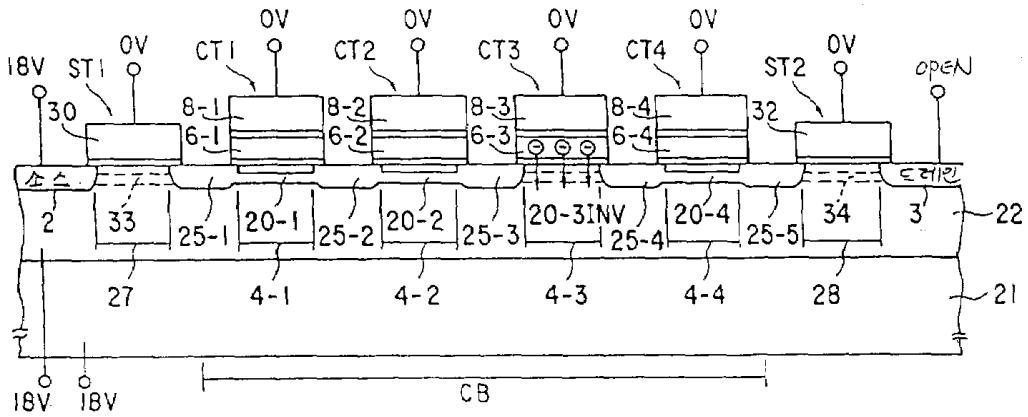
도면12a



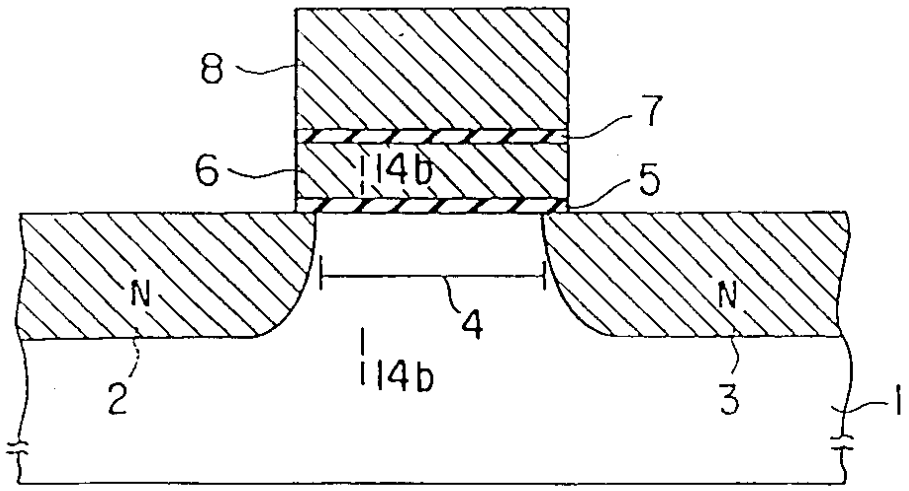
도면12b



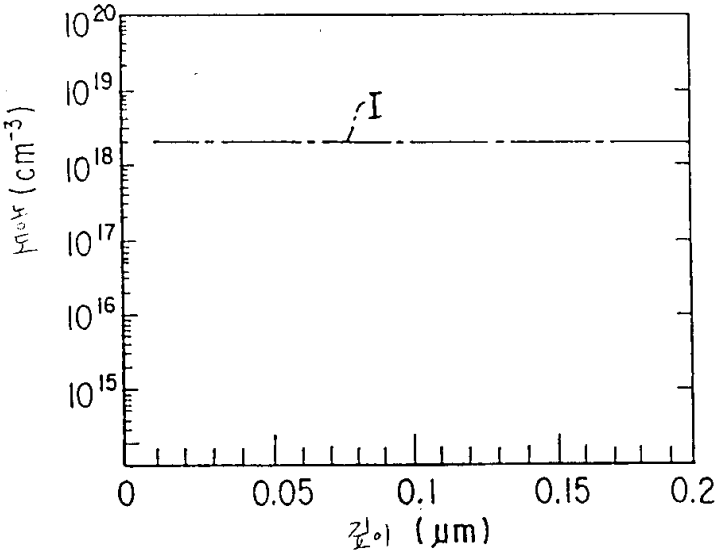
도면13



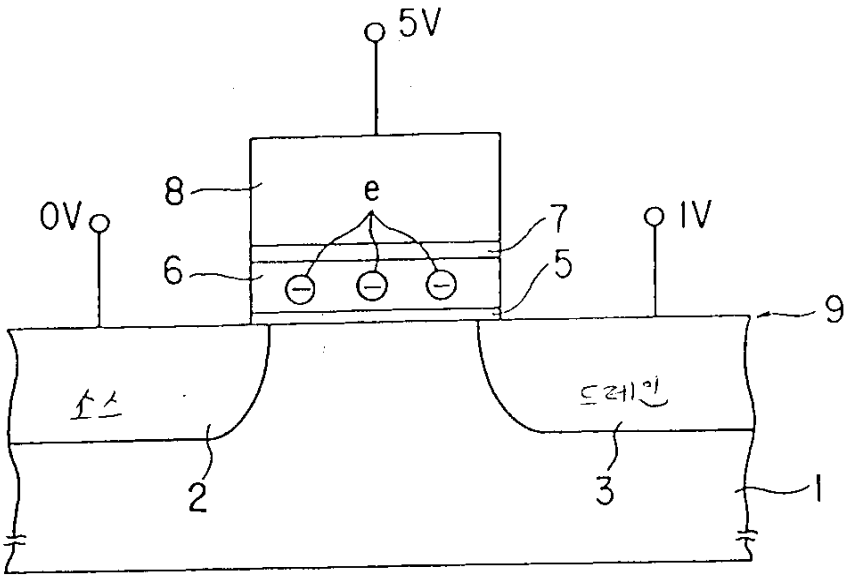
도면14a


8
7
6
14b
5
N
4
N
14b
2
3
1

도면14b


10^{20}
10^{19}
10^{18}
10^{17}
10^{16}
10^{15}
I
0
0.05
0.1
0.15
0.2
깊이 (μm)

도면15a



도면15b

