



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월12일
 (11) 등록번호 10-1103934
 (24) 등록일자 2012년01월02일

(51) Int. Cl.

H01L 21/82 (2006.01)

(21) 출원번호 10-2009-7006109
 (22) 출원일자(국제출원일자) 2007년09월25일
 심사청구일자 2009년05월11일
 (85) 번역문제출일자 2009년03월25일
 (65) 공개번호 10-2009-0077895
 (43) 공개일자 2009년07월16일
 (86) 국제출원번호 PCT/US2007/079375
 (87) 국제공개번호 WO 2008/051674
 국제공개일자 2008년05월02일

(30) 우선권주장
 11/550,943 2006년10월19일 미국(US)

(56) 선행기술조사문헌
 KR100139599 B1
 KR100557630 B1
 KR1020030054791 A
 KR1020050107844 A

전체 청구항 수 : 총 10 항

(73) 특허권자
 인터내셔널 비지네스 머신즈 코퍼레이션
 미국 10504 뉴욕주 아몬크 뉴오차드 로드
 (72) 발명자
 양 치 차오
 미국 뉴욕주 12077 글렌몬트 윈드함 힐 로드 29
 양 하이닝
 미국 뉴욕주 12590 와핑거스 필스 로빈슨 레인 36
 (74) 대리인
 신정건, 김태홍

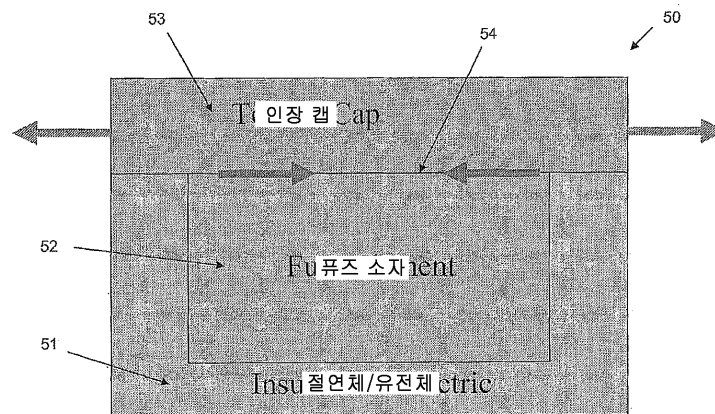
심사관 : 김준학

(54) 전기 퓨즈 및 이의 제조 방법

(57) 요약

반도체 퓨즈는 퓨즈 소자 및 퓨즈 소자의 전자 이동 저항을 감소시키는 압축 응력 라이너를 포함한다. 본 방법은 기판에 트렌치 피처를 형성하는 단계, 트렌치 피처에 퓨즈 재료를 증착하고 퓨즈 재료 상에 압축 응력 라이너 재료를 증착하는 단계, 및 압축 응력 라이너 재료를 패터닝하는 단계를 포함한다.

대표도



특허청구의 범위

청구항 1

퓨즈(10)로서,

퓨즈 소자(12, 14, 16); 및

상기 퓨즈 소자 상에 증착되며, 상기 퓨즈 소자의 전자 이동 저항(electro-migration resistance)을 감소시키는 압축 응력 재료

를 포함하고, 상기 압축 응력 재료는 증착 과정에서 부여된 압축 응력 성분을 포함하는 것인 퓨즈.

청구항 2

청구항 1에 있어서,

상기 퓨즈 소자는,

제1 및 제2 접촉부(14, 16); 및

상기 제1 접촉부와 상기 제2 접촉부를 연결하는 넥(neck)(12)을 포함하고,

상기 넥은 상기 제1 및 제2 접촉부(14, 16)의 각각보다 작은 단면적을 갖는 것인 퓨즈.

청구항 3

청구항 2에 있어서,

상기 압축 응력 재료는 상기 넥(12)과 상기 제1 및 제2 접촉부(14, 16)와 직접 접촉하는 것인 퓨즈.

청구항 4

청구항 2에 있어서,

상기 압축 응력 재료는 상기 넥과 직접 접촉하고,

상기 제1 및 제2 접촉부는 상기 압축 응력 재료와의 직접적인 접촉이 실질적으로 없는 것인 퓨즈.

청구항 5

청구항 2에 있어서,

상기 퓨즈 소자는 규소, 규소 플러스(plus) 금속 실리사이드, 구리, 구리 합금, 알루미늄, 알루미늄 합금, 및 텅스텐(17) 중 하나를 포함하는 것인 퓨즈.

청구항 6

청구항 2에 있어서,

상기 압축 응력 재료는 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 텅스텐, 산화 규소, 질화 규소, 탄화 규소, 질소 도핑된 탄화 규소, 및 수소 도핑된 탄화 규소(18) 중 하나를 포함하는 것인 퓨즈.

청구항 7

반도체 소자용 퓨즈를 제조하는 방법으로서,

기판을 형성하는 단계;

상기 기판에 트렌치 피쳐(trench feature)를 형성하는 단계;

상기 트렌치 피쳐에 퓨즈 재료를 증착하는 단계;

상기 퓨즈 재료 상에 압축 응력 라이너 재료를 증착하는 단계로서, 상기 압축 응력 라이너 재료는 증착 과정에

서 부여된 압축 응력 성분을 포함하는 것인 압축 응력 라이너 재료를 증착하는 단계; 및
 상기 압축 응력 라이너 재료를 패터닝하는 단계를 포함하는 반도체 소자용 퓨즈의 제조 방법.

청구항 8

기판의 트렌치 피처에 퓨즈 재료를 증착하는 단계;

상기 퓨즈 재료 상에 라이너를 증착하는 단계; 및

상기 라이너를 증착하는 단계 동안 상기 라이너에 부여된 압축 응력 성분을 조정함으로써 상기 퓨즈 재료의 전자 이동 저항을 조정하는 단계를 포함하는 퓨즈의 제조 방법.

청구항 9

메모리 소자의 프로그래밍 방법으로서,

압축 응력 라이너에 압축 응력 성분이 부여되도록 메모리 소자의 퓨즈 소자의 일부분에 상기 압축 응력 라이너를 증착함으로써 상기 퓨즈 소자의 일부분의 전자 이동 저항을 감소시키는 단계; 및

상기 감소된 전자 이동 저항을 갖는 상기 퓨즈 소자의 일부분에 프로그래밍 전류를 가함으로써 상기 퓨즈 소자에 전기적 불연속성을 생성하는 단계를 포함하는 메모리 소자의 프로그래밍 방법.

청구항 10

반도체 소자용 퓨즈를 제조하는 방법에 있어서,

기판을 형성하는 단계;

상기 기판 내에 트렌치 피처를 형성하는 단계;

상기 트렌치 피처 내에 퓨즈 재료를 증착하는 단계;

압축 응력 라이너 재료에 압축 응력 성분을 부여하도록 상기 퓨즈 재료 상에 상기 압축 응력 라이너 재료를 증착함으로써, 상기 퓨즈 재료의 전자 이동 저항을 감소시키는 단계; 및

상기 압축 응력 라이너 재료를 패터닝하는 단계

를 포함하고,

상기 트렌치 피처를 형성하는 단계는 제1 접촉부, 제2 접촉부, 및 이들 제1 및 제2 접촉부를 연결하며 각각의 제1 및 제2 접촉부보다 작은 단면적을 가지는 넥을 형성하도록 상기 기판으로부터 기판 재료를 제거하는 단계를 포함하고,

상기 패터닝하는 단계는 상기 접촉부들의 퓨즈 재료로부터 압축 응력 라이너 재료를 제거하는 단계를 포함하고,

상기 퓨즈 재료 상에 압축 응력 라이너 재료를 증착하는 단계는 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 텅스텐, 산화 규소, 질화 규소, 탄화 규소, 질소 도핑된 탄화 규소, 및 수소 도핑된 탄화 규소 중 하나를 증착하는 단계와, 플라즈마 화학 기상 증착을 이용하여 플라즈마 전력, 챔버 압력, 챔버 온도, 및 전구체 유동 속도 중 하나 이상을 조절함으로써 상기 압축 응력 라이너 재료의 압축 응력 성분을 조절하는 단계를 포함하는 것인 반도체 소자용 퓨즈의 제조 방법.

명세서

기술분야

[0001] 본 발명은 일반적으로 집적 회로 설계 및 제조에 관한 것으로, 보다 상세하게는 반도체 퓨즈(semiconductor fuse) 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 컴퓨터는 통상적으로 메모리 소자와 같은 데이터를 저장하는 소자를 포함한다. 첫 번째 유형의 메모리 소자는 프로그램가능 판독 전용 메모리(PROM; programmable read only memory) 소자로 불린다. PROM 소자를 프로그램

가능하도록 하기 위해, 일부 PROM 소자는 통상적으로 퓨즈(fuse)라고도 불리는 가용 링크(fusible link) 형태의 전기적 접속을 갖는다. 이러한 PROM 소자는 소자의 회로를 서로에 대한 전기 전도성 접속부에 선택적으로 배치하거나 아니면 이를 벗어나도록 배치하도록 퓨즈를 선택적으로 블로잉(blowing)(즉, 퓨즈에 불연속성을 생성)함으로써 프로그래밍될 수 있다.

[0003] 다른 유형의 메모리 소자는 동적 랜덤 액세스 메모리(DRAM; dynamic random access memory) 소자로 불린다. DRAM 소자는 또한 중복(redundant) 회로를 제공하도록 퓨즈를 이용할 수 있다. 당해 기술 분야에 공지되어 있는 바와 같이, 중복성(redundancy)은, 전체 반도체 소자를 동작하지 않게 할 수 있는 고장난 프로그램 회로를 대신한 중복 프로그램 회로의 대체를 가능하게 함으로써, DRAM 소자와 같은 고밀도 반도체 소자의 제조 수율을 향상시킨다. 반도체 소자의 퓨즈를 선택적으로 블로잉함으로써 실패한 회로는 바이패스(즉, 비활성화됨)될 수 있고, 중복 회로가 프로그래밍(즉, 활성화됨)된다.

[0004] 과거에는, 상기 설명한 바와 같은 PROM 소자 프로그래밍 및 DRAM 소자 수리(repairing)는 레이저를 사용하여 퓨즈를 개방시키도록 선택적으로 블로잉함으로써 달성되었다. 그러나, 레이저 블로잉은 다수의 이유로 점점 더 어려워졌다. 첫 번째로, 반도체 소자의 사이즈가 축소함에 따라, 퓨즈도 축소하였고, 그리하여 퓨즈는 이제 기존의 레이저 빔의 직경보다 작다. 이는 반도체 소자의 다른 회로 또는 퓨즈의 다른 부분에 의도치않게 손상을 입히는 일 없이 레이저를 이용하여 퓨즈를 블로잉하는 것을 어렵게 하거나 불가능하게 한다. 두 번째로, 반도체 소자가 그 사이즈가 축소함에 따라, 소자 상의 퓨즈(또는 다른 회로)의 밀도가 증가하였다. 그러나, 기존의 레이저는 이웃하는 회로에 손상을 입히는 것을 피하기 위해 퓨즈 사이의 과도한 실리콘 공간을 필요로 한다. 마지막으로, 레이저를 사용하여 수천개의 퓨즈를 개방시키도록 블로잉함으로써 디바이스를 프로그래밍 또는 수리하는 것은 매우 시간 소모적인 일이다.

[0005] 레이저를 사용하는 것에 대한 대안으로서, 퓨즈에 고전류를 공급함으로써 블로잉될 수 있는 퓨즈가 개발되었다. 이들 퓨즈는 때때로 전기 퓨즈(electrical fuse; e-fuse)로 불리며, 통상적으로 2개의 더 큰 접속 영역 사이에 좁은 넥(neck) 부분을 갖는다. 주로 전자 이동(electro-migration) 효과 때문에, 고밀도 전류 흐름에 의해 야기된 금속 이온 이동으로 인해 금속 전도체의 안쪽에 보이드(void)가 형성될 수 있다. 보이드 성장 속도는 전류 밀도의 함수이고 최소 단면적을 갖는 퓨즈의 좁은 넥 영역이 퓨즈의 가장 높은 전류 밀도를 경험할 것이기 때문에, 퓨즈 양단에 걸쳐 충분히 높은 전류를 가하면 퓨즈의 넥 영역을 블로잉시킬(즉, 불연속적으로 되게 할) 수 있다. 따라서, e-퓨즈를 사용하여, 적합한 퓨즈에 상승된 전류(즉, 프로그래밍 전류)를 선택적으로 가함으로써, PROM 소자가 프로그래밍될 수 있고 DRAM 소자가 수리될 수 있다.

[0006] 그러나, e-퓨즈 세대의 스케일링(scaling)은 이러한 상기 설명한 온칩(on-chip) 프로그래밍의 경우 걸림돌을 제시한다. 즉, 반도체 소자의 동작 전압이 계속해서 낮아지도록 스케일링됨에 따라, 퓨즈를 블로잉하기 위해 충분히 높은 프로그래밍 전압을 달성하고 제어하는 것이 점차 어려워지게 된다.

[0007] 따라서, 당해 기술 분야에서는 상기에 설명한 결함 및 제한을 극복하기 위한 필요성이 존재한다.

발명의 상세한 설명

[0008] 본 발명의 일 양상에서는, 퓨즈 소자, 및 상기 퓨즈 소자의 전자 이동 저항을 감소시키는 압축 응력(compressive stress) 재료를 포함하는 퓨즈가 있다.

[0009] 퓨즈 소자는 제1 및 제2 접속부, 및 상기 제1 접속부와 상기 제2 접속부를 연결하는 넥(neck)을 포함할 수 있다. 상기 넥은 상기 제1 및 제2 접속부의 각각보다 작은 단면적을 갖는다.

[0010] 압축 응력 재료는 상기 넥과 상기 제1 및 제2 접속부와 직접 접촉할 수 있다. 대안으로서, 상기 압축 응력 재료는 상기 넥과 직접 접촉할 수 있는 반면에, 상기 제1 및 제2 접속부는 상기 압축 응력 재료와의 직접적인 접촉이 실질적으로 없다.

[0011] 퓨즈 소자는 규소, 규소 플러스 금속 실리사이드(silicide), 구리, 구리 합금, 알루미늄, 알루미늄 합금, 및 텅스텐 중 하나를 포함할 수 있다. 압축 응력 재료는 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 텅스텐, 산화 규소, 질화 규소, 탄화 규소, 질소 도핑된 탄화 규소, 및 수소 도핑된 탄화 규소 중 하나를 포함할 수 있고, 약 5 nm 내지 100 nm 범위의 두께를 가질 수 있다.

[0012] 퓨즈는 압축 응력 라이너 상의 제2 재료를 더 포함할 수 있다. 이러한 경우, 상기 압축 응력 재료는 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 및 텅스텐을 포함할 수 있으며, 상기 제2 재료는 산화 규소, 질화 규소, 탄화 규소, 질소 도핑된 탄화 규소, 및 수소 도핑된 탄화 규소 중 하나를 포함한다. 다른 경우에, 상기 압축 응력 재

료는 산화 규소, 질화 규소, 탄화 규소, 질소 도핑된 탄화 규소, 및 수소 도핑된 탄화 규소 중 하나를 포함할 수 있으며, 상기 제2 재료는 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 및 텅스텐 중 하나를 포함한다.

[0013] 본 발명의 제2 양상에서는, 기판을 포함하는 반도체 소자가 있다. 반도체 소자는 상기 기판에 배치되는 제1 접촉부, 제2 접촉부, 및 벡을 갖는 퓨즈 소자를 더 포함한다. 반도체 소자는 상기 퓨즈 소자에 연결되는 압축 응력 라이너(liner)를 더 포함한다.

[0014] 본 발명의 제3 양상에서는, 기판을 형성하는 단계, 상기 기판에 트렌치 피쳐(trench feature)를 형성하는 단계, 및 상기 트렌치 피쳐에 퓨즈 재료를 증착하는 단계를 포함하는 반도체 소자용 퓨즈의 제조 방법이 있다. 본 방법은 상기 퓨즈 재료 상에 압축 응력 라이너 재료를 증착하는 단계, 및 상기 압축 응력 라이너 재료를 패터닝하는 단계를 더 포함한다.

[0015] 본 발명의 제4 양상에서는, 기판의 트렌치 피쳐에 퓨즈 재료를 증착하는 단계, 및 상기 퓨즈 재료 상에 라이너를 증착하는 단계를 포함하는 방법이 있다. 본 방법은 상기 라이너를 증착하는 단계 동안 상기 라이너의 압축 응력 성분을 조정함으로써 상기 퓨즈 재료의 전자 이동 저항을 조정하는 단계를 더 포함한다.

[0016] 본 발명의 제5 양상에서는, 메모리 소자의 퓨즈 소자의 일부부에 압축 응력 라이너를 제공함으로써 상기 퓨즈 소자의 일부분의 전자 이동 저항을 감소시키는 단계를 포함하는 메모리 소자의 프로그래밍 방법이 있다. 본 방법은 감소된 전자 이동 저항을 갖는 상기 퓨즈 소자의 일부부에 프로그래밍 전류를 가함으로써 상기 퓨즈 소자에 전기적 불연속성을 생성하는 단계를 더 포함한다.

실시예

[0024] 본 발명은 반도체 퓨즈 및 이의 제조 방법에 관한 것이다. 본 발명은 보다 낮은 프로그래밍 전력으로 블로잉될 수 있는 매우 효율적인 e-퓨즈를 제공한다. 본 발명의 구현에는 높은 압축 응력 막으로 커버된 e-퓨즈 소자를 포함한다. 높은 압축 응력 막은 퓨즈 소자의 전자 이동 저항을 낮춤으로써, 퓨즈 프로그래밍 프로세스를 촉진시킨다. 이러한 방식으로, 더 적은 프로그래밍 에너지 및/또는 더 짧은 프로그래밍 시간으로 퓨즈 회로를 개방(즉, 블로잉)시키기에 충분하다. 따라서, 본 발명은 반도체 소자에서의 프로그램가능 퓨즈로서 사용될 수 있다.

[0025] 도 1a는 본 발명의 양상에 따른 퓨즈(10)의 제1 실시예의 평면도를 도시한다. 퓨즈(10)는 더 큰 제1 접촉부(14)와 제2 접촉부(16) 사이에 좁은 벡(12)을 갖는 통상의 "개 뼈다귀" 형상을 갖는다. 퓨즈(10)의 일부는 실질적으로 직선으로 이루어진 형상을 갖는 것으로 도시되어 있지만, 벡(12) 및 접촉부(14, 16)는 벡(12)이 접촉부(14, 16)의 각각보다 작은 단면적을 갖는 부분을 포함하는 한, 임의의 적합한 형상으로 이루어질 수 있다는 것을 이해하여야 한다.

[0026] 도 1b는 도 1a의 선 I_B-I_B를 따라 절취한 퓨즈(10)의 단면을 도시한다. 전기 퓨즈를 이용한 경우의 통상적인 바와 같이, 벡(12)은 접촉부(14, 16)보다 작은 단면적을 갖는다. 벡은 직선으로 이루어진 단면적 형상을 갖는 것으로 도시되어 있지만, 다른 단면적의 벡 형상이 본 발명과 함께 채용될 수 있다는 것을 이해하여야 한다.

[0027] 도 1c는 도 1a의 선 I_C-I_C를 따라 절취한 퓨즈(10)의 단면을 도시한다. 퓨즈(10)는 라이너 요소(18)에 의해 커버된 퓨즈 소자(17)를 포함한다. 퓨즈 소자(17)는, 예를 들어 규소, 규소 플러스 금속 실리사이드, 구리, 구리 합금, 알루미늄, 알루미늄 합금, 텅스텐 등과 같은 임의의 적합한 재료로 구성될 수 있다. 실시예에서, 퓨즈 소자(17)는 약 100 nm 내지 1000 nm 범위의 두께 F₁를 갖고, 바람직하게는 약 300 nm 내지 500 nm의 두께를 갖는다. 그러나, 본 발명의 범위 내에서 다른 치수가 채용될 수 있다는 것을 이해하여야 한다.

[0028] 구현예에서, 라이너 요소(18)는, 예를 들어 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 텅스텐 등과 같은 금속 재료를 포함한다. 대안으로서, 라이너 요소(18)는, 예를 들어 산화 규소, 질화 규소, 탄화 규소, 및 질소 및/또는 수소 도핑된 탄화 규소와 같은 유전체 재료를 포함할 수 있다. 실시예에서, 라이너 요소(18)는 약 5 nm 내지 100 nm 범위의 두께 L₁를 갖고, 바람직하게는 약 30 nm 내지 50 nm의 두께를 갖는다. 본 발명의 범위 내에서 다른 치수가 채용될 수 있다. 라이너 요소(18)는, 금속 재료로 구성되든지 유전체 재료로 구성되든지 간에, 라이너 요소(18)가 퓨즈 소자(17)와 접촉하도록 배치될 때 퓨즈 소자(17)로 하여금 전자 이동 저항의 저하를 경험하게 하도록, 높은 압축 응력 성분을 소유한다. 퓨즈 소자(17)의 전자 이동 저항을 감소시킴으로써, 높은 압축 응력 라이너 요소(18)로 인해 퓨즈 소자(17)는 프로그래밍 전류를 받게 될 때 보이드를 보다 쉽게 형성할 수 있다. 이 방식으로, 퓨즈(10)는 더 낮은 프로그래밍 전류 및/또는 더 짧은 프로그래밍 시간으로 블로잉될 수 있다.

다.

- [0029] 도 2a는 본 발명의 양상에 따른 퓨즈(20)의 다른 실시예의 평면도를 도시한다. 퓨즈(20)는 더 큰 제1 접촉부(24)와 제2 접촉부(26) 사이에 좁은 넥(22)을 갖는 통상의 "개 뼈다귀" 형상을 갖는다. 상기 설명한 바와 같이, 퓨즈(20)는 도시된 바와 다른 형상으로 형성될 수 있다.
- [0030] 도 2b는 도 2a의 선 II-II를 따라 절취한 퓨즈(20)의 단면을 도시한다. 퓨즈(20)는 라이너 요소(28)에 의해 커버된 퓨즈 소자(27)를 포함한다. 퓨즈 소자(27) 및 라이너 요소(28)는 상기 기재한 바와 유사한 재료 및 두께를 포함할 수 있다. 그러나, 상기 설명한 라이너 요소(18)와는 달리, 라이너 요소(28)는 실질적으로 퓨즈 소자(27)의 넥(22)만 커버한다. 더 좁은 넥(22)에서 넥(22)의 더 작은 단면적으로 인해 더 높은 전류 밀도가 되기 때문에, 이 실시예에서의 라이너 요소(28)는 넥(22)에 있는 재료의 전자 이동 저항을 감소시키기 위해 넥(22) 위에 배치된다.
- [0031] 도 3a는 본 발명의 양상에 따른 퓨즈(30)의 다른 실시예의 평면도를 도시한다. 퓨즈(30)는 더 큰 제1 접촉부(34)와 제2 접촉부(36) 사이에 좁은 넥(32)을 갖는 통상의 "개 뼈다귀" 형상을 갖는다. 상기 설명한 바와 같이, 퓨즈(30)는 도시된 바와 다른 형상으로 형성될 수 있다.
- [0032] 도 3b는 도 3a의 선 III-III를 따라 절취한 퓨즈(30)의 단면을 도시한다. 퓨즈(30)는 2개의 라이너 요소(38, 39)에 의해 커버된 퓨즈 소자(37)를 포함한다. 퓨즈 소자(37)는 앞의 실시예에 대하여 상기 설명한 바와 유사한 재료 및 두께를 포함할 수 있다. 제1 라이너 요소(38)는 퓨즈 소자 상에 배치되고, 약 5 nm 내지 100 nm 범위의 두께, 바람직하게는 약 30 nm 내지 50 nm의 두께를 갖는다. 제2 라이너 요소(39)는 제1 라이너 요소(38) 상에 배치되며, 약 5 nm 내지 100 nm 범위의 두께, 바람직하게는 약 30 nm 내지 50 nm의 두께를 갖는다. 본 발명의 범위 내에서 사용하기 위한 다른 치수도 생각해볼 수 있다.
- [0033] 실시예에서, 제1 라이너 요소(38)는 금속 또는 유전체 재료를 포함하고, 제2 라이너 요소(39)는 유전체 재료 또는 금속을 각각 포함한다. 예를 들어, 제1 구현예에서, 제1 라이너 요소(38)는 예를 들어 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 텅스텐 등의 금속을 포함하고, 제2 라이너 요소(39)는 예를 들어 산화 규소, 질화 규소, 탄화 규소, 및 질소 및/또는 수소 도핑된 탄화 규소와 같은 유전체를 포함한다. 대안으로서, 다른 구현예에서, 제1 라이너 요소(38)는 예를 들어 산화 규소, 질화 규소, 탄화 규소, 및 질소 및/또는 수소 도핑된 탄화 규소와 같은 유전체를 포함하고, 제2 라이너 요소(39)는 예를 들어 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 텅스텐 등과 같은 금속을 포함한다.
- [0034] 적어도 퓨즈 소자(37)와 접촉하는 제1 라이너 요소(38)는 퓨즈 소자(37)의 전자 이동 저항에 영향을 미치는 높은 압축 응력 성분을 소유한다. 유전체는, 제1 라이너 요소(38)에 있든지 제2 라이너 요소(39)에 있든지 간에, 퓨즈(30)의 다른 부분을 산화로부터 보호하도록 돕는다.
- [0035] 도 4a는 본 발명의 양상에 따른 퓨즈(40)의 다른 실시예의 평면도를 도시한다. 퓨즈(40)는 더 큰 제1 접촉부(44)와 제2 접촉부(46) 사이에 좁은 넥(42)을 갖는 통상의 "개 뼈다귀" 형상을 갖는다. 상기 기재한 바와 같이, 퓨즈(40)는 도시된 바와 다른 형상으로 형성될 수 있다.
- [0036] 도 4b는 도 4a의 선 IV-IV을 따라 절취한 퓨즈(40)의 단면을 도시한다. 퓨즈(40)는 퓨즈 소자(47), 제1 라이너 요소(48), 및 제2 라이너 요소(49)를 포함한다. 퓨즈 소자(47), 제1 라이너 요소(48), 및 제2 라이너 요소(49)는 상기 설명한 바와 유사한 재료 및 두께를 포함할 수 있다. 퓨즈(20)를 이용한 경우와 같이, 제1 라이너 요소(48), 및 제2 라이너 요소(49)는 실질적으로 퓨즈 소자(47)의 넥(42)만 커버한다.
- [0037] 도 5a 및 도 5b는 인장(tensile) 및 압축 라이너 요소에 의해 퓨즈 소자에 부여되는 응력을 비교하여 나타낸 것이며, 압축 라이너 요소가 본 발명에 따른 것이다. 도 5a는 퓨즈 소자(52)를 하우징하는 기관(51)을 포함하는 소자(50)의 단면을 도시한다. 인장 캡(53)(예를 들어, 인장 응력을 갖는 라이너 요소)은 퓨즈 소자(52)와의 계면(54)에서 압축 응력을 야기한다. 퓨즈 소자(52)에서의 이러한 압축 응력은 퓨즈 소자(52)의 재료의 전자 이동 저항을 증가시킴으로써, 재료에 보이드를 형성하고 퓨즈를 개방시키도록 블로잉하는데 더 많은 에너지 및/또는 더 긴 프로그래밍 시간을 요한다.
- [0038] 다른 경우에, 도 5b에 도시된 바와 같이, 기관(56) 및 퓨즈 소자(57)를 포함하는 소자(55)는 압축 캡(58)(예를 들어, 압축 라이너 요소)을 갖출 수 있다. 압축 캡(58)은 퓨즈 소자(57)와의 계면(59)에서 인장 응력을 야기한다. 퓨즈 소자(57)에서의 이러한 인장 응력은 퓨즈 소자(57)의 재료의 전자 이동 저항을 감소시킴으로써, 재료에 보이드를 형성하고 퓨즈를 개방시키도록 블로잉하는데 더 적은 에너지 및/또는 더 짧은 프로그래밍 시간으로

충분하다.

- [0039] 인장 캡을 갖는 퓨즈 소자의 전자 이동 저항은 약 99 mA/μm 내지 106 mA/μm 정도일 수 있는 반면에, 압축 캡을 갖는 퓨즈 소자의 전자 이동 저항은 약 51 mA/μm 내지 52 mA/μm 정도일 수 있다는 것이, 실험 테스트를 통하여 밝혀졌다. 압축 캡을 갖는 퓨즈 소자의 이러한 감소된 전자 이동 저항은, 보이드를 생성하고 퓨즈를 개방시키도록 블로잉하는데 더 적은 프로그래밍 에너지 및/또는 더 짧은 프로그래밍 시간을 필요로 하는 퓨즈 소자의 생성을 가능하게 한다.
- [0040] 도 6은 퓨즈 소자에 부과된 응력 대 압축 캡(예를 들어, 압축 라이너 요소)의 두께의 실험 데이터의 그래프를 도시한다. 그래프는 약 200 Å 내지 1000 Å 범위의 두께를 갖는 본 발명의 규소 구현에 및 산화물 기반의 구현 예를 나타낸다. 도 6에서 볼 수 있듯이, 본 발명의 구현예를 사용하여 약 -10 GPa 내지 -12 GPa 범위의 응력을 이룰 수 있다. 예를 들어, 약 500 Å의 두께를 갖는 산화물 기반의 구현예는 약 -12 GPa의 응력을 일으킬 수 있다. 이러한 응력은 퓨즈 소자의 전자 이동 저항을 크게 감소시킴으로써, 보이드를 생성하고 퓨즈를 개방시키도록 블로잉하는데 더 적은 프로그래밍 에너지 및/또는 더 짧은 프로그래밍 시간을 필요로 하는 퓨즈 소자의 생성을 가능하게 한다.
- [0041] 도 7a 내지 도 7f는 본 발명의 실시예에 따른 소자(70)의 제조 방법의 단계들을 도시한다. 도 7a에서, 당해 기술 분야에서 공지된 바와 같이 기판(71)이 제공된다. 기판(71)은 예를 들어 SiCOH, SiLK, SiO₂, Si₃N₄ 등과 같은 유전체/절연체를 포함할 수 있다. 도 7b에 도시된 바와 같이, 기판(71)에 트렌치 피쳐(72)가 형성된다. 트렌치 피쳐(72)는, 예를 들어 표준 마스크 및 에칭 기술을 사용하는 것과 같은 임의의 공지된 방식으로 형성될 수 있다. 실시예에서, 트렌치 피쳐(72)는 실질적으로 상기 설명한 바와 같은 "개 뼈다귀"의 형상으로 형성되지만, 본 발명과 함께 사용하기 위한 다른 형상도 생각해볼 수 있다.
- [0042] 도 7c에 도시된 바와 같이, 퓨즈 소자 재료(73)가 트렌치 피쳐(72)에 증착된다. 이는 임의의 공지된 방식으로 달성될 수 있다. 상기 설명한 바와 같이, 퓨즈 소자 재료(73)는 규소, 규소 플러스 금속 실리사이드, 구리, 구리 합금, 알루미늄, 알루미늄 합금, 텅스텐 등을 포함할 수 있다.
- [0043] 다음으로, 도 7d에 도시된 바와 같이, 라이너 재료(74)가 퓨즈 소자 재료(73) 및 기판(71) 상에 배치된다. 라이너 재료(74)는 금속(예를 들어, 티타늄, 질화 티타늄, 탄탈륨, 질화 탄탈륨, 텅스텐) 또는 유전체(예를 들어, 산화 규소, 질화 규소, 탄화 규소, 및 질소 및/또는 수소 도핑된 탄화 규소)를 포함할 수 있다. 실시예에서, 라이너 재료(74)는 플라즈마 화학 기상 증착(CVD)을 사용하여 증착된다. 플라즈마 전력, 챔버 압력, 챔버 온도, 및 전구체 유동 속도를 포함하는 CVD 공정 파라미터를 제어함으로써 증착 동안 압축 응력이 라이너 재료(74)에 부여된다. 예를 들어, 비교적 높은 플라즈마 전력은 일반적으로 질화물 기반 라이너에 증가된 압축 응력을 야기한다. 구현예에서, 질화물 기반의 라이너에 약 -11 GPa 내지 -13 GPa 정도 크기의 응력을 부여하는데 약 800 W 내지 1500 W의 플라즈마 전력이 사용된다.
- [0044] 본 발명의 구현예에서, 라이너 재료의 제2 층(도시되지 않음)이 라이너 재료의 제1 층(74) 상에 증착될 수 있다. 제2 층도 또한 플라즈마 CVD를 사용하여 증착될 수 있지만, 라이너 재료의 제2 층을 증착하는데 다른 공정 파라미터(예를 들어, 플라즈마 전력, 압력, 온도, 전구체 유동 속도 등)가 채용될 수 있다.
- [0045] 마지막으로, 라이너 재료(74)(및 선택적으로 포함된 라이너 재료의 제2 층)는 도 7e에 도시된 바와 같이 전체 퓨즈 소자를 커버하도록 또는 도 7f에 도시된 바와 같이 그의 일부분(예를 들어, 넥)만 커버하도록 패터닝될 수 있다. 패터닝은 예를 들어 포토리소그래피 패터닝 및 에칭과 같은 임의의 공지된 방식으로 달성될 수 있다.
- [0046] 실시예에 따라, 퓨즈 소자를 제조하는 상기 설명한 공정 단계들은 전처리(FEOL; front end of the line), 후처리(BEOL; back end of the line), 또는 최후처리(FBEOL; far back end of the line) 공정으로 구현될 수 있다. 예를 들어, 퓨즈 소자가 FEOL 단계 중에 상기 설명한 공정 단계들을 사용하여 제조되는 경우, 퓨즈 소자는 규소 기반의 재료로 구성될 수 있다. 또한, 퓨즈 소자가 BEOL 단계 중에 상기 설명한 공정 단계들을 사용하여 제조되는 경우, 퓨즈 소자는 구리 기반의 재료(합금 포함)로 구성될 수 있다. 또한, 퓨즈 소자가 FBEOL 단계 중에 상기 설명한 공정 단계들을 사용하여 제조되는 경우, 퓨즈 소자는 알루미늄 기반의 재료(합금 포함)로 구성될 수 있다. 이 방식으로, 퓨즈 소자의 제조는 현재 공정 흐름과 양립할 수 있다.
- [0047] 상기 설명한 바와 같은 반도체 소자는 집적 회로 칩에 대한 설계의 일부일 수 있다. 실시예에서, 칩 설계는 그래픽 컴퓨터 프로그래밍 언어로 생성되고, 컴퓨터 저장 매체(예컨대, 디스크, 테이프, 물리적 하드 드라이브, 또는 저장장치 액세스 네트워크에서와 같은 가상 하드 드라이브)에 저장된다. 설계자가 칩이나 칩을 제조하는데 사용되는 포토리소그래피 마스크를 제조하지 않는 경우, 설계자는 물리적 수단에 의해(예를 들어, 설계를 저장

한 저장 매체의 복사본을 제공함으로써) 또는 전자적으로(예를 들어, 인터넷을 통하여) 이러한 엔티티에 직접 또는 간접적으로 결과적인 설계를 전송한다. 그 다음, 저장된 설계는 통상적으로 웨이퍼 상에 형성되어야 하는 당해 칩 설계의 다수의 복사본을 포함하는 포토리소그래피 마스크의 제조를 위한 적합한 포맷(예를 들어, GDSII)으로 변환된다. 포토리소그래피 마스크는 에칭되거나 처리될 웨이퍼(및/또는 그 위의 층)의 영역을 정의하는데 이용된다.

[0048] 상기 설명한 방법은 집적 회로 칩의 제조에 사용된다. 결과적인 집적 회로 칩은 베어(bare) 다이로서 미가공(raw) 웨이퍼 형태로(즉, 다수의 패키징되지 않은 칩을 갖는 단일 웨이퍼로서) 또는 패키징된 형태로 제조자에 의해 배포될 수 있다. 후자의 경우, 칩은 단일 칩 패키지(예컨대, 마더보드 또는 기타 고레벨 캐리어에 고정되어 있는 리드를 구비한 플라스틱 캐리어) 또는 다수칩 패키지(예컨대, 표면 상호접속부 또는 매립된 상호접속부 중 어느 하나나 둘 다를 갖는 세라믹 캐리어)에 실장된다. 어떠한 경우든, 그 다음에 칩은 (a) 마더보드와 같은 중간 제품, 또는 (b) 최종 제품의 어느 하나의 일부로서 다른 칩, 이산 회로 요소, 및/또는 기타 신호 처리 소자와 집적된다. 최종 제품은 장난감 및 기타 저급 애플리케이션에서 디스플레이, 키보드나 기타 입력 장치, 및 중앙 프로세서를 갖는 진보된 컴퓨터 제품까지 망라하는 집적 회로 칩을 포함하는 임의의 제품일 수 있다.

[0049] 본 발명은 실시예에 대하여 설명되었지만, 당해 기술 분야에서의 숙련자라면 본 발명은 변형과 함께 실시될 수 있으며 첨부된 청구범위의 범위 및 사상 내에서 실시될 수 있음을 알 수 있을 것이다.

산업상 이용 가능성

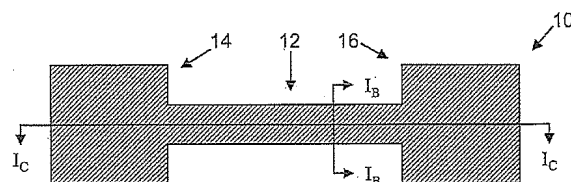
[0050] 본 발명은 반도체 구조물의 제조에서 산업적 이용가능성을 찾을 수 있으며, 보다 구체적으로는 퓨즈 소자의 전자 이동 저항을 감소시키는 압축 응력을 갖춘 퓨즈를 제조하는 분야에서 찾을 수 있다. 이러한 유형의 퓨즈는 모든 유형의 VLSI 회로 및 칩의 설계에 광범위하게 수용되는 것을 알 수 있다.

도면의 간단한 설명

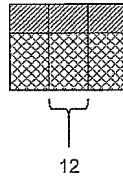
- [0017] 도 1a 내지 도 1c는 본 발명의 양상에 따른 퓨즈를 도시한다.
- [0018] 도 2a 및 도 2b는 본 발명의 양상에 따른 퓨즈를 도시한다.
- [0019] 도 3a 및 도 3b는 본 발명의 양상에 따른 퓨즈를 도시한다.
- [0020] 도 4a 및 도 4b는 본 발명의 양상에 따른 퓨즈를 도시한다.
- [0021] 도 5a 및 도 5b는 라이너를 갖는 퓨즈의 응력 상태를 도시한다.
- [0022] 도 6은 응력 대 라이너 두께의 데이터의 그래프를 도시한다.
- [0023] 도 7a 내지 도 7f는 본 발명의 양상에 따른 퓨즈를 제조하는 방법을 도시한다.

도면

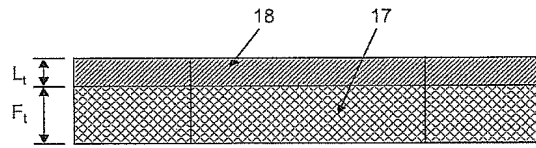
도면 1a



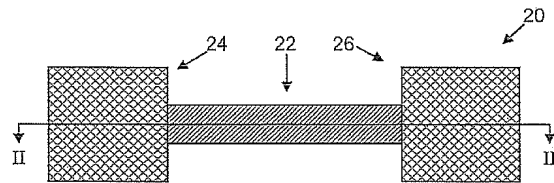
도면1b



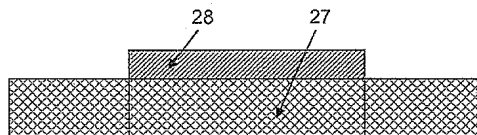
도면1c



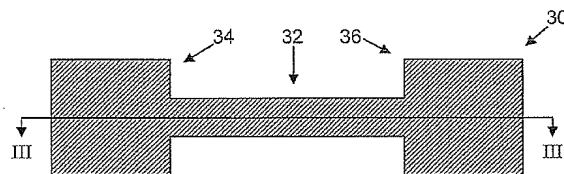
도면2a



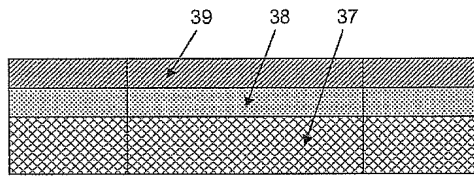
도면2b



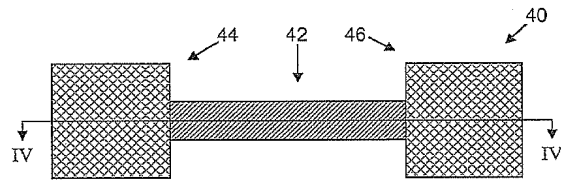
도면3a



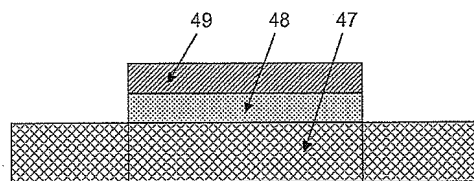
도면3b



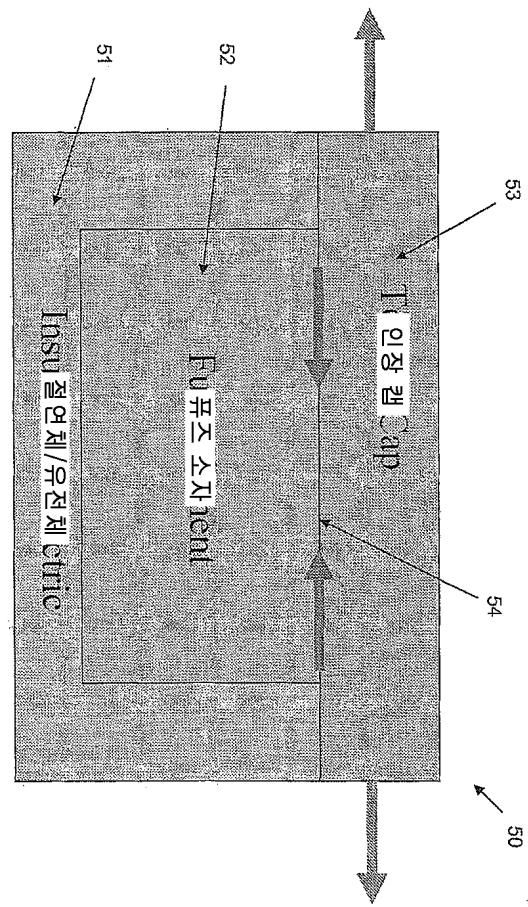
도면4a



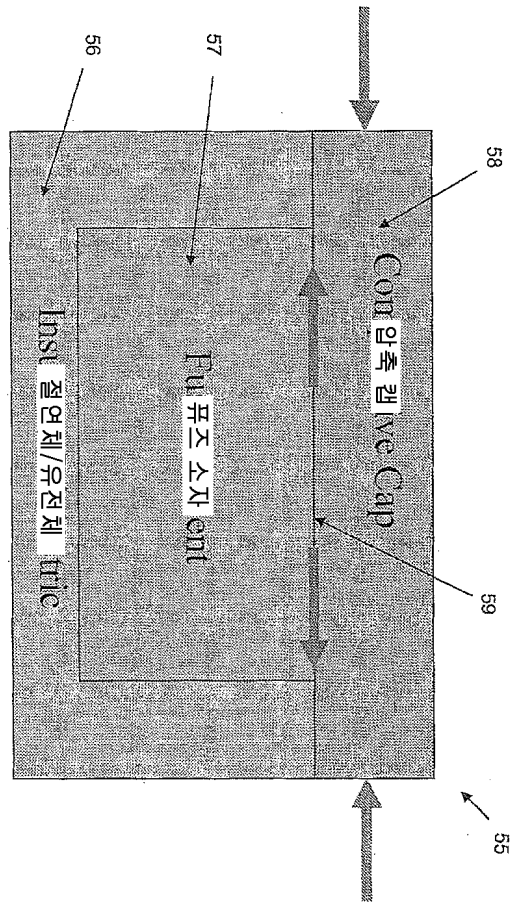
도면4b



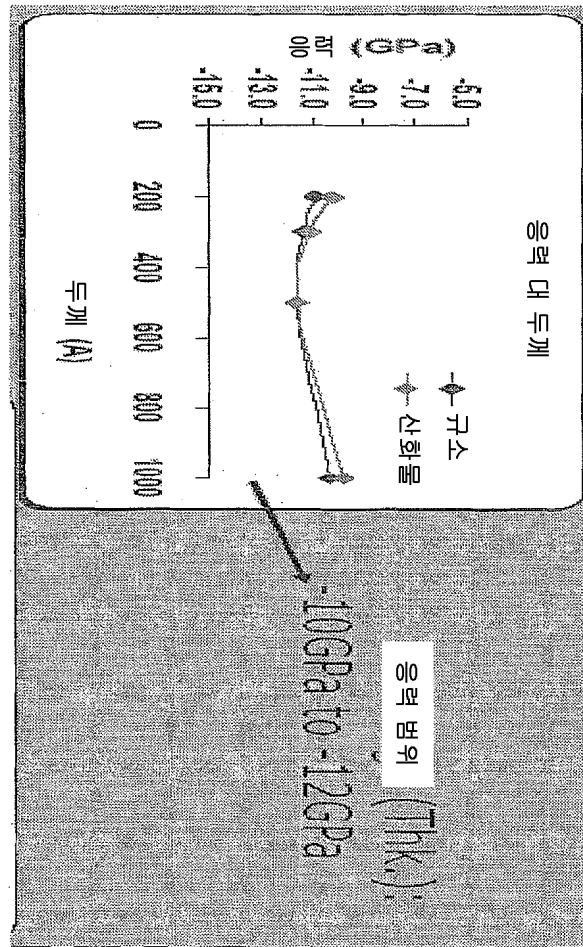
도면5a



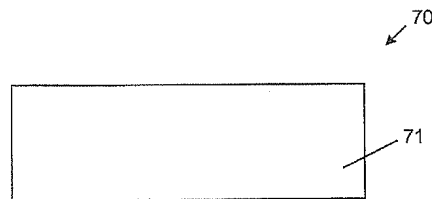
도면5b



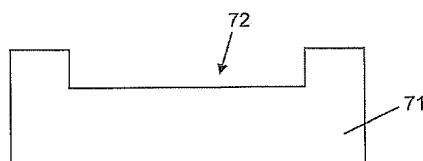
도면6



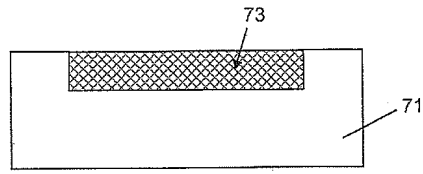
도면7a



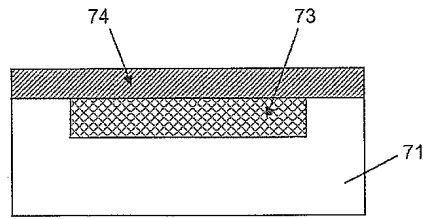
도면7b



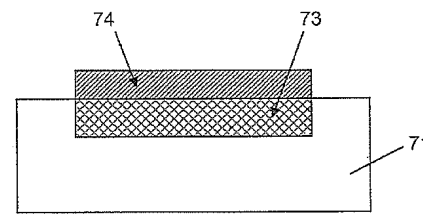
도면7c



도면7d



도면7e



도면7f

