



(12) 发明专利

(10) 授权公告号 CN 109754757 B

(45) 授权公告日 2020.11.06

(21) 申请号 201910243634.2

审查员 贺轶

(22) 申请日 2019.03.28

(65) 同一申请的已公布的文献号

申请公布号 CN 109754757 A

(43) 申请公布日 2019.05.14

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 成都京东方光电科技有限公司

(72) 发明人 石领

(74) 专利代理机构 北京市立方律师事务所

11330

代理人 张筱宁 宋海斌

(51) Int.Cl.

G09G 3/3291 (2016.01)

G09G 3/3233 (2016.01)

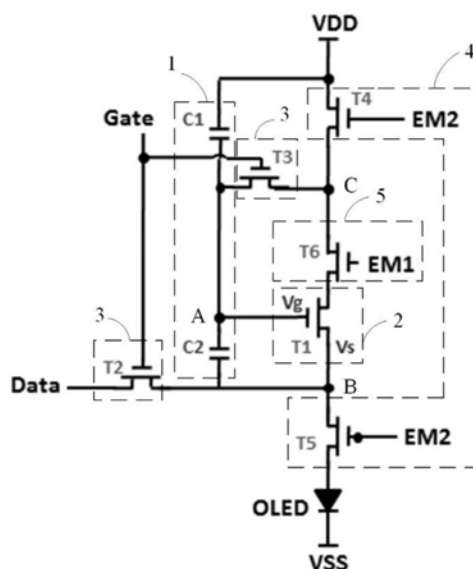
权利要求书2页 说明书7页 附图3页

(54) 发明名称

像素驱动电路、显示装置及像素驱动方法

(57) 摘要

本申请实施例提供了一种像素驱动电路、显示装置及像素驱动方法。该像素驱动电路包括：电荷存储模块、驱动模块、第一开关模块、第二开关模块和第三开关模块；电荷存储模块的第一端与第一电压端电连接，第二端与第一节点电连接，第三端与第二节点电连接；驱动模块的第一端与第一节点电连接，第二端与第二节点电连接；第一开关模块的第一端与扫描信号线电连接，第二端与数据信号线电连接，第三端与第二节点电连接，第四端与第一节点电连接，第五端与第三节点电连接。本申请实施例能够有效地对驱动晶体管的阈值电压进行补偿，具有较好的补偿效果，可降低阈值电压的不稳定对显示亮度的影响，使显示亮度更加稳定，从而改善显示画面的显示质量。



1. 一种像素驱动电路,其特征在于,包括:电荷存储模块、驱动模块、第一开关模块、第二开关模块和第三开关模块;

所述电荷存储模块的第一端与第一电压端电连接,第二端与第一节点电连接,第三端与第二节点电连接;

所述驱动模块的第一端与所述第一节点电连接,第二端与所述第二节点电连接;

所述第一开关模块的第一端与扫描信号线电连接,第二端与数据信号线电连接,第三端与所述第二节点电连接,第四端与所述第一节点电连接,第五端与第三节点电连接;

所述第二开关模块的第一端与第一控制信号线电连接,第二端与所述第一电压端电连接,第三端与所述第三节点电连接,第四端与所述第二节点电连接,第五端与发光元件电连接;

所述第三开关模块的第一端与第二控制信号线电连接,第二端与所述第三节点电连接,第三端与所述驱动模块的第三端电连接。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述电荷存储模块包括第一电容和第二电容;

所述第一电容的第一极作为所述电荷存储模块的第一端;

所述第一电容的第二极和所述第二电容的第一极均作为所述电荷存储模块的第二端;

所述第二电容的第二极作为所述电荷存储模块的第三端。

3. 根据权利要求1所述的像素驱动电路,其特征在于,所述驱动模块包括第一晶体管;

所述第一晶体管的控制极、第一极、第二极分别作为所述驱动模块的第一端、第二端、第三端。

4. 根据权利要求1所述的像素驱动电路,其特征在于,所述第一开关模块包括第二晶体管 and 第三晶体管;

所述第二晶体管的控制极和所述第三晶体管的控制极均作为所述第一开关模块的第一端;

所述第二晶体管的第一极、第二极分别作为所述第一开关模块的第二端、第三端;

所述第三晶体管的第一极、第二极分别作为所述第一开关模块的第四端、第五端。

5. 根据权利要求1所述的像素驱动电路,其特征在于,所述第二开关模块包括第四晶体管和第五晶体管;

所述第四晶体管的控制极和所述第五晶体管的控制极均作为所述第二开关模块的第一端;

所述第四晶体管的第一极、第二极分别作为所述第二开关模块的第二端、第三端;

所述第五晶体管的第一极、第二极分别作为所述第二开关模块的第四端、第五端。

6. 根据权利要求1所述的像素驱动电路,其特征在于,所述第三开关模块包括第六晶体管;

所述第六晶体管的控制极、第一极、第二极分别作为所述第三开关模块的第一端、第二端、第三端。

7. 根据权利要求4至6中任一项所述的像素驱动电路,其特征在于,各所述晶体管均为薄膜晶体管,任一所述晶体管的控制极为所述薄膜晶体管的栅极;

所述控制极所属的所述晶体管的第一极为所述薄膜晶体管的源极或漏极,第二极为与

所述第一极相对应的所述薄膜晶体管的漏极或源极。

8. 一种显示装置, 其特征在于, 包括如权利要求1至7中任一项所述的像素驱动电路。

9. 一种像素驱动方法, 应用于如权利要求1至7中任一项所述的像素驱动电路, 其特征在于, 包括:

在复位阶段, 所述像素驱动电路中的第一开关模块和第二开关模块, 在通过各自的第一端接收到第一电平信号时均导通, 将通过所述第二开关模块的第二端接收到的电源电压和通过所述第一开关模块的第二端接收到的初始信号, 分别输出至第一节点和第二节点;

在补偿阶段, 所述第二开关模块在通过其第一端接收到第二电平信号时断开, 所述第一开关模块和所述像素驱动电路中的第三开关模块, 在通过各自的第一端接收到第一电平信号时分别保持导通状态和导通, 所述第一开关模块将通过其第二端接收到的数据信号输出至所述第二节点, 所述像素驱动电路根据所述数据信号对所述驱动模块的阈值电压进行补偿;

在发光阶段, 所述第一开关模块在通过其第一端接收到第二电平信号时断开, 所述第二开关模块和所述第三开关模块, 在通过各自的第一端接收到第一电平信号时分别导通和保持导通状态, 使得所述像素驱动电路中的驱动模块输出驱动电流至发光元件。

10. 根据权利要求9所述的像素驱动方法, 其特征在于, 所述第一电平信号为高电平信号, 所述第二电平信号为低电平信号。

像素驱动电路、显示装置及像素驱动方法

技术领域

[0001] 本申请涉及显示技术领域,具体而言,本申请涉及一种像素驱动电路、显示装置及像素驱动方法。

背景技术

[0002] 有机发光二极管(OLED,Organic Light-Emitting Diode)作为一种电流型发光器件已越来越多地被应用于新一代显示装置中。

[0003] 基础的OLED驱动电路为2T1C,驱动电流(即流过驱动晶体管的电流)的值可决定OLED器件所产生的亮度,驱动电流的大小与驱动晶体管的阈值电压有关。

[0004] 由于晶体管的制程因素,在显示装置各区域的晶体管的特性会存在差异,即驱动晶体管的阈值电压存在差异。因此,当不同区域的多个显示单元写入相同的数据信号时,驱动晶体管提供给OLED器件不同的驱动电流,导致显示装置亮度显示不均。

发明内容

[0005] 本申请针对现有方式的缺点,提出一种像素驱动电路、显示装置及像素驱动方法,用以解决现有技术存在的由于驱动晶体管的阈值电压存在差异导致OLED器件的驱动电流不稳定以及显示亮度不均的技术问题。

[0006] 第一方面,本申请实施例提供了一种像素驱动电路,包括:电荷存储模块、驱动模块、第一开关模块、第二开关模块和第三开关模块;

[0007] 电荷存储模块的第一端与第一电压端电连接,第二端与第一节点电连接,第三端与第二节点电连接;

[0008] 驱动模块的第一端与第一节点电连接,第二端与第二节点电连接;

[0009] 第一开关模块的第一端与扫描信号线电连接,第二端与数据信号线电连接,第三端与第二节点电连接,第四端与第一节点电连接,第五端与第三节点电连接;

[0010] 第二开关模块的第一端与第一控制信号线电连接,第二端与第一电压端电连接,第三端与第三节点电连接,第四端与第二节点电连接,第五端与发光元件电连接;

[0011] 第三开关模块的第一端与第二控制信号线电连接,第二端与第三节点电连接,第三端与驱动模块的第三端电连接。

[0012] 第二方面,本申请实施例提供了一种显示装置,包括本申请实施例提供的像素驱动电路。

[0013] 第三方面,本申请实施例提供了一种像素驱动方法,应用于本申请实施例提供的像素驱动电路,包括:

[0014] 在复位阶段,像素驱动电路中的第一开关模块和第二开关模块,在通过各自的第一端接收到第一电平信号时均导通,将通过第二开关模块的第二端接收到的电源电压和通过第一开关模块的第二端接收到的初始信号,分别输出至第一节点和第二节点;

[0015] 在补偿阶段,第二开关模块在通过其第一端接收到第二电平信号时断开,第一开

关模块和像素驱动电路中的第三开关模块,在通过各自的第一端接收到第一电平信号时分别保持导通状态和导通,第一开关模块将通过其第二端接收到的数据信号输出至第二节点,像素驱动电路根据数据信号对驱动模块的阈值电压进行补偿;

[0016] 在发光阶段,第一开关模块在通过其第一端接收到第二电平信号时断开,第二开关模块和第三开关模块,在通过各自的第一端接收到第一电平信号时分别导通和保持导通状态,使得像素驱动电路中的驱动模块输出驱动电流至发光元件。

[0017] 本申请实施例提供的技术方案,至少具有如下有益效果:

[0018] 1) 采用本申请实施例提供的像素驱动电路、显示装置和像素驱动方法,能够有效地对驱动晶体管的阈值电压进行补偿,并具有较好的补偿效果,可降低阈值电压的不稳定对显示亮度的影响,使显示亮度更加稳定、均一性更佳,从而改善显示画面的显示质量。

[0019] 2) 在本申请实施例提供的像素驱动电路工作时,只需要3条栅极驱动线(分别为扫描信号线、第一控制信号线和第二控制信号线),信号波形简单,有利于实现显示装置的GOA (Gate on Array, 栅极驱动电路阵列) 设计。

[0020] 本申请附加的方面和优点将在下面的描述中部分给出,这些将从下面的描述中变得明显,或通过本申请的实践了解到。

附图说明

[0021] 本申请上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解,其中:

[0022] 图1为现有的OLED驱动电路的电路原理示意图;

[0023] 图2为本申请实施例提供的一种像素驱动电路的电路原理示意图;

[0024] 图3为本申请实施例提供的一种像素驱动方法的流程示意图;

[0025] 图4为本申请实施例提供的像素驱动电路的控制信号示意图;

[0026] 图5为本申请实施例提供的像素驱动电路和像素驱动方法的补偿效果示意图。

具体实施方式

[0027] 下面详细描述本申请,本申请实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的部件或具有相同或类似功能的部件。此外,如果已知技术的详细描述对于示出的本申请的特征是不必要的,则将其省略。下面通过参考附图描述的实施例是示例性的,仅用于解释本申请,而不能解释为对本申请的限制。

[0028] 本技术领域技术人员可以理解,除非另外定义,这里使用的所有术语(包括技术术语和科学术语),具有与本申请所属领域中的普通技术人员的一般理解相同的意义。还应该理解的是,诸如通用字典中定义的那些术语,应该被理解为具有与现有技术的上下文中的意义一致的意义,并且除非像这里一样被特定定义,否则不会用理想化或过于正式的含义来解释。

[0029] 本技术领域技术人员可以理解,除非特意声明,这里使用的单数形式“一”、“一个”、“所述”和“该”也可包括复数形式。应该进一步理解的是,本申请的说明书中使用的措辞“包括”是指存在所述特征、整数、步骤、操作、元件和/或组件,但是并不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、组件和/或它们的组。这里使用的措辞“和/

或”包括一个或多个相关联的列出项的全部或任一单元和全部组合。

[0030] 本申请的发明人进行研究发现,基础的OLED驱动电路(2T1C)如图1所示,图1中的Gate表示扫描信号线(亦可称栅极信号线或栅线),Data表示数据信号线(亦可称数据线),Sw-T表示开关晶体管,Dr-T表示驱动TFT(Thin Film Transistor,薄膜晶体管),Vg和Vs分别表示Dr-T的栅极和源极,VDD表示与驱动晶体管连接的第一电压端,VSS表示与二极管元件连接的第二电压端,Cst表示存储电容。

[0031] 流经图1中的二极管元件的驱动电流Id可表示为:

$$[0032] \quad I_d = \frac{1}{2}k(V_{gs} - V_{th})^2 \quad \text{表达式 (1)}$$

[0033] 表达式(1)中,k为驱动TFT的导电参数,Vgs为驱动TFT的栅极与源极的电压差,Vth为驱动TFT的阈值电压。

[0034] 由表达式(1)可知,驱动电流Id的大小与Vth有关,当Vth的大小不稳定时,在不同区域的多个显示单元写入相同的数据信号时,驱动电流Id也不稳定,从而将导致显示装置的亮度显示不均。

[0035] 本申请提供的像素驱动电路、显示装置及像素驱动方法,旨在解决现有技术的如上技术问题。

[0036] 下面以具体地实施例对本申请的技术方案以及本申请的技术方案如何解决上述技术问题进行详细说明。下面这几个具体的实施例可以相互结合,对于相同或相似的概念或过程可能在某些实施例中不再赘述。下面将结合附图,对本申请的实施例进行描述。

[0037] 本申请实施例提供了一种像素驱动电路,如图2所示,该像素驱动电路包括:电荷存储模块1、驱动模块2、第一开关模块3、第二开关模块4和第三开关模块5。

[0038] 电荷存储模块1的第一端与第一电压端(VDD端)电连接,第二端与第一节点A电连接,第三端与第二节点B电连接。

[0039] 驱动模块2的第一端与第一节点A电连接,第二端与第二节点B电连接;

[0040] 第一开关模块3的第一端与扫描信号线Gate电连接,第二端与数据信号线Data电连接,第三端与第二节点B电连接,第四端与第一节点A电连接,第五端与第三节点C电连接。

[0041] 第二开关模块4的第一端与第一控制信号线EM2电连接,第二端与第一电压端电连接,第三端与第三节点C电连接,第四端与第二节点B电连接,第五端与发光元件电连接。

[0042] 第三开关模块5的第一端与第二控制信号线EM1电连接,第二端与第三节点C电连接,第三端与驱动模块2的第三端电连接。

[0043] 可选地,电荷存储模块1包括第一电容C1和第二电容C2;第一电容C1的第一极作为电荷存储模块1的第一端,与第一电压端电连接;第一电容C1的第二极和第二电容C2的第一极均作为电荷存储模块1的第二端,与第一节点A电连接;第二电容C2的第二极作为电荷存储模块1的第三端,与第二节点B电连接。

[0044] 可选地,驱动模块2包括第一晶体管T1(即驱动晶体管);第一晶体管T1的控制极、第一极、第二极分别作为驱动模块2的第一端、第二端、第三端,分别与第一节点A、第二节点B、第三开关模块5的第三端电连接。

[0045] 可选地,第一开关模块3包括第二晶体管T2和第三晶体管T3;第二晶体管T2的控制极和第三晶体管T3的控制极均作为第一开关模块3的第一端,均与扫描信号线Gate电连接;

第二晶体管T2的第一极、第二极分别作为第一开关模块3的第二端、第三端,分别与数据信号线Data、第二节点B电连接;第三晶体管T3的第一极、第二极分别作为第一开关模块3的第四端、第五端,分别与第一节点A、第三节点C电连接。

[0046] 可选地,第二开关模块4包括第四晶体管T4和第五晶体管T5;第四晶体管T4的控制极和第五晶体管的控制极均作为第二开关模块4的第一端,均与第一控制信号线EM2电连接;第四晶体管T4的第一极、第二极分别作为第二开关模块4的第二端、第三端,分别与第一电压端、第三节点C电连接;第五晶体管T5的第一极、第二极分别作为第二开关模块4的第四端、第五端,分别与第二节点B、发光元件(如OLED)电连接。发光元件与第二电压端(VSS端)电连接。

[0047] 可选地,第三开关模块5包括第六晶体管T6;第六晶体管T6的控制极、第一极、第二极分别作为第三开关模块5的第一端、第二端、第三端,分别与第二控制信号线EM1、第三节点C、驱动模块2的第三端电连接。

[0048] 可选地,各晶体管均为TFT,任一晶体管的控制极为TFT的栅极;控制极所属的晶体管的第一极为TFT的源极或漏极,第二极为与第一极相对应的TFT的漏极或源极。即当同一晶体管的第一极为源极时其第二极为漏极,当同一晶体管的第一极为漏极时其第二极为源极。

[0049] 可选地,上述各晶体管均可以是N型TFT或P型TFT,当各晶体管均为N型TFT时,所形成的像素驱动电路如图2所示。

[0050] 本领域技术人员可以理解,图2所示的电路连接方式仅作为本申请实施例提供的像素驱动电路的一种示例,当各晶体管均为P型TFT或各晶体管的第一极和第二极分别为TFT的不同的极时,可适应地调整本申请实施例提供的像素驱动电路中各元件的电连接方式,适应地调整后的电连接方式仍然属于本申请实施例的保护范围。

[0051] 基于同一发明构思,本申请实施例提供了一种像素驱动方法,可应用于本申请实施例提供的像素驱动电路,如图3所示,该像素驱动方法包括:

[0052] S301,在复位阶段,像素驱动电路中的第一开关模块3和第二开关模块4,在通过各自的第一端接收到第一电平信号时均导通,将通过第二开关模块4的第二端接收到的电源电压VDD和通过第一开关模块3的第二端接收到的初始信号Vref,分别输出至第一节点A和第二节点B。

[0053] S302,在补偿阶段,第二开关模块4在通过其第一端接收到第二电平信号时断开,第一开关模块3和像素驱动电路中的第三开关模块5,在通过各自的第一端接收到第一电平信号时分别保持导通状态和导通,第一开关模块3将通过其第二端接收到的数据信号Vdata输出至第二节点B,像素驱动电路根据数据信号Vdata对驱动模块2的阈值电压Vth进行补偿。

[0054] S303,在发光阶段,第一开关模块3在通过其第一端接收到第二电平信号时断开,第二开关模块4和第三开关模块5,在通过各自的第一端接收到第一电平信号时分别导通和保持导通状态,使得像素驱动电路中的驱动模块2输出驱动电流至发光元件。

[0055] 可选地,第一电平信号为高电平信号,第二电平信号为低电平信号;或者,第一电平信号为低电平信号,第二电平信号为高电平信号。

[0056] 下面参照图2所示的像素驱动电路以及图4所示的像素驱动电路的控制信号示意

图,以各晶体管均为N型TFT的情况为例,对本申请实施例提供的像素驱动方法具体介绍如下:

[0057] 第一阶段:复位阶段

[0058] 在图2所示的像素驱动电路中,扫描信号线Gate和第一控制信号线EM2均处于逻辑高电位,扫描信号线Gate分别向第一开关模块3中的第二晶体管T2和第三晶体管T3的栅极输入高电平信号,第一控制信号线EM2分别向第二开关模块4中的第四晶体管T4和第五晶体管T5的栅极输入高电平信号,晶体管T2~T5在接收到的高电平信号的控制下导通。

[0059] 第二控制信号线EM1处于逻辑低电位,向第三开关模块5中第六晶体管T6的栅极输入低电平信号,第六晶体管T6保持断开状态。

[0060] T2~T5全部导通后,第一电压端提供的电源电压VDD通过第四晶体管T4和第三晶体管T3传输至第一节点A,进一步传输至与第一节点A电连接的驱动模块2中的驱动晶体管T1的栅极,从而为驱动晶体管T1复位,使驱动晶体管T1的栅极电压 V_g 变为VDD;同时,数据信号线Data提供的初始信号 V_{ref} 通过第二晶体管T2传输至第二节点B,进而传输至与第二节点B电连接的OLED的阳极,从而为OLED的阳极复位。

[0061] 第二阶段:补偿阶段

[0062] 第一控制信号线EM2变为逻辑低电位,分别向第四晶体管T4和第五晶体管T5的栅极输入低电平信号,第四晶体管T4和第五晶体管T5在接收到的低电平信号的控制下断开。

[0063] 扫描信号线Gate和第二控制信号线EM1均处于逻辑高电位,扫描信号线Gate分别向第二晶体管T2和第三晶体管T3的栅极输入高电平信号,第二晶体管T2和第三晶体管T3在接收到的高电平信号的控制下均保持导通状态,第二控制信号线EM1向第六晶体管T6的栅极输入高电平信号,第六晶体管T6在接收到的高电平信号的控制下导通。

[0064] 数据信号线Data提供的数据信号 V_{data} 通过第二晶体管T2传输至第二节点B,进一步传输至与第二节点B的驱动晶体管T1的源极,驱动晶体管T1的源极电压 V_s 变为 V_{data} 。

[0065] N型TFT导通的条件也即实现本阶段的补偿效果的前提条件为:

[0066] $V_g - V_s \geq V_{th}$, 且 $V_{th} \geq 0$ 表达式(2)

[0067] 将驱动晶体管T1的栅极电压($V_g = VDD$)和源极电压($V_s = V_{data}$)代入表达式(2),则该前提条件还可表示为:

[0068] $VDD \geq V_{data} + V_{th}$, 且 $V_{th} \geq 0$ 表达式(3)

[0069] 当VDD、 V_{data} 和 V_{th} 满足表达式(3)时,驱动晶体管T1的栅极电压 V_g 开始下降,由VDD降低到 $V_{data} + V_{th}$,从而实现对驱动晶体管T1的阈值电压 V_{th} 的补偿; V_g 降低到 $V_{data} + V_{th}$ 时,第一晶体管T1断开,此时电荷存储模块1中的第二电容C2存储的电压为 $V_g - V_s = V_{th}$ 。

[0070] 第三阶段:发光阶段

[0071] 扫描信号线Gate变为逻辑低电位,分别向第二晶体管T2和第三晶体管T3的栅极输入低电平信号,第二晶体管T2和第三晶体管T3均断开,第二电容C2存储的电压保持在 V_{th} 。

[0072] 第二控制信号线EM1保持在逻辑高电位,向第六晶体管T6的栅极持续输入高电平信号,第六晶体管T6在接收到的高电平信号下保持导通状态;第一控制信号线EM2变为逻辑高电位,分别向第四晶体管T4和第五晶体管T5的栅极输入高电平信号,第四晶体管T4和第五晶体管T5在接收到的高电平信号的控制下导通。

[0073] 当T4、T5和T6均导通时,OLED的阳极电压(等于初始电压 V_{ref})与驱动晶体管T1的

源极电压 V_s (等于 V_{data}) 具有电压差,驱动晶体管T1的源极电压 V_s 发生跳变,跳变量为:

$$[0074] \quad \Delta V_s = \frac{C_2}{C_1 + C_2} (V_{el} - V_{data}) \quad \text{表达式 (4)}$$

[0075] 在表达式(4)中, ΔV_s 为驱动晶体管T1的栅极电压跳变量, C_1 表示第一电容的电容值, C_2 表示第二电容的电容值, V_{el} 表示跳变后驱动晶体管T1栅极的实时电压值。

[0076] 驱动晶体管T1的源极电压 V_s 发生跳变时,其栅极电压 V_g 随之发生跳变,跳变后的栅极电压 V_g 为:

$$[0077] \quad V_g = V_{data} + V_{th} + \Delta V_s = V_{data} + V_{th} + \frac{C_2}{C_1 + C_2} (V_{el} - V_{data}) \quad \text{表达式 (5)}$$

$$[0078] \quad V_{gs} - V_{th} = V_g - V_s - V_{th} = \frac{C_1}{C_1 + C_2} (V_{data} - V_{el}) \quad \text{表达式 (6)}$$

[0079] 由表达式(6)可以看出,当 $V_{data} - V_{el} \geq 0$ 时, $V_g - V_s - V_{th} \geq 0$,进而可得 $V_g - V_s \geq V_{th}$,当 $V_{th} \geq 0$ 时,可满足如表达式(2)所示的N型TFT导通的条件,驱动晶体管T1导通,驱动晶体管T1产生驱动电流 I_d 以驱动OLED发光;结合表达式(1)可知,通过OLED的驱动电流 I_d 与 $(V_{data} - V_{el})$ 有关,而与驱动晶体管T1的阈值电压 V_{th} 无关,从而实现了对阈值电压 V_{th} 的补偿,降低了阈值电压 V_{th} 对驱动电流的影响,降低了阈值电压 V_{th} 的不稳定对显示亮度的影响,显示亮度更加稳定,均一性更佳,有效地改善了画面显示质量。

[0080] 应用本申请实施例提供的像素驱动电路和像素驱动方法,对 V_{th} 的补偿效果如图5所示,图5的横坐标表示驱动晶体管T1的阈值电压 V_{th} (单位V,即伏特),纵坐标表示驱动电流 I_d (单位为 μA ,即微安)。由图5可以看出,本申请实施例对 V_{th} 的补偿范围为0~5.5V,大于现有的像素驱动电路或像素补偿电路的补偿范围(通常为1V),本申请实施例通过OLED的驱动电流的波动 $\Delta I_d < 5\%$,相对于现有的像素驱动电路或像素补偿电路的补偿效果,有着显著优势。

[0081] 应用本申请实施例提供的像素驱动电路和像素驱动方法,至少可以实现如下有益效果:

[0082] 1) 采用本申请实施例提供的像素驱动电路和像素驱动方法,能够有效地对驱动晶体管的阈值电压 V_{th} 进行补偿,并具有良好的补偿效果,可降低阈值电压 V_{th} 的不稳定对显示亮度的影响,使显示亮度更加稳定、均一性更佳,从而改善显示画面的显示质量。

[0083] 2) 无需设计单独的基准电源信号,利用第一电压端的电源电压 V_{DD} 即可对驱动晶体管的栅极进行复位,利用数据信号线Data输入的初始电压 V_{ref} 即可对OLED的阳极进行复位,从而减少了驱动信号的数量,简化了复位流程。

[0084] 3) 在本申请实施例提供的像素驱动电路工作时,只需要3条栅极驱动线(分别为扫描信号线Gate、第一控制信号线EM2和第二控制信号线EM1),信号波形简单,有利于实现显示装置的GOA (Gate on Array, 栅极驱动电路阵列) 设计。

[0085] 基于同一发明构思,本申请实施例提供了一种显示装置,包括本申请实施例提供的像素驱动电路。

[0086] 本申请实施例提供的显示装置,与前面所述的各实施例具有相同的发明构思及相同的有益效果,该显示装置中未详细示出的内容可参照前面所述的各实施例,在此不再赘述。

[0087] 本技术领域技术人员可以理解,本申请中已经讨论过的各种操作、方法、流程中的

步骤、措施、方案可以被交替、更改、组合或删除。进一步地,具有本申请中已经讨论过的各种操作、方法、流程中的其他步骤、措施、方案也可以被交替、更改、重排、分解、组合或删除。进一步地,现有技术中的具有与本申请中公开的各种操作、方法、流程中的步骤、措施、方案也可以被交替、更改、重排、分解、组合或删除。

[0088] 术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0089] 应该理解的是,虽然附图的流程图中的各个步骤按照箭头的指示依次显示,但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明,这些步骤的执行并没有严格的顺序限制,其可以以其他的顺序执行。而且,附图的流程图中的至少一部分步骤可以包括多个子步骤或者多个阶段,这些子步骤或者阶段并不必然是在同一时刻执行完成,而是可以在不同的时刻执行,其执行顺序也不必然是依次进行,而是可以与其他步骤或者其他步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

[0090] 以上所述仅是本申请的部分实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本申请原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本申请的保护范围。

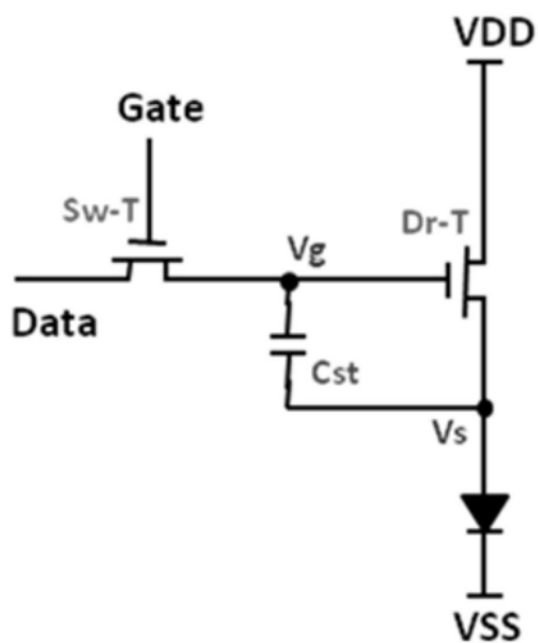


图1

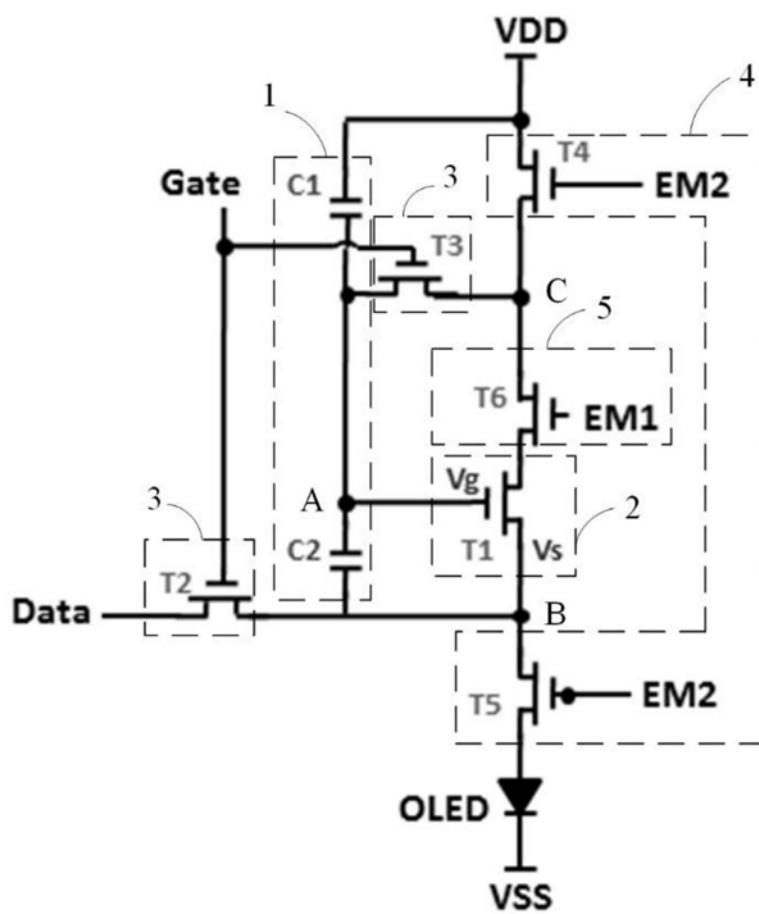


图2

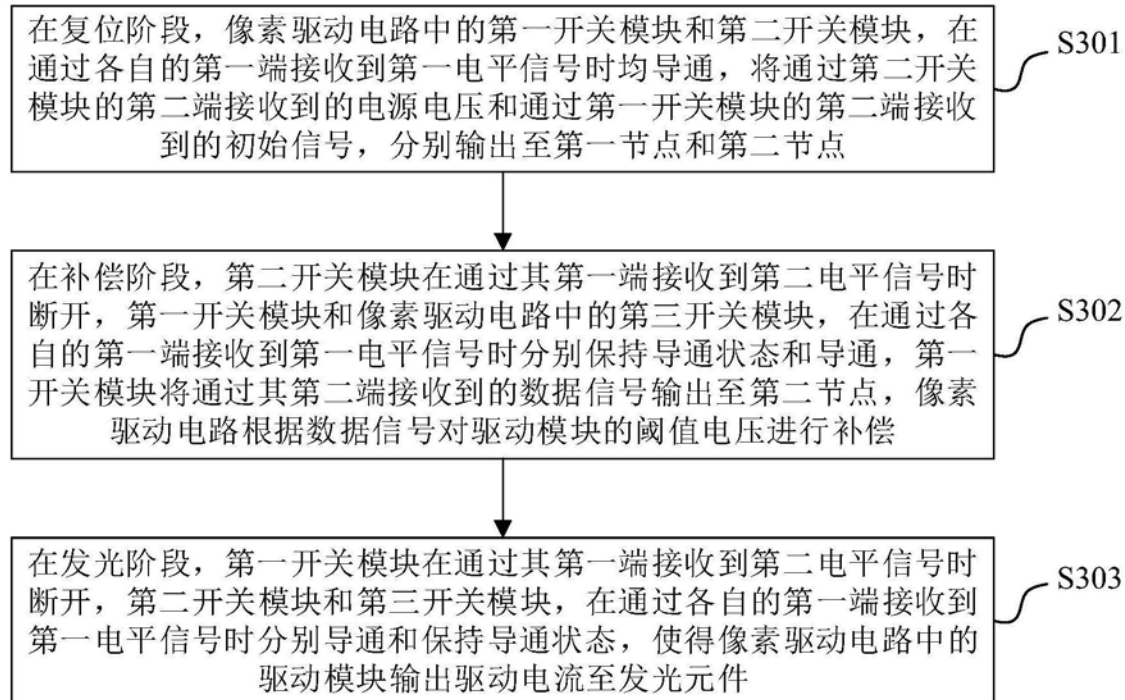


图3

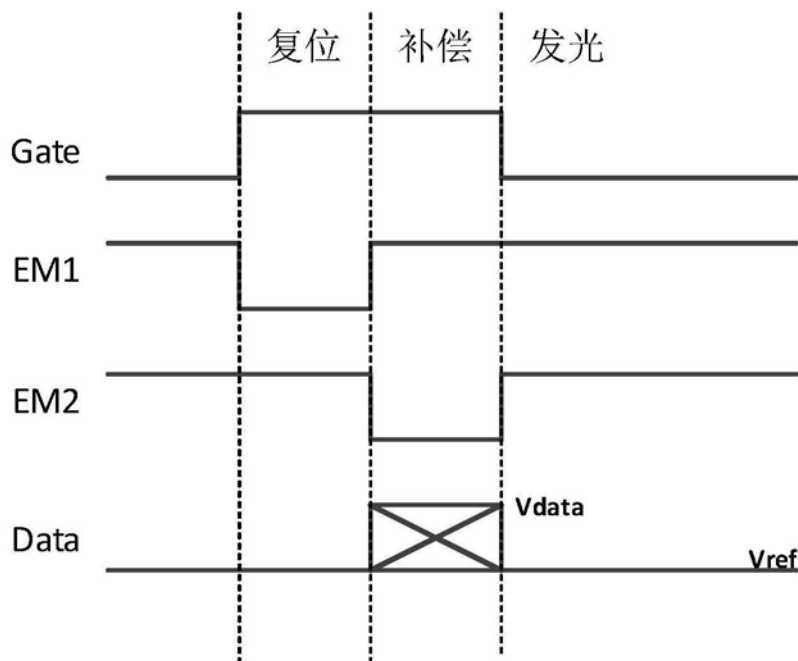


图4

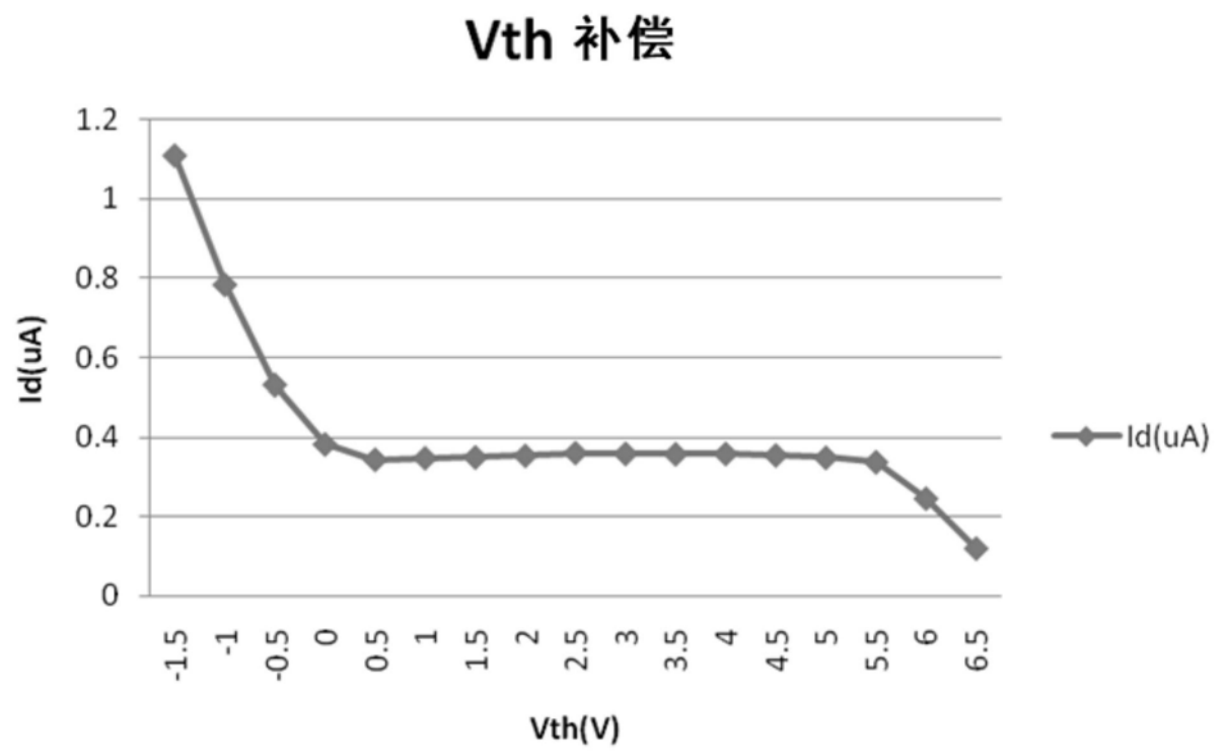


图5