

OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

① Número de publicación: **1 076 130**

② Número de solicitud: U 201101232

⑤ Int. Cl.:  
**G01R 21/00** (2006.01)

⑫

SOLICITUD DE MODELO DE UTILIDAD

U

② Fecha de presentación: **27.12.2011**

⑦ Solicitante/s: **ZERTAN, S.A.**  
**Avda. de Villatuerta, 35 - Bj.**  
**31132 Villatuerta, Navarra, ES**

④ Fecha de publicación de la solicitud: **08.02.2012**

⑦ Inventor/es: **Arteta Unanua, Javier;**  
**Creus Llorens, Javier;**  
**Landatxe Zugarramurdi, José Luis y**  
**Díez García, Sergio**

⑦ Agente: **Buceta Facorro, Luis**

⑤ Título: **Complemento para señalización de error en circuitos de control de potencia.**

ES 1 076 130 U

# ES 1 076 130 U

## DESCRIPCIÓN

Complemento para señalización de error en circuitos de control de potencia.

### 5 Sector de la técnica

La presente invención está relacionada con la protección de circuitos de control de elementos eléctricos, tales como transistores de efecto campo metal-óxido semiconductores de potencia, proponiendo un complemento de dichos circuitos que permite señalar anomalías de error en los mismos, para que puedan llevarse a cabo las medidas correctoras oportunas.

### Estado de la técnica

15 Es cada vez más frecuente el uso de dispositivos de potencia para interrumpir o conectar, bajo las órdenes de una circuitería de control, la energía eléctrica suministrada a una carga. Las aplicaciones en tal sentido son muy numerosas, como control de ventiladores, cerraduras, inyectores y todo tipo de actuadores en general, así como válvulas, elementos de iluminación, elementos calefactores, etc.

20 Para esa función, los dispositivos de efecto campo metal-óxido semiconductor (FET MOS), presentan frente a los relés o interruptores electromagnéticos las ventajas siguientes:

- La relación volumen/capacidad de corte de potencia, es muy baja.

25 - Gran facilidad para integración sin solución de continuidad como partes de circuiterías de control y mando, permitiendo unos montajes ligeros y compactos, lo cual es muy importante, por ejemplo, en el campo de la automoción.

- Elevada fiabilidad bajo condiciones especificadas de funcionamiento, ya que apenas sufren desgaste.

30 - Gran resistencia a las vibraciones.

- Su costo es muy reducido en comparación con los dispositivos electromecánicos.

35 Dichos dispositivos presentan también, sin embargo, una serie de inconvenientes frente a los interruptores electromagnéticos, como por ejemplo:

- Suelen tener mayor caída de tensión y, por lo tanto, se calientan más al paso de la corriente eléctrica, necesitando estar provistos de medios de refrigeración.

40 - Presentan un margen más estrecho entre la corriente nominal y la máxima que provoca la destrucción del dispositivo, debiendo tomarse medidas para evitar los cortocircuitos.

45 - Son muy sensibles a las sobretensiones, de manera que impulsos de muy corta duración (< 1 segundo), de tensiones que apenas superan el doble de la tensión nominal de trabajo entre los terminales de conmutación (fuente y drenador), pueden causar un daño irreversible al dispositivo.

- Presentan una relación inversamente proporcional entre la corriente máxima que el dispositivo puede soportar en estado de cierre o conducción y la tensión máxima que puede soportar en estado de apertura o no conducción.

50 Todo ello cobra especial importancia en aplicaciones de automoción, ya que los sistemas alimentados a tensión nominal de 12 V, incluso en el manejo de potencias pequeñas (por ejemplo 350 W), implica la utilización de corrientes nominales muy elevadas (hasta de 30 A), con transitorios de arranque de 100 A y más; lo cual obliga a seleccionar dispositivos FET MOS tales que su tensión máxima continua en estado abierto entre los terminales fuente y drenador, sea escasamente 3,33 veces la tensión nominal de red (12 V).

60 Por otro lado, en las instalaciones eléctricas de los automóviles, alimentadas a 12 V, se producen impulsos de tensión, debido a la peculiaridad de tales instalaciones y de los elementos, tanto consumidores como generadores, que en ellas intervienen.

65 Cabe citar además, que cuando a un conjunto formado por una carga y un dispositivo FET MOS que se encuentra en estado de corte, se le aplica un impulso de tensión de valor suficientemente alto como para provocar que el dispositivo FET MOS entre en conducción por avalancha, es decir habiéndose superado la tensión de bloqueo inverso en la unión P-N que mantiene al circuito abierto, el parámetro que determina si el dispositivo sufrirá o no daño irreversible, es la energía que se disipa en la unión P-N, la cual depende en la práctica, no solo de la forma de onda, valor de pico y duración del impulso de tensión aplicado, sino también de otros parámetros, como las características de la carga eléctrica controlada, así como las características del propio dispositivo FET MOS.

## ES 1 076 130 U

En este contexto el mayor problema se presenta en relación con los impulsos 5a y 5b descritos en la norma ISO 7637-2 párrafo 5.6.5, descritos como impulsos “load dump”.

5 Generalmente a la mayoría de los sistemas de los automóviles, distintos del propio generador o alternador, que es el único que lleva una protección centralizada para limitar la tensión de pico en caso de un evento “load dump”, solo se les exigen los impulsos 5b, precisamente debido a la presencia de la protección mencionada en el generador o alternador.

10 En general los impulsos 5b que así resultan, son perfectamente compatibles con la tensión máxima permisible entre los terminales drenador y fuente de los modelos de dispositivos FET MOS más habituales para controlar las cargas eléctricas más elevadas presentes en los automóviles actuales con sistemas de alimentación eléctrica a 12 V, no presentándose ningún problema cuando se ensayan los componentes y sistemas bajo estas condiciones.

15 En la práctica, sin embargo, ocurre que se presentan de forma esporádica, durante el funcionamiento de los vehículos, impulsos de igual o mayor magnitud que los impulsos 5a, los cuales causan, a veces, daños irreversibles por avalancha en los dispositivos FET MOS, al superar la disipación de energía los valores máximos que soportan dichos dispositivos.

20 Estos daños se producen porque al fundirse parcialmente la pastilla semiconductor del dispositivo FET MOS, se crea un camino conductor permanente en la misma, quedando el dispositivo en estado permanente de conducción y alimentando a la carga, sin que la circuitería de control pueda actuar sobre ella, dando lugar a una situación que se conoce como “funcionamiento no comandado”.

25 Aparte de las consecuencias indeseables, incluso con riesgos para la seguridad, que puede acarrear el “funcionamiento no comandado” de cualquier dispositivo, existe otra peculiaridad en el fallo de un dispositivo FET MOS, que es que el camino conductor que se forma no es un cortocircuito franco, sino que tiene una resistencia del orden de algunos ohmios, superior a la que presentarla el dispositivo en estado de conducción normal, con lo cual en el dispositivo FET MOS se produce una disipación de potencia y, por tanto, un calentamiento, muy superiores a los que se producen en un funcionamiento normal en condiciones de baja resistencia, resultando totalmente insuficientes los medios de refrigeración disponibles, por lo que se produce una peligrosa elevación de temperatura del dispositivo que puede conllevar riesgo de incendio.

30 Ante esta debilidad de los dispositivos FET MOS, se han desarrollado lo que se denomina FET MOS inteligentes o SMART MOSFET, los cuales incorporan junto al dispositivo interruptor semiconductor simple y formando una unidad con el, un segundo circuito integrado de monitorización y control, capaz de detectar condiciones anómalas, como sobre-corriente y sobre-temperatura, desactivando el circuito principal para protegerlo, en caso de producirse situaciones que excedan las condiciones de funcionamiento seguro.

40 El recurso más habitual para la protección contra las sobre-tensiones, es la monitorización de la tensión del terminal drenador y la puesta en conducción del dispositivo si la tensión entre dicho terminal drenador y el terminal fuente excede un valor prefijado, de forma que la energía del pulso sea disipada sobre todo en la carga exterior y no en una unión P-N forzada al estado de avalancha.

45 Ensayos realizados con los dispositivos SMART MOSFET comerciales, han demostrado, sin embargo, que en muchos casos estos dispositivos no tienen mejores prestaciones que los dispositivos FET MOS estándar no protegidos, siendo igualmente destruidos por los impulsos del rango 5a y superiores.

50 Otra solución orientada a evitar que, cuando se produce el deterioro de los dispositivos FET MOS, se alcancen temperaturas peligrosas en los circuitos de aplicación de los que forman parte, es la disposición de dispositivos miniaturizados de protección térmica que actúan como fusibles, interrumpiendo el circuito cuando la temperatura en el mismo sobrepasa un límite. Un dispositivo de este tipo se describe, por ejemplo, en la Patente US 20100245022.

55 Sin embargo, dichos dispositivos termofusibles solo disponen de un juego de contactos que se abren de forma irreversible al alcanzarse una temperatura determinada, interrumpiendo la corriente en el circuito de carga en el que se encuentra el dispositivo FET MOS dañado, de manera que el circuito de aplicación queda inactivo, sin que exista ninguna información hacia el usuario de esta circunstancia, pudiendo quedar inadvertidamente desactivadas funciones necesarias para un correcto funcionamiento del sistema de aplicación, como puede ser, por ejemplo, un automóvil.

### 60 **Objeto de la invención**

De acuerdo con la invención se propone un circuito complementario que se dispone en relación con el circuito de control de un dispositivo FET MOS de alimentación de una carga y que dispone de un termofusible de protección, determinando este circuito complementario una función que permite generar una señalización detectable en caso de deterioro del dispositivo FET MOS y apertura del termofusible, para proporcionar al usuario una notificación que evite que la anomalía pase inadvertida con riesgo de otras consecuencias.

## ES 1 076 130 U

El circuito complementario objeto de la invención consta de un transistor que se dispone en conexión por su base y emisor respecto de la entrada del circuito de control del dispositivo FET MOS y con la puerta conectada a un punto entre el termofusible y el dispositivo FET MOS.

5 Se obtiene así una disposición con la que cuando el dispositivo FET MOS se deteriora y como consecuencia el termofusible se abre interrumpiendo la corriente en el circuito de la carga de aplicación, el circuito complementario provoca en la entrada del circuito de control una situación que al ser detectada por una unidad de control externa que gobierna el dispositivo, se interpreta como una condición de error, permitiendo generar una señalización de notificación al usuario, evitando así que la anomalía pase inadvertida.

10 El complemento de circuito preconizado resulta por lo tanto de unas características ventajosas para el control de los dispositivos FET MOS, adquiriendo vida propia y carácter preferente su aplicación en los circuitos de dicho control.

### 15 Descripción de las figuras

La figura 1 muestra en esquema un circuito de control de un dispositivo FET MOS, protegido contra sobretensiones y altas temperaturas, incorporando dicho circuito de control el complemento de señalización de error objeto de la invención.

20 Las figuras 2A, 2B, 2C, 2D y 2E muestran otras posibles configuraciones del circuito en el que es aplicable el complemento de señalización de error objeto de la invención.

### 25 Descripción detallada de la invención

El objeto de la invención se refiere a un complemento para circuitos, como el de la figura 1, en donde a través de un dispositivo FET MOS (T1) se alimenta una carga (R1) conectada entre un borne (V1) y un circuito dispuesto entre unos bornes (V2 y V3), por medio del cual se controla el dispositivo FET MOS (T1), comprendiendo un transistor (Q1), al que se aplica una señal de control desde una unidad externa, a través de un terminal (V4) que se halla conectado a través de una resistencia (R6) con el borne (V1) de conexión de la carga (R1), y entre cuyo transistor (Q1) y el dispositivo FETMOS (T1) va incluido un conjunto formado por unas resistencias (R2, R3, R4, R5), además de otro transistor (Q2), un condensador (C1) y un diodo (D1).

35 En este circuito, al aplicar una determinada tensión de control positiva, a través del terminal (V4), al transistor (Q1), este transistor queda polarizado en conducción, lo que determina una circulación de corriente por la carga (R1).

40 En esas condiciones, si se aplica un impulso de tensión entre los bornes (V1 y V3), sobrepasando la tensión que soporta la unión P-N entre el terminal fuente y el terminal drenador del dispositivo FET MOS (T1), se produce un fenómeno de avalancha en dicha unión P-N, de manera que, en caso de excederse una determinada energía, se perfora el semiconductor del dispositivo FET MOS (T1), quedando entonces permanentemente cerrado el circuito de la carga (R1), sin que la señal de control aplicada a través del terminal (V4) pueda desactivarle, estableciéndose en el dispositivo FET MOS (T1) una situación de elevada disipación de potencia, con un incremento de temperatura que puede ser peligroso.

45 Para evitar las consecuencias de una excesiva elevación de temperatura, se dispone en el circuito un termofusible (F1), el cual al alcanzarse una determinada temperatura se abre, interrumpiendo la corriente en el circuito de la carga (R1), de manera que el circuito queda inactivo. De dicha interrupción del circuito no resulta, sin embargo, ninguna señalización de información, por lo que la anomalía puede pasar inadvertida, quedando inactivadas funciones que pueden ser necesarias para algunas aplicaciones.

55 El objeto de la invención es un complemento de circuito (1) adicional que tiene como fin establecer unas condiciones que permitan detectar la situación de apertura del circuito cuando la elevación de la temperatura por el deterioro del dispositivo FET MOS (T1) hace actuar al termofusible (F1), aprovechando para establecer esas condiciones las propias condiciones de funcionamiento del circuito al ser gobernado por una señal de control a través del terminal (V4), ya que la unidad (no representada) que emite la señal de control, es capaz de detectar las anomalías en la conexión entre dicha unidad y el circuito en el que se halla el dispositivo FET MOS (T1), como por ejemplo las interrupciones y cortocircuitos en el cableado del mismo.

60 Dicho complemento de circuito (1) preconizado comprende una red formada en torno a uno o más transistores adicionales, de manera que, por ejemplo, un transistor (Q3), se conecta por su colector, a través de una resistencia (R7), con el terminal (V4) en el que se aplica la señal de control, mientras que el emisor se conecta al terminal (V3) del circuito de control del dispositivo FET MOS (T1), en tanto que la base de dicho transistor (Q3) se conecta, a través de una resistencia (R8), respecto de un punto intermedio entre el termofusible (F1) y el dispositivo FET MOS (T1).

## ES 1 076 130 U

En tales condiciones el comportamiento funcional del circuito es el siguiente:

5 - En modo normal de operación, con el dispositivo FET MOS (T1) en buen estado, el termofusible (F1) está cerrado y la base del transistor (Q3) se halla prácticamente a masa, con lo que dicho transistor (Q3) se encuentra bloqueado, de manera que la operación de la señal de control aplicada al terminal (V4) se realiza de modo habitual, siguiendo las señales lógicas provenientes de la unidad de control.

10 - En caso de apertura del termofusible (F1) por causa del aumento de temperatura que se produce cuando se deteriora el dispositivo FET MOS (T1), la base del transistor (Q3) queda conectada a la alimentación positiva, a través del dispositivo FET MOS (T1) deteriorado, el cual tiene una resistencia de algunos ohmios, y de la carga (R1), cuyo valor óhmico, tratándose por ejemplo de una carga de unos 350 W alimentada a 12 V, es también muy bajo, con lo cual dentro del rango de variación, tanto de la resistencia serie del dispositivo FET MOS (T1) como de la carga (R1), se produce la activación del transistor (Q3), el cual lleva al terminal (V4) a masa, siendo detectada esta situación anómala por la unidad de control que gobierna el circuito.

15 El transistor (Q3) se ha representado como un transistor bipolar, pero esta realización no es limitativa, pudiendo ser dicho transistor (Q3) igualmente un transistor FET o FET MOS.

20 Por otro lado, en el ejemplo de aplicación representado el terminal fuente del dispositivo FET MOS (T1) de potencia se encuentra conectado a masa y el drenador al negativo de la carga (R1), pero esta disposición no es limitativa, ya que el fundamento puede aplicarse igualmente a una configuración en la que el drenador esté conectado al positivo de la alimentación y la fuente a la carga (R1), así como también a disposiciones en las que el termofusible (F1) esté conectado al drenador y no a la fuente del dispositivo FET MOS (T1), según, por ejemplo, cualquiera de las disposiciones representadas en las figuras 2A, 2B, 2C, 2D ó 2E. De igual modo, la red complementaria podría asimismo forzar al terminal (V4) a estar permanentemente a la tensión de alimentación positiva, de modo que, bajo ciertas condiciones, esto también sería interpretado como error (cortocircuito a positivo de la línea de control) por parte de la unidad de control exterior.

30 El complemento de circuito (1) para determinar una señalización de error, según la invención, puede aplicarse en un circuito simple de control de un dispositivo FET MOS (T1), sin inconveniente de que dicho circuito de aplicación pueda además incorporar un circuito (2) de protección contra sobretensiones, tal como, por ejemplo, el que describe el Modelo de Utilidad ES 1075147 de la misma titular que la presente solicitud.

**REIVINDICACIONES**

5 1. Complemento para señalización de error en circuitos de control de potencia, para aplicación en relación con un circuito de control de un dispositivo FET MOS (T1) de alimentación de una carga (R1), en el cual se incluye un termofusible (F1) de protección contra temperaturas excesivas, **caracterizado** porque comprende una red formada en torno a uno o más transistores adicionales conectados a los bornes del termofusible (F1) conectado en serie con el dispositivo FET MOS (T1) y la carga (R1), para cualquier posición del termofusible (F1) en dicho circuito serie, de tal manera que, al abrirse el termofusible (F1), dicha red fuerza a un terminal de control (V4) a adoptar una tensión tal que puede ser interpretada como una situación de error por una unidad de control exterior conectada al mencionado terminal de control (V4).  
10

15 2. Complemento para señalización de error en circuitos de control de potencia, de acuerdo con la primera reivindicación, **caracterizado** porque comprende un transistor (Q3), el cual se conecta por su colector y su emisor, respectivamente, en relación con un terminal (V4) por el que se aplica una señal de control y en relación con un terminal (V3) de conexión del circuito de control del dispositivo FET MOS (T1), mientras que la base de dicho transistor (Q3) se conecta respecto de un punto intermedio entre el termofusible (F1) de protección y el dispositivo FET MOS (T1), en el circuito de control.

20 3. Complemento para señalización de error en circuitos de control de potencia, de acuerdo con la segunda reivindicación, **caracterizado** porque la conexión del colector del transistor (Q3) respecto del terminal (V4) de aplicación de la señal de control, se establece a través de una resistencia (R7).

25 4. Complemento para señalización de error en circuitos de control de potencia, de acuerdo con la segunda reivindicación, **caracterizado** porque la conexión de la base del transistor (Q3) respecto de un punto intermedio entre el termofusible (F1) y el dispositivo FET MOS (T1), se establece a través de una resistencia (R8).  
30  
35  
40  
45  
50  
55  
60  
65

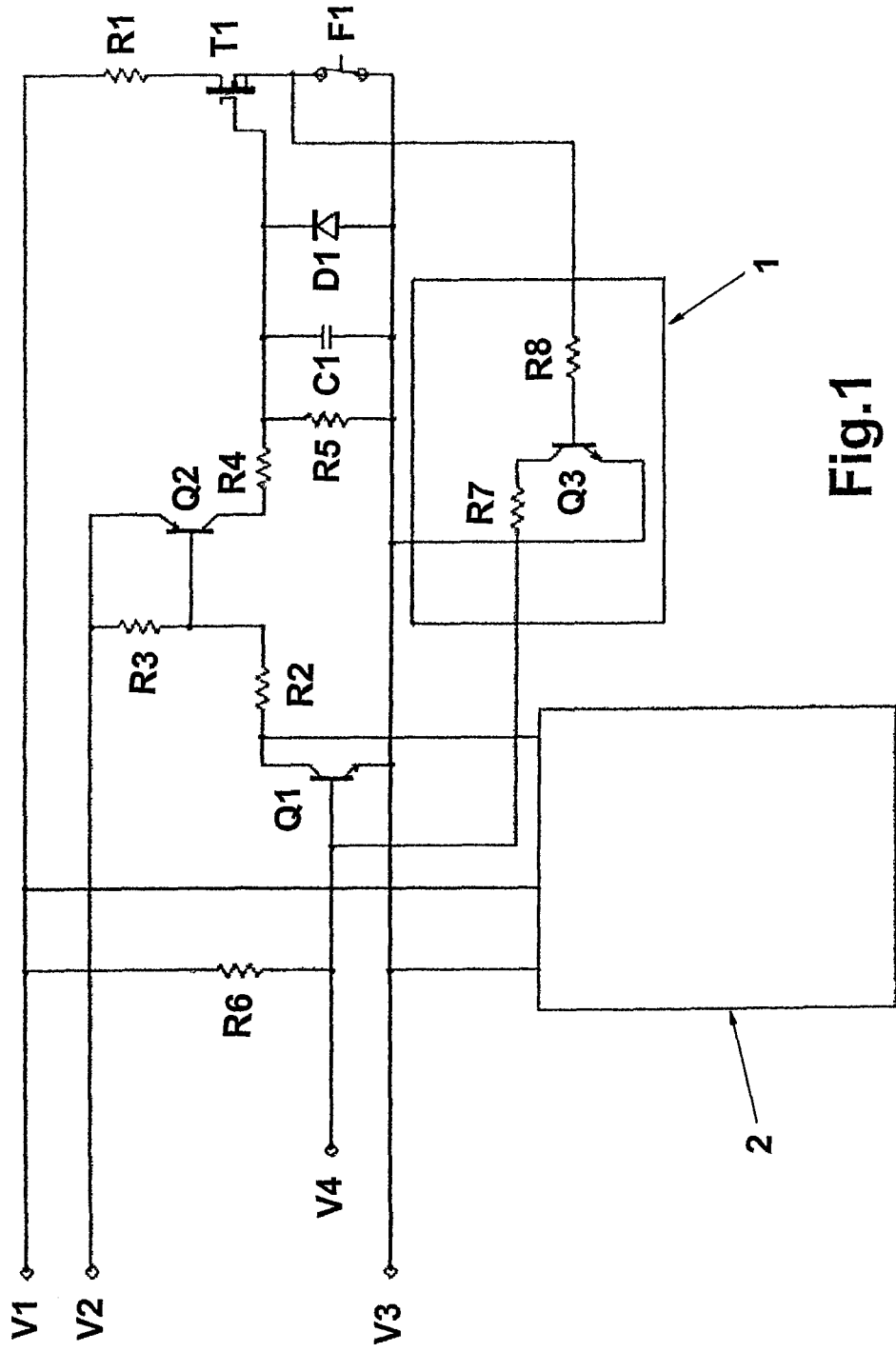
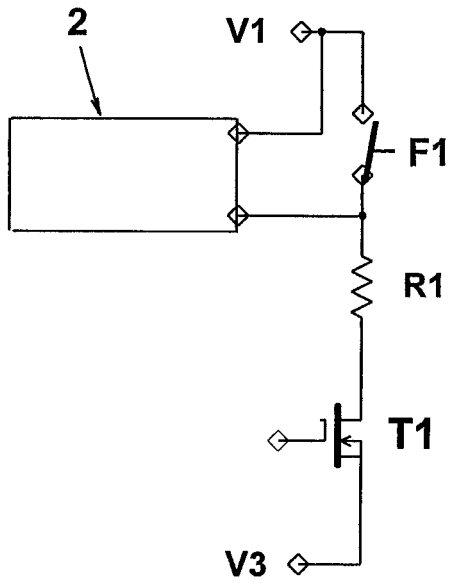
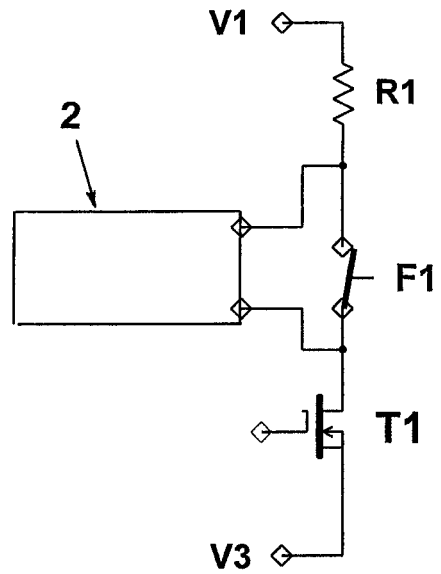


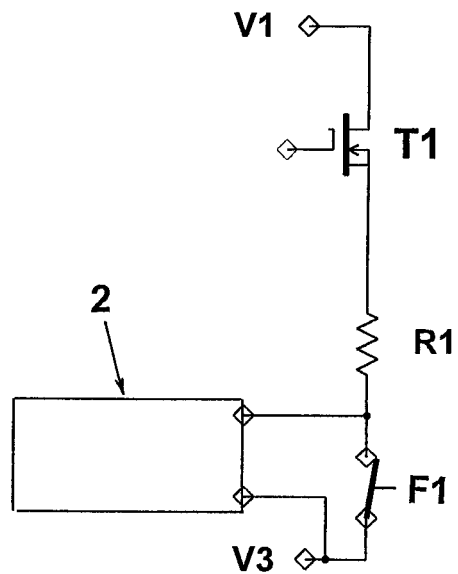
Fig.1



**FIG. 2A**

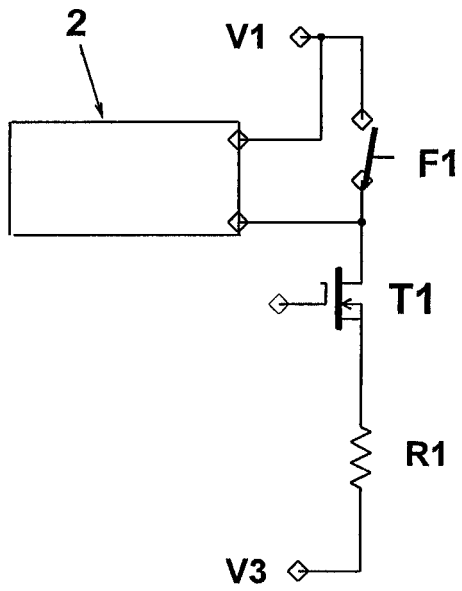


**FIG. 2B**

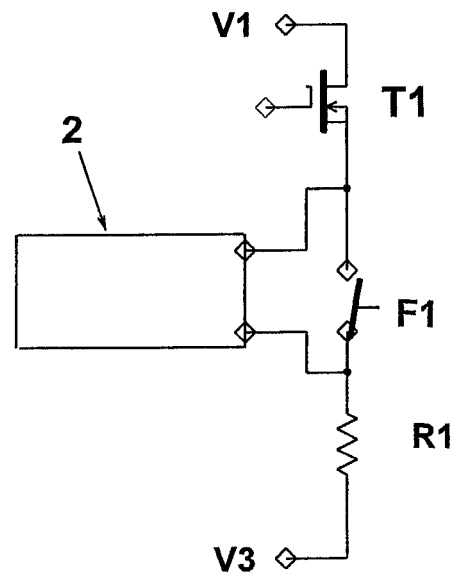


**FIG. 2C**





**FIG.2D**



**FIG.2E**