



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201928481 A

(43) 公開日：中華民國 108 (2019) 年 07 月 16 日

(21) 申請案號：107144102 (22) 申請日：中華民國 107 (2018) 年 12 月 07 日
 (51) Int. Cl. : **G02F1/136 (2006.01)** **H01L21/312 (2006.01)**
 (30) 優先權：2017/12/08 南韓 10-2017-0168681
 (71) 申請人：南韓商三星顯示器有限公司 (南韓) SAMSUNG DISPLAY CO., LTD. (KR)
 南韓
 (72) 發明人：孫暉錫 SON, KYOUNGSEOK (KR)；金明花 KIM, MYOUNGHWA (KR)；金億洙
 KIM, EOKSU (KR)；金兌相 KIM, TAESANG (KR)；加納正隆 KANO, MASATAKA
 (JP)
 (74) 代理人：張仲謙
 申請實體審查：無 申請專利範圍項數：22 項 圖式數：10 共 83 頁

(54) 名稱

顯示面板及其製造方法

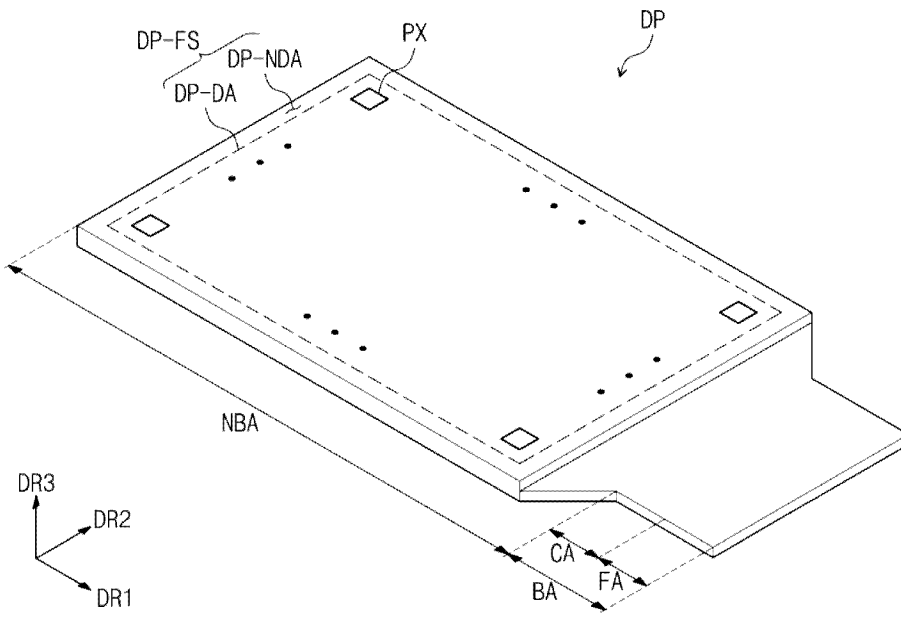
DISPLAY PANEL AND METHOD OF FABRICATING THE SAME

(57) 摘要

顯示面板之製造方法可包含形成氧化物半導體圖樣在包含第一區域及第二區域之基底層上；蝕刻第一絕緣層、第二絕緣層及第三絕緣層以形成與第二區域重疊的第一溝槽；形成電極在第三絕緣層上；形成第四絕緣層在第三絕緣層上以覆蓋電極；熱處理第四絕緣層；形成有機層以覆蓋第四絕緣層；以及形成有機發光二極體在有機層上。

A method of fabricating a display panel may include forming an oxide semiconductor pattern on a base layer including a first region and a second region, etching first, second, and third insulating layers to form a first groove that overlaps the second region, forming electrodes on the third insulating layer, forming a fourth insulating layer on the third insulating layer to cover the electrodes, thermally treating the fourth insulating layer, forming an organic layer to cover the fourth insulating layer, and forming an organic light emitting diode on the organic layer.

指定代表圖：



第 1A 圖

符號簡單說明：

BA、CA . . . 彎曲區域

DP . . . 顯示面板

DP-DA . . . 顯示區域

DP-FS . . . 前表面

DP-NDA . . . 周邊區域

DR1、DR2、DR3 . . . 方向

FA . . . 面向區域

NBA . . . 非彎曲區域

PX . . . 像素

【發明說明書】

【中文發明名稱】顯示面板及其製造方法

【英文發明名稱】DISPLAY PANEL AND METHOD OF FABRICATING THE
SAME

【技術領域】

【0001】 相關申請案之交互參照

本專利申請案主張於2017年12月8日向韓國智慧財產局提交之韓國專利申請號10-2017-0168681之優先權，其全部內容於此併入作為參考。

【0002】 本揭露涉及顯示面板及其製造方法，且特別是高度可靠之顯示面板及其製造方法。

【先前技術】

【0003】 顯示面板包含複數個像素及用於控制像素之驅動電路。顯示面板之驅動電路係配置以提供電控制訊號至像素。

【0004】 每個像素包含像素驅動電路及像是連接至像素驅動電路之有機發光二極體(OLED)或量子點發光二極體之顯示裝置。像素驅動電路包含至少一薄膜電晶體及電容器。基於從顯示面板之一個或多個驅動電路接收之電訊號，像素驅動電路之薄膜電晶體及電容器控制顯示面板。根據所需之電性特性，像素驅動電路可被配置成包含含有至少二種相異半導體材料及特性之二個或多個薄膜電晶體。像素驅動電路包含二個或多個薄膜電晶體可以更穩定，更可靠之方式驅動像素。

【發明內容】

【0005】 本發明概念之實施例提供穩定地製造顯示面板之方法。

【0006】 本發明概念之實施例提供高度可靠之顯示面板。

【0007】 根據本發明概念之實施例，顯示面板之製造方法可包含：形成矽半導體圖樣在包含第一區域及從第一區域延伸之第二區域之基底層上，矽半導體圖樣與第一區域重疊；形成第一控制電極在矽半導體圖樣上，第一控制電極藉由插入至其之間之第一絕緣層與矽半導體圖樣重疊；形成第二控制電極以與第一區域重疊，且以藉由插入至其之間的第二絕緣層與第一控制電極隔離；形成氧化物半導體圖樣在第二控制電極上，以藉由插入至其之間之第三絕緣層與第二控制電極重疊；蝕刻第一絕緣層、第二絕緣層及第三絕緣層以形成暴露矽半導體圖樣之至少一部分的第一接觸孔及第二接觸孔、以及與第二區域重疊之第一溝槽；在第三絕緣層上形成透過第一接觸孔及第二接觸孔連接至矽半導體圖樣之第一輸入電極及第一輸出電極，以及連接至氧化物半導體圖樣之第二輸入電極及第二輸出電極；形成第四絕緣層在第三絕緣層上以覆蓋第一輸入電極、第一輸出電極、第二輸入電極及第二輸出電極；熱處理第四絕緣層；形成有機層以覆蓋第四絕緣層；以及形成連接至第一輸出電極之有機發光二極體在有機層上。

【0008】 在實施例中，第四絕緣層之熱處理可在約300°C或更高之溫度下執行。

【0009】 在實施例中，有機層可包含聚醯亞胺。

【0010】在實施例中，第一絕緣層、第二絕緣層及第三絕緣層之蝕刻可被執行以使用單一遮罩同時形成第一接觸孔、第二接觸孔及第一溝槽。

【0011】在實施例中，所述方法可進一步包含在第四絕緣層之形成之後，在第四絕緣層中形成與第一溝槽重疊之第二溝槽。有機層可被形成以填充第一溝槽及第二溝槽。

【0012】在實施例中，所述方法可進一步包含形成無機層在第一絕緣層及基底層之間。第二溝槽之形成可包含在無機層中形成與第一溝槽重疊之第三溝槽。

【0013】在實施例中，所述方法可進一步包含形成第三接觸孔在有機層中，以暴露第一輸出電極之一部分；形成連接電極在有機層上以透過第三接觸孔連接至第一輸出電極；以及形成上部有機層在有機層上以覆蓋連接電極。有機發光二極體可透過上部有機層連接至連接電極。

【0014】在實施例中，連接電極可由與第一輸出電極相異之材料形成。

【0015】在實施例中，連接電極可由電阻小於第一輸出電極之材料形成。

【0016】在實施例中，第一輸入電極、第一輸出電極、第二輸入電極及第二輸出電極之形成可包含形成導電層在第三絕緣層上以覆蓋氧化物半導體圖樣；以及使用蝕刻氣體圖樣化導電層。蝕刻氣體可含有氟基化合物(fluoro compound)。

【0017】在實施例中，在使用蝕刻氣體圖樣化導電層時，導電層可具有高於氧化物半導體圖樣之蝕刻速率。

【0018】根據本發明概念之實施例，顯示面板可包含：包含第一區域及從第一區域圍繞特定彎曲軸彎曲之第二區域之基底層；設置在第一區域中的第一

薄膜電晶體，所述第一薄膜電晶體包含晶矽半導體圖樣(crystalline silicon semiconductor pattern)、第一控制電極，以及耦合至晶矽半導體圖樣且藉由插入至其之間之第一控制電極彼此隔開之第一輸入電極及第一輸出電極；設置在第一區域以具有底部閘極結構(bottom gate structure)的第二薄膜電晶體，第二薄膜電晶體包含第二控制電極、設置在第二控制電極上的氧化物半導體圖樣、以及接觸氧化物半導體圖樣且彼此隔開之第二輸入電極及第二輸出電極；設置在第一區域及第二區域中以覆蓋第一薄膜電晶體及第二薄膜電晶體，且以包含與第二區域重疊之第一溝槽的鈍化層；設置在鈍化層及基底層之間，以包含與第一溝槽重疊之第二溝槽的複數個無機層；設置在第一區域及第二區域中，且在鈍化層上以覆蓋第一溝槽及第二溝槽之內表面的有機層；以及設置在有機層上及在第一區域中，且電性連接至第一薄膜電晶體的有機發光二極體。藉由氟基化合物蝕刻之第二輸入電極及第二輸出電極之蝕刻速率可高於氧化物半導體圖樣之蝕刻速率。

【0019】 在實施例中，第二輸入電極及第二輸出電極可包含鉬(molybdenum)。

【0020】 在實施例中，顯示面板可進一步包含設置在有機層及有機發光二極體之間的上部有機層，以及設置在上部有機層及有機層之間且耦合至有機發光二極體及第一輸出電極中之每一個的連接電極。連接電極包含與第一輸出電極相異之材料。

【0021】 在實施例中，連接電極可包含電阻小於第一輸出電極之材料。

【0022】 在實施例中，顯示面板可進一步包含設置在第二區域中且與第一溝槽及第二溝槽重疊之訊號線。訊號線可設置在與連接電極之相同層上。

【0023】 在實施例中，複數個無機層可被設置以暴露基底層之上表面之一部分，且有機層可被設置以接觸基底層之上表面之部分。

【0024】 在實施例中，顯示面板可進一步包含設置在有機層上以定義開口之像素定義層。有機發光二極體可設置在開口中。像素定義層可與第一區域及第二區域重疊，且可包含有機材料。

【0025】 在實施例中，像素定義層可包含靠近開口之凹陷部分。

【0026】 在實施例中，顯示面板可進一步包含設置在第二區域中且與第一溝槽及第二溝槽重疊之訊號線。訊號線可設置在有機層上。

【0027】 在實施例中，訊號線可包含設置在第二區域中且在與彎曲軸相交之方向中彼此隔開之複數個圖樣。

【0028】 在實施例中，鈍化層可與氧化物半導體圖樣接觸。

【圖式簡單說明】

【0029】 從以下詳細描述並結合圖式，例示性實施例將被更清楚地理解。附圖表示如本文描述之非限制性例示性實施例。

【0030】 第1A圖及第1B圖係為說明根據本發明概念之實施例之顯示面板之透視圖。

【0031】 第2圖係為如第1A圖所示之顯示面板之平面圖。

【0032】 第3A圖係為說明根據本發明概念之實施例的像素之等效電路圖。

【0033】 第3B圖及第3C圖係為各別說明第3A圖之像素之部分的截面圖。

【0034】 第4A圖至第4C圖係為各別說明根據本發明概念之實施例的顯示面板之彎曲區域的截面圖。

【0035】 第5圖係為說明根據本發明概念之實施例的顯示面板之區域之截面圖。

【0036】 第6圖係為說明根據本發明概念之實施例的顯示面板之區域之截面圖。

【0037】 第7A圖至第7Q圖係為說明根據本發明概念之實施例的製造顯示面板之製程之截面圖。

【0038】 第8A圖係為說明根據比較例之薄膜電晶體之電流-電壓特徵 (current-voltage characteristics)圖。

【0039】 第8B圖係為說明根據本發明概念之實施例的薄膜電晶體之電流-電壓特徵圖。

【0040】 第9圖係為說明根據本發明概念之實施例的顯示面板之部分之截面圖。

【0041】 第10A圖至第10D圖係為說明根據本發明概念之實施例之製造顯示面板之方法之截面圖。

【0042】 應注意的是，這些圖式旨在使用某些例示性實施例說明方法、結構及/或材料之一般特徵，以及來提供以下書面描述之補充。然而，這些圖式不按照比例且不精確地反映任何給定之實施例之精確結構或性能特徵，且不應被解釋成定義或限制藉由例示性實施例所包含之數值之範圍或特性。舉例來說，分子、層、區域及/或結構元件之相對厚度及位置可為了清楚起見被減小或誇大。在各個圖式中的相似或相同元件符號之使用旨在表示相似或相同元件或特性之存在。

【實施方式】

【0043】本發明概念之例示性實施例將藉由參考附圖被更完整地描述，其中例示性實施例係如下所示。

【0044】第1A圖及第1B圖係為說明根據本發明概念之實施例之顯示面板之透視圖。第2圖係為如第1A圖所示之顯示面板之平面圖。第1A圖說明在未摺疊(unfolded)狀態中的顯示面板DP，且第1B圖說明其之至少一部分在彎曲狀態中的顯示面板DP。在下文中，本發明概念之實施例將參考第1A圖及第2圖描述。

【0045】參閱第1A圖及第1B圖，顯示面板DP可被提供以具有被定向為平行於第一方向DR1及第二方向DR2之前表面DP-FS。前表面DP-FS可包含顯示區域DP-DA及周邊區域DP-NDA。顯示區域DP-DA可為用於顯示影像之前表面DP-FS之區域。顯示面板DP之厚度可在垂直第一方向DR1及第二方向DR2之第三方向DR3中量測。

【0046】周邊區域DP-NDA可鄰近顯示區域DP-DA。在實施例中，可沿著顯示區域DP-DA之邊界提供周邊區域DP-NDA，以封閉顯示區域DP-DA。在實施例中，周邊區域DP-NDA可包含鄰近彎曲區域設置之部分，當在第二方向DR2中量測時，其之寬度小於顯示區域DP-DA之寬度。因此，具有經減少之寬度之周邊區域DP-NDA之部分可減少顯示面板DP之彎曲面積。

【0047】顯示面板DP可包含彎曲之至少一部分。顯示面板DP可分類成第一區域(在下文中，非彎曲區域NBA)及第二區域(在下文中，彎曲區域(bending area)BA)。當在第二方向DR2中量測時，彎曲區域BA可定義在顯示面板DP之相對狹窄之區域。

【0048】當彎曲區域BA在彎曲狀態中，彎曲區域BA可包含以特定曲率(curvature)彎曲之曲率區域(curvature area)CA，以及用以面對非彎曲區域NBA之

面向區域FA。非彎曲區域NBA、曲率區域CA及面向區域FA可佈置在第一方向DR1中。彎曲區域BA可圍繞在第二方向DR2中延伸之彎曲軸BX彎曲。舉例來說，彎曲區域BA之曲率區域CA可圍繞彎曲軸BX彎曲，且彎曲區域BA之面向區域FA在第三方向DR3中可面對非彎曲區域NBA之部分放置。

【0049】 參閱第2圖，顯示面板DP可包含複數個像素PX、複數個訊號線SGL及驅動電路GDC。複數個像素PX及複數個訊號線SGL可在前表面DP-FS上提供。

【0050】 像素PX可在顯示區域DP-DA中提供。在實施例中，顯示區域DP-DA係被說明為具有四方形或矩形形狀，但本發明概念不限制於此。每個像素PX可配置成顯示具有特定顏色之光。因此根據透過其發射的光之顏色，像素PX可分類成複數個群組。舉例來說，像素PX可包含紅色像素、綠色素及藍色像素。在某些實施例中，像素PX可進一步包含白色像素。即使當像素被包含在相異群組中，像素之像素驅動電路可配置成具有相同結構。

【0051】 驅動電路GDC可在周邊區域DP-NDA中提供。周邊區域DP-NDA可鄰近顯示區域DP-DA。在實施例中，周邊區域DP-NDA係說明為封閉顯示區域DP-DA，但本發明概念不限制於此。

【0052】 驅動電路GDC可包含閘極驅動電路。閘極驅動電路可配置成產生複數個閘極訊號，且依序輸出閘極訊號至在以下被描述之複數個閘極線GL。在某些實施例中，閘極驅動電路可配置成輸出其他相異於閘極訊號之控制訊號至像素PX。

【0053】 閘極驅動電路可包含複數個薄膜電晶體，複數個薄膜電晶體係藉由與用於像素PX之像素驅動電路之相同製程形成(例如，藉由低溫多晶矽(low

temperature polycrystalline silicon，LTPS)製程或低溫多晶氧化物(low temperature polycrystalline oxide，LTPO)製程)。

【0054】訊號線SGL可包含閘極線GL、資料線DL、電源線PL及控制訊號線CSL。每個閘極線GL及每個資料線DL可連接至像素PX之對應的一個像素。電源線PL可連接至像素PX。控制訊號線CSL可配置成傳遞控制訊號至掃描驅動電路。驅動電路GDC可包含掃描控制電路。

【0055】訊號線SGL可分別地連接至訊號墊(signal pad)DP-PD。一些訊號線SGL(例如，控制訊號線CSL、資料線DL及電源線PL)可從非彎曲區域NBA延伸至彎曲區域BA，且可連接至訊號墊DP-PD之各自的一個訊號墊。訊號墊DP-PD可電性連接至外部提供之電路基板。訊號墊DP-PD可在彎曲區域BA之面向區域FA中提供。

【0056】在實施例中，顯示面板DP可進一步包含連接至資料線DL之驅動晶片。此處，驅動晶片可直接安裝在顯示面板DP上，且連接至資料線DL之訊號墊DP-PD中之一個可連接至驅動晶片。顯示面板DP之結構可被各種地改變，且本發明概念不限制於顯示面板DP之特定結構。

【0057】第3圖係為根據本發明概念之實施例之像素之等效電路圖。第3B圖及第3C圖係為各別說明第3A圖之像素之部分的截面圖。為了方便說明，在第3A圖中例示性地說明像素PX中之一個。在下文中，像素PX將藉由參考第3A圖至第3C圖更詳細地說明。為了簡化描述，先前藉由參考第1A圖至第2圖描述之元件可藉由相同元件符號表示，而不重複其之重複描述。

【0058】如第3A圖所示，像素PX可連接至資料線DL中之對應的一個資料線、閘極線GL中之對應的一個閘極線及電源線PL。舉例來說，像素PX可包含有

機發光二極體或量子點發光二極體。有機發光二極體之發光層可包含有機發光材料。量子點發光二極體之發光層可包含量子點及量子棒(quantum rod)。為了簡單起見，以下描述將旨在像素PX包含有機發光二極體之示例。

【0059】 像素PX可包含第一薄膜電晶體T1、第二薄膜電晶體T2、電容器Cst及有機發光二極體OLED。第一薄膜電晶體T1、第二薄膜電晶體T2及電容器Cst可組成用於驅動有機發光二極體OLED之像素驅動電路。在某些實施例中，除了第一薄膜電晶體T1、第二薄膜電晶體T2及電容器Cst之外，像素驅動電路可進一步包含至少一個或多個薄膜電晶體，或至少一個或多個電容器，但本發明概念不限制於此。

【0060】 第一薄膜電晶體T1可連接至有機發光二極體OLED。依據儲存在電容器Cst中的電荷數量，第一薄膜電晶體T1可被用於控制流過有機發光二極體OLED的驅動電流。第二薄膜電晶體T2可連接至閘極線GL及資料線DL。第二薄膜電晶體T2可配置成從資料線DL輸出資料訊號至電容器Cst，作為施加至閘極線GL之閘極訊號的回應。儲存在電容器Cst中之電荷數量可藉由對應至從第二薄膜電晶體T2輸出之資料訊號之電壓、以及傳輸通過電源線PL之第一電源電壓ELVDD之間的差異決定。

【0061】 第一薄膜電晶體T1之開啟時間(turn-on time)可依據儲存在電容器Cst中之電荷數量決定。當第一薄膜電晶體T1在開啟週期(turn-on period)中時，有機發光二極體OLED可配置成發射光線。從有機發光二極體OLED發射之光線之顏色(亦即，波長)可藉由發光圖樣之材料決定。舉例來說，有機發光二極體OLED可配置成發射紅色、綠色、藍色或白色之光，但本發明概念不限制於此。

【0062】 像素PX之截面結構將參考第3B圖及第3C圖而被描述。此處，第3B圖描繪第一薄膜電晶體T1、第二薄膜電晶體T2、及有機發光二極體OLED被提供之像素PX之區域，且第3C圖描繪第一薄膜電晶體T1、第二薄膜電晶體T2、有機發光二極體OLED及電容器Cst被提供之像素PX之另一區域。換句話說，第3B圖及第3C圖分別地描繪相同像素PX之兩個相異區域。

【0063】 如第3B圖及第3C圖所示，顯示面板DP可包含基底層BL、電路裝置層DP-CL、顯示裝置層DP-OLED及封裝層TFE。基底層BL、電路裝置層DP-CL、顯示裝置層DP-OLED及封裝層TFE可在第三方向DR3中堆疊。

【0064】 基底層BL可為層狀、膜狀或板狀，第一薄膜電晶體T1、第二薄膜電晶體T2及電容器Cst形成在基底層BL上。基底層BL可包含塑膠基板、玻璃基板、金屬基板或包含有機及/或無機材料之複合基板。塑膠基板可包含合成樹脂層。合成樹脂層可包含熱固型樹脂。合成樹脂層可為聚醯亞胺系(polyimide-based)樹脂層，但本發明概念不限制於特定材料。舉例來說，合成樹脂層可包含丙烯酸樹脂(acryl resins)、甲基丙烯酸樹脂(methacryl resins)、聚異戊二烯樹脂(polyisoprene resins)、乙烯樹脂(vinyl resins)、環氧樹脂(epoxy resins)、胺基甲酸乙酯樹脂(urethane resins)、纖維素樹脂(cellulose resins)、矽氧烷樹脂(siloxane resins)、聚醯胺樹脂(polyamide resins)及茈樹脂(perylene resins)中之至少一種。

【0065】 基底層BL可定義顯示面板DP之平面形狀。舉例來說，在第1A圖中所示之顯示面板DP之形狀可對應至基底層BL之平面形狀。據此，基底層BL可包含非彎曲區域NBA、包含曲率區域CA之彎曲區域BA及面向區域FA，且對應至彎曲區域BA之基底層BL之部分可圍繞彎曲軸BX彎曲。

【0066】 電路裝置層DP-CL可在基底層BL上提供。電路裝置層DP-CL可包含像素驅動電路及複數個絕緣層。舉例來說，除了第一薄膜電晶體T1、第二薄膜電晶體T2及電容器Cst，電路裝置層DP-CL可配置成包含屏障層BRL、緩衝層BFL及第一至第六絕緣層10、20、30、40、50及60。

【0067】 屏障層BRL可被提供以覆蓋基底層BL之上表面。屏障層BRL可配置成防止汙染材料透過基底層BL滲透至電路裝置層DP-CL及顯示裝置層DP-OLED中。屏障層BRL可包含氧化矽(silicon oxide)層及氮化矽(silicon nitride)層。氧化矽層及氮化矽層可交互堆疊在基底層上。

【0068】 緩衝層BFL可在屏障層BRL上提供。緩衝層BFL可配置成允許導電圖樣或半導體圖樣更緊密地接合至基底層BL。因此，與導電圖樣及半導體圖樣直接形成在基底層BL之上表面而沒有緩衝層BFL之像素之結構相比，導電圖樣及半導體圖樣可穩定地形成在顯示面板DP中提供之緩衝層BFL上。緩衝層BFL可由無機材料及有機材料中的至少一種形成，或者包含無機材料及有機材料中的至少一種。緩衝層BFL可包含氧化矽層及氮化矽層。氧化矽層及氮化矽層可交互堆疊。在某些實施例中，緩衝層BFL及屏障層BRL中之至少一種可被省略。

【0069】 第一半導體圖樣OSP1可在緩衝層BFL上提供。第一半導體圖樣OSP1可由晶體半導體(crystalline semiconductor)材料形成，或包含晶體半導體材料。舉例來說，第一半導體圖樣OSP1可由多晶半導體(polycrystalline semiconductor)材料(例如，多晶矽(poly silicon))形成，或包含多晶半導體材料。

【0070】 第一半導體圖樣OSP1可包含藉由雜質(impurities)摻雜之輸入區域及輸出區域、以及提供在輸入區域及輸出區域之間的通道區域。在第3B圖及第3C圖中，為了方便說明，輸入區域及輸出區域係藉由陰影圖樣說明。

【0071】 輸入區域可耦合至第一輸入電極DE1，且輸出區域可耦合至第一輸出電極SE1。當在平面圖中觀察時，第一半導體圖樣OSP1之通道區域可在輸入區域及輸出區域之間提供，且可與第一控制電極GE1重疊。根據雜質之型態，第一半導體圖樣OSP1可為p型或n型導體。根據第一半導體圖樣OSP1之型態，電子或電洞可當作多數載子(majority carriers)在通道區域中流動。

【0072】 第一薄膜電晶體T1之通道區域可由多晶半導體材料形成，或包含多晶半導體材料。因此，第一薄膜電晶體T1可當作具有高遷移率(mobility)及高可靠度之驅動裝置使用。

【0073】 第一絕緣層10可在第一半導體圖樣OSP1上提供。第一絕緣層10可由無機材料及有機材料中之至少一種形成，或包含無機材料及有機材料中之至少一種。舉例來說，第一絕緣層10可由氮化矽及/或氧化矽形成，或包含氮化矽及/或氧化矽。

【0074】 第一絕緣層10可在緩衝層BFL上提供，以覆蓋第一半導體圖樣OSP1之至少一部分。然而，本發明概念不限制於此，且在某些實施例中，第一絕緣層10可在至少與第一半導體圖樣OSP1之通道區域重疊之絕緣圖樣中提供。第一絕緣層10之形狀可被各種地變化，且本發明概念不限制於第一絕緣層10之特定形狀。

【0075】 第一薄膜電晶體T1之第一控制電極GE1及電容器Cst之第一電容器電極E1可在第一絕緣層10上提供。在實施例中，第一控制電極GE1可在與第一電容器電極E1之相同層上提供。

【0076】 第一控制電極GE1可至少與第一半導體圖樣OSP1之通道區域重疊。第一控制電極GE1可藉由插入至其之間之第一絕緣層10與第一半導體圖樣OSP1隔開。在實施例中，第一絕緣層10可當作第一薄膜電晶體T1之間極絕緣層。

【0077】 第一電容器電極E1可當作電容器Cst之二個電極之中的一個。在實施例中，第一電容器電極E1及第一控制電極GE1可對應至單一導電圖樣之二個部分。在某些實施例中，第一控制電極GE1及第一電容器電極E1可對應至藉由額外的橋接電極(bridge electrode)(未示出)彼此電性連接，或者彼此電性斷連(electrically disconnected)且分別地施加相異電壓之二個分離圖樣。

【0078】 第二絕緣層20可在第一控制電極GE1及第一電容器電極E1上提供。第二絕緣層20可在第一絕緣層10上提供，以覆蓋第一控制電極GE1及第一電容器電極E1。

【0079】 第二絕緣層20可由無機材料及有機材料中之至少一種形成，或包含無機材料及有機材料中之至少一種。第二絕緣層20可包含與第一絕緣層10相異之材料。舉例來說，第二絕緣層20可包含金屬氧化物材料(例如，氧化鋁)，且第一絕緣層10可包含氮化矽及/或氧化矽。然而，本發明概念不限制於此，且在某些實施例中，第二絕緣層20可由與第一絕緣層10相同之材料形成，或包含與第一絕緣層10相同之材料。在隨後的製程中，第二絕緣層20可被用於保護第一絕緣層10(例如，用於形成第二控制電極GE2)，且因此防止在第一絕緣層10之下提供之第一半導體圖樣OSP1損壞。

【0080】 第二薄膜電晶體T2之第二控制電極GE2、上部電極UE及電容器Cst之第二電容器電極E2可在第二絕緣層20上提供。當以平面圖觀察時，第二控

制電極GE2可不與第一控制電極GE1重疊。在實施例中，第二控制電極GE2可提供在與第一控制電極GE1相異之層上。

【0081】當以平面圖觀察時，上部電極UE可與第一控制電極GE1重疊。在上部電極UE及第一控制電極GE1被施加相異電壓之情形中，上部電極UE及第一控制電極GE1可當作電容器之電極。在某些實施例中，在上部電極UE及第一控制電極GE1被施加相同電壓之情形中，上部電極UE與第一控制電極GE1可一起當作用於控制第一薄膜電晶體T1之切換(switching)(亦即，開/關(on/off))操作，或第一半導體圖樣OSP1之通道區域之電位之閘極電極。

【0082】當以平面圖觀察時，第二電容器電極E2可與第一電容器電極E1重疊。第二電容器電極E2可藉由插入至其之間的第二絕緣層20與第一電容器電極E1隔開，從而形成電容器Cst。

【0083】在實施例中，上部電極UE、第二電容器電極E2及第二控制電極GE2可在相同層上提供。舉例來說，上部電極UE、第二電容器電極E2及第二控制電極GE2可藉由使用相同遮罩之單一圖樣化製程同時形成。據此，上部電極UE、第二電容器電極E2及第二控制電極GE2可由相同材料形成，或包含相同材料，且可具有實質上相同之堆疊結構。在某些實施例中，上部電極UE可被省略。

【0084】第三絕緣層30可在第二絕緣層20上提供。第三絕緣層30可被提供以覆蓋第二絕緣層20之上表面、上部電極UE之上表面、第二控制電極GE2之上表面及第二電容器電極E2之上表面。第三絕緣層30可當作第二薄膜電晶體T2之閘極絕緣層。

【0085】第三絕緣層30可為無機層及/或有機層，且可具有單層或多層結構。舉例來說，第三絕緣層30可為由氧化鋁、氧化鈦(titanium oxid)、氧化矽、

氮氧化矽(silicon oxynitride)、氧化鋯(zirconium oxide)及氧化鈦(hafnium oxide)中之至少一種形成的無機層，或為包含氧化鋁、氧化鈦、氧化矽、氮氧化矽、氧化鋯及氧化鈦中之至少一種的無機層。舉例來說，第三絕緣層30可為單層氧化矽層(single silicon oxide layer)。

【0086】 第二薄膜電晶體T2之第二半導體圖樣OSP2可在第三絕緣層30上提供。第二半導體圖樣OSP2可由氧化物半導體中之至少一種形成，或包含氧化物半導體中之至少一種。舉例來說，氧化物半導體可包含金屬氧化物，其之金屬元素係為鋅(Zn)、銦(In)、鎵(Ga)、錫(Sn)及鈦(Ti)中之至少一種，或可包含鋅、銦、鎵、錫及/或鈦、以及其之氧化物之混合物。在某些實施例中，第二半導體圖樣OSP2可包含結晶的氧化物半導體(crystallized oxide semiconductor)。結晶的氧化物半導體可被提供以具有垂直方向性(vertical directionality)。

【0087】 第二半導體圖樣OSP2可包含具有雜質摻雜之輸入區域及輸出區域，且通道區域係在輸入區域及輸出區域之間提供。在第3B圖及第3C圖中，為了方便說明，第二半導體圖樣OSP2之輸入區域及輸出區域係藉由陰影圖樣說明。輸入區域可耦合至第二輸入電極DE2，且輸出區域可耦合至第二輸出電極SE2。當以平面圖觀察時，第二半導體圖樣OSP2之通道區域可在輸入區域及輸出區域之間提供，且可與第二控制電極GE2重疊。根據雜質之型態，第二半導體圖樣OSP2可為p型或n型導體。根據第二半導體圖樣OSP2之型態，電子或電洞在通道區域中可作為多數載子流動。

【0088】 在第二半導體圖樣OSP2中，經還原的(reduced)金屬材料可當作雜質。舉例來說，輸入區域及輸出區域可含有從組成通道區域之金屬氧化物材料

還原之金屬材料，從而減少第二薄膜電晶體T2之漏電流，且因此，第二薄膜電晶體T2可當作具有改善之開-關特性之切換裝置。

【0089】 第一薄膜電晶體T1之第一輸入電極DE1及第一輸出電極SE1，以及第二薄膜電晶體T2之第二輸入電極DE2及第二輸出電極SE2可在第三絕緣層30上提供。在實施例中，第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2可藉由使用相同遮罩之單一圖樣化製程同時形成。據此，第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2可由相同材料形成，或包含相同材料，且可具有相同堆疊結構。舉例來說，第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2可由鉬形成，或者包含鉬。

【0090】 第一接觸孔CH1及第二接觸孔CH2可被形成，以分別地暴露第一半導體圖樣OSP1之輸入區域及輸出區域之部分，且第一輸入電極DE1及第一輸出電極SE1可透過第一接觸孔CH1及第二接觸孔CH2分別地耦合至第一半導體圖樣OSP1。第一接觸孔CH1及第二接觸孔CH2可被形成，以穿透第一至第三絕緣層10、20及30。

【0091】 第二輸入電極DE2及第二輸出電極SE2可直接地耦合至第二半導體圖樣OSP2。第二輸入電極DE2及第二輸出電極SE2可分別地耦合至第二半導體圖樣OSP2之二個相反端(opposite ends)。第二輸入電極DE2之至少一部分可在第二半導體圖樣OSP2之輸入區域上直接提供，且第二輸出電極SE2之至少一部分可在第二半導體圖樣OSP2之輸出區域上直接提供。在第二薄膜電晶體T2中，第二輸入電極DE2及第二輸出電極SE2中的每一個可耦合至第二半導體圖樣OSP2，而沒有提供在接觸孔中的任何部分。

【0092】 第四絕緣層40可在第三絕緣層30上提供，以覆蓋第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2。第四絕緣層40可為有機層或無機層，且可具有單層或多層結構。

【0093】 在實施例中，第四絕緣層40可為由氧化鋁、氧化鈦、氧化矽、氮氧化矽、氧化鋯及氧化鉛中之至少一種形成的無機層，或包含氧化鋁、氧化鈦、氧化矽、氮氧化矽、氧化鋯及氧化鉛中之至少一種之無機層。舉例來說，第四絕緣層40可為氧化矽層。第四絕緣層40可被稱作「鈍化層(passivation layer)」。

【0094】 在實施例中，第四絕緣層40可透過熱處理製程形成。舉例來說，熱處理製程可在300°C或更高之高溫下執行，且結果，第四絕緣層40可治癒缺陷(may be cured with defects)。將省略其之詳細描述。

【0095】 第五絕緣層50可在第四絕緣層40上提供。第五絕緣層50可為有機層。舉例來說，第五絕緣層50可由像是聚醯亞胺之聚合物樹脂形成，或包含像是聚醯亞胺之聚合物樹脂。

【0096】 連接電極CNE可在第五絕緣層50上提供。連接電極CNE可透過被形成以穿透第四絕緣層40及第五絕緣層50之第三接觸孔CH3，連接至第一薄膜電晶體T1之第一輸出電極SE1。

【0097】 連接電極CNE可由相異於第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2之材料形成，或包含相異於第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2之材料。舉例來說，連接電極CNE可由電阻低於第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2之材料形成，或包含電阻低於第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2之材料。在

此情形中，在有機發光二極體OLED及第一薄膜電晶體T1之間之接觸電阻可被減少，從而改善顯示裝置之電性特徵。

【0098】然而，本發明概念不限制於以上示例，且在某些實施例中，連接電極CNE可由與第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2相同之材料形成，或包含與第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2相同之材料。在某些實施例中，連接電極CNE可被省略，且有機發光二極體OLED及第一薄膜電晶體T1可彼此直接耦合。顯示面板DP之結構可被各種地改變，且本發明概念不限制於顯示面板DP之特定結構。

【0099】第六絕緣層60可在第五絕緣層50上提供，以覆蓋連接電極CNE。第六絕緣層60可為有機層，且可具有單層或多層結構。

【0100】在實施例中，第五絕緣層50及第六絕緣層60可為具有單一層結構之聚醯亞胺樹脂。然而，本發明概念不限制此，且在某些實施例中，第五絕緣層50及第六絕緣層60可包含丙烯酸樹脂、甲基丙烯酸樹脂、聚異戊二烯樹脂、乙烯樹脂、環氧樹脂、胺基甲酸乙酯樹脂、纖維素樹脂、矽氧烷樹脂、聚醯胺樹脂及茈樹脂中之至少一種。

【0101】有機發光二極體OLED可在第六絕緣層60上提供。有機發光二極體OLED之第一電極AE可在第六絕緣層60上提供。第一電極AE可透過被形成以穿透第六絕緣層60之第四接觸孔CH4連接至連接電極CNE。

【0102】像素定義層PDL可在第六絕緣層60上提供。像素定義層PDL可有被形成以暴露第一電極AE之至少一部分的開口OP。像素定義層PDL之開口OP可定義每個像素之發光區域PXA。舉例來說，複數個像素PX可規則地佈置在顯

示面板DP(例如，參見第1A圖)之平坦表面上。像素PX被提供之區域可被定義成「像素區域(pixel regions)」，且每個像素區域可包含發光區域PXA及鄰近發光區域PXA之非發光區域NPXA。非發光區域NPXA可封閉發光區域PXA。

【0103】電洞控制層HCL可在發光區域PXA及非發光區域NPXA中共同地提供。像是電洞控制層HCL之共用層(common layer)係旨在複數個像素PX中共同地提供之層。電洞控制層HCL可包含電洞傳輸層及電洞注入層。

【0104】發光圖樣EML可在電洞控制層HCL上提供。發光圖樣EML可局部地提供在對應至開口OP之區域中。發光圖樣EML可被分割成分別形成在像素PX中的複數個分離的圖樣。

【0105】在實施例中，發光圖樣EML被說明為具有圖樣化結構，但在某些實施例中，發光圖樣EML可提供成具有跨越(spanning)複數個像素PX之連續結構。此處，發光圖樣EML可配置成產生白色的光線。此外，發光圖樣EML可提供成具有多層結構。

【0106】電子控制層ECL可在發光圖樣EML上提供。電子控制層ECL可包含電子傳輸層及電子注入層。第二電極CE可在電子控制層ECL上提供。電子控制層ECL及第二電極CE可在複數個像素PX中共同地提供。

【0107】封裝層TFE可在第二電極CE上提供。封裝層TFE可被提供以共同地覆蓋複數個像素PX。在實施例中，封裝層TFE可被提供以直接覆蓋第二電極CE。在某些實施例中，覆蓋層可被提供以覆蓋第二電極CE。覆蓋層可為有機層。在實施例中，藉由濺鍍法(sputtering method)形成之無機層可被額外形成在覆蓋層上。在實施例中，有機發光二極體OLED之堆疊結構可具有藉由顛倒(capsizing)在第3B圖中所示之有機發光二極體OLED之堆疊結構所獲得之形狀。

【0108】封裝層TFE可包含無機層及有機層中之至少一種。在實施例中，封裝層TFE可包含二種無機層及在其之間的有機層。在實施例中，封裝層TFE可包含交互堆疊之複數個無機層及複數個有機層。

【0109】無機封裝層可保護有機發光二極體OLED免於水氣或氧氣影響，且有機封裝層可被提供以保護有機發光二極體OLED免於外來物質(例如，灰塵顆粒)影響，並提供平坦之上表面。無機封裝層可包含氮化矽層、氮氧化矽層、氧化矽層、氧化鈦層或氧化鋁層，但本發明概念不限制於此。有機封裝層可包含丙烯酸有機層，但本發明概念不限制於此。

【0110】第4A圖至第4C圖各別說明根據本發明概念之實施例的顯示面板之彎曲區域的截面圖。第4A圖至第4C圖中之每個圖說明沿著平行於第一方向DR1及第三方向DR3截取之第2圖的曲率區域CA之截面。第4A圖及第4C圖說明在其區域上提供訊號線SL或訊號線SL-PT之區域，且第4B圖說明在其區域上不提供訊號線之另一區域。在第4A圖中係說明在第一方向DR1中延伸之訊號線SL，且在第4C圖中係說明在第一方向DR1中包含彼此隔開之複數個圖樣之訊號線SL-PT。在下文中，本發明概念之實施例將參考第4A圖至第4C圖被更為詳細地描述。為了簡化描述，先前藉由參考第1A圖至第3C圖描述之元件可藉由相同元件符號表示，而不重複其之重複說明。

【0111】如第4A圖至第4C圖所示，彎曲區域BA可具有與非彎曲區域NBA(例如，參見第1A圖)相似之堆疊或部分結構。屏障層BRL、緩衝層BFL及第一絕緣層10至第六絕緣層60可依序地被提供在基底層BL之上表面上。

【0112】屏障層BRL及/或緩衝層BFL可被提供，以定義與彎曲區域BA重疊之溝槽(在下文中，第一溝槽GV-1)。第一溝槽GV-1可被定義在曲率區域CA之

內。第一溝槽GV-1可沿著曲率區域CA或在第二方向(未示出)中延伸。藉由第一溝槽GV-1暴露且在第一方向DR1中量測之基底層BL的寬度可小於曲率區域CA在第一方向DR1中之寬度。

【0113】 第一絕緣層10至第四絕緣層40可被提供，以定義與彎曲區域BA重疊之溝槽(在下文中，第二溝槽GV-2)。第二溝槽GV-2可被定義在曲率區域CA之內。第一絕緣層10至第四絕緣層40可被提供，以部分暴露包含屏障層BRL及緩衝層BFL之無機層之上表面。

【0114】 當以截面圖觀察時，定義第一溝槽GV-1之屏障層BRL及緩衝層BFL之側表面，可相對基底層BL之上表面以一角度傾斜。當以截面圖觀察時，定義第二溝槽GV-2之第一絕緣層10至第四絕緣層40之側表面，也可相對基底層BL之上表面以一角度傾斜。第一溝槽GV-1及第二溝槽GV-2之傾斜角度可相同或相異。

【0115】 第五絕緣層50可被提供以覆蓋非彎曲區域NBA(例如，參見第1A圖)，且可從非彎曲區域NBA延伸以覆蓋彎曲區域BA。此處，在彎曲區域BA中，第五絕緣層50可被提供，以填充第一溝槽GV-1及第二溝槽GV-2。第五絕緣層50可與藉由第一溝槽GV-1、第一溝槽GV-1之傾斜表面及第二溝槽GV-2之傾斜表面暴露之基底層BL之上表面接觸。第五絕緣層50可與不被第一絕緣層10至第四絕緣層40覆蓋之緩衝層BFL之上表面之部分接觸。

【0116】 在實施例中，在曲率區域CA中堆疊之絕緣層之數量，可藉由在曲率區域CA中提供第一溝槽GV-1及第二溝槽GV-2而減少。在曲率區域CA中提供之絕緣層愈多，像是分層(delamination)或皺曲(buckling)之缺陷可藉由彎曲應力

而愈容易發生。根據本發明概念之實施例，由於在曲率區域CA中提供之堆疊之絕緣層之數量減少，曲率區域CA可輕易地彎曲而不造成缺陷。

【0117】 在實施例中，第一溝槽GV-1及第二溝槽GV-2可移除在曲率區域CA中的屏障層BRL、緩衝層BFL及第一至第四絕緣層10、20、30及40。如以上所述，屏障層BRL、緩衝層BFL及第一至第四絕緣層10、20、30及40可包含無機材料。根據本發明概念之實施例，藉由從曲率區域CA移除無機層，其為可能的是，防止或抑制無機層藉彎曲應力損壞。

【0118】 在實施例中，由於第一溝槽GV-1及第二溝槽GV-2係藉由有機層(例如，第五絕緣層50)填充，其為可能的是，不止防止裂紋擴張過無機層，還能改善曲率區域CA之可撓性。由於在非彎曲區域NBA中提供之第五絕緣層50係用於填充第一溝槽GV-1及第二溝槽GV-2，其為可能的是，來簡化顯示面板DP之製造流程及裝置結構。

【0119】 如第4A圖中所示，訊號線SL之至少一部分可在第五絕緣層50上提供。第六絕緣層60可被提供以覆蓋及保護訊號線SL。訊號線SL可對應至連接至訊號墊DP-PD(例如，參見第2圖)之訊號線SGL中之至少一個。舉例來說，訊號線SL可為資料線或電源線。在某些實施例中，訊號線SL可在與訊號線SGL及訊號墊DP-PD之下的層的相異層上提供，且可用作連接訊號線SGL及訊號墊DP-PD彼此的橋接線。

【0120】 即使未示於第4A圖中，訊號線SL(例如，在顯示區域DP-DA中提供)之另一部分可在相異層上提供。舉例來說，訊號線SL可包含在第三絕緣層30上提供之另一部分。訊號線SL之這二個相異部分，可透過被形成以穿透第四絕

緣層40及第五絕緣層50之接觸孔彼此連接。接觸孔可在非彎曲區域NBA之周邊區域DP-NDA中形成。

【0121】 在實施例中，提供在顯示區域DP-DA中之至少一層可被延伸，以覆蓋第六絕緣層60之上表面之至少一部分。在某些實施例中，第六絕緣層60可不在曲率區域CA中提供。

【0122】 如第4B圖中所示，曲率區域CA可包含未提供訊號線SL之區域。在這個沒有訊號線SL之區域中，第六絕緣層60可接觸第五絕緣層50或可覆蓋第五絕緣層50之上表面。

【0123】 如第4C圖中所示，訊號線SL-PT可為包含複數個圖樣之圖樣化訊號線。圖樣化訊號線SL-PT之圖樣可在第一方向DR1中彼此隔開。當以平面圖觀察時，圖樣化訊號線SL-PT之圖樣，可藉由在未示於第4C圖中之其他區域內的在第二方向DR2(例如，參見第1A圖)中延伸之圖樣彼此連接。圖樣化訊號線SL-PT可允許在垂直於彎曲軸BX(例如，參見第1B圖)之方向延伸的部分，以具有減少之面積，且從而減少彎曲應力施加在圖樣化訊號線SL-PT上。

【0124】 第5圖係為說明根據本發明概念之實施例的顯示面板之區域之截面圖。第5圖說明非彎曲區域NBA之部分及彎曲區域BA之部分兩者。舉例來說，在第5圖中，非彎曲區域NBA之部分可包含對應於示於第3B圖中之發光區域PXA的發光區域PXA，且彎曲區域BA之部分可包含對應至第4C圖之區域的一區域。為了簡化描述，先前藉由參考第1A圖至第4C圖描述之元件可藉由相同元件符號表示，而不重複其之重複說明。

【0125】 如第5圖中所示，顯示面板DP可進一步包含形成在彎曲區域BA中之第三溝槽GV-3。第二溝槽GV-2可被定義在第一至第三絕緣層10、20及30中，

且第三溝槽GV-3可被定義在第四絕緣層40中。與第二溝槽GV-2重疊之第四絕緣層40的部分可被移除以形成第三溝槽GV-3。

【0126】在第一方向DR1之第三溝槽GV-3的寬度可大於在第一方向DR1之第二溝槽GV-2的寬度。此外，在第一方向DR1之第三溝槽GV-3的寬度可大於在第一方向DR1之第一溝槽GV-1的寬度。第一至第三溝槽GV-1、GV-2及GV-3可依序在第三方向DR3中形成，以形成樓梯狀(staircase)結構。

【0127】第五絕緣層50可被提供以填充第一至第三溝槽GV-1、GV-2及GV-3，或覆蓋第一至第三溝槽GV-1、GV-2及GV-3中之每一個之內表面。在實施例中，顯示面板DP可藉由形成第一至第三溝槽GV-1、GV-2及GV-3，並以有機層填充其，來被設計成至少在曲率區域CA之中央部分只具有有機層(例如，第五絕緣層50)。

【0128】如第5圖中所示，連接電極CNE可用作穿過曲率區域CA之訊號線。在非彎曲區域NBA中，連接電極CNE可配置以連接第一薄膜電晶體T1之第一輸出電極SE1至有機發光二極體OLED之第一電極AE。

【0129】連接電極CNE可被插入至第五絕緣層50及第六絕緣層60之間，且可被提供為穿透非彎曲區域NBA及彎曲區域BA。連接電極CNE可用作橋接圖樣(bridge pattern)，所述橋接圖樣連接在非彎曲區域NBA中提供之導電圖樣至在面向區域(未示出)中提供之導電圖樣。在實施例中，連接電極CNE可包含在曲率區域CA中提供，且在第一方向DR1中彼此隔開之複數個圖樣。在此情形中，連接電極CNE可防止藉由彎曲應力發生之裂痕或斷連(disconnection)。

【0130】在某些實施例中，像素定義層PDL-H可被提供以具有圍繞或鄰近定義發光區域PXA之開口區域形成之凹陷部分RS。舉例來說，遮罩及支撐遮罩

之間隔物可被用在用於形成發光圖樣EML之沉積製程中，且凹陷部分RS之構形(formation)可從遮罩或間隔物之使用造成。具有凹陷部分RS之顯示面板DP可防止發光圖樣EML或發光區域PXA被遮罩損壞。凹陷部分RS可藉由使用半色調遮罩(halftone mask)之製程形成。根據本發明概念之實施例，像素定義層PDL-H係用於形成發光圖樣EML而不用額外製程，從而減少製程成本並簡化製造製程。

【0131】 在實施例中，第五絕緣層50、第六絕緣層60及像素定義層PDL-H中之至少一個或每一個可包含無機材料。與曲率區域CA重疊之堆疊結構可被設計成只包含有機材料，即使當摺疊/未摺疊(folding/unfolding)操作係重複時，從而改善在曲率區域CA之顯示面板DP之可撓性，且達成顯示面板DP之高可靠度。

【0132】 第6圖係為說明根據本發明概念之實施例的顯示面板之區域之截面圖。為了方便描述，對應至第3B圖之區域係在第6圖中說明。為了簡化描述，先前藉由參考第1A圖至第5圖描述之元件可藉由相同元件符號表示，因此不重複其重複說明。

【0133】 如第6圖中所示，顯示面板DP可進一步包含提供在第五絕緣層50及第六絕緣層60之間且與第二半導體圖樣OSP2重疊之遮光圖樣LSP。

【0134】 遮光圖樣LSP可由具有高吸收性或高反射性之材料形成，或包含高吸收性或高反射性之材料。遮光圖樣LSP可在第二半導體圖樣OSP2之上提供，以防止在有機發光二極體OLED中產生之光之部分(fraction)(例如，反射部分)入射至第二半導體圖樣OSP2。

【0135】 遮光圖樣LSP可由與連接電極CNE相同之材料形成，或包含與連接電極CNE相同之材料。舉例來說，遮光圖樣LSP可由金屬材料形成，或包含金屬材料。遮光圖樣LSP可具有與連接電極CNE相同之堆疊結構。遮光圖樣LSP及

連接電極CNE可藉由使用相同遮罩之單一圖樣化製程同時形成，從而簡化製造流程並減少製程成本。

【0136】 第7A圖至第7Q圖係為說明根據本發明概念之實施例的製造顯示面板之製程的截面圖。為了比較，對應至第3B圖及第4A圖之二個區域係在第7A圖至第7Q中的每一個圖被說明。為了簡化描述，先前藉由參考第1A圖至第6圖描述之元件可藉由相同元件符號表示，而不重複其之重複說明。

【0137】 如第7A圖中所示，至少一無機層可形成在基底層BL上。至少一無機層可與非彎曲區域NBA及彎曲區域BA之兩者重疊。即使未示出，在製造製程期間，基底層BL可放置在加工基板(working substrate)上。加工基板可在顯示面板之製造之後移除。

【0138】 至少一無機層可藉由在基底層BL上沉積、塗佈或印刷無機材料形成。如第7A圖中所示，在實施例中，至少一無機層可包含屏障層BRL及緩衝層BFL。屏障層BRL之構形可包含依序地形成氧化矽層及氮化矽層在基底層BL上。緩衝層BFL之構形可包含依序地形成氧化矽層及氮化矽層在屏障層BRL上。

【0139】 如第7A圖中所示，第一初始半導體圖樣(first preliminary semiconductor pattern)OSP1-P可被形成在緩衝層BFL上。第一初始半導體圖樣OSP1-P可由矽半導體材料形成，或包含矽半導體材料。第一初始半導體圖樣OSP1-P之構形可包含形成半導體層，且之後圖樣化半導體層。在實施例中，半導體層可在半導體層之圖樣化之前或之後被結晶(crystalized)。

【0140】 如第7B圖中所示，其後，第一絕緣層10可形成在非彎曲區域NBA及彎曲區域BA中，以覆蓋緩衝層BFL及第一初始半導體圖樣OSP1-P。第一絕緣

層10可藉由沉積、塗佈或印刷製程形成。將被形成在第一絕緣層10上之其他絕緣層之至少一個或每一個可使用沉積、塗佈及印刷製程中之一種來形成。

【0141】 第一控制電極GE1可形成在第一絕緣層10上。第一控制電極GE1之構形可包含形成導電層在第一絕緣層10上，且之後圖樣化導電層。電容器Cst之第一電容器電極E1(例如，參見第3C圖)可使用與用於第一控制電極GE1之相同之製程形成。

【0142】 接著，摻雜製程可使用第一控制電極GE1當作遮罩在第一初始半導體圖樣OSP1-P上執行。如箭頭描述，在摻雜製程中，雜質可透穿第一絕緣層10注入至第一初始半導體圖樣OSP1-P中。此處，雜質可不注入至與第一控制電極GE1重疊之第一初始半導體圖樣OSP1-P之通道區域，而雜質可注入至第一初始半導體圖樣OSP1-P之側邊區域之兩者(亦即，輸入區域及輸出區域)，所述側邊區域之兩者藉由插入至其之間之通道區域彼此隔開。在實施例中，第一初始半導體圖樣OSP1-P之輸入區域及輸出區域可摻雜n型-摻雜物(n-type dopants)(例如，第五族元素)。第一半導體圖樣OSP1可藉由摻雜第一初始半導體圖樣OSP1-P形成。然而，本發明概念不限制於以上示例，且在某些實施例中，第一半導體圖樣OSP1可藉由摻雜p型-摻雜物(p-type dopants)(例如，第三族元素)至第一初始半導體圖樣OSP1-P中形成。

【0143】 如第7C圖中所示，其後，第二絕緣層20可在非彎曲區域NBA及彎曲區域BA之兩者中形成，以覆蓋第一絕緣層10及第一控制電極GE1。不與第一控制電極GE1重疊之第二控制電極GE2可形成在第二絕緣層20上。舉例來說，當以平面圖觀察時，第二控制電極GE2可與第一控制電極GE1隔開。第二控制電極GE2及上部電極UE可使用相同製程形成。即使未示出，電容器Cst之第二電容器

電極E2(例如，參見第3C圖)可藉由與用於第二控制電極GE2及上部電極UE之相同之製程形成。

【0144】如第7D圖中所示，其後，第三絕緣層30可形成在非彎曲區域NBA及彎曲區域BA中，以覆蓋第二絕緣層20、第二控制電極GE2及上部電極UE。

【0145】如第7E圖中所示，接著，第一蝕刻步驟可被執行以部分地移除第一至第三絕緣層10、20及30。舉例來說，第一接觸孔CH1及第二接觸孔CH2可被形成，以分別地暴露第一半導體圖樣OSP1之輸入區域及輸出區域之至少一部分。在實施例中，第一蝕刻步驟可被執行部分地移除在彎曲區域BA之第一至第三絕緣層10至30，以形成第一上部溝槽GC-21。在實施例中，第一蝕刻步驟可使用單一遮罩，以形成第一接觸孔CH1及第二接觸孔CH2在非彎曲區域NBA，以及第一上部溝槽GV-21在彎曲區域BA上，從而減少製造顯示面板所需之遮罩之數量。

【0146】如第7F圖中所示，其後，第二初始半導體圖樣OSP2-P可被形成在第三絕緣層30上。第二初始半導體圖樣OSP2-P可由金屬氧化物半導體材料形成，或包含金屬氧化物材料。第二初始半導體圖樣OSP2-P之構形可包含形成金屬氧化物半導體層，且在金屬氧化物半導體層上執行圖樣化製程。在實施例中，第二初始半導體圖樣OSP2-P可被形成以具有導電特性。

【0147】在某些實施例中，藉由參考第7E圖及第7F圖描述之製程步驟可用不同順序執行。舉例來說，用於形成第一接觸孔CH1、第二接觸孔CH2以及第一上部溝槽GV-21之第一蝕刻步驟可在第二初始半導體圖樣OSP2-P之構形之後被執行。

【0148】如第7G圖中所示，接著，電極構形步驟可被執行，以形成第一輸入電極DE1、第一輸出電極SE1、第二輸出電極SE2及第二輸入電極DE2在第三絕緣層30上。第一輸入電極DE1、第一輸出電極SE1、第二輸出電極SE2及第二輸入電極DE2之構形可包含使用沉積製程形成導電層，且在導電層上執行圖樣化製程。

【0149】導電層之圖樣化可藉由使用蝕刻氣體之電漿製程執行。在實施例中，蝕刻氣體可包含含氧(oxygen-containing)材料，且在此情形中，從蝕刻氣體產生之氧電漿(oxygen plasma)可用於電將製程。蝕刻氣體可用於減少未被第二輸入電極DE2及第二輸出電極SE2遮蔽之在第二初始半導體圖樣OSP2-P中的區域之氫(hydrogen)濃度。因此，位於第二輸入電極DE2及第二輸出電極SE2之間的第二初始半導體圖樣OSP2-P之未遮蔽區，可具有高於位於第二輸入電極DE2及第二輸出電極SE2之下的第二初始半導體圖樣OSP2-P之遮蔽區的電阻之電阻。舉例來說，第二初始半導體圖樣OSP2-P之未遮蔽區可被改變，以具有類半導體能帶結構(semiconductor-like band structure)，從而作為通道區域。也就是說，藉由利用蝕刻氣體，處理具有導電特性之第二初始半導體圖樣OSP2-P，具有類半導體能帶結構的至少一部分之第二初始半導體圖樣OSP2-P可被形成。第二初始半導體圖樣OSP2-P可包含具有類半導體能帶結構之通道區域，以及藉由插入至其之間之通道區域彼此隔開的輸入區域及輸出區域。

【0150】如第7H圖中所示，其後，初始第四絕緣層(preliminary fourth insulating layer)40-I可被形成在非彎曲區域NBA及彎曲區域BA兩者中，以覆蓋第三絕緣層30、第一輸入電極DE1、第一輸出電極SE1、第二輸出電極SE2及第二

輸入電極DE2。初始第四絕緣層40-I可包含填充第一上部溝槽GV-21之至少一部分之部分。

【0151】如第7I圖中所示，接著，第二蝕刻步驟可被執行以部分地移除初始第四絕緣層40-I。第二蝕刻步驟可被執行以形成穿透初始第四絕緣層40-I且暴露第一輸出電極SE1之至少一部分的接觸孔CH3-40。

【0152】在實施例中，第二蝕刻步驟可部分地移除在彎曲區域BA中之初始第四絕緣層40-I，且從而形成第二上部溝槽GV-22。在實施例中，第二蝕刻步驟可使用單一遮罩，以形成在非彎曲區域NBA中的接觸孔CH3-40，以及在彎曲區域BA中的第二上部溝槽GV-22，從而減少製造顯示面板所需之遮罩數量。

【0153】如第7I圖中所示，第二上部溝槽GV-22及第一上部溝槽GV-21可被形成，以具有彼此對準(aligned)之內側表面，但本發明概念不限制於此。舉例來說，如第5圖中所示，第三溝槽GV-3可被形成在初始第四絕緣層40-I中，以暴露第三絕緣層30之上表面之至少一部分。

【0154】如第7J圖中所示，第三蝕刻步驟可被執行以部分地移除在彎曲區域BA中之屏障層BRL及緩衝層BFL。舉例來說，在第三蝕刻步驟中，蝕刻氣體可用於部分地移除在彎曲區域BA中之屏障層BRL及緩衝層BFL，且從而形成在彎曲區域BA中的第一溝槽GV-1。依據蝕刻時間或蝕刻劑，包含屏障層BRL及緩衝層BFL之無機層之上表面可被部分地暴露出。在某些實施例中，第一溝槽GV-1可被形成，以具有與第一上部溝槽GV-21之內側表面對準的內側表面。

【0155】在實施例中，用於形成第一溝槽GV-1之第三蝕刻步驟，以及用於形成第二上部溝槽GV-22之第二蝕刻步驟可以連續地方式被執行。第三蝕刻步驟及第二蝕刻步驟可被組成使用相同遮罩來被執行，但在蝕刻氣體之暴露時間

及蝕刻氣體之材料方面可彼此相異之單一製程。因此，在蝕刻製程中使用之遮罩之數量可被減少，從而簡化製造流程，且減少製造成本。

【0156】如第7K圖及第7L圖中所示，在第三蝕刻步驟之後，第四絕緣層40可藉由在初始第四絕緣層40-I上執行熱處理HT形成。熱處理HT可被執行以熱治癒(thermally cure)藉由初始第四絕緣層40-I覆蓋之第二半導體圖樣OSP2之通道區域。當導電層被用作為第二輸入電極DE2且第二輸出電極SE2被舉例來說，藉由物理沉積製程而沉積時，應力可被施加在第二半導體圖樣OSP2之通道區域上。在實施例中，熱處理HT可穩定地治癒已經在第二半導體圖樣OSP2之通道區域中形成之缺陷。此外，熱處理HT可被執行以防止在初始第四絕緣層40-I中之氫原子流進第二半導體圖樣OSP2之通道區域。

【0157】在實施例中，熱處理HT可在約300°C或更高之高溫下被執行。熱處理HT可包含以特定製程時間逐步地執行之退火(annealing)製程。根據本發明概念之實施例，顯示面板之製造方法可進一步包含在初始第四絕緣層40-I之構成之後而被執行之熱處理HT，以改善第二半導體圖樣OSP2之可靠度，且穩定第二薄膜電晶體T2之電性特徵。

【0158】接著，如第7M圖中所示，第五絕緣層50可被形成在第四絕緣層40上。第五絕緣層50可被形成以覆蓋非彎曲區域NBA及彎曲區域BA。第五絕緣層50可包含在第一溝槽GV-1及第二溝槽GV-2中提供之部分。第五絕緣層50可被形成以部分地填充接觸孔CH3-40。

【0159】在實施例中，在第四絕緣層40上之熱處理步驟之後，第五絕緣層50可被形成。在第五絕緣層50由像是聚醯亞胺之聚合物樹脂形成之情形中，在熱處理HT期間中第五絕緣層50可能被損壞。根據本發明概念之實施例，直到在

第四絕緣層40上之熱處理HT被完成，形成含有有機材料(例如，第五絕緣層50)之層之步驟可被延緩，以防止第五絕緣層50被熱處理HT損壞，且從而改善製造製程之可靠度。

【0160】如第7N圖中所示，第四蝕刻步驟可被執行以移除第五絕緣層50之部分。舉例來說，接觸孔CH3-50可被形成在第五絕緣層50中，以暴露藉由第五絕緣層50覆蓋之第一輸出電極SE1之至少一部分。第五絕緣層50之接觸孔CH3-50可對準第四絕緣層40之接觸孔CH3-40。接觸孔CH3-40及接觸孔CH3-50可彼此連接，以形成定義成第三接觸孔CH3之單一接觸孔。

【0161】如第7O圖中所示，連接電極CNE可形成在第五絕緣層50上。形成連接電極CNE之製程，也可用於形成與彎曲區域BA重疊之訊號線SL之部分。如以上描述，連接電極CNE及訊號線SL可為單一物件之二個部分，或可為彼此隔開之二個分離物件，但本發明概念不限制於此。

【0162】如第7P圖中所示，第六絕緣層60可形成在第五絕緣層50上，以不僅覆蓋連接電極CNE，而且也覆蓋與彎曲區域BA重疊之訊號線SL之部分。第四接觸孔CH4可被形成在第六絕緣層60中，以暴露連接電極CNE之上表面之至少一部分。

【0163】如第7Q圖中所示，在非彎曲區域NBA中，有機發光二極體OLED可被形成在第六絕緣層60上。第一電極AE可被形成在第六絕緣層60上，且可透過第四接觸孔CH4連接至連接電極CNE。像素定義層PDL可被形成在第六絕緣層60上，以暴露第一電極AE之中央部分。初始像素定義層(preliminary pixel definition layer)可被形成在第六絕緣層60上，且可被圖樣化以形成具有開口OP之像素定義層PDL。

【0164】 其後，電洞控制層HCL、發光圖樣EML、電子控制層ECL及第二電極CE可被依序地形成在像素定義層PDL之非彎曲區域NBA中。當以平面圖觀察時，電洞控制層HCL、發光圖樣EML、電子控制層ECL及第二電極CE可至少與顯示區域DP-DA(例如，參見第2圖)重疊。

【0165】 封裝層TFE可被形成在第二電極CE上。至於封裝層TFE，有機封裝層及/或無機封裝層可藉由沉積或噴墨印刷製程形成。封裝層TFE可被形成在非彎曲區域NBA中，且可不形成在彎曲區域BA中，但本發明概念不限制於此。

【0166】 第8A圖係為說明根據比較例之薄膜電晶體之電流-電壓特徵圖，且第8B圖係為說明根據本發明概念之實施例之薄膜電晶體之電流-電壓特徵圖。第8A圖係為表示藉由在相對低溫(例如，300°C或更低)下的熱處理來處理之薄膜電晶體之電流-電壓特徵圖，且第8B圖係為表示根據本發明概念之實施例之藉由在相對高溫下的熱處理來處理之薄膜電晶體(例如，參考第3B圖所述之第二薄膜電晶體T2)之電流-電壓特徵圖。在第8A圖及第8B圖中，電壓 V_G 表示施加至薄膜電晶體之閘極電極之閘極電壓，且電流 I_{DS} 表示流過施加閘極電壓之薄膜電晶體之通道區域之電流量。用於第8A圖及第8B圖之薄膜電晶體，除了在熱處理步驟中之製程溫度之差異之外，已被製造成具有實質上相同之特性及結構。為了方便說明，在不同時間從每個薄膜電晶體量測之曲線係標示在第8A圖及第8B圖中。在下文中，本發明概念將藉由參考第8A圖及第8B圖被更詳細地描述。

【0167】 在第8A圖之比較例中，在薄膜電晶體上之熱處理步驟係在低溫(例如，300°C、或更低、或約250°C)下被執行，所述低溫係可能太低而不造成第五絕緣層50損壞。在第8A圖中之第一至第五曲線PL1、PL2、PL3、PL4及PL5係在不同時間被依序地量測。如第8A圖中所示，對於根據比較例之薄膜電晶體，

當製程時間被增加，曲線逐步地往左(亦即，從第一曲線PL1至第五曲線PL5)移動。在顯示初始電流-電壓特性之第一曲線PL1以及顯示最終量測之電流-電壓特性之第五曲線PL5之間的臨界電壓(threshold voltage)之差異係約-5.68V。也就是說，當在比較例中，也就是薄膜電晶體沒有在充分地高溫下被處理之情形中，薄膜電晶體可在電性特徵中具有糟糕的均勻性及較短之壽命。

【0168】 相比之下，第8B圖之電流-電壓曲線係從包含在約380°C之溫度下熱處理之半導體圖樣之薄膜電晶體獲得。如第8B圖中所示，從薄膜電晶體在不同時間量測之電流-電壓曲線收斂至單一不可區分之曲線PL-T。

【0169】 在第8B圖中，在顯示初始電流-電壓特性之曲線以及顯示最終量測之電流-電壓特性之曲線之間的在臨界電壓中之差異係約-0.2V。這顯示根據本發明概念之實施例之薄膜電晶，具有不變之電流-電壓特性，或均勻之電性特徵。根據本發明概念之實施例，由於有機層(例如，第3B圖之第五絕緣層50)係形成在第四絕緣層40之構成之後，以在300°C之高溫或更高之高溫下熱處理第四絕緣層40，同時防止第五絕緣層50被損壞。因此，薄膜電晶體可被製造成具有改善之電性特徵及較長之壽命。此外，根據本發明概念之實施例之方法可穩定地提供具有高可靠度及改善之電性特徵之顯示面板。

【0170】 第9圖係為說明根據本發明概念之實施例之顯示面板之部分之截面圖。為了方便說明，對應至第7Q圖之區域係在第9圖中說明。在下文中，本發明概念之實施例將藉由參考第9圖被更詳細地描述。為了簡化描述，先前藉由參考第1A圖至第8B圖描述之元件可藉由相同元件符號表示，而不重複其之重複描述。

【0171】 在第9圖中所示之顯示面板中，連接電極CNE及第六絕緣層60可被省略。因此，第一電極AE可直接地提供在第五絕緣層50上，且可透過第三接觸孔CH3連接至第一輸出電極SE1。訊號線SL-DL可包含與彎曲區域BA重疊之部分，且直接地提供在第五絕緣層50上。

【0172】 與彎曲區域BA重疊之訊號線SL-DL的部分可藉由與用於第一電極AE之相同之製程形成。與彎曲區域BA重疊之訊號線SL-DL的部分以及第一電極AE可包含相同材料，且可具有相同層結構。

【0173】 第10A圖至第10D圖係為說明根據本發明概念之實施例之製造顯示面板之方法之截面圖。為了避免重複，藉由參考第7A圖至第7Q圖描述之某些步驟係在第10A圖至第10D圖中說明。在下文中，本發明概念之實施例將藉由參考第10A圖至第10D圖被更詳細地說明。為了簡化描述，先前藉由參考第1A圖至第9圖描述之元件可藉由相同元件符號表示，而不重複其之重複描述。

【0174】 如第10A圖中所示，第二初始半導體圖樣OSP2-P、第一接觸孔CH1及第二接觸孔CH2可形成在基底層BL之非彎曲區域NBA中，且第一上部溝槽GV-21可被形成在彎曲區域BA中。第10A圖之結構可實質上對應至第7F圖之結構。為了方便描述，前述的技術特徵在以下可被省略。

【0175】 如第10B圖及第10C圖中所示，其後，導電層CLL可被形成在第三絕緣層30上，且導電層CLL可使用蝕刻氣體ET來被圖樣化，以形成第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2。導電層CLL可被形成以覆蓋第三絕緣層30之上表面及第二初始半導體圖樣OSP2-P之上表面。導電層CLL也可被形成以填充第一接觸孔CH1及第二接觸孔CH2、以及第一上部溝槽GV-21之至少一部分。

【0176】蝕刻氣體ET可含有能蝕刻導電層CLL之至少一部分之材料。蝕刻氣體ET可與不藉由遮罩(未示出)遮蔽之導電層CLL之被暴露區域反應，且因此，導電層CLL之被暴露區域可被移除。藉由遮罩遮蔽之導電層CLL之其他區域可不被蝕刻，從而形成第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2。

【0177】在實施例中，蝕刻氣體ET可不含有氯化物(chlorine compound)。作為示例，蝕刻氣體ET可含有包含氟(F)之氟基化合物(fluoro compound)。舉例來說，蝕刻氣體ET可含有六氟化硫(sulfur hexafluoride, SF₆)或六氟丁炔(hexafluoro butyne, C₄F₆)。

【0178】在使用氟基化合物之情形中，相比使用氯化物之情形，含有氧化物半導體材料之第二半導體圖樣OSP2可具有相對低之蝕刻速率。舉例來說，在蝕刻製程中使用氟基化合物之情形中，導電層CLL可具有高於第二半導體圖樣OSP2之蝕刻速率。舉例來說，導電層CLL可由鉬(molybdenum, Mo)形成，或包含鉬。

【0179】假設導電層CLL含有鈦(Ti)，含有氯化物之蝕刻氣體可被用於蝕刻導電層CLL。當在蝕刻製程中使用氟基化合物時，氧化物半導體材料可具有相對高的蝕刻速率。因此，在含有氯化物之蝕刻氣體用於圖樣化導電層CLL之情形中，含有氧化物半導體材料之第二半導體圖樣OSP2可被輕易損壞。

【0180】根據本發明概念之實施例，蝕刻氣體ET可被選擇以含有氟基化合物之，以防止第二半導體圖樣OSP2之被暴露區域被用於形成第一輸入電極DE1、第一輸出電極SE1、第二輸入電極DE2及第二輸出電極SE2之蝕刻製程損壞，並穩定地形成第二半導體圖樣OSP2。

【0181】如第10D圖中所示，第三接觸孔CH3可被形成在第四絕緣層40中，且連接電極CNE可被形成以被連接至第一輸出電極SE1。為了方便說明，連接電極CNE係被說明為在第四絕緣層40上提供，但本發明概念不限制於此。

【0182】由於連接電極CNE係在第四絕緣層40之構成之後形成，連接電極CNE可防止被第10B圖之蝕刻氣體影響。此外，不論第二半導體圖樣OSP2或其他元件之構成，連接電極CNE可獨立地被形成。舉例來說，連接電極CNE可被圖樣化，而不擔心損壞其他元件，且因此，用於連接電極CNE之材料可被自由地選擇。

【0183】在實施例中，連接電極CNE可由其電阻低於第一輸出電極SE1之材料形成，或包含其電阻低於第一輸出電極SE1之材料。在此情形中，第一輸出電極SE1及第二輸出電極SE2使用相同材料被形成。由於第一輸出電極SE1及第二半導體圖樣OSP2之間之互相地依附關係，其可為用於第一輸出電極SE1之材料之限制，且這使得在顯示裝置之電性特徵惡化。然而，具有低電阻之連接電極CNE可被用於改善顯示裝置之電性特徵。舉例來說，連接電極CNE可允許有機發光二極體OLED(例如，參見第3B圖)及第一薄膜電晶體T1藉由低接觸電阻彼此連接，以實現具有改善之電性特徵之顯示面板。

【0184】根據本發明概念之實施例，在具有不同特徵之半導體圖樣被提供之製造半導體元件之製程中，熱處理可被執行而不造成有機層之損壞，從而改善半導體圖樣之電性特徵及製造製程之可靠度。此外，有機層可在不被熱處理影響之位置被提供，以使得具有高度可靠之持久的薄膜裝置之顯示面板可被實現。

【0185】 儘管本發明概念之例示性實施例已被具體地顯示及描述，其對所屬技術領域中具有通常知識者將理解的是，在不脫離所附申請專利範圍之精神及範疇下，可在各種形式及細節上進行變化。

【符號說明】

10、20、30、40、50、60：絕緣層

40-I：初始第四絕緣層

AE：第一電極

BA：彎曲區域

BFL：緩衝層

BRL：屏障層

BL：基底層

BX：彎曲軸

CA：曲率區域

CE：第二電極

CH1、CH2、CH3、CH4、CH3-40、CH3-50：接觸孔

CLL：導電層

CNE：連接電極

CSL：控制訊號線

Cst：電容器

DE1、DE2：輸入電極

DL：資料線

DP：顯示面板

DP-CL：電路裝置層

DP-DA：顯示區域

DP-FS：前表面

DP-NDA：周邊區域

DP-OLED：顯示裝置層

DP-PD：訊號墊

DR1、DR2、DR3：方向

E1、E2：電容器電極

ECL：電子控制層

ELVDD：電源電壓

EML：發光圖樣

ET：蝕刻氣體

FA：面向區域

GDC：驅動電路

GE1、GE2：控制電極

GL：閘極線

GV-1、GV-2、GV-3：溝槽

GV-21、GV-22：上部溝槽

HCL：電洞控制層

HT：熱處理

LSP：遮光圖樣

NBA：非彎曲區域

NPXA：非發光區域

OLED：有機發光二極體

OP：開口

OSP1、OSP2：半導體圖樣

OSP1-P、OSP2-P：初始半導體圖樣

PL1、PL2、PL3、PL4、PL5、PL-T：曲線

PDL、PDL-H：像素定義層

PL：電源線

PX：像素

PXA：發光區域

RS：凹陷部分

SE1、SE2：輸出電極

SGL、SL、SL-DL、SL-PT：訊號線

T1、T2：薄膜電晶體

TFE：封裝層

UE：上部電極



201928481

【發明摘要】**【中文發明名稱】** 顯示面板及其製造方法**【英文發明名稱】** DISPLAY PANEL AND METHOD OF FABRICATING THE

SAME

【中文】

顯示面板之製造方法可包含形成氧化物半導體圖樣在包含第一區域及第二區域之基底層上；蝕刻第一絕緣層、第二絕緣層及第三絕緣層以形成與第二區域重疊的第一溝槽；形成電極在第三絕緣層上；形成第四絕緣層在第三絕緣層上以覆蓋電極；熱處理第四絕緣層；形成有機層以覆蓋第四絕緣層；以及形成有機發光二極體在有機層上。

【英文】

A method of fabricating a display panel may include forming an oxide semiconductor pattern on a base layer including a first region and a second region, etching first, second, and third insulating layers to form a first groove that overlaps the second region, forming electrodes on the third insulating layer, forming a fourth insulating layer on the third insulating layer to cover the electrodes, thermally treating the fourth insulating layer, forming an organic layer to cover the fourth insulating layer, and forming an organic light emitting diode on the organic layer.

【指定代表圖】 第1A圖**【代表圖之符號簡單說明】**

BA、CA：彎曲區域

DP：顯示面板

DP-DA：顯示區域

DP-FS：前表面

DP-NDA：周邊區域

DR1、DR2、DR3：方向

FA：面向區域

NBA：非彎曲區域

PX：像素

【特徵化學式】無。

【發明申請專利範圍】

【第1項】 一種製造顯示面板之方法，其包含：

形成一矽半導體圖樣在包含一第一區域及從該第一區域延伸之一第二區域之一基底層上，該矽半導體圖樣與該第一區域重疊；

形成一第一控制電極在該矽半導體圖樣上，該第一控制電極藉由插入至其之間的一第一絕緣層與該矽半導體圖樣重疊；

形成一第二控制電極以與該第一區域重疊，且以藉由插入至其之間的一第二絕緣層與該第一控制電極隔開；

形成一氧化物半導體圖樣在該第二控制電極上以藉由插入至其之間的一第三絕緣層與該第二控制電極重疊；

蝕刻該第一絕緣層、該第二絕緣層及該第三絕緣層以形成暴露該矽半導體圖樣之至少一部分之一第一接觸孔及一第二接觸孔以及與該第二區域重疊之一第一溝槽；

在該第三絕緣層上形成透過該第一接觸孔及該第二接觸孔連接至該矽半導體圖樣之一第一輸入電極及一第一輸出電極，以及連接至該氧化物半導體圖樣之一第二輸入電極及一第二輸出電極；

形成一第四絕緣層在該第三絕緣層上以覆蓋該第一輸入電極、該第一輸出電極、該第二輸入電極及該第二輸出電極；

熱處理該第四絕緣層；

形成一有機層以覆蓋該第四絕緣層；以及

在該有機層上形成連接至該第一輸出電極之一有機發光二極體。

【第2項】如申請專利範圍第 1 項所述之方法，其中該第四絕緣層之熱處理係在約 300°C 或更高之溫度下執行。

【第3項】如申請專利範圍第 2 項所述之方法，其中該有機層包含聚醯亞胺。

【第4項】如申請專利範圍第 1 項所述之方法，其中該第一絕緣層、該第二絕緣層及該第三絕緣層之蝕刻被執行以使用一單一遮罩同時形成該第一接觸孔、該第二接觸孔以及該第一溝槽。

【第5項】如申請專利範圍第 1 項所述之方法，其進一步包含在該第四絕緣層之形成之後，在該第四絕緣層中形成與該第一溝槽重疊之一第二溝槽；

其中該有機層被形成以填充該第一溝槽與該第二溝槽。

【第6項】如申請專利範圍第 5 項所述之方法，其進一步包含形成一無機層在該第一絕緣層及該基底層之間；

其中該第二溝槽之形成包含在該無機層中形成與該第一溝槽重疊之一第三溝槽。

【第7項】如申請專利範圍第 1 項所述之方法，其進一步包含：

形成一第三接觸孔在該有機層中以暴露該第一輸出電極之一部分；

形成一連接電極在該有機層上，以透過該第三接觸孔連接至該第一輸出電極；以及

形成一上部有機層在該有機層上以覆蓋該連接電極；

其中該有機發光二極體係透過該上部有機層連接至該連接電極。

【第8項】如申請專利範圍第 7 項所述之方法，其中該連接電極係由與該第一輸出電極相異之一材料形成。

【第9項】如申請專利範圍第 8 項所述之方法，其中該連接電極係由電阻小於該第一輸出電極之一材料形成。

【第10項】如申請專利範圍第 1 項所述之方法，其中該第一輸入電極、該第一輸出電極、該第二輸入電極及該第二輸出電極之形成包含：

形成一導電層在該第三絕緣層上以覆蓋該氧化物半導體圖樣；

以及

使用一蝕刻氣體圖樣化該導電層；

其中該蝕刻氣體含有氟基化合物。

【第11項】如申請專利範圍第 10 項所述之方法，其中在使用該蝕刻氣體之該導電層的圖樣化中，該導電層具有較該氧化物半導體圖樣高之一蝕刻速率。

【第12項】一種顯示面板，其包含：

一基底層，包含一第一區域及從該第一區域沿著一預定彎曲軸彎曲之一第二區域；

一第一薄膜電晶體，提供在該第一區域中，該第一薄膜電晶體包含一晶矽半導體圖樣、一第一控制電極、以及耦合至該晶矽半導體圖樣且藉由插入至其之間的該第一控制電極彼此隔開的一第一輸入電極及一第一輸出電極；

- 一第二薄膜電晶體，設置在該第一區域中以具有一底部閘極結構，該第二薄膜電晶體包含一第二控制電極、設置在該第二控制電極上之一氧化物半導體圖樣、以及接觸該氧化物半導體圖樣且彼此隔開的一第二輸入電極及一第二輸出電極；
 - 一鈍化層，設置在該第一區域及該第二區域中以覆蓋該第一薄膜電晶體及該第二薄膜電晶體且以包含與該第二區域重疊之一第一溝槽；
 - 複數個無機層，設置在該鈍化層及該基底層之間以包含與該第一溝槽重疊之一第二溝槽；
 - 一有機層，設置在該第一區域及該第二區域中，且在該鈍化層上以覆蓋該第一溝槽及該第二溝槽之內表面；以及
 - 一有機發光二極體，設置在該有機層上及在該第一區域中，且電性連接至該第一薄膜電晶體；
- 其中，藉由氟基化合物蝕刻之該第二輸入電極及該第二輸出電極中之每一個的蝕刻速率係高於該氧化物半導體圖樣之蝕刻速率。

【第13項】 如申請專利範圍第 12 項所述之顯示面板，其中該第二輸入電極及該第二輸出電極包含鉬。

【第14項】 如申請專利範圍第 12 項所述之顯示面板，其進一步包含：

- 一上部有機層，設置在該有機層及該有機發光二極體之間；以及
- 一連接電極，設置在該上部有機層及該有機層之間，且耦合至該有機發光二極體及該第一輸出電極中之每一個；

其中該連接電極包含與該第一輸出電極相異之一材料。

【第15項】如申請專利範圍第 14 項所述之顯示面板，其中該連接電極包含電阻小於該第一輸出電極之一材料。

【第16項】如申請專利範圍第 14 項所述之顯示面板，其進一步包含設置在該第二區域中且與該第一溝槽及該第二溝槽重疊之一訊號線；

其中該訊號線係設置在與該連接電極之相同層上。

【第17項】如申請專利範圍第 12 項所述之顯示面板，其中複數個無機層係設置以暴露該基底層之一上表面的一部分，且該有機層係設置以接觸該基底層之該上表面之該部分。

【第18項】如申請專利範圍第 17 項所述之顯示面板，其進一步包含設置在該有機層上且包含一開口之一像素定義層；

其中該有機發光二極體係設置在該開口中；

其中該像素定義層與該第一區域及該第二區域重疊且包含一有機材料。

【第19項】如申請專利範圍第 18 項所述之顯示面板，其中該像素定義層進一步包含靠近該開口之一凹陷部分。

【第20項】如申請專利範圍第 12 項所述之顯示面板，其進一步包含設置在該第二區域中且與該第一溝槽及該第二溝槽重疊之一訊號線；

其中該訊號線係設置在該有機層上。

【第21項】如申請專利範圍第 16 或 20 項所述之顯示面板，其中該訊號線包含設置在該第二區域中且在與該預定彎曲軸相交之方向中彼此隔開之複數個圖樣。

【第22項】如申請專利範圍第 12 項所述之顯示面板，其中該鈍化層係與該氧化物半導體圖樣接觸。

