



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I499000 B

(45) 公告日：中華民國 104 (2015) 年 09 月 01 日

(21) 申請案號：099123247

(22) 申請日：中華民國 99 (2010) 年 07 月 15 日

(51) Int. Cl. : H01L21/768 (2006.01)

H01L21/60 (2006.01)

H01L23/488 (2006.01)

(30) 優先權：2009/08/21 美國

12/545,390

(71) 申請人：史達晶片有限公司 (新加坡) STATS CHIP PAC, LTD. (SG)

新加坡

(72) 發明人：派蓋拉 瑞莎 A PAGAILA, REZA A. (ID)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

TW 200903679

US 5841193

US 20070267746

審查人員：謝靜旻

申請專利範圍項數：15 項 圖式數：11 共 45 頁

(54) 名稱

形成雙主動邊之半導體晶粒於扇出晶圓程度晶粒級封裝之半導體裝置和方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING DUAL-ACTIVE SIDED

SEMICONDUCTOR DIE IN FAN-OUT WAFER LEVEL CHIP SCALE PACKAGE

(57) 摘要

在本發明的半導體裝置中，複數個傳導柱會被形成在一暫時性載體上方。一雙主動邊半導體晶粒會於該等傳導柱之間被鑲嵌在該載體上方。該半導體晶粒具有相對的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸墊且在該第二主動表面之上有第二接觸墊。一囊封劑會被沉積在該半導體晶粒與暫時性載體的上方。一第一互連結構會被形成在該囊封劑的第一表面上方。該第一互連結構會被電連接至該等傳導柱以及該雙主動邊半導體晶粒的該等第一接觸墊。該暫時性載體會被移除。一第二互連結構會被形成在該囊封劑中於該囊封劑之第一表面對面的第二表面上方。該第二互連結構會被電連接至該等傳導柱以及該雙主動邊半導體晶粒的該等第二接觸墊。

In a semiconductor device, a plurality of conductive pillars is formed over a temporary carrier. A dual-active sided semiconductor die is mounted over the carrier between the conductive pillars. The semiconductor die has first and second opposing active surface with first contact pads on the first active surface and second contact pads on the second active surface. An encapsulant is deposited over the semiconductor die and temporary carrier. A first interconnect structure is formed over a first surface of the encapsulant. The first interconnect structure is electrically connected to the conductive pillars and first contact pads of the dual-active sided semiconductor die. The temporary carrier is removed. A second interconnect structure is formed over a second surface of the encapsulant opposite the first surface of the encapsulant. The second interconnect structure is electrically connected to the conductive pillars and second contact pads of the dual-active sided semiconductor die.

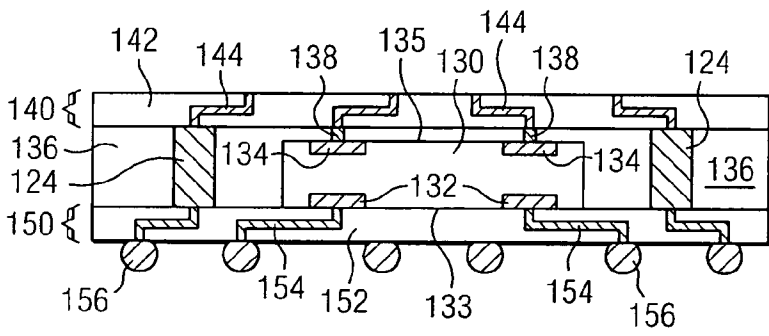


圖 4

- 124 . . . 傳導柱
- 130 . . . 半導體晶粒或組件
- 132 . . . 接觸觸墊
- 133 . . . 主動表面
- 134 . . . 接觸觸墊
- 135 . . . 主動表面
- 136 . . . 囊封劑或模造化合物
- 138 . . . 直通孔洞穿孔
- 140 . . . 頂邊增進互連結構
- 142 . . . 絕緣層或鈍化層
- 144 . . . 傳導傳導層
- 150 . . . 底邊增進互連結構
- 152 . . . 絕緣層或鈍化層
- 154 . . . 傳導傳導層
- 156 . . . 球狀的丸體或凸塊
- 160 . . . 扇出晶圓程度晶片級封裝

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99123247

※申請日：99.7.15

※IPC 分類：H01L 21/768 H2006.01

H01L 21/60 H2006.01

H01L 23/48 H2006.01

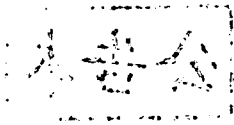
一、發明名稱：(中文/英文)

形成雙主動邊之半導體晶粒於扇出晶圓程度晶粒級封裝之半導體裝置和方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING
DUAL-ACTIVE SIDED SEMICONDUCTOR DIE IN
FAN-OUT WAFER LEVEL CHIP SCALE PACKAGE

二、中文發明摘要：

在本發明的半導體裝置中，複數個傳導柱會被形成在一暫時性載體上方。一雙主動邊半導體晶粒會於該等傳導柱之間被鑲嵌在該載體上方。該半導體晶粒具有相對的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸觸墊且在該第二主動表面之上有第二接觸觸墊。一囊封劑會被沉積在該半導體晶粒與暫時性載體的上方。一第一互連結構會被形成在該囊封劑的第一表面上方。該第一互連結構會被電連接至該等傳導柱以及該雙主動邊半導體晶粒的該等第一接觸觸墊。該暫時性載體會被移除。一第二互連結構會被形成在該囊封劑中於該囊封劑之第一表面對面的第二表面上方。該第二互連結構會被電連接至該等傳導柱以及該雙主動邊半導體晶粒的該等第二接觸觸墊。



三、英文發明摘要：

In a semiconductor device, a plurality of conductive pillars is formed over a temporary carrier. A dual-active sided semiconductor die is mounted over the carrier between the conductive pillars. The semiconductor die has first and second opposing active surface with first contact pads on the first active surface and second contact pads on the second active surface. An encapsulant is deposited over the semiconductor die and temporary carrier. A first interconnect structure is formed over a first surface of the encapsulant. The first interconnect structure is electrically connected to the conductive pillars and first contact pads of the dual-active sided semiconductor die. The temporary carrier is removed. A second interconnect structure is formed over a second surface of the encapsulant opposite the first surface of the encapsulant. The second interconnect structure is electrically connected to the conductive pillars and second contact pads of the dual-active sided semiconductor die.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

- 124 傳導柱
- 130 半導體晶粒或組件
- 132 接觸觸墊
- 133 主動表面
- 134 接觸觸墊
- 135 主動表面
- 136 囊封劑或模造化合物
- 138 直通孔洞穿孔
- 140 頂邊增進互連結構
- 142 絕緣層或鈍化層
- 144 傳導傳導層
- 150 底邊增進互連結構
- 152 絕緣層或鈍化層
- 154 傳導傳導層
- 156 球狀的丸體或凸塊
- 160 扇出晶圓程度晶片級封裝

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明大體上關於半導體裝置，且更明確地說，係關於形成一或多個雙主動邊之半導體晶粒於扇出晶圓程度晶片級封裝之半導體裝置和方法。

【先前技術】

在現代的電子產品中經常會發現半導體裝置。半導體裝置會有不同數量與密度的電子組件。離散半導體裝置通常含有一種類型的電子組件，舉例來說，發光二極體(Light Emitting Diode, LED)、小訊號電晶體、電阻器、電容器、電感器、以及功率金屬氧化物半導體場效電晶體(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)。整合半導體裝置典型地含有數百個至數百萬個電子組件。整合半導體裝置的範例包含微控制器、微處理器、電荷耦合裝置(Charged-Coupled Device, CCD)、太陽能電池、以及數位微鏡裝置(Digital Micro-mirror Device, DMD)。

半導體裝置會實施廣泛的功能，例如，高速計算、傳送與接收電磁訊號、控制電子裝置、將太陽光轉換成電能、以及產生電視顯示器的視覺投影。在娛樂領域、通訊領域、電力轉換領域、網路領域、電腦領域、以及消費性產品領域中皆會發現半導體裝置。在軍事應用、航空、自動車、工業控制器、以及辦公室設備中同樣會發現半導體裝置。

半導體裝置利用半導體材料的電氣特性。半導體材料的原子結構使得可藉由施加電場或基礎電流或是經由摻雜

處理來操縱其導電性。摻雜會將雜質引入至該半導體材料之中，以便操縱及控制該半導體裝置的傳導性。

半導體裝置含有主動式電氣結構與被動式電氣結構。主動式結構(其包含雙極電晶體與場效電晶體)控制電流的流動。藉由改變摻雜程度以及施加電場或基礎電流，該電晶體會提高或限制電流的流動。被動式結構(其包含電阻器、電容器、以及電感器)創造用以實施各式各樣電功能所需要的電壓和電流之間的關係。該等被動式結構與主動式結構會被電連接以形成讓該半導體裝置實施高速計算及其它實用功能的電路。

半導體裝置通常會使用兩種複雜的製程來製造，也就是，前端製造以及後端製造，每一者皆可能涉及數百道步驟。前端製造涉及在一半導體晶圓的表面上形成複數個晶粒。每一個晶粒通常相同並且含有藉由電連接主動式組件和被動式組件而形成的電路。後端製造涉及從已完成的晶圓中單體化裁切個別的晶粒並且封裝該晶粒以提供結構性支撐及環境隔離。

半導體製造的其中一個目標便係製造較小的半導體裝置。較小的裝置典型地會消耗較少電力，具有較高效能，並且能夠更有效地生產。此外，較小的半導體裝置還具有較小的覆蓋面積，這係為較小的末端產品所需要的。藉由改善前端製程可以達成較小的晶粒尺寸，從而導致具有較小以及較高密度之主動式組件和被動式組件的晶粒。後端製程可以藉由改善電互連材料及封裝材料而導致具有較小覆蓋面積的半導體裝置封裝。

在含有被堆疊在多層上之多個半導體裝置的扇出晶圓程度晶片級封裝(Fan-Out Wafer Level Chip Scale Package, FO-WLCSP)中的電互連能夠利用下面來完成：導體的直通矽晶穿孔(Through Silicon Via, TSV)、直通孔洞穿孔(Through Hole Via, THV)或是鍍銅傳導柱。多個穿孔會使用雷射鑽鑿或深反應離子蝕刻(Dep Reactive Ion Etching, DRIE)被形成在該晶粒附近的矽質材料或有機材料中。該等穿孔會被傳導材料填充(舉例來說，藉由使用電鍍製程的銅沉積法)，用以形成該等傳導直通矽晶穿孔與直通孔洞穿孔。該等直通矽晶穿孔與直通孔洞穿孔會經由被形成跨越每一個半導體晶粒的增進互連結構來進一步連接。該等直通矽晶穿孔與直通孔洞穿孔以及增進互連結構皆具有有限的輸入/輸出(I/O)接針數及互連能力，尤其是在扇出晶圓程度晶片級封裝中。

【發明內容】

在扇出晶圓程度晶片級封裝中需要有較高的 I/O 接針數。據此，於一實施例中，本發明係一種製造半導體裝置的方法，其包括下面步驟：提供一暫時性載體；在該暫時性載體上方形成複數個傳導柱；以及於該等傳導柱之間在該暫時性載體上方鑲嵌一第一半導體晶粒。該第一半導體晶粒具有對面的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸觸墊且在該第二主動表面之上有第二接觸觸墊。該方法還進一步包含下面步驟：將一囊封劑沉積在該第一半導體晶粒與暫時性載體的上方；以及在

該囊封劑的第一表面上方形成一第一互連結構。該第一互連結構會被電連接至該等傳導柱以及該第一半導體晶粒的該等第一接觸觸墊。該方法還進一步包含下面步驟：移除該暫時性載體；以及在該囊封劑中於該囊封劑之第一表面對面的第二表面上方形成一第二互連結構。該第二互連結構會被電連接至該等傳導柱以及該第一半導體晶粒的該等第二接觸觸墊。

於另一實施例中，本發明係一種製造半導體裝置的方法，其包括下面步驟：形成複數個傳導柱；以及於該等傳導柱之間鑲嵌一第一半導體組件。該第一半導體組件具有相對的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸觸墊且在該第二主動表面之上有第二接觸觸墊。該方法還進一步包含下面步驟：將一囊封劑沉積在該第一半導體組件的上方；以及在該囊封劑的第一表面上方形成一第一互連結構。該第一互連結構會被電連接至該等傳導柱以及該第一半導體組件的該等第一接觸觸墊。

於另一實施例中，本發明係一種製造半導體裝置的方法，其包括下面步驟：於該等傳導柱之間鑲嵌一第一半導體組件。該第一半導體組件具有相對的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸觸墊且在該第二主動表面之上有第二接觸觸墊。該方法還進一步包含下面步驟：將一囊封劑沉積在該第一半導體組件的上方；以及在該囊封劑的第一表面上方形成一第一互連結構。該第一互連結構會被電連接至該第一半導體組件的該等第一接觸觸墊。

於另一實施例中，本發明係一種半導體裝置，其包括：複數個傳導柱；以及被鑲嵌於該等傳導柱之間的第一半導體組件。該第一半導體組件具有相對的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸觸墊且在該第二主動表面之上有第二接觸觸墊。一囊封劑會被沉積在該第一半導體組件的上方。一第一互連結構會被形成在該囊封劑的第一表面上方。該第一互連結構會被電連接至該等傳導柱以及該第一半導體組件的該等第一接觸觸墊。

【實施方式】

下面的說明書中會參考圖式於一或多個實施例中來說明本發明，於該等圖式中，相同的符號代表相同或相似的元件。雖然本文會以達成本發明目的的最佳模式來說明本發明；不過，熟習本技術的人士便會明白，本發明希望涵蓋受到下面揭示內容及圖式支持的隨附申請專利範圍及它們的等效物所定義的本發明的精神與範疇內可能併入的替代、修正、以及等效物。

半導體裝置通常會使用兩種複雜的製程來製造：前端製造和後端製造。前端製造涉及在一半導體晶圓的表面上形成複數個晶粒。該晶圓上的每一個晶粒皆含有主動式電子組件和被動式電子組件，它們會被電連接而形成功能性電路。主動式電子組件(例如電晶體與二極體)能夠控制電流的流動。被動式電子組件(例如電容器、電感器、電阻器、以及變壓器)會創造用以實施電路功能所需要的電壓和電流之間的關係。

被動式組件和主動式組件會藉由一連串的製程步驟形成在該半導體晶圓的表面，該等製程步驟包含：摻雜、沉積、光微影術、蝕刻、以及平坦化。摻雜會藉由離子植入或是熱擴散將雜質引入至半導體材料之中。摻雜製程會修改主動式裝置中半導體材料的導電性，將該半導體材料轉換成絕緣體、導體，或是響應於電場或基礎電流來動態改變半導體材料傳導性。含有摻雜的不同類型和程度的範圍，參雜安排為必要的，以在施加一電場或基礎電流時讓該電晶體會提高或限制電流的流動。

主動式組件和被動式組件係由具有不同電氣特性的多層材料構成。該等層能夠藉由各式各樣的沉積技術來形成，其某種程度上取決於要被沉積的材料之類型。舉例來說，薄膜沉積可能包含：化學氣相沉積 (Chemical Vapor Deposition, CVD) 製程、物理氣相沉積 (Physical Vapor Deposition, PVD) 製程、電解質電鍍製程、以及無電極電鍍製程。每一層通常都會被圖樣化，以便形成主動式組件、被動式組件、或是組件之間的電連接線的一部分。

該等層能夠利用光微影術來圖樣化，其涉及在要被圖樣化的層的上方沉積光敏材料，舉例來說，光阻。圖樣會利用光從一光罩處被轉印至該光阻。該光阻圖樣中受到光作用的部分會利用溶劑移除，從而露出下方層之中要被圖樣化的部分。該光阻中的剩餘部分會被移除，從而留下一已圖樣化層。或者，某些類型的材料會利用無電極電鍍以及電解質電鍍之類的技術，藉由將該材料直接沉積至先前沉積及/或蝕刻製程所形成的區域或空隙(void)之中而被圖

樣化。

在一既有圖樣的上方沉積一薄膜材料可能會擴大下方圖樣並且產生一不均勻平坦的表面。生產較小且更密集封裝的主動式組件和被動式組件需要用到均勻平坦的表面。平坦化作用可用來從晶圓的表面處移除材料，並且產生均勻平坦的表面。平坦化作用涉及利用一研磨墊來研磨晶圓的表面。在研磨期間加入研磨材料以及腐蝕性的化學藥劑到晶圓的表面。結合研磨料的機械作用及化學藥劑的磨蝕作用來移除任何不規律的表面形狀，從而產生均勻平坦的表面。

後端製造係指將已完成的晶圓切割或單體化裁切成個別晶粒，並且接著封裝該晶粒，以達結構性支撐及環境隔離的效果。為單體化裁切晶粒，晶圓會沿著該晶圓中被稱為切割道(saw street)或切割線(scribe)的非功能性區域被刻痕並且折斷。該晶圓會利用雷射切割工具或鋸片來進行單體化裁切。經過單體化裁切之後，個別晶粒便會被鑲嵌至包含接針或接觸墊的封裝基板，以便和其它系統組件進行互連。被形成在該半導體晶粒上方的接觸墊接著會被連接至該封裝裡面的接觸墊。該等電連接線可利用焊料凸塊、短柱凸塊、導電膏、或是焊線來製成。一囊封劑或是其它模造材料會被沉積在該封裝的上方，以提供物理性支撐和電隔離。接著，該已完成的封裝便會被插入一電氣系統之中並且讓其它系統組件可取用該半導體裝置的功能。

圖 1 說明一電子裝置 50，其具有一晶片載體基板或是

印刷電路板(PCB)52，其表面上鑲嵌複數個半導體封裝。電子裝置 50 可能係某一類型的半導體封裝或是多種類型的半導體封裝，端視應用而定。為達解釋目的，圖 1 中顯示不同類型的半導體封裝。

電子裝置 50 可能係一獨立型系統，其會使用該等半導體封裝來實施一或多項電功能。或者，電子裝置 50 亦可能係一較大型系統中的一子組件。舉例來說，電子裝置 50 可能係一圖形卡、一網路介面卡、或是能夠被插入在一電腦之中的其它訊號處理卡。該半導體封裝可能包含：微處理器、記憶體、特定應用積體電路 (Application Specific Integrated Circuits, ASIC)、邏輯電路、類比電路、射頻電路、離散式裝置、或是其它半導體晶粒或電子組件。

在圖 1 中，印刷電路板 52 提供一通用基板，用以結構性支撐及電互連被鑲嵌在該印刷電路板之上的半導體封裝。利用蒸發製程、電解質電鍍製程、無電極電鍍製程、網印製程、或是其它合宜的金屬沉積製程形成導體訊號線路 54 於印刷電路板 52 的一表面上方或是多層裡面。訊號線路 54 在該等半導體封裝、被鑲嵌的組件、以及其它外部系統組件中的每一者之間提供電通訊。線路 54 還會提供連接至每一個該等半導體封裝的電力連接線及接地連接線。

於某些實施例中，一半導體裝置會有兩個封裝層。第一層封裝係一種以機械方式及電氣方式將該半導體晶粒附接至一中間載體的技術。第二層封裝則涉及以機械方式及電氣方式將該中間載體附接至該印刷電路板。於其它實施例中，一半導體裝置可能僅有該第一層封裝，其中，該晶

粒會以機械方式及電氣方式直接被鑲嵌至該印刷電路板。

為達解釋目的，在印刷電路板 52 上之顯示數種類型的
第一層封裝，其包含焊線封裝 56 以及覆晶 58。除此之外，
還顯示被鑲嵌在印刷電路板 52 之上的數種類型第二層封
裝，其包含：球柵陣列 (Ball Grid Array, BGA) 60；凸塊
晶片載體 (Bump Chip Carrier, BCC) 62；雙直列封裝 (Dual
In-line Package, DIP) 64；平台格柵陣列 (Land Grid Array,
LGA) 66；多晶片模組 (Multi-Chip Module, MCM) 68；
方形扁平無導線封裝 (Quad Flat Non-leaded package, QFN)
70；以及方形扁平封裝 72。端視系統需求而定，任何半導
體封裝之組合、任何結合第一及第二層封裝形式之組合和
其他電子組件皆能夠被連接至印刷電路板 52。於某些實施
例中，電子裝置 50 包含單一附接半導體封裝；而其它實施
例則要求多個互連封裝。藉由在單一基板上方組合一或多
個半導體封裝，製造商便能夠將事先製造的組件併入電子
裝置和系統之中。因為該等半導體封裝包含精密的功能，
所以，電子裝置能夠使用較便宜的組件及有效率的製程來
製造。所產生的裝置比較不可能失效而且製造價格較低
廉，從而讓消費者的成本會較低。

圖 2a 至 2c 所示的係示範性半導體封裝。圖 2a 所示的
係被鑲嵌在印刷電路板 52 之上的 DIP 64 的進一步細節。半
導體晶粒 74 包含一含有類比電路或數位電路的主動區，該
等類比電路或數位電路會被執行作為形成在該晶粒裡面的
主動式裝置、被動式裝置、傳導層傳導層、以及介電層，
並且會根據該晶粒的電氣設計來進行電互連。舉例來說，

該電路可能包含被形成在半導體晶粒 74 之主動區裡面的一或多個電晶體、二極體、電感器、電容器、電阻器、以及其它電路元件。接觸觸墊 76 係一或多層傳導材料（例如鋁 (Al)、銅 (Cu)、錫 (Sn)、鎳 (Ni)、金 (Au)、或是銀 (Ag)）製成，並且會被電連接至形成在半導體晶粒 74 裡面的電路元件。在 DIP 64 的組裝期間，半導體晶粒 74 會利用一金-矽共熔合金層或是膠黏材料（例如熱環氧樹脂）被鑲嵌至一中間載體 78。封裝主體包含一絕緣封裝材料，例如聚合物或是陶瓷。導體導線 80 以及焊線 82 會在半導體晶粒 74 與印刷電路板 52 之間提供電互連。囊封劑 84 會被沉積在該封裝的上方，防止濕氣和粒子進入該封裝並污染晶粒 74 或焊線 82 以達環境保護的目的。

圖 2b 所示的係被鑲嵌在印刷電路板 52 之上的 BCC 62 的進一步細節。半導體晶粒 88 會利用底層填充材料或環氧樹脂膠黏材料 92 被黏著在載體 90 的上方。焊線 94 會在接觸觸墊 96 與 98 之間提供第一層封裝互連。模造化合物或囊封劑 100 會被沉積在半導體晶粒 88 和焊線 94 的上方，用以為該裝置提供物理性支撐以及電隔離效果。接觸觸墊 102 會利用合宜的金屬沉積製程（例如電解質電鍍或無電極電鍍）被形成在印刷電路板 52 的表面上方以防止氧化。接觸觸墊 102 會被電連接至印刷電路板 52 中的一或多條導體訊號線路 54。凸塊 104 會被形成在 BCC 62 的接觸觸墊 98 和印刷電路板 52 的接觸觸墊 102 之間。

在圖 2c 中，半導體晶粒 58 會利用覆晶樣式的第一層封裝以面朝下的方式被鑲嵌至中間載體 106。半導體晶粒 58

的主動區 108 含有類比電路或數位電路，該等類比電路或數位電路會被執行為根據該晶粒的電氣設計所形成的主動式裝置、被動式裝置、傳導層傳導層、以及介電層。舉例來說，該電路可能包含在主動區 108 裡面的一或多個電晶體、二極體、電感器、電容器、電阻器、以及其它電路元件。半導體晶粒 58 會經由多個凸塊 110 以電氣方式及機械方式被連接至載體 106。

BGA 60 會利用凸塊 112 的 BGA 樣式第二層封裝以電氣方式及機械方式被連接至印刷電路板 52。半導體晶粒 58 會經由凸塊 110、訊號線 114、以及凸塊 112 被電連接至印刷電路板 52 中的導體訊號線路 54。一模造化合物或囊封劑 116 會被沉積在半導體晶粒 58 和載體 106 的上方，以為該裝置提供物理性支撐以及電隔離效果。該覆晶半導體裝置從半導體晶粒 58 上的主動式裝置至印刷電路板 52 上的傳導軌提供一條短的電傳導路徑，以便縮短訊號傳導距離、降低電容、並且改善整體電路效能。於另一實施例中，該半導體晶粒 58 會利用覆晶樣式的第一層封裝以機械方式及電氣方式直接連接至印刷電路板 52，而沒有中間載體 106。

圖 3a 至 3h 所示的係和圖 1 及 2a 至 2c 有關之在扇出晶圓程度晶片級封裝中形成一雙主動邊半導體晶粒的製程。在圖 3a 中，一晶圓形狀的基板或載體 120 含有暫時性或犧牲性基礎材料，例如，矽、聚合物、聚合復合物、金屬、陶瓷、玻璃、玻璃環氧樹脂、氧化鈹、或是其它合宜的低成本剛性材料或大型半導體材料，用以達到結構性支撐的目的。於其中一實施例中，載體 120 的直徑為 20.3 公分

(cm)。一非必要的介面層 122 可能會被形成在載體 120 的上方，成為一暫時性的焊接膜或是蝕刻阻止層。

在圖 3b 中，一或多層的光阻會被沉積在介面層 122 上方。該光阻會延伸在半導體晶粒 130 的上方，如圖 3c 中所述。該光阻中的一部分會藉由蝕刻顯影製程被裸露且移除，用以形成多個穿孔。傳導材料(例如 Al、Cu、Sn、Ni、Au、Ag、鈦(Ti)、鎢(W)、焊料、多晶矽、或是它們的組合)會利用選擇性電鍍製程被沉積在該等穿孔中。該光阻會被剝除，留下個別的傳導柱 124。於另一實施例中，傳導柱 124 會被形成短柱凸塊或堆疊凸塊。

在圖 3c 中，雙主動邊半導體晶粒或組件 130 會在多個傳導柱 124 之間被鑲嵌至介面層 122。該雙主動邊半導體晶粒 130 具有相對的第一主動表面和第二主動表面，主動表面 133 上的接觸墊 132 朝向載體 120 而主動表面 135 上的接觸墊 134 則向上背對載體 120。傳導柱 124 的高度大於半導體晶粒 130 的厚度。半導體晶粒 130 的每一個主動表面皆含有類比電路或數位電路，該等類比電路或數位電路會被執行作為形成在該晶粒裡面的主動式裝置、被動式裝置、傳導層傳導層、以及介電層，並且會根據該晶粒的電氣設計與功能來進行電互連。舉例來說，該電路可能包含被形成在主動表面 133 與 135 裡面的一或多個電晶體、二極體、以及其它電路元件，用以執行類比電路或數位電路，例如，數位訊號處理器(Digital Signal Processor, DSP)、ASIC、記憶體、或是其它訊號處理電路。半導體晶粒 130 可能還含有用於射頻訊號處理的整合被動元件(IPD)，例

如，電感器、電容器、以及電阻器。一典型的射頻系統在一或多個半導體封裝中需要用到多個整合被動元件，用以實施必要的電功能。

在圖 3d 中，一囊封劑或模造化合物 136 會利用焊膏印刷 (paste printing) 塗敷機、壓縮模造 (compressive molding) 塗敷機、轉印模造 (transfer molding) 塗敷機、液體囊封劑模造塗敷機、真空層疊塗敷機、旋塗塗敷機、或是其它合宜的塗敷機被沉積在半導體晶粒 130 的上方。囊封劑 136 可能係聚合物復合材料，例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯、或是具有適當填充劑的聚合物。囊封劑 136 係非導體並且為半導體裝置提供環境保護，避免受到外部元素與污染物破壞。囊封劑 136 會經過平坦化處理，以便露出傳導柱 124。

在圖 3e 中，複數個穿孔會利用雷射鑽鑿或蝕刻製程 (例如 DRIE) 於囊封劑 136 中被形成在接觸觸墊 134 的上方。該等穿孔會利用 PVD、CVD、電解質電鍍、無電極電鍍製程、或是其它合宜的金屬沉積製程被 Al、Cu、Sn、Ni、Au、Ag、鈦 (Ti)、W、多晶矽、或是其它合宜的導電材料填充，以便形成傳導直通孔洞穿孔 138。傳導直通孔洞穿孔 138 會被電連接至接觸觸墊 134。

在圖 3f 中，一頂邊增進互連結構 140 會被形成在傳導柱 124、半導體晶粒 130、以及囊封劑 136 的上方。該增進互連結構 140 包含一絕緣層或鈍化層 142，其含有由二氧化矽 (SiO₂)、氮化矽 (Si₃N₄)、氮氧化矽 (SiON)、五氧化二鉬 (Ta₂O₅)、三氧化二鋁 (Al₂O₃)、或是具有雷同絕緣特性及結

構性特性的其它材料所製成的一或多層。該絕緣層 142 係利用 PVD、CVD、印刷、旋塗、噴塗、燒結、或是熱氧化方法所形成。

該頂邊增進互連結構 140 還進一步包含一導電層 144，其會使用圖樣化與沉積製程(例如 PVD、CVD、濺鍍、電解質電鍍、以及無電極電鍍)被形成在絕緣層 142 中。傳導層 144 可能係由 Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料所製成的一或多層。傳導層 144 中的一部分會被電連接至傳導柱 124 以及半導體晶粒 130 的接觸墊 134。傳導層 144 中的其它部分可能為共電或被電隔離，端視該半導體裝置的設計及功能而定。

在圖 3g 中，載體 120 與非必要的介面層 122 會藉由化學性蝕刻、機械性剝離、CMP、機械性研磨、熱烘烤、雷射掃描、或是濕式剝除方式被移除。一底邊增進互連結構 150 會被形成在傳導柱 124、半導體晶粒 130、以及囊封劑 136 的上方，在增進互連結構 140 的對面。該增進互連結構 150 包含一絕緣層或鈍化層 152，其含有由 SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有雷同絕緣特性及結構性特性的其它材料所製成的一或多層。該絕緣層 152 係利用 PVD、CVD、印刷、旋塗、噴塗、燒結、或是熱氧化所形成。

該底邊增進互連結構 150 還進一步包含一導電層 154，其會使用圖樣化與沉積製程(例如 PVD、CVD、濺鍍、電解質電鍍、以及無電極電鍍)被形成在絕緣層 152 中。傳導層 154 可能係由 Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料所製成的一或多層。傳導層 154 中的一部分會被

電連接至傳導柱 124 以及半導體晶粒 130 的接觸觸墊 132。傳導層 154 中的其它部分可能為共電或被電隔離，端視該半導體裝置的設計及功能而定。

在圖 3h 中，一導電凸塊材料會利用蒸發製程、電解質電鍍製程、無電極電鍍製程、丸滴製程(ball drop)、或是網印製程被沉積在增進互連結構 150 的上方並且被電連接至傳導層 154。該凸塊材料可能係 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及它們的組合，具有一非必要的助熔溶劑。舉例來說，該凸塊材料可能是 Sn/Pb 共熔合金、高鉛焊料、或是無鉛焊料。該凸塊材料會利用合宜的附著或焊接製程被焊接至傳導層 154。於一實施例中，該凸塊材料會藉由將該凸塊材料加熱至其熔點以上而被回焊，用以形成球狀的丸體或凸塊 156。於某些應用中，凸塊 156 會被二次回焊，以便改善和傳導層 154 的電接觸效果。該等凸塊也能夠被壓縮焊接至傳導層 154。凸塊 156 代表能夠被形成在傳導層 154 上方的其中一種類型的互連結構。該互連結構亦能夠使用焊線、短柱凸塊、微凸塊、或是其它電互連線。

半導體晶粒 130 會利用鋸片或雷射切割裝置 158 被單體化裁切成個別的扇出晶圓程度晶片級封裝。圖 4 所示的係在單體化裁切之後的扇出晶圓程度晶片級封裝 160。該雙主動邊半導體晶粒 130 在該晶粒的主動表面 133 上有下方接觸觸墊 132 而在主動表面 135 上則有上方接觸觸墊 134，該等接觸觸墊會被埋置在囊封劑 136 中。該等上方接觸觸墊 134 會經由導體穿孔 138 被電連接至增進互連結構 140。該等下方接觸觸墊 132 會被電連接至增進互連結構 150。該

等增進互連結構 140 與 150 會經由 z 方向互連傳導柱 124 被電連接。扇出晶圓程度晶片級封裝 160(具有雙主動邊半導體晶粒 130)會提供較高的 I/O 接針數，其具有較大的彈性用以互連至其它半導體裝置。

圖 5 以單邊凸塊組態來顯示如圖 3a 至 3h 中所述之具有雙主動邊晶粒的扇出晶圓程度晶片級封裝。凸塊 162 會被形成在接觸觸墊 132 和底邊增進互連結構 150 中的傳導層傳導層 154 之間。

圖 6 以雙邊凸塊組態來顯示如圖 3a 至 3h 中所述之具有雙主動邊晶粒的扇出晶圓程度晶片級封裝。凸塊 162 會被形成在接觸觸墊 132 和底邊增進互連結構 150 中的傳導層傳導層 154 之間。凸塊 164 會被形成在接觸觸墊 134 和頂邊增進互連結構 140 中的傳導層傳導層 144 之間。

圖 7 所示的係如圖 3a 至 3h 中所述之具有雙主動邊晶粒的扇出晶圓程度晶片級封裝以及被鑲嵌在頂邊增進互連結構 140 上方的散熱片 166。散熱片 166 可能係 Al、Cu、或是具有高導熱係數的另一材料，以便為半導體晶粒 130 提供熱消散作用。

在圖 8 的實施例中，該具有雙主動邊晶粒的扇出晶圓程度晶片級封裝會遵循和圖 3a 至 3b 中所述者相似的製程。傳導柱 124 會被製造成具有足夠的高度，以便延伸在兩個堆疊半導體晶粒的上方。一雙主動邊半導體晶粒 170 會被鑲嵌至半導體晶粒 130。半導體晶粒 170 的接觸觸墊 172 會利用凸塊 174 被電連接至半導體晶粒 130 的接觸觸墊 134。圖 8 中所示實施例的其餘部分會遵循和圖 3c 至 3h 中所述者

相似的製程。

在圖 9 中，一雙主動邊半導體晶粒或組件 180 會被鑲嵌至一暫時性載體。該雙主動邊半導體晶粒 180 具有相對的第一主動表面和第二主動表面，主動表面 183 上的接觸觸墊 182 朝向該載體而主動表面 185 上的接觸觸墊 184 則向上背對該載體。半導體晶粒 180 的每一個主動表面皆含有類比電路或數位電路，該等類比電路或數位電路會被執行作為形成在該晶粒裡面的主動式裝置、被動式裝置、傳導層、以及介電層，並且會根據該晶粒的電氣設計與功能來進行電互連。舉例來說，該電路可能包含被形成在主動表面 183 與 185 裡面的一或多個電晶體、二極體、以及其它電路元件，用以執行類比電路或數位電路，例如，數位訊號處理器、ASIC、記憶體、或是其它訊號處理電路。半導體晶粒 180 可能還含有用於射頻訊號處理的整合被動元件，例如，電感器、電容器、以及電阻器。一典型的射頻系統在一或多個半導體封裝中需要用到多個整合被動元件，用以實施必要的電功能。

焊線 186 會被形成在該載體上的接觸觸墊 184 和接觸觸墊 188 之間。一囊封劑或模造化合物 190 會利用焊膏印刷塗敷機、壓縮模造塗敷機、轉印模造塗敷機、液體囊封劑模造塗敷機、真空層疊塗敷機、旋塗塗敷機、或是其它合宜的塗敷機被沉積在半導體晶粒 180 的上方。囊封劑 190 可能係聚合物復合材料，例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯、或是具有適當填充劑的聚合物。囊封劑 190 係非導體並且為半導體裝置提供環境保護，

避免受到外部元素與污染物破壞。

該暫時性載體會藉由化學性蝕刻、機械性剝離、CMP、機械性研磨、熱烘烤、雷射掃描、或是濕式剝除被移除。一底邊增進互連結構 192 會被形成在半導體晶粒 180 及囊封劑 190 的上方。該增進互連結構 192 包含一絕緣層或鈍化層 194，其含有由 SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有雷同絕緣特性及結構性特性的其它材料所製成的一或多層。該絕緣層 194 係利用 PVD、CVD、印刷、旋塗、噴塗、燒結、或是熱氧化所形成。

該底邊增進互連結構 192 進一步包含一導電層 196，其會使用圖樣化與沉積製程(例如 PVD、CVD、濺鍍、電解質電鍍、以及無電極電鍍)被形成在絕緣層 194 中。傳導層 196 可能係由 Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料所製成的一或多層。傳導層 196 中的一部分會被電連接至半導體晶粒 180 的接觸墊 182。傳導層 196 中的其它部分可能為共電或被電隔離，端視該半導體裝置的設計及功能而定。

一導電凸塊材料會利用蒸發製程、電解質電鍍製程、無電極電鍍製程、丸滴製程、或是網印製程被沉積在增進互連結構 192 的上方並且會被電連接至傳導層 196。該凸塊材料可能係 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及它們的組合，具有一非必要的助熔溶劑。舉例來說，該凸塊材料可能是 Sn/Pb 共熔合金、高鉛焊料、或是無鉛焊料。該凸塊材料會利用合宜的附著或焊接製程被焊接至傳導層 196。於一實施例中，該凸塊材料會藉由將該凸塊材料

加熱至其熔點以上而被回焊，用以形成球狀的丸體或凸塊 198。於某些應用中，凸塊 198 會被二次回焊，以便改善和傳導層 196 的電接觸效果。該等凸塊也能夠被壓縮焊接至傳導層傳導層 196。凸塊 198 代表能夠被形成在傳導層傳導層 196 上方的其中一種類型的互連結構。該互連結構亦能夠使用焊線、短柱凸塊、微凸塊、或是其它電互連線。

再圖 10 中，一或多層的光阻會被沉積在一暫時性載體的上方。該光阻中的一部分會藉由蝕刻顯影製程被裸露且移除，用以形成穿孔。傳導材料(例如 Al、Cu、Sn、Ni、Au、Ag、Ti、W、焊料、多晶矽、或是它們的組合)會利用選擇性電鍍製程被沉積在該等穿孔中。該光阻會被剝除，留下個別的傳導柱 200。於另一實施例中，傳導柱 200 會被形成短柱凸塊或堆疊凸塊。

兩個並排的雙主動邊半導體晶粒或組件 202 會被鑲嵌至一暫時性載體。每一個雙主動邊半導體晶粒 202 皆具有相對的第一主動表面和第二主動表面，主動表面 205 上的接觸墊 204 朝向該載體而主動表面 207 上的接觸墊 206 則向上背對該載體。每一個半導體晶粒 202 的每一個主動表面皆含有類比電路或數位電路，該等類比電路或數位電路會被執行作為形成在該晶粒裡面的主動式裝置、被動式裝置、傳導層以及介電層，並且會根據該晶粒的電氣設計與功能來進行電互連。舉例來說，該電路可能包含被形成在主動表面 205 與 207 裡面的一或多個電晶體、二極體及其它電路元件，用以執行類比電路或數位電路，例如，數位訊號處理器、ASIC、記憶體、或是其它訊號處理電路。

半導體晶粒 202 可能還含有用於射頻訊號處理的整合被動元件，例如，電感器、電容器以及電阻器。一典型的射頻系統在一或多個半導體封裝中需要用到多個整合被動元件，用以實施必要的電功能。

一囊封劑或模造化合物 208 會利用焊膏印刷塗敷機、壓縮模造塗敷機、轉印模造塗敷機、液體囊封劑模造塗敷機、真空層疊塗敷機、旋塗塗敷機、或是其它合宜的塗敷機被沉積在半導體晶粒 202 的上方。囊封劑 208 可能係聚合物復合材料，例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯或是具有適當填充劑的聚合物。囊封劑 208 係非導體並且為半導體裝置提供環境保護，避免受到外部元素與污染物破壞。囊封劑 208 會經過平坦化處理，以便露出傳導柱 200。

複數個穿孔會利用雷射鑽鑿或蝕刻製程(例如 DRIE)於囊封劑 208 中被形成在接觸觸墊 206 的上方。該等穿孔會利用 PVD、CVD、電解質電鍍、無電極電鍍製程、或是其它合宜的金屬沉積製程以 Al、Cu、Sn、Ni、Au、Ag、Ti、W、多晶矽、或是其它合宜的導電材料填充，以便形成傳導直通孔洞穿孔 210。直通孔洞穿孔 210 會被電連接至接觸觸墊 206。

一頂邊增進互連結構 212 會被形成在傳導柱 200、半導體晶粒 202 以及囊封劑 208 的上方。該增進互連結構 212 包含一絕緣層或鈍化層 214，其含有由 SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有雷同絕緣特性及結構性特性的其它材料所製成的一或多層。該絕緣層 214 係利用 PVD、

CVD、印刷、旋塗、噴塗、燒結、或是熱氧化所形成。

該頂邊增進互連結構 212 還進一步包含一導電層 216，其會使用圖樣化與沉積製程(例如 PVD、CVD、濺鍍、電解質電鍍、以及無電極電鍍)被形成在絕緣層 214 中。傳導層 216 可能係由 Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料所製成的一或多層。傳導層 216 中的一部分會被電連接至傳導柱 200 以及半導體晶粒 202 的接觸墊 206。傳導層 216 中的其它部分可能為共電或被電隔離，端視該半導體裝置的設計及功能而定。

該暫時性載體會藉由化學性蝕刻、機械性剝離、CMP、機械性研磨、熱烘烤、雷射掃描、或是濕式剝除被移除。一底邊增進互連結構 220 會被形成在傳導柱 200、半導體晶粒 202、以及囊封劑 208 的上方，在增進互連結構 212 的對面。該增進互連結構 220 包含一絕緣層或鈍化層 222，其含有由 SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有雷同絕緣特性及結構性特性的其它材料所製成的一或多層。該絕緣層 222 係利用 PVD、CVD、印刷、旋塗、噴塗、燒結、或是熱氧化所形成。

該底邊增進互連結構 220 還進一步包含一導電層 224，其會使用圖樣化與沉積製程(例如 PVD、CVD、濺鍍、電解質電鍍、以及無電極電鍍)被形成在絕緣層 222 中。傳導層 224 可能係由 Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料所製成的一或多層。傳導層 224 中的一部分會被電連接至傳導柱 200 以及半導體晶粒 202 的接觸墊 204。傳導層 224 中的其它部分可能為共電或被電隔離，端視該

半導體裝置的設計及功能而定。

一導電凸塊材料會利用蒸發製程、電解質電鍍製程、無電極電鍍製程、丸滴製程、或是網印製程被沉積在增進互連結構 220 的上方並且會被電連接至傳導層 224。該凸塊材料可能係 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及它們的組合，具有一非必要的助熔溶劑。舉例來說，該凸塊材料可能是 Sn/Pb 共熔合金、高鉛焊料、或是無鉛焊料。該凸塊材料會利用合宜的附著或焊接製程被焊接至傳導層 224。於一實施例中，該凸塊材料會藉由將該凸塊材料加熱至其熔點以上而被回焊，用以形成球狀的丸體或凸塊 226。於某些應用中，凸塊 226 會被二次回焊，以便改善和傳導層層 224 的電接觸效果。該等凸塊也能夠被壓縮焊接至傳導層 224。凸塊 226 代表能夠被形成在傳導層 224 上方的其中一種類型的互連結構。該互連結構亦能夠使用焊線、短柱凸塊、微凸塊、或是其它電互連線。

在圖 11 中，一或多層的光阻會被沉積在一暫時性載體的上方。該光阻中的一部分會藉由蝕刻顯影製程被裸露且移除，用以形成穿孔。傳導材料(例如 Al、Cu、Sn、Ni、Au、Ag、Ti、W、焊料、多晶矽、或是它們的組合)會利用選擇性電鍍製程被沉積在該等穿孔中。該光阻會被剝除，留下個別的傳導柱 230。於另一實施例中，傳導柱 230 會被形成短柱凸塊或堆疊凸塊。

一雙主動邊半導體晶粒或組件 232 會被鑲嵌至一暫時性載體。該雙主動邊半導體晶粒 232 具有對向的第一主動表面和第二主動表面，主動表面 235 上的接觸觸墊 234 朝

向該載體而主動表面 237 上的接觸墊 236 則向上背對該載體。半導體晶粒 232 的每一個主動表面皆含有類比電路或數位電路，該等類比電路或數位電路會被執行作為形成在該晶粒裡面的主動式裝置、被動式裝置、傳導層以及介電層，並且會根據該晶粒的電氣設計與功能來進行電互連。舉例來說，該電路可能包含被形成在主動表面 235 與 237 裡面的一或多個電晶體、二極體、以及其它電路元件，用以執行類比電路或數位電路，例如，數位訊號處理器、ASIC、記憶體或是其它訊號處理電路。半導體晶粒 232 可能還含有用於射頻訊號處理的整合被動元件，例如，電感器、電容器以及電阻器。一典型的射頻系統在一或多個半導體封裝中需要用到多個整合被動元件，用以實施必要的電功能。

一囊封劑或模造化合物 238 會利用焊膏印刷塗敷機、壓縮模造塗敷機、轉印模造塗敷機、液體囊封劑模造塗敷機、真空層疊塗敷機、旋塗塗敷機或是其它合宜的塗敷機被沉積在半導體晶粒 232 的上方。囊封劑 238 可能係聚合物復合材料，例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯或是具有適當填充劑的聚合物。囊封劑 238 係非導體並且為半導體裝置提供環境保護，避免受到外部元素與污染物破壞。囊封劑 238 會經過平坦化處理，以便露出傳導柱 230。

複數個穿孔會利用雷射鑽鑿或蝕刻製程(例如 DRIE)於囊封劑 238 中被形成在接觸墊 236 的上方。該等穿孔會利用 PVD、CVD、電解質電鍍、無電極電鍍製程、或是其

它合宜的金屬沉積製程以 Al、Cu、Sn、Ni、Au、Ag、Ti、W、多晶矽、或是其它合宜的導電材料填充，以便形成傳導直通孔洞穿孔 240。直通孔洞穿孔 240 會被電連接至接觸觸墊 236。

一遮蔽層 242 會被形成在囊封劑 238 及半導體晶粒 232 的上方。遮蔽層 242 可能係 Cu、Al、鐵氧體或羰基鐵 (carbonyl iron)、不鏽鋼、鎳銀合金、低碳鋼、矽鐵鋼 (silicon-iron steel)、金屬箔、環氧樹脂、導體樹脂、以及能夠阻隔或吸收電磁干擾 (ElectroMagnetic Interference, EMI)、射頻干擾 (Radio Frequency Interference, RFI)、以及其它裝置間干擾的其它金屬與復合物。遮蔽層 242 亦可能係非金屬材料，例如，碳黑或鋁質薄片，用以降低電磁干擾與射頻干擾的效應。遮蔽層 242 會經由傳導柱 230、遮蔽邊 244、或是接觸觸墊 234 與 236 被接地至增進互連結構 246 與凸塊 252。

該暫時性載體會藉由化學性蝕刻、機械性剝離、CMP、機械性研磨、熱烘烤、雷射掃描、或是濕式剝除被移除。一底邊增進互連結構 246 會被形成在傳導柱 230、半導體晶粒 232、以及囊封劑 238 的上方。該增進互連結構 246 包含一絕緣層或鈍化層 248，其含有由 SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有雷同絕緣特性及結構性特性的其它材料所製成的一或多層。該絕緣層 248 係利用 PVD、CVD、印刷、旋塗、噴塗、燒結、或是熱氧化所形成。

該底邊增進互連結構 246 還進一步包含一導電層 250，其會使用圖樣化與沉積製程 (例如 PVD、CVD、濺鍍、電解

質電鍍、以及無電極電鍍)被形成在絕緣層 248 中。傳導層 250 可能係由下面所製成的一或多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。傳導層 250 中的一部分會被電連接至傳導柱 230 以及半導體晶粒 232 的接觸觸墊 234。傳導層 250 中的其它部分可能為共電或被電隔離，端視該半導體裝置的設計及功能而定。

一導電凸塊材料會利用蒸發製程、電解質電鍍製程、無電極電鍍製程、丸滴製程、或是網印製程被沉積在增進互連結構 246 的上方並且會被電連接至傳導層 250。該凸塊材料可能係 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及它們的組合，具有一非必要的助熔溶劑。舉例來說，該凸塊材料可能是 Sn/Pb 共熔合金、高鉛焊料、或是無鉛焊料。該凸塊材料會利用合宜的附著或焊接製程被焊接至傳導層 250。於一實施例中，該凸塊材料會藉由將該凸塊材料加熱至其熔點以上而被回焊，用以形成球狀的丸體或凸塊 252。於某些應用中，凸塊 252 會被二次回焊，以便改善和傳導層 250 的電接觸效果。該等凸塊也能夠被壓縮焊接至傳導層 250 凸塊 252 代表能夠被形成在傳導層 250 上方的其中一種類型的互連結構。該互連結構亦能夠使用焊線、短柱凸塊、微凸塊、或是其它電互連線。

雖然本文已經詳細解釋過本發明的一或多個實施例；不過，熟練的技術人士便會瞭解，可以對該些實施例進行修正與改變，其並不會脫離隨後申請專利範圍中所提出的本發明的範疇。

【圖式簡單說明】

圖 1 係說明一印刷電路板，在其表面上鑲嵌著不同類型的封裝；

圖 2a 至 2c 係說明被鑲嵌至該印刷電路板的代表性半導體封裝的進一步細節；

圖 3a 至 3h 係說明在扇出晶圓程度晶片級封裝中形成一雙主動邊晶粒的製程；

圖 4 係說明扇出晶圓程度晶片級封裝中的雙主動邊半導體晶粒；

圖 5 係說明具有單邊凸塊的雙主動邊半導體晶粒；

圖 6 係說明具有雙邊凸塊的雙主動邊半導體晶粒；

圖 7 係說明具有一散熱片的雙主動邊半導體晶粒；

圖 8 係說明扇出晶圓程度晶片級封裝中兩個垂直堆疊的雙主動邊半導體晶粒；

圖 9 係說明具有焊線的扇出晶圓程度晶片級封裝中的雙主動邊半導體晶粒；

圖 10 係說明扇出晶圓程度晶片級封裝中兩個並排的雙主動邊半導體晶粒；以及

圖 11 係說明扇出晶圓程度晶片級封裝中具有 EMI 遮蔽的雙主動邊半導體晶粒。

【主要元件符號說明】

50	電子裝置
52	印刷電路板 (PCB)
54	線路

- 56 焊線封裝
- 58 覆晶
- 60 球柵陣列(BGA)
- 62 凸塊晶片載體(BCC)
- 64 雙直列封裝(DIP)
- 66 平台格柵陣列(LGA)
- 68 多晶片模組(MCM)
- 70 方形扁平無導線封裝(QFN)
- 72 方形扁平封裝
- 74 半導體晶粒
- 76 接觸觸墊
- 78 中間載體
- 80 傳導導線
- 82 焊線
- 84 囊封劑
- 88 半導體晶粒
- 90 載體
- 92 底層填充材料或環氧樹脂膠黏材料
- 94 焊線
- 96 接觸觸墊
- 98 接觸觸墊
- 100 模造化合物或囊封劑
- 102 接觸觸墊
- 104 凸塊
- 106 中間載體

- 108 主動區
- 110 凸塊
- 112 凸塊
- 114 訊號線
- 116 模造化合物或囊封劑
- 120 基板或載體
- 122 介面層
- 124 傳導柱
- 130 半導體晶粒或組件
- 132 接觸觸墊
- 133 主動表面
- 134 接觸觸墊
- 135 主動表面
- 136 囊封劑或模造化合物
- 138 直通孔洞穿孔
- 140 頂邊增進互連結構
- 142 絕緣層或鈍化層
- 144 傳導層
- 150 底邊增進互連結構
- 152 絕緣層或鈍化層
- 154 傳導層
- 156 球狀的丸體或凸塊
- 158 鋸片或雷射切割裝置
- 160 扇出晶圓程度晶片級封裝
- 162 凸塊

- 164 凸塊
- 166 散熱片
- 170 半導體晶粒
- 172 接觸觸墊
- 174 凸塊
- 180 半導體晶粒或組件
- 182 接觸觸墊
- 183 主動表面
- 184 接觸觸墊
- 185 主動表面
- 186 焊線
- 188 接觸觸墊
- 190 囊封劑或模造化合物
- 192 互連結構
- 194 絕緣層或鈍化層
- 196 傳導層
- 198 球狀的丸體或凸塊
- 200 傳導柱
- 202 半導體晶粒或組件
- 204 接觸觸墊
- 205 主動表面
- 206 接觸觸墊
- 207 主動表面
- 208 囊封劑或模造化合物
- 210 導體直通孔洞穿孔

104年4月28日	修正	頁(表)
	劃線	

- 212 互連結構
- 214 絕緣層或鈍化層
- 216 傳導層
- 220 互連結構
- 222 絕緣層或鈍化層
- 224 傳導層
- 226 球狀的丸體或凸塊
- 230 傳導柱
- 232 半導體晶粒或組件
- 234 接觸觸墊
- 235 主動表面
- 236 接觸觸墊
- 237 主動表面
- 238 囊封劑或模造化合物
- 240 導體直通孔洞穿孔
- 242 遮蔽層
- 244 遮蔽邊
- 246 互連結構
- 248 絕緣層或鈍化層
- 250 傳導層
- 252 凸塊

七、申請專利範圍：

104年4月28日修正頁(劃線)

1. 一種製造半導體裝置的方法，其包括
提供一載體；
形成複數個傳導柱於該載體之上；
於該等傳導柱之間鑲嵌一第一雙主動邊半導體組件，
該第一雙主動邊半導體組件包含相對的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸觸墊且在該第二主動表面之上有第二接觸觸墊，其中該些傳導柱的高度大於第一雙主動邊半導體組件的高度；
將一囊封劑沉積在該第一雙主動邊半導體組件以及該些傳導柱的上方和周圍以覆蓋該第一雙主動邊半導體組件的第一主動表面；
在該第一雙主動邊半導體組件的第一主動表面上方形形成複數個穿孔穿過該囊封劑並且延伸至該第一接觸觸墊；
將一傳導材料沉積在該些穿孔中以形成複數個傳導穿孔；
在該囊封劑的第一表面上方形形成一第一互連結構，該第一互連結構會被電連接至該些傳導柱以及傳導穿孔；
移除該載體；以及
在該囊封劑中和該囊封劑之第一表面對面的第二表面上方形形成一第二互連結構，該第二互連結構會被電連接至該些傳導柱以及在該第一雙主動邊半導體組件的第二主動表面上的該些第二接觸觸墊。

2. 如申請專利範圍第 1 項的方法，其進一步包含在該第

一互連結構的上方形成一散熱片。

3.如申請專利範圍第1項的方法，其進一步包含在該第一雙主動邊半導體組件的上方形成一遮蔽層。

4.如申請專利範圍第1項的方法，其進一步包含在該些傳導柱之間堆疊一第二半導體組件於該第一雙主動邊半導體組件上方。

5.如申請專利範圍第1項的方法，其進一步包含在該些傳導柱之間鑲嵌一第二半導體組件於該第一雙主動邊半導體組件之鄰近處。

6.一種製造半導體裝置的方法，其包括：

提供複數個傳導柱；

鑲嵌一第一半導體組件在該些傳導柱之間，該第一半導體組件包含相對的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸觸墊且在該第二主動表面之上有第二接觸觸墊；

將一囊封劑沉積在該第一半導體組件的上方並且圍繞該些傳導柱；

在該第一半導體組件的第一主動表面上方形成複數個傳導穿孔穿過該囊封劑；以及

在該囊封劑的第一表面上方形成一第一互連結構，該第一互連結構會被電連接至該些傳導柱和傳導穿孔。

7.如申請專利範圍第6項的方法，其進一步包含在該囊封劑中與該囊封劑之第一表面對面的第二表面上方形成一第二互連結構，該第二互連結構會被電連接至該等傳導柱以及該第一半導體組件的該等第二接觸觸墊。

8.如申請專利範圍第 6 項的方法，其進一步包含在該第一半導體組件上方形成一遮蔽層。

9.如申請專利範圍第 6 項的方法，其進一步包含在該第一半導體組件上方堆疊一第二半導體組件。

10.如申請專利範圍第 6 項的方法，其進一步包含在該第一半導體組件之鄰近處鑲嵌一第二半導體組件。

11.一種半導體裝置，其包括：

複數個傳導柱；

被鑲嵌於該等傳導柱之間的第一半導體組件，該第一半導體組件包含相對的第一主動表面與第二主動表面，在該第一主動表面之上有第一接觸觸墊且在該第二主動表面之上有第二接觸觸墊；

一囊封劑，其被沉積在該第一半導體組件的上方；以及

一第一互連結構，其被形成在該囊封劑的第一表面上方並且被電連接至該等傳導柱以及該第一半導體組件的該等第一接觸觸墊。

12.如申請專利範圍第 11 項的半導體裝置，其進一步包含在該囊封劑中與該囊封劑之第一表面相對的第二表面上方形成一第二互連結構，該第二互連結構會被電連接至該等傳導柱以及該第一半導體組件的該等第二接觸觸墊。

13.如申請專利範圍第 11 項的半導體裝置，其進一步包含一被形成在該第一半導體組件上方的遮蔽層。

14.如申請專利範圍第 11 項的半導體裝置，其進一步包含一於該等傳導柱之間被堆疊在該第一半導體組件上方的

第二半導體組件。

15.如申請專利範圍第 11 項的半導體裝置，其進一步包含一於該等傳導柱之間被鑲嵌在該第一半導體組件鄰近處的第二半導體組件。

八、圖式：

(如次頁)

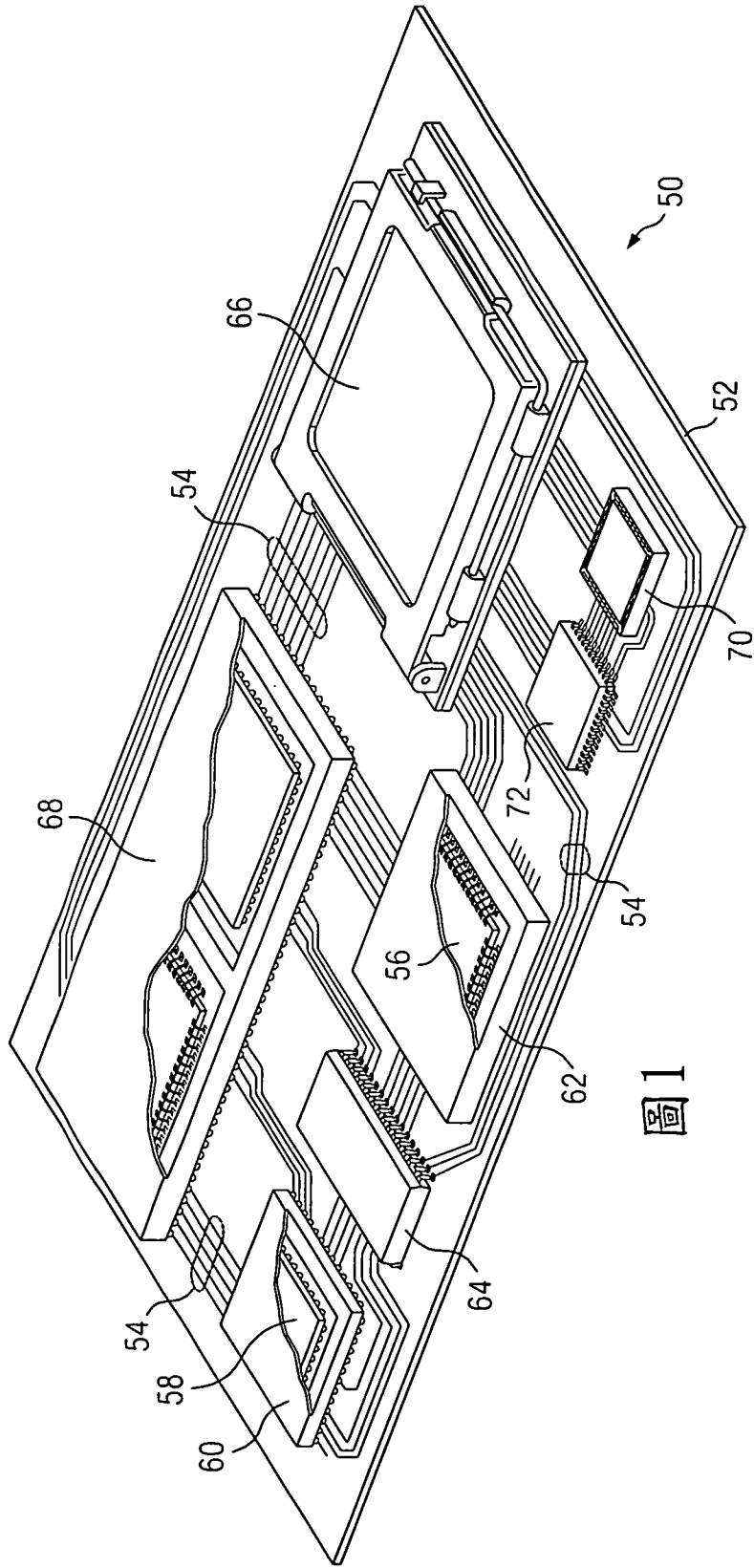


圖 1

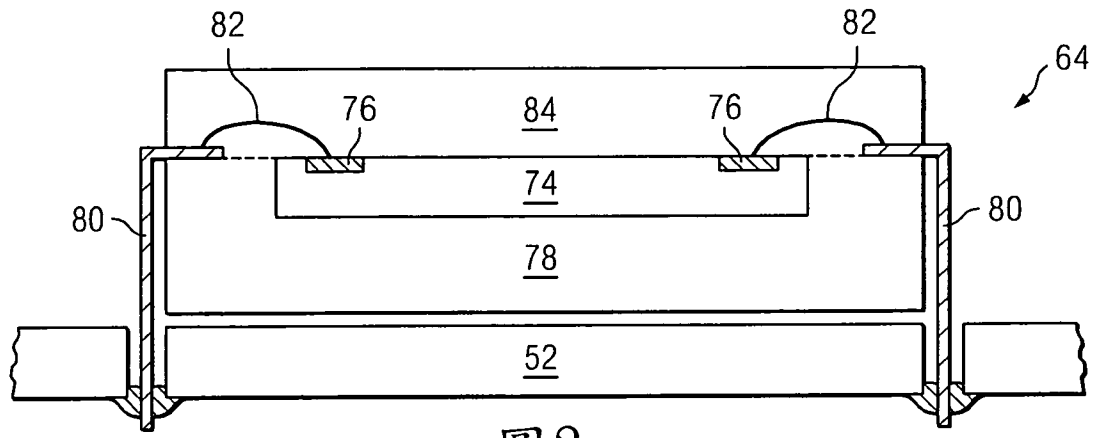


圖 2a

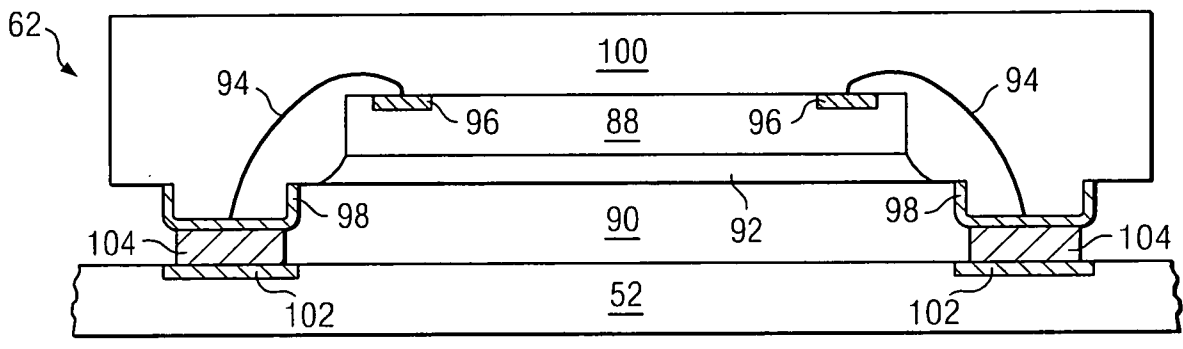


圖 2b

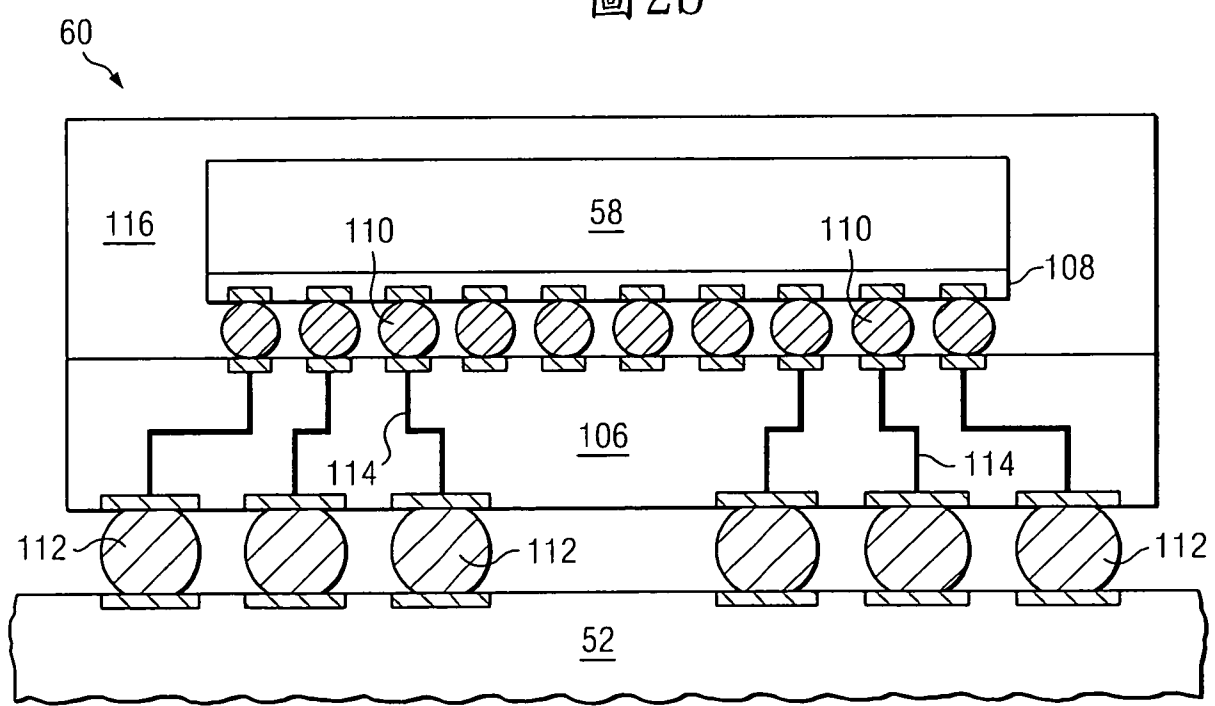


圖 2c

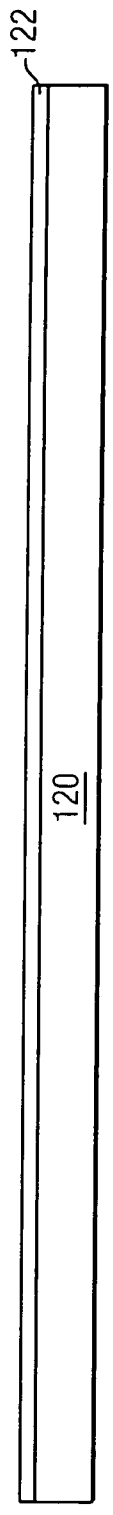


圖 3a

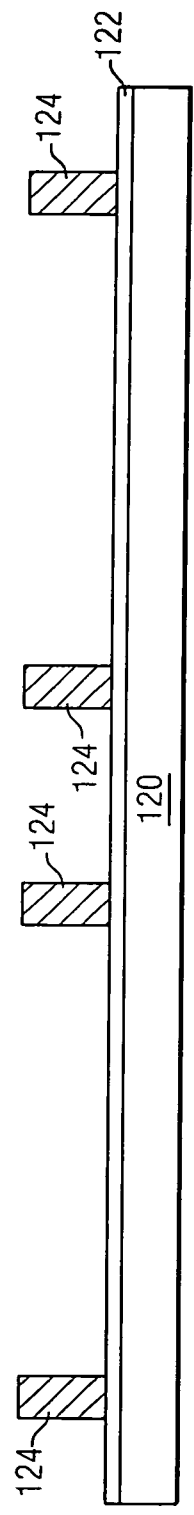


圖 3b

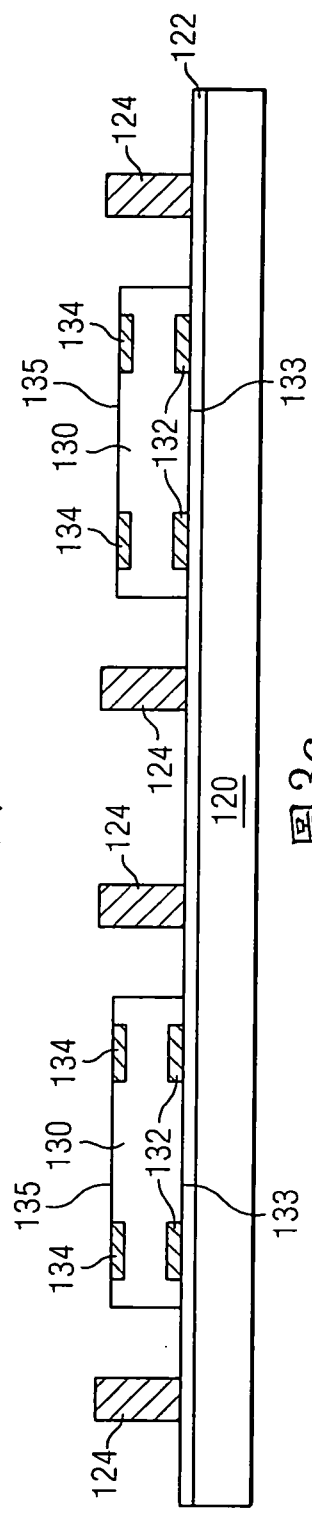


圖 3c

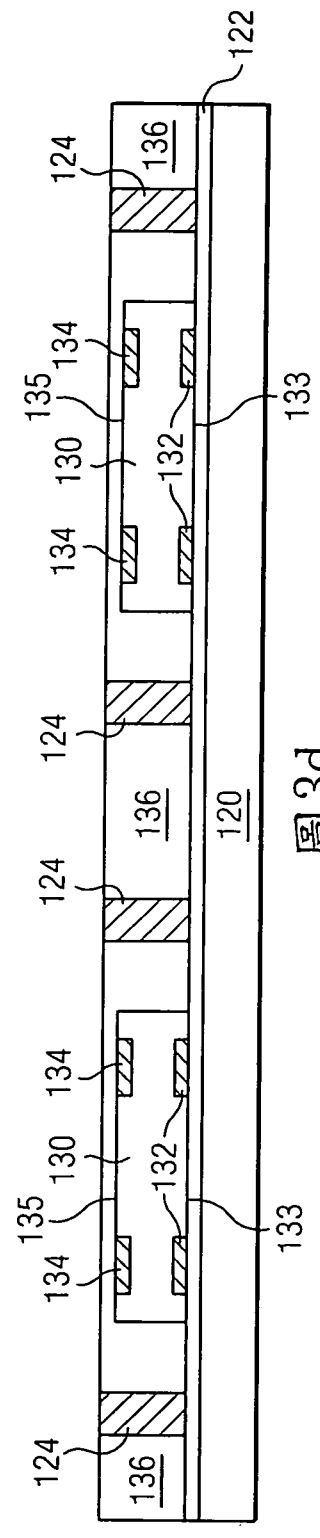


圖 3d

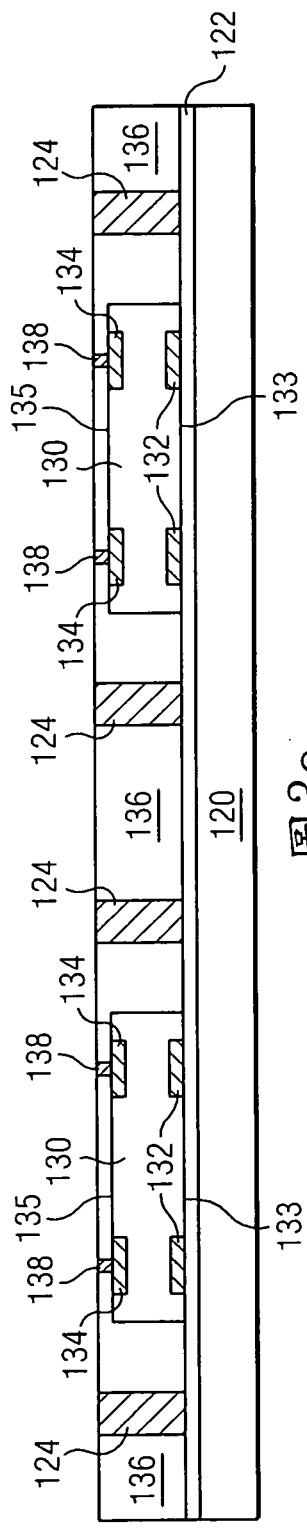


圖3e

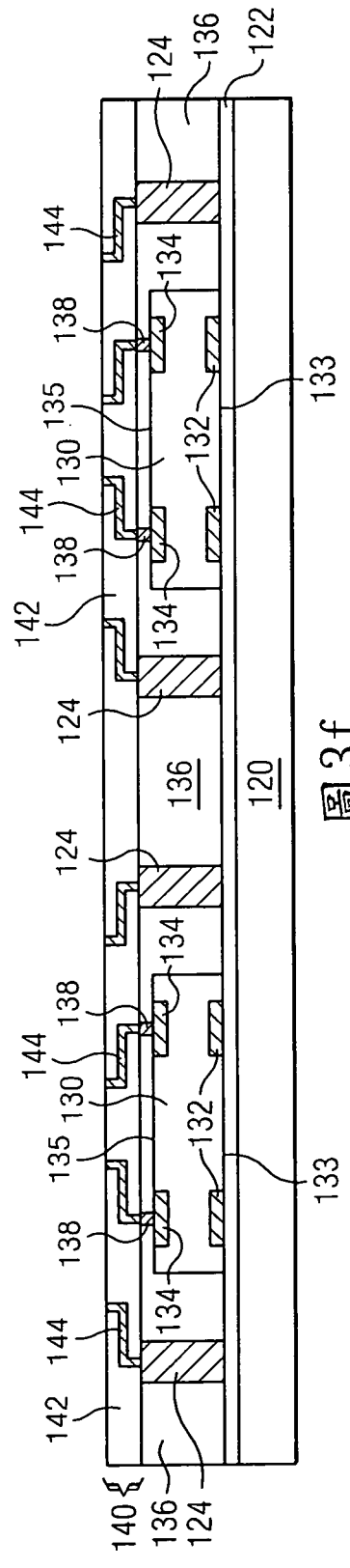


圖3f

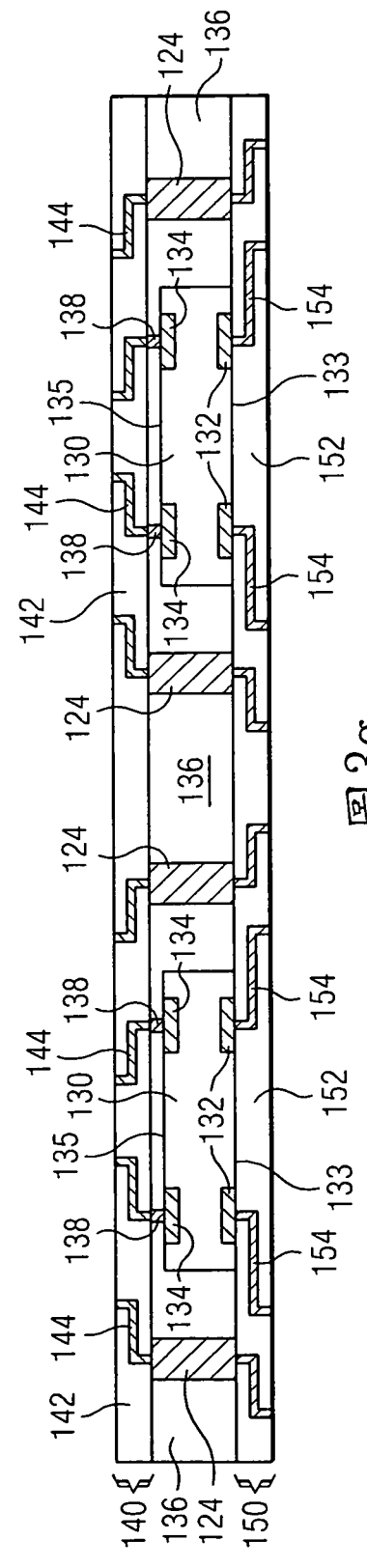


圖3g

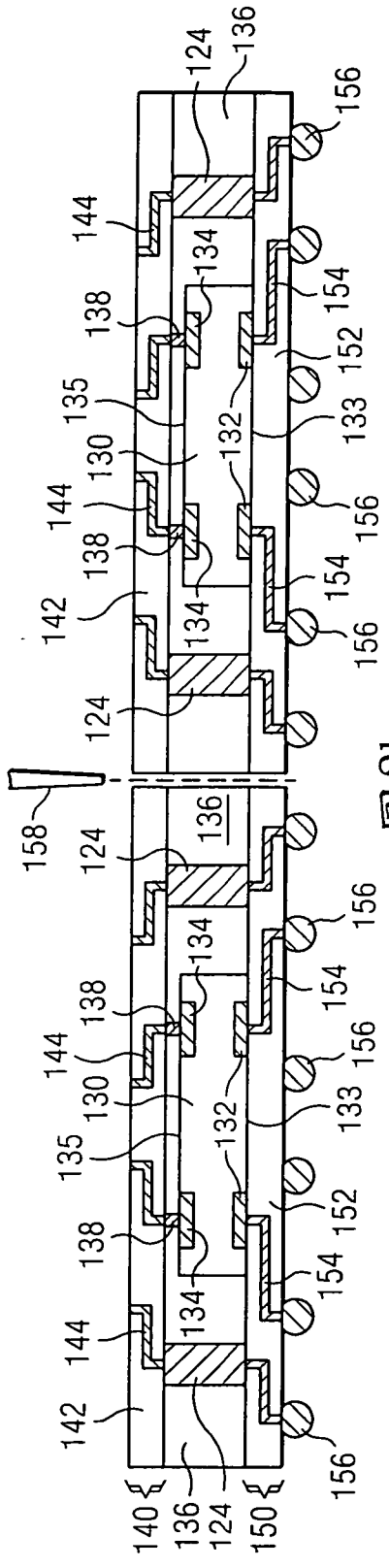


圖3h

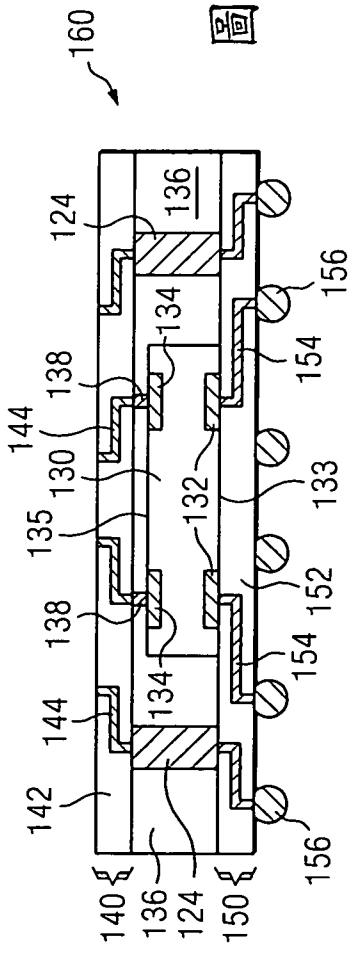


圖4

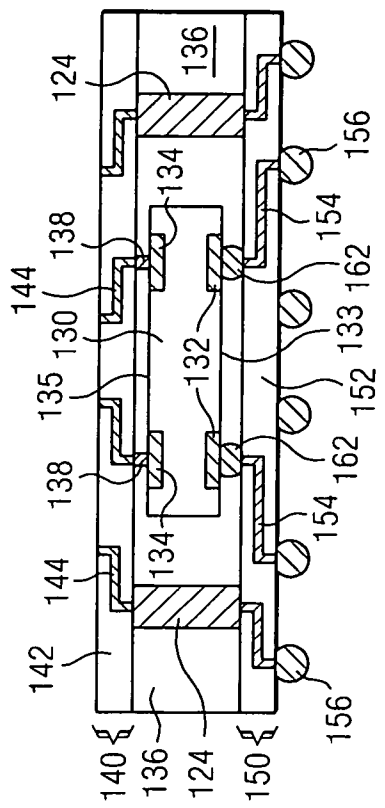


圖5

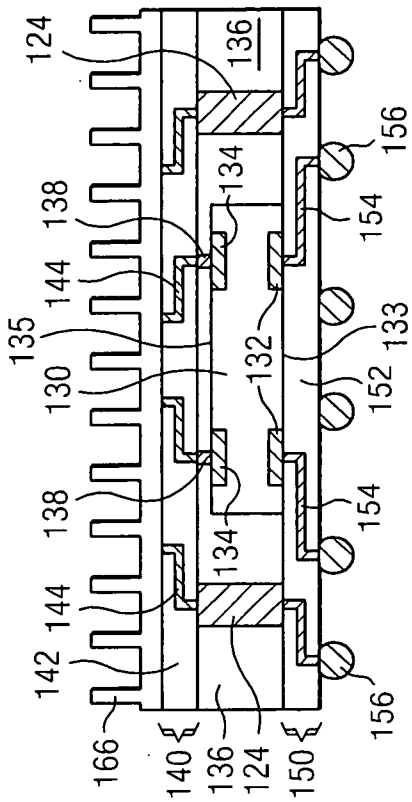


圖7

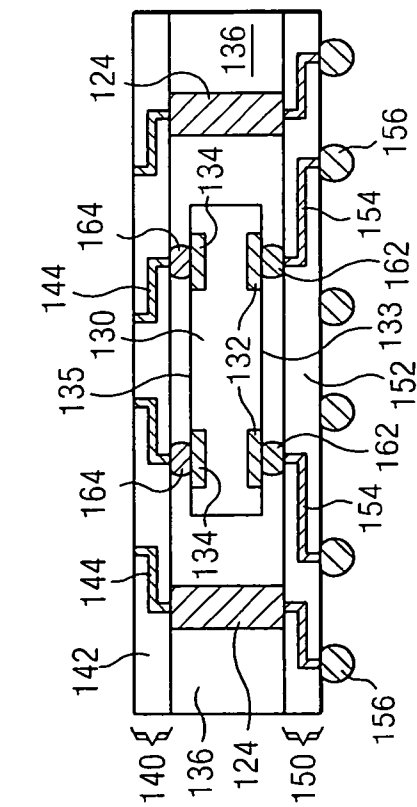


圖6

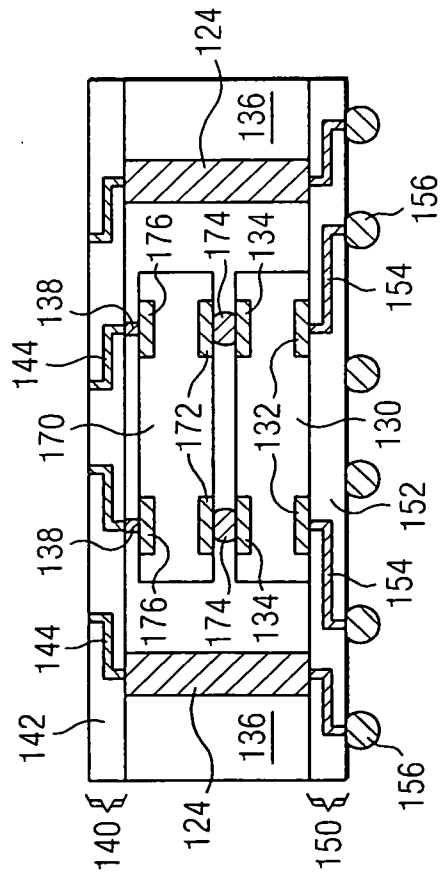


圖8

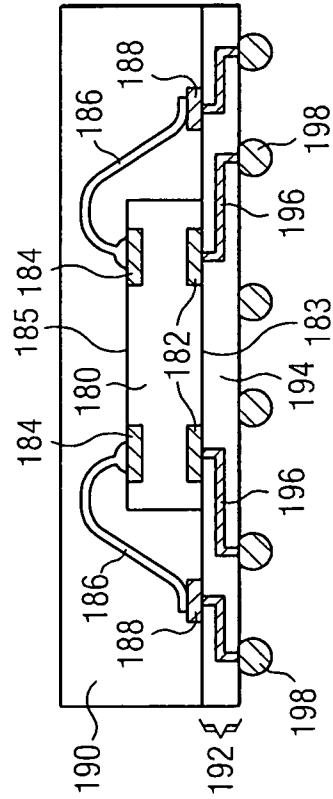


圖9

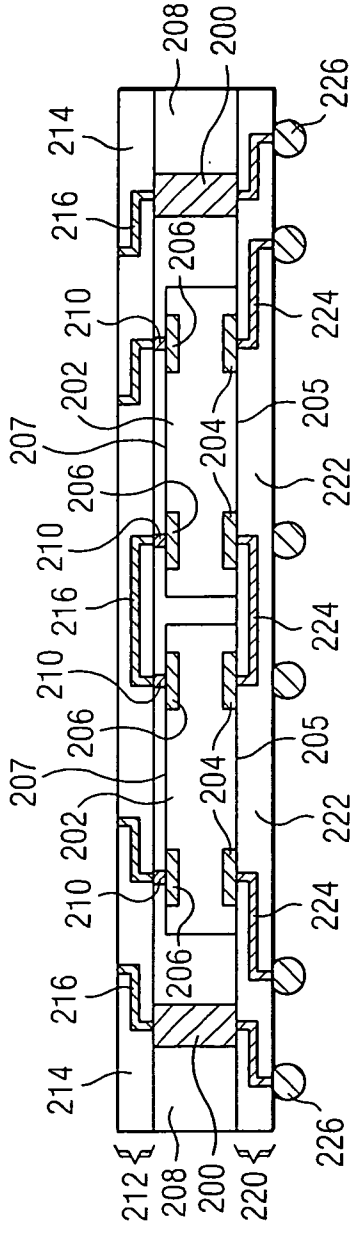


圖10

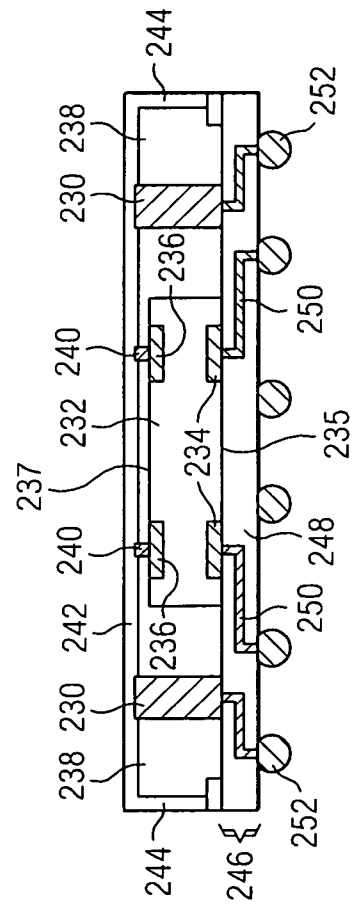


圖11