



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년10월07일

(11) 등록번호 10-2452845

(24) 등록일자 2022년10월05일

(51) 국제특허분류(Int. Cl.)
H01L 33/38 (2010.01) *H01L 33/22* (2010.01)
 (52) CPC특허분류
H01L 33/38 (2013.01)
H01L 33/22 (2013.01)
 (21) 출원번호 10-2018-0009790
 (22) 출원일자 2018년01월26일
 심사청구일자 2021년01월22일
 (65) 공개번호 10-2018-0088309
 (43) 공개일자 2018년08월03일
 (30) 우선권주장
 62/450,860 2017년01월26일 미국(US)
 (56) 선행기술조사문헌
 US20160372630 A1
 JP2016208012 A
 JP2016032009 A

(73) 특허권자
 에피스타 코퍼레이션
 대만 신쥬 시티 사이언스-베이스드 인터스트리얼
 파크 리-신 로드 21
 (72) 발명자
 첸 차오-싱
 타이완 신쥬 사이언스-베이스드 인터스트리얼 파
 크 리신 5번 로드 5
 왕 지아-쿠엔
 타이완 신쥬 사이언스-베이스드 인터스트리얼 파
 크 리신 5번 로드 5
 (뒷면에 계속)
 (74) 대리인
 김태홍, 김진희

전체 청구항 수 : 총 10 항

심사관 : 배성주

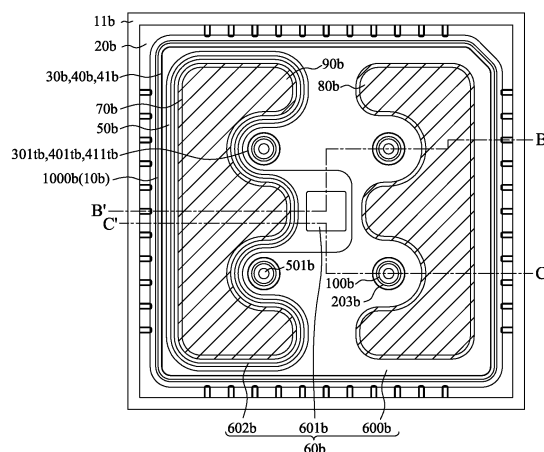
(54) 발명의 명칭 발광 디바이스

(57) 요약

발광 디바이스는 제1 반도체 층, 제2 반도체 층, 및 제1 반도체 층과 제2 반도체 층 사이에 형성된 활성 층을 포함하는 반도체 구조체; 반도체 구조체를 둘러싸고 제1 반도체 층의 표면을 노출시키는 주변 부분; 반도체 구조체 상에 형성되고, 제1 반도체 층의 표면을 커버하는 복수의 돌출부들, 및 제1 반도체 층의 표면을 노출시키는 복수의 오목부들을 포함하는 제1 절연 구조체; 주변 부분 상에 형성되고 복수의 오목부들에 의해 제1 반도체 층의 표면과 접촉하는 제1 접촉부; 반도체 구조체 상에 형성된 제1 패드; 및 반도체 구조체 상에 형성된 제2 패드를 포함한다.

대표도 - 도1

2



(72) 발명자

쥔 츠-야오

타이완 신쥬 사이언스-베이스드 인터스트리얼 파크
리신 5번 로드 5

추앙 웬-형

타이완 신쥬 사이언스-베이스드 인터스트리얼 파크
리신 5번 로드 5

루 쟁-린

타이완 신쥬 사이언스-베이스드 인터스트리얼 파크
리신 5번 로드 5

명세서

청구범위

청구항 1

발광 디바이스로서,

제1 반도체 층, 제2 반도체 층, 및 상기 제1 반도체 층과 상기 제2 반도체 층 사이의 활성 층을 포함하는 반도체 구조체;

상기 반도체 구조체를 둘러싸고 상기 제1 반도체 층의 표면을 노출시키는 주변 부분;

상기 반도체 구조체 상에 형성되고, 상기 제1 반도체 층의 상기 표면의 부분들을 커버하는 복수의 돌출부들, 및 상기 제1 반도체 층의 상기 표면의 다른 부분들을 노출시키는 복수의 오목부들을 포함하는 제1 절연 구조체;

상기 주변 부분 상에 형성되고 상기 복수의 오목부들에 의해 상기 제1 반도체 층의 상기 표면의 상기 다른 부분들과 접촉하는 제1 접촉부;

상기 반도체 구조체 상에 형성된 제1 패드; 및

상기 반도체 구조체 상에 형성된 제2 패드

를 포함하는, 발광 디바이스.

청구항 2

제1항에 있어서,

상기 발광 디바이스의 상면도(top view)에서의 상기 반도체 구조체의 기하학적 중심에 형성된 제2 접촉부를 더 포함하고,

상기 제2 접촉부는 상기 제1 반도체 층 및 상기 제2 반도체 층으로부터 전기적으로 절연되어 있는 것인, 발광 디바이스.

청구항 3

제1항에 있어서,

상기 반도체 구조체 상에 형성된 제3 접촉부를 더 포함하고, 상기 제3 접촉부는 상기 제1 접촉부에 의해 둘러싸인 것인, 발광 디바이스.

청구항 4

제1항에 있어서,

상기 반도체 구조체의 기하학적 중심에 형성되고 상기 제1 접촉부에 연결되는 제2 접촉부를 더 포함하거나,

상기 반도체 구조체 상에 형성되고 상기 제1 접촉부에 의해 둘러싸이고 제2 접촉부 - 상기 제2 접촉부는 상기 반도체 구조체의 기하학적 중심에 형성됨 - 에 연결되는 제3 접촉부를 더 포함하는, 발광 디바이스.

청구항 5

제1항에 있어서,

상기 제2 반도체 층 및 상기 활성 층을 관통하여 상기 제1 반도체 층을 노출시키는 하나 또는 복수의 비아들을 더 포함하는, 발광 디바이스.

청구항 6

제1항에 있어서,

상기 제1 절연 구조체는 상기 제1 반도체 층의 상기 표면의 코너들을 커버하는 것인, 발광 디바이스.

청구항 7

제1항에 있어서,

상기 복수의 돌출부들 및 상기 복수의 오목부들은 교호로 배열되고 상기 발광 디바이스의 상면도에서의 상기 주변 부분 상에 형성되는 것인, 발광 디바이스.

청구항 8

제1항에 있어서,

상기 주변 부분 상에 형성되고 상기 제1 절연 구조체를 커버하는 제2 절연 구조체를 더 포함하고, 상기 제2 절연 구조체는 상기 제1 절연 구조체의 형상에 대응하는 형상을 포함하는 것인, 발광 디바이스.

청구항 9

제1항에 있어서,

상기 반도체 구조체 상에 형성된 제3 절연 구조체를 더 포함하고, 상기 제3 절연 구조체는 제1 개구부 및 제2 개구부를 포함하고, 상기 제1 패드는 상기 제1 개구부에 형성되고 상기 제2 패드는 상기 제2 개구부에 형성되는 것인, 발광 디바이스.

청구항 10

제1항에 있어서,

상기 제1 접촉부는 상기 제1 절연 구조체를 따라 배치된 요철 상부 표면(concave-convex top surface)을 포함하는 것인, 발광 디바이스.

발명의 설명

기술 분야

[0001] 본 출원은 발광 디바이스의 구조체에 관한 것으로, 더 구체적으로는, 반도체 구조체 및 그 반도체 구조체 상의 패드를 포함하는 발광 디바이스에 관한 것이다.

배경 기술

[0002] 발광 다이오드(Light-Emitting Diode)(LED)는 낮은 전력 소비, 낮은 발열, 긴 작동 수명, 내충격성, 작은 볼륨, 빠른 반응 속도 및 양호한 광전 특성, 예컨대 안정된 방출 파장의 이점들을 갖는 솔리드 스테이트 반도체 발광 디바이스이다. 그에 따라, 발광 다이오드들은 가전 제품들, 장비 표시기들, 및 광전자 제품들에 널리 사용된다.

발명의 내용

[0003] 발광 디바이스는 제1 반도체 층, 제2 반도체 층, 및 제1 반도체 층과 제2 반도체 층 사이에 형성된 활성 층을 포함하는 반도체 구조체; 반도체 구조체를 둘러싸고 제1 반도체 층의 표면을 노출시키는 주변 부분; 반도체 구조체 상에 형성되고, 제1 반도체 층의 표면의 부분들을 커버하는 복수의 돌출부들, 및 제1 반도체 층의 표면의 다른 부분들을 노출시키는 복수의 오목부들을 포함하는 제1 절연 구조체; 주변 부분 상에 형성되고 복수의 오목부들에 의해 제1 반도체 층의 표면의 다른 부분들과 접촉하는 제1 접촉부; 반도체 구조체 상에 형성된 제1 패드; 및 반도체 구조체 상에 형성된 제2 패드를 포함한다.

[0004] 발광 디바이스는 제1 반도체 층, 제2 반도체 층, 및 제1 반도체 층과 제2 반도체 층 사이의 활성 층을 포함하는 반도체 구조체; 반도체 구조체를 둘러싸고 제1 반도체 층의 표면을 노출시키는 주변 부분; 반도체 구조체 상에 형성되고, 제1 반도체 층의 표면의 코너들을 커버하고 제1 반도체 층의 표면의 에지들에서의 부분들을 노출시키는 제1 절연 구조체; 주변 부분 상에 형성되고 제1 반도체 층의 표면의 에지들에서의 부분들과 접촉하는 제1 접촉부; 반도체 구조체 상에 형성된 제1 패드; 및 반도체 구조체 상에 형성된 제2 패드를 포함한다.

도면의 간단한 설명

- [0005] 도 1은 본 출원의 실시예에 따른 발광 디바이스(2)의 상면도(top view)를 예시한다.
 도 2는 도 1의 라인 B-B'를 따라 취득된 단면도를 예시한다.
 도 3은 도 1의 라인 C-C'를 따라 취득된 단면도를 예시한다.
 도 4는 도 1에 도시된 발광 디바이스(2)의 프로세스 플로우를 예시한다.
 도 5는 본 출원의 실시예에 따른 발광 디바이스(2)의 파손 영역(broken-down region)들의 상면도를 예시한다.
 도 6은 종래의 발광 디바이스(3)의 파손 영역들의 상면도를 예시한다.
 도 7은 EOS 테스트에서 서지(surge)의 전압 파형을 예시한다.
 도 8은 서지의 최대 인가 전압들 대 발광 디바이스(2) 및 종래의 발광 디바이스(3)의 턴온된(turned-on) 순방향 전압(V_f)의 표를 예시한다.
 도 9는 서지의 최대 인가 전압들 대 발광 디바이스(2) 및 종래의 발광 디바이스(3)의 역방향 전류(I_r)의 표를 예시한다.
 도 10은 본 출원의 실시예에 따른 발광 장치의 개략도를 예시한다.
 도 11은 본 출원의 실시예에 따른 발광 장치의 구조체 다이어그램을 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0006] 본 출원의 실시예가 상세히 예시되고, 도면들에 플로팅된다. 동일하거나 유사한 부분은 도면들 및 명세서에서 동일한 번호로 예시된다.
- [0007] 도 1 내지 도 4를 참조하면, 도 1은 본 출원의 실시예에 따른 발광 디바이스(2)의 상면도이고, 도 2는 도 1의 라인 B-B'를 따라 취득된 단면도이고, 도 3은 도 1의 라인 C-C'를 따라 취득된 단면도이고, 도 4는 도 1에 도시된 발광 디바이스(2)의 프로세스 플로우를 도시한다.
- [0008] 발광 디바이스(2)는 기판(11b); 기판(11b) 상의 하나 이상의 반도체 구조체(1000b); 하나 이상의 반도체 구조체(1000b)를 둘러싸는 주변 부분(111b); 반도체 구조체(1000b) 상에 배치되고 주변 부분(111b)을 따라 형성된 제1 절연 구조체(20b); 하나 이상의 반도체 구조체(1000b) 상에 배치된 투명 전도성 층(30b); 투명 전도성 층(30b) 상에 배치된 반사 층(40b) 및 배리어 층(41b)을 포함하는 반사 구조체; 반사 층(40b) 및 배리어 층(41b)을 커버하는 제2 절연 구조체(50b); 제2 절연 구조체(50b) 상에 형성된 접촉 층(60b); 접촉 층(60b) 상에 배치된 제3 절연 구조체(70b); 및 접촉 층(60b) 상에 배치된 제1 패드(80b) 및 제2 패드(90b)를 포함한다.
- [0009] 도 1 내지 도 4를 참조하면, 발광 디바이스(2)의 제조 프로세스는, 초기에는, 기판(11b) 상에 반도체 스택(10b)을 형성하는 것을 포함한다. 기판(11b)은 사파이어 기판일 수 있으나, 이에 제한되지 않는다. 일 실시예에서, 기판(11b)은 패터닝된 표면을 포함한다. 패터닝된 표면은 복수의 패턴들을 포함한다. 패턴의 형상은 원뿔, 피라미드 또는 반구를 포함한다.
- [0010] 본 출원의 실시예에서, 기판(11b)은, 알루미늄 갈륨 인듐 인화물(AlGaInP)을 성장시키기 위한 갈륨 비소(GaAs) 웨이퍼, 사파이어(Al_2O_3) 웨이퍼, 인듐 갈륨 질화물(InGaN)을 성장시키기 위한 규소 탄화물(SiC) 웨이퍼 또는 갈륨 질화물(GaN) 웨이퍼를 포함하는, 반도체 스택(10b)의 에피택셜 성장을 위한 성장 기판일 수 있다.
- [0011] 본 출원의 실시예에서, 기판(11b)은 반도체 구조체들(1000b)과 기판(11b) 사이의 패터닝된 표면을 포함하고, 이는 발광 디바이스(2)의 광 추출 효율을 향상시킬 수 있다. 기판(11b)의 노출된 표면은 또한 패터닝된 표면(도시되지 않음)을 포함한다. 랜덤 패턴, 마이크로렌즈들, 마이크로레이들, 산란 영역들 또는 다른 광학 영역들을 포함하는 패턴의 다양한 구성들이 채택될 수 있다. 예를 들어, 패터닝된 표면은 복수의 돌출부들을 포함하고, 각각의 돌출부는 높이가 약 0.5 내지 2.5 μm , 폭이 1 내지 3.5 μm , 피치가 약 1 내지 3.5 μm 일 수 있다.
- [0012] 본 출원의 실시예에서, 기판(11b)은 측벽을 포함한다. 측벽은 발광 디바이스(2)의 광 추출 효율을 향상시키기 위해 평평한 표면 및/또는 거친 표면을 포함한다. 본 출원의 실시예에서, 기판(11b)의 측벽은 발광 디바이스(2)의 광학 필드 분포(optical field distribution)를 조정하기 위해 반도체 구조체(1000b)에 인접한 기판

(11b)의 표면에 대해 경사질 수 있다.

- [0013] 본 출원의 실시예에서, 반도체 스택(10b)은 발광 각도 또는 파장 분포와 같은 광학 특성들, 및 순방향 전압 또는 역방향 전류와 같은 전기적 특성들을 포함한다. 반도체 스택(10b)은 유기 금속 화학 기상 증착(organic metal chemical vapor deposition)(MOCVD), 분자선 에피택시(molecular beam epitaxy)(MBE), 수소화물 기상 증착(hydride vapor deposition)(HVPE), 또는 이온 도금, 예컨대 스퍼터링 또는 증발에 의해 기판(11b) 상에 형성될 수 있다.
- [0014] 하나 이상의 반도체 구조체들(1000b) 각각은 제1 반도체 층(101b), 제2 반도체 층(102b), 및 제1 반도체 층(101b)과 제2 반도체 층(102b) 사이의 활성 층(103b)을 포함하는 반도체 스택(10b)을 포함한다. 더욱이, 반도체 구조체(1000b)는 제2 반도체 층(102b) 및 활성 층(103b)을 관통하여 제1 반도체 층(101b)을 노출시키는 하나 또는 복수의 비아들(100b)을 더 포함한다. 제1 반도체 층(101b) 및 제2 반도체 층(102b) 각각은 단층(single layer) 또는 다수의 서브 층들로 구성될 수 있다. 추가로, 활성 층(103b)은 단일 양자 우물 구조체(single-quantum well structure) 또는 다중 양자 우물 구조체(multi-quantum well structure)를 가질 수 있다. 반도체 스택(10b)은 기판(11b) 상에 III족 질화물계 화합물 반도체 층을 성장시킴으로써 형성될 수 있고, 성장 방법은 금속 유기 화학 기상 증착(MOCVD), 분자선 에피택시(MBE) 또는 물리 기상 증착(physical vapor deposition)(PVD)을 포함한다.
- [0015] 더욱이, 기판(11b)과 반도체 스택(10b) 사이의 격자 불일치를 완화시키도록, 반도체 스택(10b)을 형성하기 전에 기판(11b) 상에 버퍼 구조체(도시되지 않음)가 형성될 수 있다. 버퍼 구조체는 갈륨 질화물 및 알루미늄 갈륨 질화물과 같은 GaN계 재료, 또는 AlN계 재료로부터 이루어질 수 있다. 버퍼 구조체는 단층 또는 다수의 층들일 수 있다. 버퍼 구조체는 금속 유기 화학 기상 증착(MOCVD), 분자선 에피택시(MBE) 또는 물리 기상 증착(PVD)에 의해 형성될 수 있다. PVD 방법은 스퍼터링, 예를 들어, 반응성 스퍼터링, 또는 e-빔 증발 또는 열 증발과 같은 증발을 포함한다. 일 실시예에서, 버퍼 구조체는 AlN 버퍼 층을 포함하고 스퍼터링에 의해 형성된다. AlN 버퍼 층은 패터닝된 표면을 갖는 성장 기판 상에 형성된다. 스퍼터링 방법은 균일성이 높은 조밀한 버퍼 층을 생성할 수 있고, 그에 따라 AlN 버퍼 층이 기판(11b)의 패터닝된 표면 상에 순응적으로 퇴적될 수 있다.
- [0016] 본 출원의 실시예에서, 제1 반도체 층(101b) 및 제2 반도체 층(102b), 예컨대 클래딩 층(cladding layer)은 전자들 또는 정공들을 제공하기 위해 상이한 전도성 타입들, 전기적 특성들, 극성들, 또는 도핑 요소들을 갖는다. 예를 들어, 제1 반도체 층(101b)은 n-타입 반도체이고 제2 반도체 층(102b)은 p-타입 반도체이다. 활성 층(103b)은 제1 반도체 층(101b)과 제2 반도체 층(102b) 사이에 형성된다. 전자들 및 정공들은 전류 구동 하에서 활성 층(103b)에서 결합하여 전기 에너지를 광 에너지로 변환한 후에 활성 층(103b)으로부터 광이 방출된다. 발광 디바이스(2)로부터 방출된 광의 파장은 반도체 스택(10b) 내의 하나 이상의 층들의 물리적 및 화학적 조성을 변경함으로써 조정된다. 반도체 스택(10b)의 재료는 III-V족 반도체 재료, 예컨대 $Al_xIn_yGa_{(1-x-y)}N$ 또는 $Al_xIn_yGa_{(1-x-y)}P$ 를 포함하고, 여기서 $0 \leq x, y \leq 1$; $(x+y) \leq 1$ 이다. 활성 층(103b)의 재료에 따라, 반도체 스택(10b)의 재료가 AlInGaP계 재료일 때, 610nm 내지 650nm의 파장을 갖는 적색 광 또는 550nm 내지 570nm의 파장을 갖는 황색 광이 방출될 수 있다. 반도체 스택(10b)의 재료가 InGaP계 재료일 때, 400nm 내지 490nm의 파장을 갖는 청색 또는 짙은 청색 광 또는 490nm 내지 550nm의 파장을 갖는 녹색 광이 방출될 수 있다. 반도체 스택(10b)의 재료가 AlGaP계 재료일 때, 400nm 내지 250nm의 파장을 갖는 UV 광이 방출될 수 있다. 활성 층(103b)은 단일 헤테로 구조체(single heterostructure)(SH), 이중 헤테로 구조체(double heterostructure)(DH), 양면 이중 헤테로 구조체(double-side double heterostructure)(DDH) 또는 다중 양자 우물 구조체(MQW)일 수 있다. 활성 층(103b)의 재료는 i-타입, p-타입, 또는 n-타입 반도체일 수 있다.
- [0017] 기판(11b) 상에 반도체 스택(10b)을 형성한 후에, 반도체 스택(10b)이 포토리소그래피 및 에칭 프로세스에 의해 패터닝되어 복수의 비아들(100b) 및 주변 부분(111b)을 형성한다. 그러한 포토리소그래피 및 에칭 프로세스에 의해, 제2 반도체 층(102b) 및 활성 층(103b)의 내부 부분들의 일부들이 제거되어 복수의 비아들(100b)을 형성하고, 이에 따라 제1 반도체 층(101b)의 제2 표면(1012b)이 비아들(100b)에 의해 노출된다. 본 명세서에서, 비아(100b)는 내측 벽(1002b) 및 제2 표면(1012b)에 의해 규정된다. 내측 벽(1002b)의 일단(one end)은 제1 반도체 층(101b)의 제2 표면(1012b)에 연결되고 내측 벽(1002b)의 타단(another end)은 제2 반도체 층(102b)의 표면(102sb)에 연결된다.
- [0018] 동일한 또는 다른 포토리소그래피 및 에칭 프로세스에 의해, 반도체 구조체(1000b) 주위의 제2 반도체 층(102b) 및 활성 층(103b)의 외주부(periphery)들이 제거되어 주변 부분(111b)을 형성하고, 이에 따라 제1 반도체 층(101b)의 제1 표면(1011b)이 주변 부분(111b)에 의해 노출된다. 다른 실시예에서, 포토리소그래피 및 에칭 프

로세스에서, 제1 반도체 층(101b)의 부분들은 보다 깊은 에칭 깊이로 추가로 제거되어 제2 표면(1012b) 및 제1 표면(1011b)을 노출시킬 수 있다. 구체적으로는, 주변 부분(111b)는 기판(11b)의 노출된 표면, 제1 반도체 층(101b)의 제1 표면(1011b)을 포함하는 노출된 표면, 및 제2 반도체 층(102b), 활성 층(103b) 및 제1 반도체 층(101b)의 노출된 측부 표면들에 의해 구성된 제2 외측 벽(1001b) 및 제1 외측 벽(1003b)을 포함하고, 여기서 제1 표면(1011b)의 일단은 제1 외측 벽(1003b)에 연결되고 제1 표면(1011b)의 타단은 제2 외측 벽(1001b)에 연결된다. 제1 외측 벽(1003b) 및 제2 외측 벽(1001b)은 제1 표면(1011b)에 대해 경사져 있다. 주변 부분(111b)은 반도체 구조체(1000b)의 외주부를 따라 배치되고, 주변 부분(111b)은 하나 이상의 반도체 구조체(1000b)의 외주부에 배치되거나 및/또는 이를 둘러싸고 있다. 일 실시예에서, 제1 외측 벽(1003b)은 기판(11b)의 노출된 표면(도시되지 않음)에 대해 경사져 있다. 기판(11b)의 노출된 표면과 제1 외측 벽(1003b) 사이의 각도는 예각을 포함한다. 일 실시예에서, 기판(11b)의 노출된 표면과 제1 외측 벽(1003b) 사이의 각도는 둔각을 포함한다.

[0019]

반도체 구조체(1000b)가 형성된 후에, 제1 절연 구조체(20b)가 반도체 구조체(1000b) 상에 형성되고, 제2 반도체 층(102b)의 표면(102sb)의 일부를 커버하고, 제2 외측 벽(1001b)까지 연장되고, 제1 표면(1011b)을 추가로 커버한다. 다시 말해, 제1 절연 구조체(20b)는 주변 부분(111b)의 부분들을 커버한다. 제1 절연 구조체(20b)는 반도체 구조체(1000b)의 측벽을 보호하여 후속 프로세스들에 의해 활성 층(103b)이 파괴되는 것을 방지한다. 도 4에 도시된 바와 같이, 제1 절연 구조체(20b)는 상면도에서의 주변 절연 부분(201b) 및 복수의 링 형상 캡들(203b)을 포함한다. 본 명세서에서, 주변 절연 부분(201b)은 상면도에서의 복수의 돌출부들(2011b) 및 복수의 오목부들(2012b)을 포함한다. 복수의 링 형상 캡들(203b)은 주변 절연 부분(201b)에 의해 둘러싸이고, 복수의 링 형상 캡들(203b) 각각은 복수의 비아들(100b)에 형성된다. 복수의 링 형상 캡들(203b)의 위치는 복수의 비아들(100b)의 위치에 대응한다. 복수의 링 형상 캡들(203b) 각각은 제1 반도체 층(101b)의 제2 표면(1012b)을 노출시키는 개구부(라벨링되지 않음)를 갖는다. 일 실시예에서, 제1 절연 구조체(20b)의 주변 절연 부분(201b)은 제1 반도체 층(101b)의 제1 표면(1011b)을 따라 배치되고 반도체 구조체(1000b)를 둘러싸고 있다. 본 실시예에서, 주변 절연 부분(201b)의 복수의 돌출부들(2011b) 및 복수의 오목부들(2012b)은 주변 부분(111b)을 따라 교호로 배열되고, 복수의 링 형상 캡들(203b)의 위치들은 반도체 구조체(1000b)의 복수의 비아들(100b)의 위치들에 대응하지만, 본 출원은 이에 제한되지 않는다. 일 실시예에서, 2개의 돌출부들(2011b) 사이의 공간은 오목부들(2012b)을 구성한다. 다른 실시예에서, 주변 절연 부분(201b)은 돌출부(2011b)로부터 돌출하는 서브 돌출부를 더 포함할 수 있거나, 및/또는 오목부(2012b)로부터 움푹 들어간 서브 오목부를 더 포함할 수 있다. 본 실시예에서, 복수의 돌출부들(2011b)은 제2 반도체 층(102b)의 표면(102sb)으로부터 연장되어, 제1 반도체 층(101b)의 제1 표면(1011b)의 부분들 및 제1 반도체 층(101b)의 제1 표면(1011b)의 코너들과 직접 접촉하고 이들을 커버한다. 복수의 오목부들(2012b)은 복수의 돌출부들(2011b)에 의해 커버되지 않는 제1 반도체 층(101b)의 제1 표면(1011b)의 다른 부분들을 노출시킨다. 일 실시예에서, 복수의 오목부들(2012b)은 반도체 구조체(1000b)의 에지들에서의 제1 표면(1011b)을 노출시킨다. 도 2에 도시된 바와 같이, 단면도에서, 제1 절연 구조체(20b)의 오목부(2012b)에 의해 제1 반도체 층(101b)의 제1 표면(1011b)의 부분이 노출된다. 도 3에 도시된 바와 같이, 단면도에서, 제1 절연 구조체(20b)의 돌출부(2011b)는 제1 반도체 층(101b)의 제1 표면(1011b) 및 반도체 구조체(1000b)의 측벽들을 커버한다. 다시 말해, 복수의 돌출부들(2011b) 및 복수의 오목부들(2012b)이 교호로 배열되어 제1 반도체 층(101b)의 제1 표면(1011b)의 부분들을 커버하고 제1 반도체 층(101b)의 제1 표면(1011b)의 다른 부분들을 각각 노출시킨다. 이러한 실시예에서, 제1 표면(1011b)의 노출된 부분들은 불연속적이고, 제1 표면(1011b)의 노출된 부분들의 총 면적은 제1 표면(1011b)의 전체 면적보다 더 작다. 제2 반도체 층(102b)의 대부분은 제1 절연 구조체(20b)에 의해 커버되지 않는다. 일 실시예에서, 상면도로부터, 주변 절연 부분(201b)의 형상은 링형 형상, 예를 들어, 직사각형 링, 원형 링, 또는 다각형 링을 포함할 수 있다. 복수의 돌출부들(2011b) 또는 복수의 오목부들(2012b) 중 하나의 것의 형상은 상면도로부터의 삼각형, 직사각형, 반원, 원, 또는 다각형을 포함할 수 있다. 제1 절연 구조체(20b)의 재료는 비전도성 재료일 수 있다. 본 명세서에서, 비전도성 재료는 유기 재료, 무기 재료 또는 유전체 재료를 포함한다. 유기 재료는 Su8, 벤조시클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시, 아크릴 수지, 고리형 올레핀 공중합체들(COC), 폴리메틸 메타크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET), 폴리이미드(PI), 폴리카보네이트(PC), 폴리에테리미드, 또는 플루오로카본 중합체를 포함한다. 무기 재료는 실리콘 또는 유리를 포함한다. 유전체 재료는 알루미늄 산화물(Al_2O_3), 규소 질화물(SiN_x), 규소 산화물(SiO_x), 티타늄 이산화물(TiO_2), 또는 마그네슘 불화물(MgF_x)을 포함한다. 제1 절연 구조체(20b)는 단층 또는 다수의 층들을 포함한다. 제1 절연 구조체(20b)는 반도체 구조체(1000b)의 측벽을 보호하여 후속 프로세스들에 의해 활성 층(103b)이 파괴되는 것을 방지한다. 제1 절연 구조체(20b)가 다수의 층들을 포함할 때, 제1 절연 구조체(20b)는 복수 쌍들의 층들을 포함하는 분포 브래그 반사기(distributed Bragg reflector)(DBR)일 수 있고, 각각의 층은 인접한 층들의 굴절률과는 상

이한 굴절률을 갖는다. 구체적으로는, 제1 절연 구조체(20b)는 SiO_x 층 및 TiO_x 층을 교호로 적층함으로써 형성될 수 있다. DBR은 반도체 구조체(1000b)의 측벽들을 보호하고, 높은 굴절률 및 낮은 굴절률을 각각 갖는 각각의 쌍의 층들 사이의 굴절률 차이를 설정함으로써 특정 파장에 대한 또는 특정 파장 범위 내의 높은 반사율을 제공할 수 있다. 각각의 쌍에서의 2개의 층들의 두께들은 상이할 수 있다. 동일한 재료를 갖는 각각의 쌍에서의 층들의 두께들은 동일하거나 상이할 수 있다. DBR은 활성 층(103b)으로부터 방출된 특정 파장의 광을 발광 디바이스(2)의 외측으로 선택적으로 반사시켜 휘도를 향상시킬 수 있다.

[0020] 제1 절연 구조체(20b)를 형성한 후에, 투명 전도성 층(30b)이 제2 반도체 층(102b) 상에 형성되고 제1 반도체 층(101b)의 제2 표면(1012b)을 노출시키는 복수의 개구부들(301tb)을 포함한다. 본 실시예에서, 상면도에서, 투명 전도성 층(30b)의 형상은 제2 반도체 층(102b)의 형상에 대응하고, 복수의 개구부들(301tb)의 위치들은 복수의 링 형상 캡들(203b) 및 비아들(100b)의 위치들에 대응한다. 투명 전도성 층(30b)은 제2 반도체 층(102b)과 접촉하고 이를 커버하고, 전류를 확산시킨 후에 제2 반도체 층(102b)에 전류를 주입한다. 추가적으로, 투명 전도성 층(30b)은 제1 반도체 층(101b)과 접촉하지 않는다. 일 실시예에서, 발광 디바이스(2)는 주변 부분(111b)의 제1 반도체 층(101b)과 접촉하는 다른 투명 전도성 층(도시되지 않음)을 포함한다. 투명 전도성 층(30b)의 재료는 활성 층(103b)으로부터 방출된 광에 대해 투명한 투명 재료, 예를 들어, 인듐 아연 산화물(IZO) 또는 인듐 주석 산화물(ITO)을 포함한다. 투명 전도성 층(30b)은 제2 반도체 층(102b)과 저 저항 접촉, 예를 들어, 옴릭 접촉을 형성하도록 구성될 수 있다. 투명 전도성 층(30b)은 단층 또는 다수의 서브 층들을 포함한다. 예를 들어, 투명 전도성 층(30b)이 다수의 서브 층들을 포함하기 때문에, 투명 전도성 층(30b)은 복수 쌍들의 서브 층들을 포함하는 분포 브래그 반사기(DBR)일 수 있고, 각각의 서브 층은 인접한 서브 층들의 굴절률과는 상이한 굴절률을 갖는다. 구체적으로는, 투명 전도성 층(30b)은 분포 브래그 반사기(DBR)이도록 상이한 굴절률을 갖는 상이한 재료들로 이루어지는 2개의 서브 층들을 교호로 적층함으로써 형성될 수 있다.

[0021] 투명 전도성 층(30b)을 형성한 후에, 반사 층(40b) 및 배리어 층(41b)을 포함하는 반사 구조체가 투명 전도성 층(30b) 상에 형성되고 투명 전도성 층(30b)에 대응한다. 일 실시예에서, 반사 구조체는 투명 전도성 층(30b)과 정렬되고, 반사 구조체의 에지들은 투명 전도성 층(30b)의 에지들과 정렬된다. 일 실시예에서, 반사 구조체는 투명 전도성 층(30b)과 정렬되지 않고, 반사 구조체의 에지들은 투명 전도성 층(30b)의 에지들을 넘어서거나 뒤떨어져 있다. 일 실시예에서, 투명 전도성 층(30b) 및 반사 구조체는 제1 절연 구조체(20b) 위로 연장된다.

[0022] 반사 층(40b) 및 배리어 층(41b)은 각각 복수의 개구부들(401tb 및 411tb)을 포함한다. 반사 층(40b)의 복수의 개구부들(401tb) 및 배리어 층(41b)의 복수의 개구부들(411tb)은 제1 반도체 층(101b)의 제2 표면(1012b), 비아들(100b), 및 복수의 링 형상 캡들(203b)을 노출시킨다. 배리어 층(41b)은 반사 층(40b) 상에 형성되고 이를 커버할 수 있어서, 배리어 층(41b)이 반사 층(40b)의 금속 원소가 이동, 확산 또는 산화하는 것을 방지할 수 있다. 일 실시예에서, 반사 구조체의 반사 층(40b) 및 배리어 층(41b)의 형상은 투명 전도성 층(30b)의 형상에 대응한다. 일 실시예에서, 반사 구조체의 반사 층(40b) 및 배리어 층(41b)의 형상은 직사각형과 유사하고, 반사 층(40b) 및 배리어 층(41b)의 코너들은 곡선형이다. 반사 층(40b)은 단층 구조체 또는 다층 구조체를 포함할 수 있다. 반사 층(40b)의 재료는, 은(Ag), 금(Au), 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 구리(Cu), 니켈(Ni), 또는 백금(Pt) 또는 이들의 합금과 같은, 활성 층(103b)에 의해 방출된 광에 대해 높은 반사율을 갖는 금속 재료를 포함한다. 배리어 층(41b)은 단층 구조체 또는 다층 구조체를 포함할 수 있다. 배리어 층의 재료는 크롬(Cr), 백금(Pt), 티타늄(Ti), 텅스텐(W), 또는 아연(Zn)을 포함한다. 배리어 층(41b)이 다층 구조체일 때, 배리어 층(41b)은 제1 배리어 층(도시되지 않음)과 제2 배리어 층(도시되지 않음), 예를 들어, Cr/Pt, Cr/Ti, Cr/TiW, Cr/W, Cr/Zn, Ti/Pt, Ti/W, Ti/TiW, Ti/Zn, Pt/TiW, Pt/W, Pt/Zn, TiW/W, TiW/Zn, 또는 W/Zn에 의해 교호로 적층된다. 일 실시예에서, 반사 구조체는 반사 층(40b) 아래에 DBR 구조체를 더 포함할 수 있다. DBR 구조체는 복수 쌍들의 서브 층들을 포함하고, 각각의 서브 층은 인접한 서브 층들의 굴절률과는 상이한 굴절률을 갖는다. 일 실시예에서, 서브 층들은 SiO_x 서브 층 및 TiO_x 서브 층을 교호로 적층함으로써 형성될 수 있다. DBR은 높은 굴절률 및 낮은 굴절률을 각각 갖는 각각의 쌍의 서브 층들 사이의 굴절률 차이를 설정함으로써 특정 파장에 대한 또는 특정 파장 범위 내의 높은 반사율을 제공한다. 각각의 쌍에서의 2개의 서브 층들의 두께들은 상이할 수 있다. 동일한 재료를 갖는 각각의 쌍에서의 서브 층들의 두께들은 동일하거나 상이할 수 있다.

[0023] 반사 구조체를 형성한 후에, 반사 구조체 상에 제2 절연 구조체(50b)가 형성되어 반사 구조체(반사 층(40b) 또는 배리어 층(41b))의 상부 표면들의 부분들, 및 반사 구조체와 제1 절연 구조체(20b) 사이의 제2 반도체 층(102b)의 외주부 영역을 커버한다. 제2 절연 구조체(50b)은 또한 제1 절연 구조체(20b)와 접촉하고 이를 커버하여, 제1 절연 구조체(20b)에 의해 커버되는 제1 표면(1011b)의 부분 및 주변 부분(111b)의 제2 외측 벽(1001b) 및 제1 외측 벽(1003b)이 또한 제2 절연 구조체(50b)에 의해 커버된다. 제2 절연 구조체(50b)는 반도체

체 구조체(1000b)의 측벽을 보호하여 후속 프로세스들에 의해 활성 층(103b)이 파괴되는 것을 방지한다. 제2 절연 구조체(50b)가 제1 절연 구조체(20b)를 커버하기 때문에, 제2 절연 구조체(50b)는 이후 프로세스들에서 제1 절연 구조체(20b)가 에칭되는 것을 방지하는 것이 가능하다. 도 4에 도시된 바와 같이, 제2 절연 구조체(50b)는 복수의 개구부들(501b) 및 개구부(503b)를 포함한다. 본 명세서에서, 제2 절연 구조체(50b)는 복수의 돌출부들(5051b) 및 복수의 오목부들(5052b)을 포함하는 외주부(505b)를 포함한다. 개구부(503b)는 반사 구조체의 반사 층(40b) 또는 배리어 층(41b)의 부분을 노출시킨다. 복수의 개구부들(501b)은 제1 반도체 층(101b)의 제2 표면(1012b)을 노출시킨다. 도 2 내지 도 4를 참조하면, 본 실시예에서, 제2 절연 구조체(50b)의 외주부(505b)는 제1 절연 구조체(20b)의 외주부와 접촉하고, 이를 커버하고, 이와 정렬된다. 복수의 개구부들(501b)의 위치들은 복수의 개구부들(401tb, 411tb, 301tb) 및 복수의 비아들(100b)의 위치들에 대응한다. 추가적으로, 제2 절연 구조체(50b)의 외주부(505b)의 복수의 돌출부들(5051b) 및 복수의 오목부들(5052b)은 제1 절연 구조체(20b)의 주변 절연 부분(201b) 또는 주변 부분(111b)을 따라 교호로 배열되어, 제1 반도체 층(101b)의 제1 표면(1011b)의 상이한 부분들을 각각 커버 및 노출시킨다. 일 실시예에서, 2개의 돌출부들(5051b) 사이의 공간은 오목부(5052b)를 구성한다. 다른 실시예에서, 제2 절연 구조체(50b)는 돌출부(5051b)로부터 돌출하는 서브 돌출부를 더 포함할 수 있거나, 및/또는 오목부(5052b)로부터 움푹 들어간 서브 오목부를 더 포함할 수 있다. 더욱이, 일 실시예에서, 제2 절연 구조체(50b)의 외주부(505b)의 형상은 주변 부분(111b)에서 제1 반도체 층(101b)의 제1 표면(1011b)의 부분들을 불연속적으로 노출시키기 위한 제1 절연 구조체(20b)의 형상에 대응한다. 즉, 복수의 돌출부들(5051b) 및 복수의 오목부들(5052b)의 형상들 및 위치들은 주변 절연 부분(201b)의 복수의 돌출부들(2011b) 및 복수의 오목부들(2012b)의 형상들 및 위치들에 대응한다. 복수의 오목부들(2012b)에 의해 노출된 제1 표면(1011b)의 부분들은 또한 복수의 오목부들(5052b)에 의해 노출될 수 있다. 복수의 돌출부들(2011b)에 의해 커버되는 제1 표면(1011b)의 부분들은 복수의 돌출부들(5051b)에 의해 커버될 수 있다. 제1 절연 구조체(20b) 및 제2 절연 구조체(50b)에 의해 제1 표면(1011b)이 불연속적으로 노출된 상태에서, 일 실시예에서, 복수의 돌출부들(5051b) 및 복수의 오목부들(5052b)의 형상들 또는 위치들은 복수의 돌출부들(2011b) 및 복수의 오목부들(2012b)의 형상들 및 위치들과는 상이할 수 있다. 일 실시예에서, 돌출부(5051b) 및 오목부(5052b)의 면적들은 돌출부(2011b) 및 오목부(2012b)의 면적들보다 더 크거나 더 작을 수 있다. 오목부들(2012b) 및 오목부들(5052b)에 의해 노출된 제1 표면(1011b)의 부분들은 돌출부들(2011b, 5051b) 및 오목부들(2012b, 5052b)의 형상들, 위치들, 및 면적들에 의해 조정될 수 있다.

[0024] 도 2에 도시된 바와 같이, 단면도에서, 제1 반도체 층(101b)의 제1 표면(1011b)의 부분은 제1 절연 구조체(20b)의 복수의 오목부들(2012b)에 의해 노출될 뿐만 아니라 제2 절연 구조체(50b)의 복수의 오목부들(5052b)에 의해 노출된다. 다시 말해, 제2 절연 구조체(50b)의 복수의 오목부들(5052b)은 복수의 돌출부들(2011b 및 5051b)에 의해 커버되지 않고 복수의 오목부들(2012b)에 의해 노출되는 제1 반도체 층(101b)의 제1 표면(1011b)의 부분들을 노출시킨다. 도 3에 도시된 바와 같이, 단면도에서, 복수의 돌출부들(5051b)은 제1 반도체 층(101b)의 제1 표면(1011b) 상의 제1 절연 구조체(20b)의 복수의 돌출부들(2011b)을 커버하고, 제2 반도체 층(102b), 활성 층(103b) 및 제1 반도체 층(101b)의 노출된 측부 표면들, 및 제1 반도체 층(101b)의 제1 표면(1011b)의 코너들에 의해 구성되는 제2 외측 벽(1001b) 및 제1 외측 벽(1003b) 상에 형성된 주변 절연 부분(102b)을 또한 커버한다. 구체적으로는, 본 실시예에서, 복수의 돌출부들(5051b)은 제1 절연 구조체(20b)의 복수의 돌출부들(2011b)과 직접 접촉하고, 복수의 오목부들(5052b)은 제1 반도체 층(101b)의 제1 표면(1011b)을 노출시킨다. 복수의 돌출부들(5051b) 및 복수의 오목부들(5052b)은 제1 반도체 층(101b)의 제1 표면(1011b)의 부분들을 불연속적으로 노출시키도록 교호로 배치된다. 즉, 복수의 오목부들(5052b)에 의해 노출된 제1 표면(1011b)의 부분들은 불연속적이고 총 노출 면적을 갖는다. 제1 표면(1011b)의 노출된 부분들의 총 노출 면적은 제1 표면(1011b)의 전체 면적보다 더 작다.

[0025] 본 실시예에서, 복수의 돌출부들(5051b) 중 하나의 것의 형상은 삼각형, 직사각형, 반원, 원, 및 다각형을 포함할 수 있다. 제2 절연 구조체(50b)의 재료는 비전도성 재료일 수 있다. 본 명세서에서, 비전도성 재료는 유기 재료들, 무기 재료들 또는 유전체 재료들을 포함한다. 유기 재료는 Su8, 벤조시클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시, 아크릴 수지, 고리형 올레핀 공중합체들(COC), 폴리메틸 메타크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET), 폴리이미드(PI), 폴리카보네이트(PC), 폴리에테르이미드, 또는 플루오로카본 중합체를 포함한다. 무기 재료는 실리콘 또는 유리를 포함한다. 유전체 재료는 알루미늄 산화물(Al_2O_3), 규소 질화물(SiN_x), 규소 산화물(SiO_x), 티타늄 이산화물(TiO_2), 또는 마그네슘 불화물(MgF_x)을 포함한다. 제2 절연 구조체(50b)는 단층 또는 다수의 서브 층들을 포함한다. 제2 절연 구조체(50b)는 반도체 구조체(1000b)의 측벽을 보호하여 후속 프로세스들에 의해 활성 층(103b)이 파괴되는 것을 방지한다. 제2 절연 구조체(50b)가 다수의 서

브 층들을 포함할 때, 제2 절연 구조체(50b)는 복수 쌍들의 층들을 포함하는 분포 브래그 반사기(DBR)일 수 있고, 각각의 층은 인접한 층들의 굴절률과는 상이한 굴절률을 갖는다. 일 실시예에서, 제2 절연 구조체(50b)는 SiO_x 층 및 TiO_x 층을 교호로 적층함으로써 형성될 수 있다. DBR은 반도체 구조체(1000b)의 측벽들을 보호할 수 있고, 높은 굴절률 및 낮은 굴절률을 각각 갖는 각각의 쌍의 층들 사이의 굴절률 차이를 설정함으로써 특정 파장에 대한 또는 특정 파장 범위 내의 높은 반사율을 제공할 수 있다. 각각의 쌍에서의 2개의 층들의 두께들은 상이할 수 있다. 동일한 재료를 갖는 각각의 쌍에서의 층들의 두께들은 동일하거나 상이할 수 있다.

[0026] 도 1 내지 도 4를 참조하면, 접촉 층(60b)은 제2 절연 구조체(50b) 및 반사 구조체(반사 층(40b) 및 배리어 층(41b)) 상에 형성되고, 제1 접촉부(600b), 제2 접촉부(601b), 및 제3 접촉부(602b)를 포함한다. 일 실시예에서, 제2 접촉부(601b)는 발광 디바이스(2)의 상면도에서의 반도체 구조체(1000b)의 기하학적 중심에 있다. 제1 접촉부(600b) 및 제3 접촉부(602b)는 서로 분리되어 있다. 제3 접촉부(602b)는 제1 접촉부(600b)에 의해 둘러싸여 있다. 본 명세서에서, 제1 접촉부(600b)는 제1 반도체 층(101b)에 전기적으로 연결되고, 제3 접촉부(602b)는 제2 반도체 층(102b)에 전기적으로 연결되며, 제2 접촉부(601b)는 제1 반도체 층(101b) 및 반도체 층(102b)으로부터 전기적으로 분리된다. 일 실시예에서, 제2 접촉부(601b)는 제1 접촉부(600b) 및 제3 접촉부(602b) 중 하나에 전기적으로 연결된다. 일 실시예에서, 제1 접촉부(600b)는 제2 절연 구조체(50b)의 복수의 오목부들(5052b) 및 복수의 개구부들(5051b)을 통해 제2 표면(1012b)과 제1 표면(1011b)을 접촉함으로써 제1 반도체 층(101b)에 전기적으로 연결된다. 추가적으로, 상면도에서 주변 부분(111b)을 따라, 제1 접촉부(600b)는 제1 절연 구조체(20b)의 외주부 또는 제2 절연 구조체(50b)의 외주부를 따라 배치된 요철 상부 표면(concave-convex top surface)을 갖는다. 제1 접촉부(600b)는 외주부(505b)를 따라 복수의 돌출부들(5051b) 및 복수의 오목부들(5052b) 상에 형성되고, 복수의 돌출부들(5051b) 및 복수의 오목부들(5052b)에 대응하여 요철 상부 표면이 형성된다. 제1 접촉부(600b)는 주변 절연 부분(201b)의 복수의 오목부들(2012b) 및 제2 절연 구조체(50b)의 복수의 오목부들(5052b)을 통해 제1 표면(1011b)과 불연속적으로 접촉한다. 제1 반도체 층(101b)의 제1 표면(1011b)과 제1 접촉부(600b) 사이에는 불연속적인 복수의 제1 접촉 영역들(도시되지 않음)이 있다. 또한, 제1 반도체 층(101b)의 제2 표면(1012b)과 제1 접촉부(600b) 사이에는 복수의 제1 접촉 영역들(도시되지 않음)이 있다.

[0027] 본 실시예에서, 제2 접촉부(601b) 및 제3 접촉부(602b)는 제1 접촉부(600b)에 의해 둘러싸여 있다. 상면도에서의 제2 접촉부(601b)의 형상은 기하학적 형상, 예를 들어, 직사각형, 원 또는 불규칙한 형상을 포함한다. 제3 접촉부(602b)는 제2 절연 구조체(50b)의 개구부(503b)를 통해 반사 구조체와 접촉함으로써 제2 반도체 층(102b)에 전기적으로 연결된다. 제3 접촉부(602b)와 반사 구조체 사이에는 제2 접촉 영역(도시되지 않음)이 있다. 일 실시예에서, 제2 접촉부(601b)는 제1 접촉부(600b) 또는 제3 접촉부(602b)와 연결될 수 있다. 접촉 층(60b)은 단층 또는 다수의 서브 층들로 구성될 수 있다. 접촉 층(60b)의 재료는 알루미늄(Al), 크롬(Cr), 백금(Pt), 티타늄(Ti), 텅스텐(W), 또는 아연(Zn)과 같은 금속을 포함한다.

[0028] 도 1 내지 도 4를 참조하면, 접촉 층(60b)을 형성한 후에, 제3 절연 구조체(70b)가 접촉 층(60b) 상에 배치되고 접촉 층(60b)을 커버한다. 제3 절연 구조체(70b)는 제1 개구부(701b) 및 제2 개구부(702b)를 더 포함한다. 제3 절연 구조체(70b)의 제1 개구부(701b)는 접촉 층(60b)의 제1 접촉부(600b)를 노출시킨다. 제2 개구부(702b)는 접촉 층(60b)의 제3 접촉부(602b)를 노출시킨다. 제3 절연 구조체(70b)의 재료는 유기 재료들, 무기 재료들 또는 유전체 재료들을 포함하는 비전도성 재료를 포함한다. 유기 재료는 Su8, 벤조시클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시, 아크릴 수지, 고리형 올레핀 중합체(COC), 폴리메틸 메타크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테르이미드, 또는 플루오로카본 중합체를 포함한다. 무기 재료는 실리콘 또는 유리를 포함한다. 유전체 재료는 알루미늄 산화물(Al_2O_3), 규소 질화물(SiN_x), 규소 산화물(SiO_2), 티타늄 이산화물(TiO_2), 또는 마그네슘 불화물(MgF_2)을 포함한다. 제1 절연 구조체(20b), 제2 절연 구조체(50b), 및 제3 절연 구조체(70b)는 인쇄, 증발 또는 스퍼터링에 의해 형성될 수 있다.

[0029] 제3 절연 구조체(70b)를 형성한 후에, 반도체 스택(10b) 상에 제1 패드(80b) 및 제2 패드(90b)가 형성된다. 제1 패드(80b) 및 제2 패드(90b)의 위치들은 제3 절연 구조체(70b)의 제1 개구부(701b) 및 제2 개구부(702b)의 위치들에 각각 대응한다. 일 실시예에서, 제1 패드(80b) 및 제2 패드(90b)의 형상들은 제3 절연 구조체(70b)의 제1 개구부(701b) 및 제2 개구부(702b)의 형상들에 대응할 수 있다. 제1 패드(80b)는 제3 절연 구조체(70b)의 제1 개구부(701b)를 통해 접촉 층(60b)의 제1 접촉부(600b)와 접촉함으로써 제1 반도체 층(101b)과 전기적으로 연결된다. 제2 패드(90b)는 제3 절연 구조체(70b)의 제2 개구부(702b)를 통해 접촉 층(60b)의 제3 접촉부(602b)와 접촉함으로써 제2 반도체 층(102b)과 전기적으로 연결된다. 일 실시예에서, 발광 디바이스(2)의 상면

도로부터, 제1 패드(80b)는 제2 패드(90b)의 형상과 동일한 형상을 포함하는데, 예를 들어, 제1 패드(80b) 및 제2 패드(90b)는 빗살 형상을 포함하지만, 본 발명은 이에 제한되지 않는다. 다른 실시예에서, 제1 패드(80b)의 형상 또는 크기는 제2 패드(90b)의 형상 및 크기와는 상이할 수 있다. 예를 들어, 제1 패드(80b)의 형상은 직사각형일 수 있고, 제2 패드(90b)의 형상은 빗살 형상일 수 있고, 제1 패드(80b)의 면적은 제2 패드(90b)의 면적보다 더 클 수 있다. 일 실시예에서, 제1 패드(80b) 및 제2 패드(90b)는 하나 이상의 층들을 갖는 구조체를 포함한다. 제1 패드(80b) 및 제2 패드(90b)의 재료들은 크롬(Cr), 티타늄(Ti), 텅스텐(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt), 또는 상기 재료들의 합금과 같은 금속 재료들을 포함한다. 제1 패드(80b) 및 제2 패드(90b)가 다층 구조체를 포함할 때, 제1 패드(80b)는 제1 상위 패드 및 제1 하위 패드를 포함하고, 제2 패드(90b)는 제2 상위 패드 및 제2 하위 패드를 포함한다. 상위 패드 및 하위 패드는 상이한 기능들을 갖는다. 상위 패드의 기능은 납땜 및 배선에 사용된다. 발광 디바이스(2)는 상위 패드를 통한 AuSn 유테틱 본딩(eutectic bonding) 또는 땀납 본딩을 사용함으로써 패키지 기판 상에 플립되고 장착될 수 있다. 상위 패드의 금속 재료는 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 구리(Cu), 금(Au), 텅스텐(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈륨(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테튬(Ru), 오스뮴(Os)과 같은 고도의 연성 재료들을 포함한다. 상위 패드는 상기 재료들의 단층, 다층, 또는 합금일 수 있다. 본 출원의 실시예에서, 상위 패드의 재료는 바람직하게는 니켈(Ni) 및/또는 금(Au)을 포함하고, 상위 패드는 단층 또는 다층이다. 하위 패드의 기능은 접촉 층(60b), 반사 층(40b) 또는 배리어 층(41b)과의 안정된 계면을 형성하여, 예를 들어, 제1 하위 패드와 접촉 층(60b) 사이의 계면 본딩 강도를 개선시키거나, 또는 제2 하위 패드와 반사 층(40b) 또는 배리어 층(41b) 사이의 계면 본딩 강도를 향상시키기 위한 것이다. 하위 패드의 다른 기능은 땀납 또는 AuSn 내의 주석(Sn)이 반사 구조체 내로 확산하여, 반사 구조체의 반사율을 손상시키는 것을 방지하는 것이다. 그에 따라, 하위 패드는 바람직하게는, 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 텅스텐(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈륨(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테튬(Ru), 오스뮴(Os)과 같은, 금(Au) 및 구리(Cu) 이외의 금속 재료를 포함한다. 하위 패드는 상기 재료들의 단층, 합금, 또는 다층막일 수 있다. 본 출원의 실시예에서, 하위 패드는 바람직하게는 티타늄(Ti)과 알루미늄(Al)의 다층막, 또는 크롬(Cr)과 알루미늄(Al)의 다층막을 포함한다.

[0030]

일 실시예에서, 발광 디바이스(2)를 동작시키는 동안, 외부 전원은 제1 패드(80b) 및 제2 패드(90b)와 각각 전기적으로 연결된다. 그러한 상황에서, 전류가 발광 디바이스(2) 내에 주입되고, 제1 접촉부(600b) 및 제3 접촉부(602b)에 의해 확산된 후에 제1 접촉 영역들 및 제2 접촉 영역들을 통해 제1 반도체 층(101b) 및 제2 반도체 층(102b) 내에 각각 주입된다. 발광 디바이스(2)의 전류 분포를 향상시키기 위해 그리고 전류가 제1 표면(1011b)의 코너들과 같은 제1 표면(1011b)의 일부 영역들에 집중되는 것을 회피하기 위해, 제1 반도체 층(101b)의 제1 표면(1011b)과 제1 접촉부(600b) 사이의 제1 접촉 영역들의 면적 및 위치들이 조정될 수 있다. 일 실시예에서, 제1 절연 구조체(20b)의 주변 절연 부분(201b) 및 제2 절연 구조체(50b)의 외주부(505b)는 제1 반도체 층(101b)의 제1 표면(1011b)의 부분들을 커버하기 때문에, 접촉 층(60b)과 제1 표면(1011b) 사이의 제1 접촉 영역들의 면적 및 위치들이 주변 절연 부분(201b) 및 제2 절연 구조체(50b)에 의해 조정된다. 다시 말해, 제1 접촉 영역들의 면적 및 위치들은 주변 절연 부분(201b) 및 제2 절연 구조체(50b)의 오목부들(2012b, 5052b)에 의해 노출된 제1 표면(1011b)의 노출된 부분들에 의해 조정된다. 그러나, 제2 절연 구조체(50b) 및 제1 절연 구조체(20b)의 주변 절연 부분(201b)을 설계하는 동안, 발광 디바이스(2)의 전류 분포와 순방향 전압(V_f) 사이의 트레이드오프가 고려되어야 한다. 상세하게는, 제1 접촉 영역들의 면적이 커질수록, 발광 디바이스(2)의 낮아지는 순방향 전압이 달성된다. 그러나, 제1 접촉 영역들의 면적이 커지는 경우, 발광 디바이스(2)에서 전류 집중 효과가 생길 수 있다. 허용가능한 순방향 전압(V_f) 및 보다 양호한 전류 분포를 얻기 위해, 제1 접촉부(600b)는 복수의 오목부들(2012b 및 5052b)을 통해 제1 표면(1011b)과 불연속적으로 접촉하여, 제1 표면(1011b)의 부분들을 복수의 돌출부들(2011b 및 5051b)에 의해 전기적으로 분리되도록 설계된다. 일 실시예에서, 제1 접촉부(600b)는 상기 언급된 바와 같이 제1 반도체 층(101b)의 제1 표면(1011b)의 코너들과 접촉하지 않도록 설계된다. 그러한 방식으로, 전류는 제1 접촉부(600b)의 불연속적인 제1 접촉 영역들을 통해 제1 반도체 층(101b)에 주입되고 제1 절연 구조체(20b) 및 제2 절연 구조체(50b)에 의해 커버된 부분들 내에 직접 주입되는 것이 불가능하다. 이에 따라, 전류는 제1 접촉부(600b)에 의해 확산된 후에, 불연속적인 제1 접촉 영역들에 의해 더욱 확산될 수 있다. 다시 말해, 제2 절연 구조체(50b)의 외주부(505b) 및 주변 절연 부분(201b)의 설계는 순방향 전압에 영향을 미치고 전류 경로를 변화시켜서 전류가 복수의 오목부들(2012b) 및 복수의 오목부들(5052b)에 의해 노출된 제1 표면의 영역들 내로 강제로 흐르게 하여 전류 분포를 변화시킬 수 있다. 본 실시예에서, 제1 접촉 영역의 면적은 허용가능한 순방향 전압, 예를 들어, 2.15V 내지 2.4V를 얻기에 충분히 크고, 원하는 전류 분포는 제1 접촉 영역들의 면적 하에서 달성될 수 있다. 세부사항들이 하기와 같이 설명된다.

- [0031] 도 5 및 도 6을 참조한다. 도 5는 발광 디바이스(2)의 파손 영역들의 상면도를 도시한다. 도 6은 종래의 발광 디바이스(3)의 파손 영역들의 상면도를 도시한다. 발광 디바이스(2)와 종래의 발광 디바이스(3)의 사이의 차이점들은, 종래의 발광 디바이스(3)의 제1 절연 구조체(20b') 및 제2 절연 구조체(50b')에는 발광 디바이스(2)의 복수의 돌출부들(2011b, 2051b) 및 복수의 오목부들(2012b, 5052b)이 없다는 점이다. 종래의 발광 디바이스(3)에서 제1 반도체 층(101b)의 전체 제1 표면(1011b)이 접촉 층(60b)과 접촉하도록 노출되어서, 종래의 발광 디바이스(3)에서 접촉 층(60b)은 제1 반도체 층(101b)의 제1 표면(1011b)과 연속적으로 접촉하고 제1 반도체 층의 제1 표면(1011b)의 코너들(도시되지 않음)과 직접 접촉한다.
- [0032] 서지가 종래의 발광 디바이스(3) 내에 주입될 때, 종래의 발광 디바이스(3)는 그러한 고전압을 다룰 수 없고 전류를 효과적으로 분포시킬 수 없어서, 종래의 발광 디바이스(3)는 도 6에 도시된 바와 같이 전류 집중으로 인해 특히 코너들에서 파손된다. 도 6을 참조하면, 서지의 전압은 종래의 발광 디바이스(3)의 정상 동작 전압을 초과하고, 그러한 서지는 f3으로서 라벨링된 몇몇 파손 구역들에 걸쳐 종래의 발광 디바이스(3)를 파괴한다. 이러한 파손 구역들(f3)은 제1 반도체 층의 제1 표면의 코너들에 위치된다. 그것은 종래의 발광 디바이스(3) 내에 주입된 전류가 다른 영역들보다는 코너들에 집중하는 것을 선호하기 때문이다. 도 5를 참조하면, 다루어질 수 있는 발광 디바이스(2)에 대한 것인 보다 높은 서지가 그것 내에 주입될 때, 도 5에 도시된 바와 같이 f2로서 라벨링된 몇몇 파손 구역들에서 발광 디바이스(2)가 파괴된다. 파손 구역들(f2)의 분포는 종래의 발광 디바이스(3)의 구역들(f3)의 분포와는 상이한데, 이는 발광 디바이스(2)의 전류가 제1 반도체 층(101b)의 제1 표면(1011b)의 코너들에 집중되지 않고 발광 디바이스(2)의 전류 분포가 종래의 발광 디바이스(3)의 전류 분포보다 더 균일하여 더 높은 서지를 견딘다는 것을 의미한다.
- [0033] 본 실시예에서, 제1 반도체 층(101b)의 제1 표면(1011b)과 접촉 층(60b) 사이의 불연속적인 제1 접촉 영역들은 전류 확산에 이롭고 발광 디바이스(2)에서의 파손을 회피하게 한다. 발광 디바이스(2)의 허용가능한 순방향 전압, 예를 들어, 2.15V 내지 2.4V, 및 원하는 전류 분포는 불연속적인 제1 접촉 영역들에 의해 달성될 수 있다. 일 실시예에서, 발광 디바이스(2) 및 종래의 발광 디바이스(3)는 몇몇 인가된 전압들 하에서 EOS(electrical over stress) 테스트에 의해 비교된다. 도 7, 도 8, 및 도 9를 참조한다. 도 7은 EOS 테스트에서 서지의 전압 파형을 도시한다. 도 8은 EOS 테스트에서의 서지들의 최대 인가 전압들 대 EOS 테스트 후의 발광 디바이스(2) 및 종래의 발광 디바이스(3)의 턴온된 순방향 전압(V_f)의 표이다. 도 9는 EOS 테스트에서의 서지들의 최대 인가 전압들 대 EOS 테스트 후의 발광 디바이스(2) 및 종래의 발광 디바이스(3)의 역방향 전류(I_r)의 표이다. 본 출원의 발광 디바이스(2)와 종래의 발광 디바이스(3)를 추가로 비교하기 위해, 도 8에 도시된 바와 같이, 발광 디바이스(2)의 샘플들 1, 2 및 종래의 발광 디바이스(3)의 샘플들 1, 2가 EOS 테스트를 위해 선택된다. EOS 테스트(IEC 61000-4-5 표준에 따름) 동안, 도 7에 도시된 바와 같은 전압 파형을 갖는 서지들이 발광 디바이스(2) 및 종래의 발광 디바이스(3)에 각각 인가된다. 본 명세서에서, 서지들 각각의 전압들은 시간에 따라 변하고, 서지들 각각은 최대 인가 전압 $V_{a(max)}$ 에 대응한다. 도 8에서, 샘플들은 0V, 20V, 30V, 35V, 40V, 45V, 50V, 55V, 60V, 및 65V와 같은 상이한 최대 인가 전압들 $V_{a(max)}$ 를 갖는 서지들을 인가함으로써 테스트된다. 각각의 최대 인가 전압 $V_{a(max)}$ 에 대해, 서지들은 초 당 1회의 빈도로 5회 인가되고 서지 각각의 지속 시간은 약 10^{-4} 초이다. 각각의 샘플의 크기는 약 $38 \times 38 \text{ mil}^2$ 이다. 이러한 최대 인가 전압들을 갖는 서지들에 의해 테스트된 후에, 샘플들은 정전류 $10 \mu\text{A}$ 하에서 구동되고, 샘플들 각각의 순방향 전압들(V_f)이 측정되어 도 8의 표에 열거된다. 도 8의 표에서, 발광 디바이스(2)의 샘플 1 및 샘플 2의 순방향 전압들 V_f 는 최대 인가 전압들 65V 및 60V를 각각 갖는 서지들 하에서의 EOS 테스트 후에 2.15V보다 더 작다. 종래의 발광 디바이스(3)에 대해서는, 종래의 발광 디바이스(3)의 샘플 1 및 샘플 2의 순방향 전압들 V_f 는 최대 인가 전압 50V를 갖는 서지들 하에서의 EOS 테스트 후에 2.15V보다 더 작다. 추가적으로, 허용가능한 순방향 전압이 2.15V 내지 2.4V이기 때문에, 60V 이하의 최대 인가 전압을 갖는 서지들이 인가된 후의 발광 디바이스(2)의 샘플 1에서의 테스트 결과들은, 순방향 전압이 2.15V보다 더 크고 2.4V보다 더 작다는 것을 나타내는데, 이는 발광 디바이스(2)의 샘플 1은 여전히 정상적으로 작동하고 EOS 테스트를 통과한다는 것을 의미한다. 유사하게, 55V 이하의 최대 인가 전압을 갖는 서지들 하에서 테스트된, 발광 디바이스(2)의 샘플 2는 여전히 정상적으로 작동하고 EOS 테스트를 통과한다. EOS 테스트에서 발광 디바이스(2)의 성능은 종래의 발광 디바이스(3)보다 더 양호하다. 발광 디바이스(2)는 종래의 발광 디바이스(3)보다 더 높은 60V의 서지들을 견딜 수 있다.
- [0034] 일 실시예에서, 도 9에 도시된 바와 같이, 발광 디바이스(2)의 샘플들 1, 2, 3 및 4 그리고 종래의 발광 디바이스(3)의 샘플들 1, 2, 3 및 4가 상기 실시예와 유사한 EOS 테스트를 위해 선택된다. 샘플들 각각은 상이한 최

대 인가 전압들 0V, 60V, 65V, 70V, 75V 및 80V를 갖는 서지들을 인가함으로써 테스트된다. 이러한 최대 인가 전압들을 갖는 서지들에 의해 테스트된 후에, 샘플들은 역전압 -5V 하에서 구동되고, 샘플들 각각의 역방향 전류 I_r 이 측정되어 도 9의 표에 열거된다. 본 실시예에서, 발광 디바이스의 허용가능한 역방향 전류 I_r 은 $0.3\mu A$ 보다 더 작다. 도 9의 표에서, 파손과 같이 발광 디바이스가 손상될 때, 본 실시예에서 도 9에 도시된 $100\mu A$ 에서 역방향 전류들 $I_r(\mu A)$ 이 발생 및 측정될 것이다. 발광 디바이스(2)의 샘플 1 내지 샘플 4의 역방향 전류들 $I_r(\mu A)$ 은 최대 인가 전압들 75V 및 80V를 갖는 서지들 하에서의 EOS 테스트 후의 $0.3\mu A$ 보다 더 큰 $100\mu A$ 인데, 이는 발광 디바이스(2)의 최대 인가 전압들을 갖는 지속가능한 서지가 75V 미만이라는 것을 의미한다. 종래의 발광 디바이스(3)에 대해서는, 종래의 발광 디바이스(3)의 샘플 1 내지 샘플 4의 역방향 전류들 $I_r(\mu A)$ 은 최대 인가 전압들 65V 내지 80V를 갖는 서지들 하에서의 EOS 테스트 후의 $0.3\mu A$ 보다 더 큰 $100\mu A$ 인데, 이는 발광 디바이스(3)의 최대 인가 전압들을 갖는 지속가능한 서지가 65V 미만이라는 것을 의미한다. 추가적으로, 허용가능한 역방향 전류 I_r 이 $0.3\mu A$ 보다 더 작기 때문에, 70V 이하의 최대 인가 전압을 갖는 서지들이 인가된 후의 발광 디바이스(2)의 샘플 1 내지 샘플 4에서의 결과들은 역방향 전류 I_r 이 제로인 것을 나타내고, 이는 발광 디바이스(2)의 샘플 1 내지 샘플 4가 여전히 정상적으로 작동하고 EOS 테스트를 통과한다는 것을 의미한다. 발광 디바이스(2)는 종래의 발광 디바이스(3)의 최대 인가 전압들보다 더 높은 70V의 최대 인가 전압들을 견딜 수 있기 때문에, EOS 테스트에서의 발광 디바이스(2)의 성능은 종래의 발광 디바이스(3)보다 더 양호하다.

[0035] 도 8 및 도 9에 따르면, EOS 테스트 하의 발광 디바이스(2)의 신뢰성은 종래의 발광 디바이스(3)의 신뢰성보다 더 양호하다. 본 출원의 실시예들에서, 제1 절연 구조체(20b)의 주변 절연 부분(201b) 및 제2 절연 구조체(50b)의 외주부(505b)의 설계에 의해, 본 출원의 발광 디바이스(2)는 코너들에서의 전류 집중을 회피하는 것이 가능하다. 동시에, 접촉 층(60b)의 제1 접촉 영역들의 면적 및 위치들도 또한 허용가능한 순방향 전압을 얻도록 조정될 수 있다. 이렇게 함으로써, 본 출원의 발광 디바이스(2)의 허용가능한 순방향 전압, 예를 들어, 2.15V 내지 2.4V, 원하는 전류 분포가 달성될 수 있고, 이에 따라 신뢰성이 개선될 수 있다.

[0036] 도 10은 본 출원의 실시예에 따른 발광 장치(30)의 개략도이다. 전술한 실시예에서의 발광 디바이스(2)는 패키지 기판(51)의 제1 스페이서(511) 및 제2 스페이서(512) 상에 플립 칩의 형태로 장착된다. 제1 스페이서(511) 및 제2 스페이서(512)는 절연 재료를 포함하는 절연부(53)에 의해 전기적으로 서로 절연된다. 플립 칩의 주요 광 추출 표면은 전극 형성 표면에 대향하는 성장 기판(11b)의 일면이다. 발광 장치(30)의 광 추출 효율을 증가시키기 위해 발광 디바이스(2) 주위에 반사 구조체(54)가 제공될 수 있다.

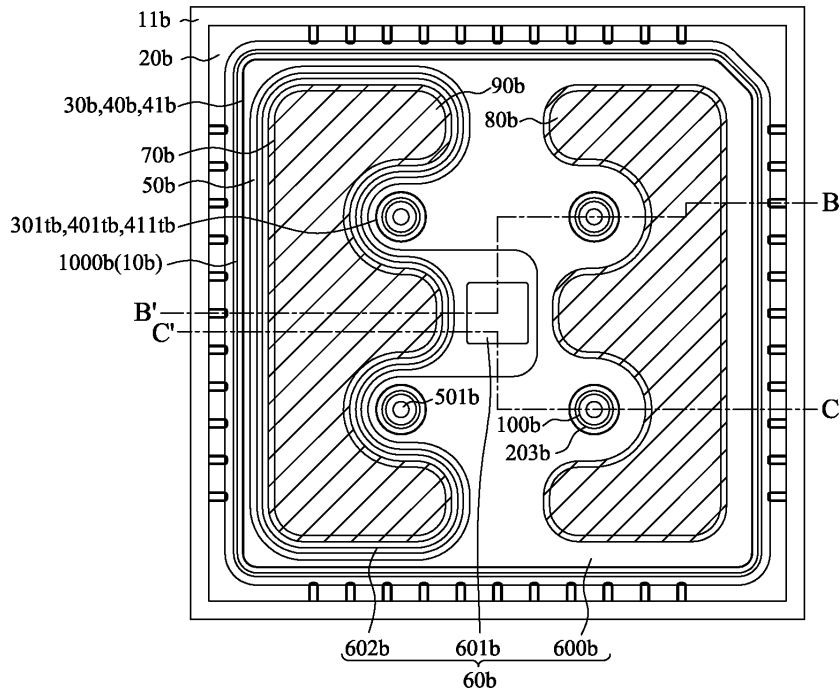
[0037] 도 11은 본 출원의 실시예에 따른 발광 장치(4)의 구조체 다이어그램을 예시한다. 백열 전구는 엔벨로프(602), 렌즈(604), 발광 모듈(610), 베이스(612), 히트 싱크(614), 커넥터(616) 및 전기 연결 디바이스(618)를 포함한다. 발광 모듈(610)은 서브마운트(606), 및 그 서브마운트(606) 상의 복수의 발광 디바이스들(608)을 포함하고, 여기서 복수의 발광 디바이스들(608)은 상기 실시예들에서 설명된 발광 디바이스들 또는 발광 장치(30)일 수 있다.

[0038] 상기 실시예들에 의해 예시된 본 출원의 원리 및 효율은 본 출원의 제한이 아니다. 본 기술분야의 통상의 기술자는 전술한 실시예들을 수정 또는 변경할 수 있다. 그에 따라, 본 출원에서의 권리의 보호 범위는 다음의 청구범위로서 열거될 것이다.

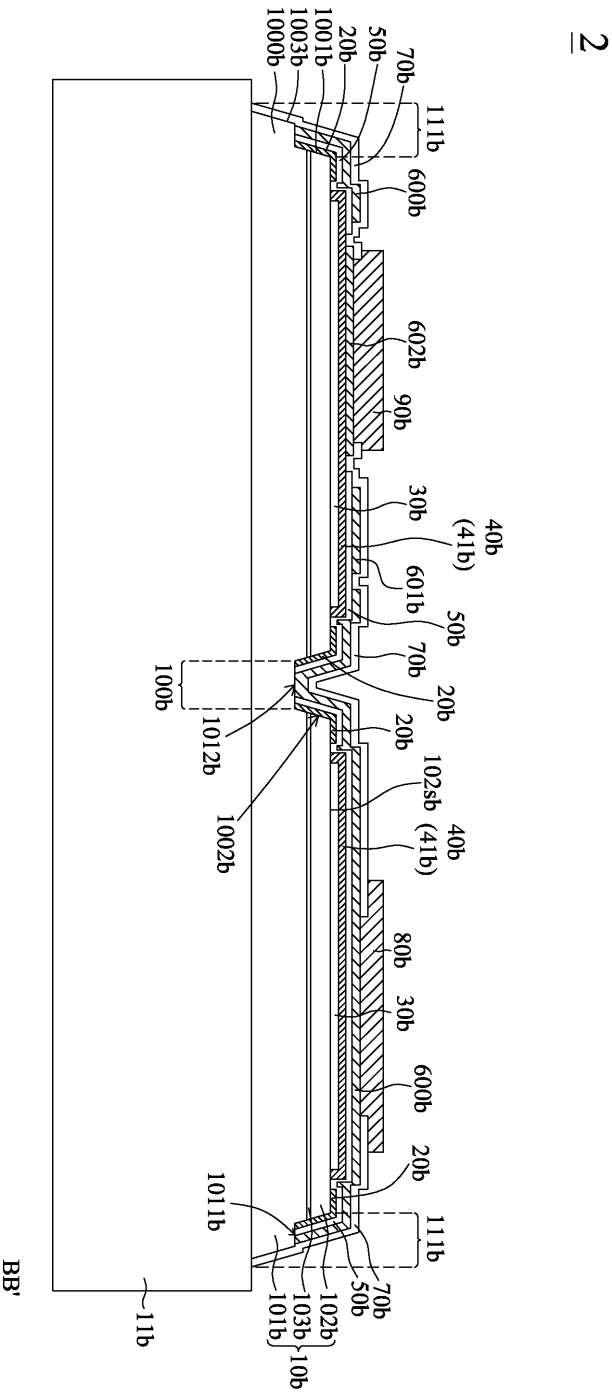
도면

도면1

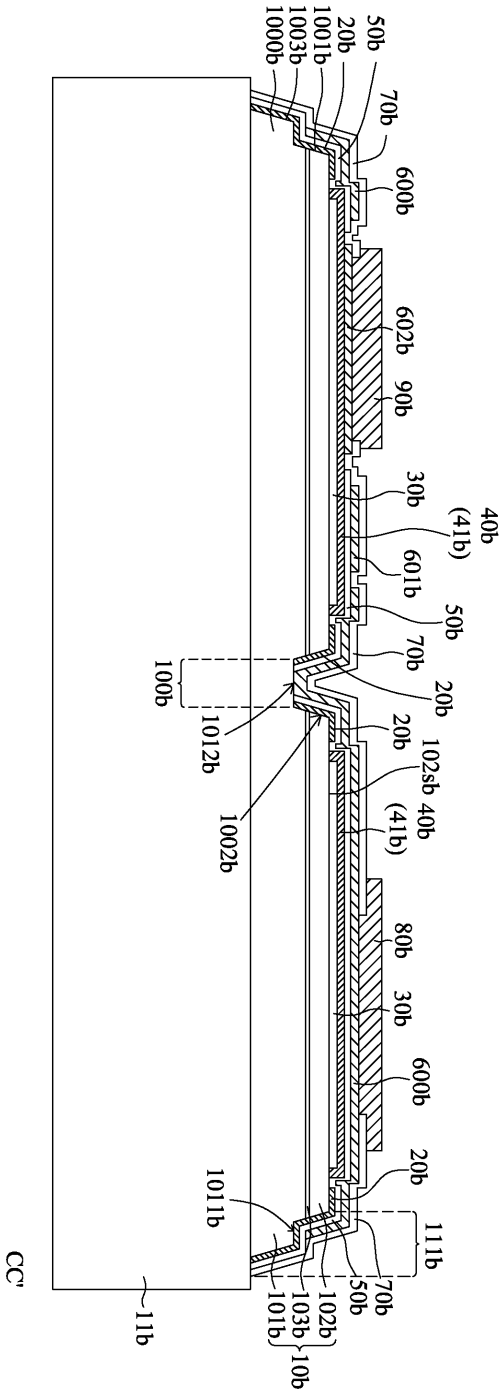
2



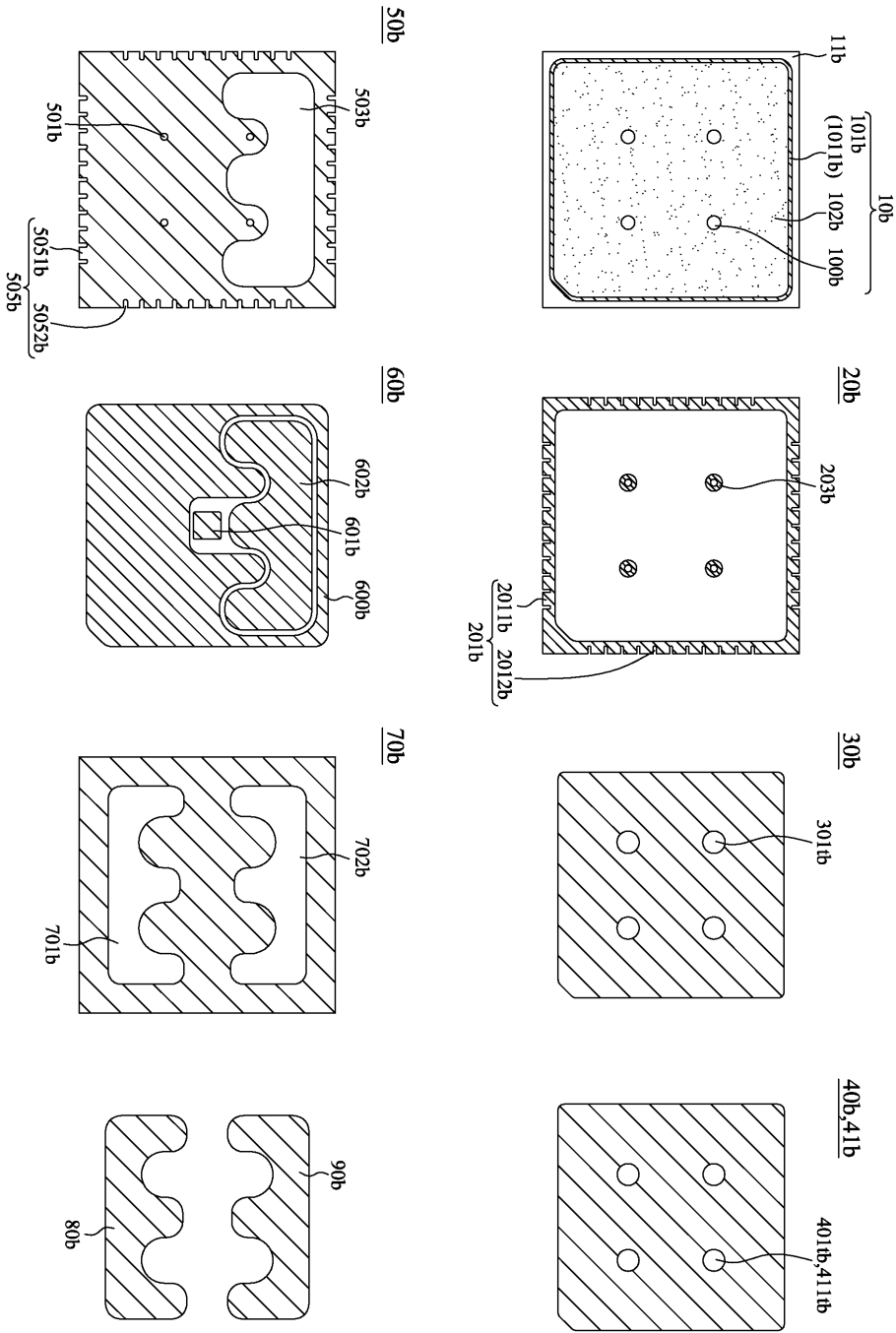
도면2



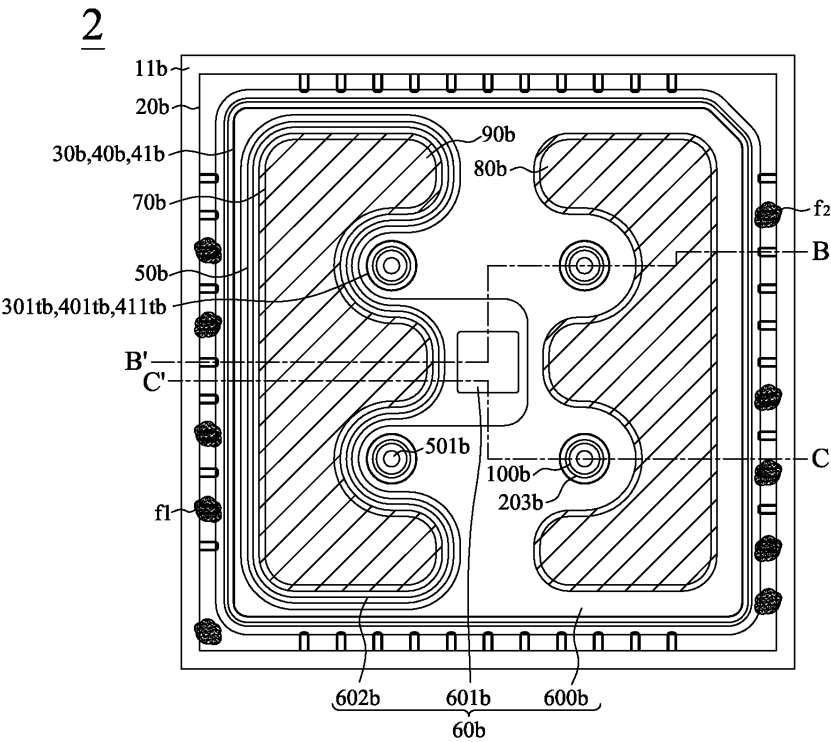
도면3



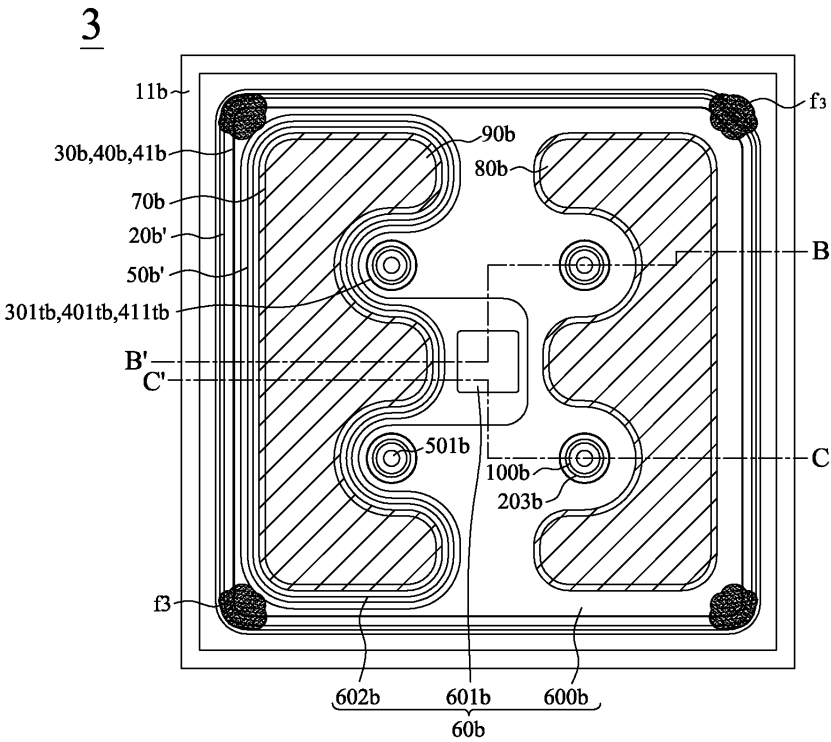
도면4



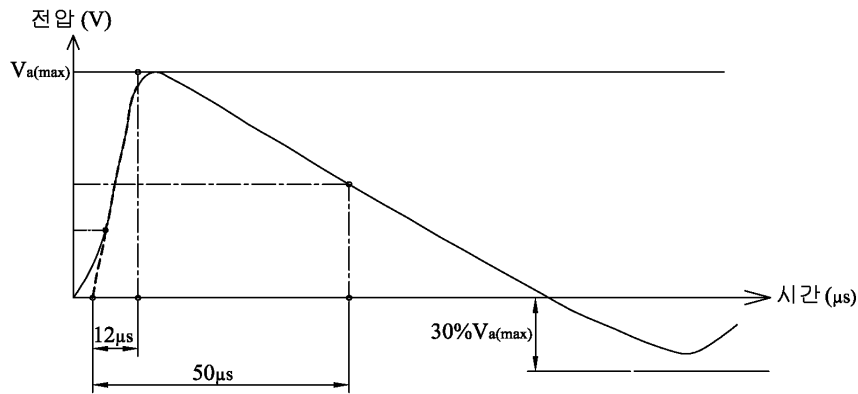
도면5



도면6



도면7



도면8

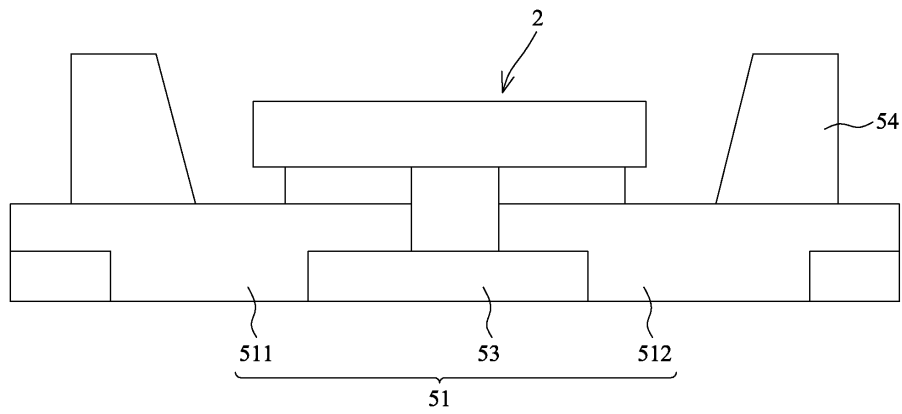
최대 인가 전압 $V_{a(max)}$	순방향 전압 $V_f(V)$			
	발광 디바이스(2)		종래의 발광 디바이스(3)	
	샘플1	샘플2	샘플1	샘플2
0	2.234	2.319	2.362	2.367
20	2.237	2.324	2.369	2.37
30	2.235	2.322	2.368	2.376
35	2.237	2.32	2.366	2.372
40	2.238	2.323	2.365	2.372
45	2.245	2.324	2.364	2.372
50	2.234	2.322	<2.15	<2.15
55	2.236	2.328		
60	2.289	<2.15		
65	<2.15			

도면9

최대 인가 전압 $V_{a(max)}$	역방향 전류 $I_r(\mu A)$							
	발광 디바이스(2)				종래의 발광 디바이스(3)			
	샘플1	샘플2	샘플3	샘플4	샘플1	샘플2	샘플3	샘플4
0	0	0	0	0	0	0	0	0
60	0	0	0	0	0	0	0	0
65	0	0	0	0	0	0	100	100
70	0	0	0	0	100	100	100	100
75	100	100	100	100	100	100	100	100
80	100	100	100	100	100	100	100	100

도면10

30



도면11

