(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2023 년 2 월 2 일 (02.02.2023)

WIPO | PCT

(10) 국제공개번호
WO 2023/008606 A1

(51) 국제특허분류:
H04N 21/4363 (2011.01) *G09G 5/00* (2006.01)
H04N 21/436 (2011.01) *G06F 13/42* (2006.01)
H04N 21/422 (2011.01)

(21) 국제출원번호: PCT/KR2021/009803

(22) 국제출원일: 2021 년 7 월 28 일 (28.07.2021)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(71) 출원인: 엘지전자 주식회사 (**LG ELECTRONICS INC.**) [KR/KR]; 07336 서울시 영등포구 여의대로 128, Seoul (KR).

(72) 발명자: **최상훈 (CHOI, Sanghoon)**; 06772 서울시 서초구 양재대로 11길 19 LG전자 특허센터, Seoul (KR). **김용현 (KIM, Yonghyun)**; 06772 서울시 서초구 양재대로 11길 19 LG전자 특허센터, Seoul (KR). **정소영 (JEONG, Soyoung)**; 06772 서울시 서초구 양재대로 11길 19 LG전자 특허센터, Seoul (KR). **김세원 (KIM, Sewon)**; 06772 서울시 서초구 양재대로 11길 19 LG전자 특허센터, Seoul (KR). **심욱진 (SHIM, WookJin)**; 06772 서울시 서초구 양재대로 11길 19 LG전자 특허센터, Seoul (KR).

(74) 대리인: **박병창 (PARK, Byung Chang)**; 06174 서울시 강남구 영동대로86길 21 태화빌딩 2층, Seoul (KR).

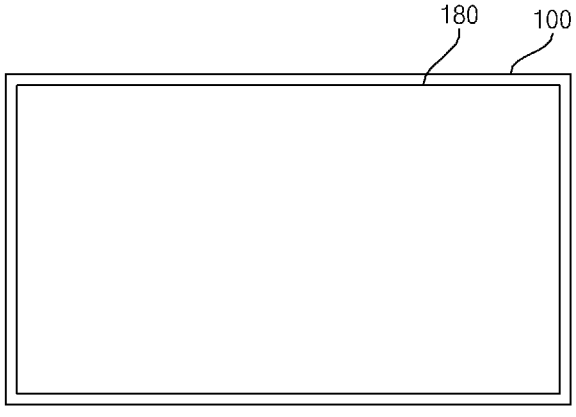
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: IMAGE DISPLAY DEVICE

(54) 발명의 명칭: 영상표시장치



(57) Abstract: The present invention relates to an image display device. An image display device according to one embodiment of the present invention comprises a display, and a signal processing device that outputs data to the display, wherein a first interface in the signal processing device comprises a first terminal and a second terminal for bidirectional communication, and at least one of the first terminal and the second terminal shares an interface monitor signal and a system control bus signal. Accordingly, it is possible to perform integrated support of control data and the like, and thus cable wiring can be simplified.

(57) 요약서: 본 발명은 영상표시장치에 관한 것이다. 본 발명의 일 실시예에 따른 영상표시장치는, 디스플레이와, 디스플레이에 데이터를 출력하는 신호 처리 장치를 포함하고, 신호 처리 장치 내의 제1 인터페이스는, 양방향 통신을 위한 제1 단자와 제2 단자를 구비하며, 제1 단자와 제2 단자 중 적어도 하나는, 인터페이스 모니터 신호와 시스템 제어 버스 신호를 공유한다. 이에 따라, 제어 데이터 등의 통합 지원이 가능하므로 케이블 배선을 단순화시킬 수 있게 된다.

WO 2023/008606 A1

명세서

발명의 명칭: 영상표시장치

기술분야

[1] 본 발명은 영상표시장치에 관한 것이며, 더욱 상세하게는 하나의 케이블을 통해 디스플레이 방향으로의 데이터 전송 및 신호 처리 장치 방향으로의 데이터 전송을 수행할 수 있는 영상표시장치에 관한 것이다.

배경기술

[2] 영상표시장치는, 영상을 표시하는 장치이다.

[3] 영상표시장치에서의 영상 표시를 위해, 신호 처리 장치는 영상 데이터를 출력하며, 디스플레이는 신호 처리 장치로부터의 영상 데이터를 수신하여 표시한다.

[4] 한편, 신호 처리 장치와 디스플레이 사이의 영상 데이터 등의 전송을 위해, 다양한 인터페이스가 제공된다.

[5] 미국 등록특허번호 US9036081호(이하 '선행 문헌' 이라 함)는, 영상 신호 전송 장치, 영상 신호 수신 장치 및 영상 신호 전송 시스템에 관한 것으로서, 영상 데이터의 데이터 인에이블(data enable) 신호에 따라, 패턴을 선택하고, 영상 신호를 액티브 기간 동안 부호화하고 블랭크 기간 동안 동기 신호를 부호화하는 것이 개시됩니다.

[6] 그러나, 선행 문헌에 의하면, 영상 데이터 전송시, 순방향 데이터만 전송되며, 역방향 채널이 제공되지 않아, 역방향 데이터의 전송을 위해, 별도의 케이블을 연결해야 하는 단점이 있다.

[7] 또한, 선행 문헌에 의하면, 실시간으로, 수직 동기 신호와 수평 동기 신호 등의 동기 신호를 전송하여야 하므로, 데이터 전송을 위한 대역폭이 줄어드는 문제가 있다.

발명의 상세한 설명

기술적 과제

[8] 본 발명의 목적은, 제어 데이터 등의 통합 지원이 가능하므로 케이블 배선을 단순화시킬 수 있는 영상표시장치를 제공함에 있다.

[9] 본 발명의 다른 목적은, 하나의 케이블을 통해 디스플레이 방향으로의 데이터 전송 및 신호 처리 장치 방향으로의 데이터 전송을 수행할 수 있는 영상표시장치를 제공함에 있다.

[10] 본 발명의 또 다른 목적은, 실시간으로 동기 신호를 전송하지 않음으로써, 고해상도의 영상 데이터를 전송할 수 있는 영상표시장치를 제공함에 있다.

기술적 해결방법

[11] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 영상표시장치는, 디스플레이와, 디스플레이에 데이터를 출력하는 신호 처리 장치를 포함하고,

신호 처리 장치 내의 제1 인터페이스는, 양방향 통신을 위한 제1 단자와 제2 단자를 구비하며, 제1 단자와 제2 단자 중 적어도 하나는, 인터페이스 모니터 신호와 시스템 제어 버스 신호를 공유한다.

[12] 한편, 신호 처리 장치 내의 제1 인터페이스는, 복수의 제1 방향 통신 레인을 이용하여, 데이터를 디스플레이 내의 제2 인터페이스로 전송하고, 적어도 하나의 제2 방향 통신 레인을 이용하여, 디스플레이 내의 제2 인터페이스로부터 데이터를 수신할 수 있다.

[13] 한편, 복수의 제1 방향 통신 레인, 적어도 하나의 제2 방향 통신 레인은, 제1 단자와 제2 단자에 각각 대응하는 제1 전송 라인과 제2 전송 라인은, 동일 케이블 내에 배치될 수 있다.

[14] 한편, 신호 처리 장치 내의 제1 인터페이스는, 양방향 통신을 위한 제1 단자와 제2 단자를 구비하며, 파워 온 이후, 대기 모드에서, 제1 단자의 신호 레벨이 로우 레벨인지 여부를 판단하고, 로우 레벨인 경우, 제1 트레이닝 모드로 진입하도록 제어할 수 있다.

[15] 한편, 신호 처리 장치 내의 제1 인터페이스는, 제1 트레이닝 모드 동안, 클럭 신호를 주기적으로 전송하고, 제1 단자의 신호 레벨이 로우 레벨에서 하이 레벨로 변경되는 경우, 제2 트레이닝 모드로 진입하도록 제어할 수 있다.

[16] 한편, 신호 처리 장치 내의 제1 인터페이스는, 제2 트레이닝 모드 동안, 패턴 신호를 전송하고, 패턴 신호 전송 이후 승인 신호가 수신되는 경우, 복수의 제1 방향 통신 레인을 이용하여, 데이터를 디스플레이 내의 제2 인터페이스로 전송하며, 제1 단자와 제2 단자를 이용하여, 시스템 제어 버스 신호를 전송할 수 있다.

[17] 한편, 복수의 제1 방향 통신 레인을 이용하여, 디스플레이로 전송되는 데이터는, 영상 데이터, 및 오디오 데이터를 포함할 수 있다.

[18] 한편, 적어도 하나의 제2 방향 통신 레인을 이용하여, 신호 처리 장치로 수신되는 데이터는, 디스플레이 내의 마이크를 통해 변환된 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를 포함할 수 있다.

[19] 한편, 복수의 제1 방향 통신 레인 및 적어도 하나의 제2 방향 통신 레인은, 각각 단방향 통신으로 구동될 수 있다.

[20] 한편, 복수의 제1 방향 통신 레인을 이용한 데이터 전송 속도는 제1 속도이며, 적어도 적어도 하나의 제2 방향 통신 레인을 이용한 데이터 전송 속도는 제1 속도 보다 낮은 제2 속도일 수 있다.

[21] 한편, 신호 처리 장치 내의 제1 인터페이스는, N 레인의 데이터를 (N-1) 레인의 데이터로 패킹하고, 패킹된 (N-1) 레인의 데이터를 출력할 수 있다.

[22] 한편, 신호 처리 장치 내의 제1 인터페이스는, N 레인의 데이터를 재배치하고, 재배치된 데이터를 (N-1) 레인의 데이터로 패킹하고, 패킹된 (N-1) 레인의 데이터를 출력할 수 있다.

[23] 한편, 신호 처리 장치 내의 제1 인터페이스는, 복수의 제1 방향 통신 레인을

통해, 데이터 프레임을 출력하며, 데이터 프레임은, 영상 데이터, 오디오 데이터, 라인 종료 정보, 추가 데이터, 프레임 종료 정보를 포함할 수 있다.

[24] 한편, 데이터 프레임은, 데이터 인에이블 신호, 수직 동기 신호, 수평 동기 신호를 포함하지 않는다.

[25] 한편, 데이터 프레임 내의 영상 데이터는, 프리앰블 데이터, RGB 데이터를 포함할 수 있다.

[26] 한편, 신호 처리 장치 내의 제1 인터페이스는, RGB 데이터의 비트가 제1 기준 비트 미만인 경우, 하위 비트를 제로 패딩하여 전송할 수 있다.

[27] 한편, 데이터 프레임 내의 오디오 데이터는, 프리앰블 데이터, 비트 정보 데이터, 오디오 비트 데이터를 포함할 수 있다.

[28] 한편, 데이터 프레임 내의 라인 종료 정보는, 라인 종료 데이터, 스크램블러 리셋 데이터, 업데이트 데이터, 수평 동기 극성 정보, 길이 정보, 수평 동기 신호의 폭 정보를 포함할 수 있다.

[29] 한편, 신호 처리 장치 내의 제1 인터페이스는, 데이터 프레임 내의 블랭크 구간에 추가 데이터를 매핑하여, 전송할 수 있다.

[30] 한편, 데이터 프레임 내의 추가 데이터는, 프리앰블 데이터, 데이터 사용 정보를 포함할 수 있다.

[31] 한편, 데이터 프레임 내의 프레임 종료 정보는, 프레임 종료 데이터, 스크램블러 리셋 데이터, 업데이트 데이터, 수직 동기 극성 정보, 길이 정보, 수직 동기 신호의 폭 정보를 포함할 수 있다.

[32] 한편, 신호 처리 장치 내의 제1 인터페이스는, 복수의 제1 방향 통신 레인을 이용하여, 데이터를 디스플레이 내의 제2 인터페이스로 전송하고, 제1 역방향 신호의 수신을 위한 단자와 제2 역방향 신호를 수신을 위한 단자를 구비한다.

[33] 한편, 신호 처리 장치 내의 제1 인터페이스에서의 '1' 비트 수신시, 제1 역방향 신호는, 클락 180도 위상에서 토글하고, 제2 방향 신호는 클락 180도 위상차 후에 토글하며, '0' 비트 수신시, 제2 역방향 신호는, 클락 180도 위상에서 토글하고, 제1 방향 신호는 클락 180도 위상차 후에 토글할 수 있다.

[34] 한편, 신호 처리 장치 내의 제1 인터페이스는, 디스플레이 내의 제2 인터페이스로부터 역방향 데이터가 수신되지 않는 아이들 구간, 클럭 및 데이터 종류 정보가 전송되는 프리 데이터 구간, 역방향 데이터가 전송되는 페이로드 구간, 카운터를 리셋하는 포스트 데이터 구간으로 구분되는 데이터를 수신할 수 있다.

[35] 한편, 신호 처리 장치 내의 제1 인터페이스는, 양방향 통신을 위한 제1 단자와 제2 단자를 구비하며, 제1 인터페이스 내의 제1 단자는, I2C의 클럭 신호와, 인터페이스의 락 신호를 수신하며, 제1 인터페이스 내의 제2 단자는, I2C 프로토콜의 데이터를 수신할 수 있다.

[36] 한편, 제1 인터페이스는, 제1 인터페이스 내의 제1 단자에, 클럭 신호가 수신되는 경우, I2C의 클럭 신호로 판정하고, 제1 인터페이스 내의 제1 단자에,

트리거 신호 이후 로우 레벨 신호가 수신되는 경우, 트리거 신호 이후의 로우 레벨 신호를 락 신호로 판정할 수 있다.

발명의 효과

[37] 본 발명의 일 실시예에 따른 영상표시장치는, 디스플레이와, 디스플레이에 데이터를 출력하는 신호 처리 장치를 포함하고, 신호 처리 장치 내의 제1 인터페이스는, 양방향 통신을 위한 제1 단자와 제2 단자를 구비하며, 제1 단자와 제2 단자 중 적어도 하나는, 인터페이스 모니터 신호와 시스템 제어 버스 신호를 공유한다. 이에 따라, 제어 데이터 등의 통합 지원이 가능하므로 케이블 배선을 단순화시킬 수 있게 된다.

[38] 한편, 신호 처리 장치 내의 제1 인터페이스는, 복수의 제1 방향 통신 레인을 이용하여, 데이터를 디스플레이 내의 제2 인터페이스로 전송하고, 적어도 하나의 제2 방향 통신 레인을 이용하여, 디스플레이 내의 제2 인터페이스로부터 데이터를 수신할 수 있다. 이에 따라, 하나의 케이블을 통해 디스플레이 방향으로의 데이터 전송 및 신호 처리 장치 방향으로의 데이터 전송을 수행할 수 있게 된다.

[39] 한편, 복수의 제1 방향 통신 레인, 적어도 하나의 제2 방향 통신 레인은, 제1 단자와 제2 단자에 각각 대응하는 제1 전송 라인과 제2 전송 라인은, 동일 케이블 내에 배치될 수 있다. 이에 따라, 하나의 케이블을 통해, 순방향 데이터 전송, 역방향 데이터 전송 및 제어 데이터 전송이 가능하게 된다.

[40] 한편, 신호 처리 장치 내의 제1 인터페이스는, 양방향 통신을 위한 제1 단자와 제2 단자를 구비하며, 파워 온 이후, 대기 모드에서, 제1 단자의 신호 레벨이 로우 레벨인지 여부를 판단하고, 로우 레벨인 경우, 제1 트레이닝 모드로 진입하도록 제어할 수 있다. 이에 따라, 제1 트레이닝 모드로 간단하게 진입할 수 있게 된다.

[41] 한편, 신호 처리 장치 내의 제1 인터페이스는, 제1 트레이닝 모드 동안, 클럭 신호를 주기적으로 전송하고, 제1 단자의 신호 레벨이 로우 레벨에서 하이 레벨로 변경되는 경우, 제2 트레이닝 모드로 진입하도록 제어할 수 있다. 이에 따라, 제2 트레이닝 모드로 간단하게 진입할 수 있게 된다.

[42] 한편, 신호 처리 장치 내의 제1 인터페이스는, 제2 트레이닝 모드 동안, 패턴 신호를 전송하고, 패턴 신호 전송 이후 승인 신호가 수신되는 경우, 복수의 제1 방향 통신 레인을 이용하여, 데이터를 디스플레이 내의 제2 인터페이스로 전송하며, 제1 단자와 제2 단자를 이용하여, 시스템 제어 버스 신호를 전송할 수 있다. 이에 따라, 단방향의 데이터 전송 및 양방향의 제어 데이터 전송이 가능하게 된다.

[43] 한편, 복수의 제1 방향 통신 레인을 이용하여, 디스플레이로 전송되는 데이터는, 영상 데이터, 및 오디오 데이터를 포함할 수 있다. 이에 따라, 영상 데이터 외에, 디스플레이로 오디오 데이터를 전송할 수 있게 된다.

[44] 한편, 적어도 하나의 제2 방향 통신 레인을 이용하여, 신호 처리 장치로

수신되는 데이터는, 디스플레이 내의 마이크를 통해 변환된 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를 포함할 수 있다. 이에 따라, 디스플레이로부터의 오디오 데이터, 터치 입력 데이터, 또는 신체 정보 데이터를 수신하여, 이를 처리할 수 있게 된다.

[45] 한편, 복수의 제1 방향 통신 레인 및 적어도 하나의 제2 방향 통신 레인은, 각각 단방향 통신으로 구동될 수 있다. 이에 따라, 각각 순방향 데이터 전송, 및 역방향 데이터 전송을 수행할 수 있게 된다.

[46] 한편, 복수의 제1 방향 통신 레인을 이용한 데이터 전송 속도는 제1 속도이며, 적어도 적어도 하나의 제2 방향 통신 레인을 이용한 데이터 전송 속도는 제1 속도 보다 낮은 제2 속도일 수 있다. 이에 따라, 저속 데이터 통신에 기반한 데이터를 전송할 수 있으며, 고속 데이터 통신에 따라, 고해상도 기반의 영상 데이터를 전송할 수 있게 된다.

[47] 한편, 신호 처리 장치 내의 제1 인터페이스는, N 레인의 데이터를 (N-1) 레인의 데이터로 패킹하고, 패킹된 (N-1) 레인의 데이터를 출력할 수 있다. 이에 따라, 나머지 레인을 통해 역방향 데이터 전송이 가능하게 되며, 데이터 전송을 효율적으로 수행할 수 있게 된다.

[48] 한편, 신호 처리 장치 내의 제1 인터페이스는, N 레인의 데이터를 재배치하고, 재배치된 데이터를 (N-1) 레인의 데이터로 패킹하고, 패킹된 (N-1) 레인의 데이터를 출력할 수 있다. 이에 따라, 나머지 레인을 통해 역방향 데이터 전송이 가능하게 되며, 데이터 전송을 효율적으로 수행할 수 있게 된다.

[49] 한편, 신호 처리 장치 내의 제1 인터페이스는, 복수의 제1 방향 통신 레인을 통해, 데이터 프레임을 출력하며, 데이터 프레임은, 영상 데이터, 오디오 데이터, 라인 종료 정보, 추가 데이터, 프레임 종료 정보를 포함할 수 있다. 이에 따라, 효율적으로 데이터 프레임을 전송할 수 있게 된다.

[50] 한편, 데이터 프레임은, 데이터 인에이블 신호, 수직 동기 신호, 수평 동기 신호를 포함하지 않는다. 이에 따라, 효율적으로 데이터를 전송할 수 있게 된다.

[51] 한편, 데이터 프레임 내의 영상 데이터는, 프리앰블 데이터, RGB 데이터를 포함할 수 있다. 이에 따라, 효율적으로 영상 데이터를 전송할 수 있게 된다.

[52] 한편, 신호 처리 장치 내의 제1 인터페이스는, RGB 데이터의 비트가 제1 기준 비트 미만인 경우, 하위 비트를 제로 패딩하여 전송할 수 있다. 이에 따라, 효율적으로 RGB 데이터를 전송할 수 있게 된다.

[53] 한편, 데이터 프레임 내의 오디오 데이터는, 프리앰블 데이터, 비트 정보 데이터, 오디오 비트 데이터를 포함할 수 있다. 이에 따라, 효율적으로 오디오 데이터를 전송할 수 있게 된다.

[54] 한편, 데이터 프레임 내의 라인 종료 정보는, 라인 종료 데이터, 스크램블러 리셋 데이터, 업데이트 데이터, 수평 동기 극성 정보, 길이 정보, 수평 동기 신호의 폭 정보를 포함할 수 있다. 이에 따라, 효율적으로 라인 종료 정보를 전송할 수 있게 된다.

[55] 한편, 신호 처리 장치 내의 제1 인터페이스는, 데이터 프레임 내의 블랭크 구간에 추가 데이터를 매핑하여, 전송할 수 있다. 이에 따라, 효율적으로 추가 데이터를 전송할 수 있게 된다.

[56] 한편, 데이터 프레임 내의 추가 데이터는, 프리앰블 데이터, 데이터 사용 정보를 포함할 수 있다. 이에 따라, 효율적으로 추가 데이터를 전송할 수 있게 된다.

[57] 한편, 데이터 프레임 내의 프레임 종료 정보는, 프레임 종료 데이터, 스크램블러 리셋 데이터, 업데이트 데이터, 수직 동기 극성 정보, 길이 정보, 수직 동기 신호의 폭 정보를 포함할 수 있다. 이에 따라, 효율적으로 프레임 종료 정보를 전송할 수 있게 된다.

[58] 한편, 신호 처리 장치 내의 제1 인터페이스는, 복수의 제1 방향 통신 레인을 이용하여, 데이터를 디스플레이 내의 제2 인터페이스로 전송하고, 제1 역방향 신호의 수신을 위한 단자와 제2 역방향 신호를 수신을 위한 단자를 구비한다. 이에 따라, 하나의 케이블을 통해 디스플레이 방향으로의 데이터 전송 및 신호 처리 장치 방향으로의 데이터 전송을 수행할 수 있게 된다.

[59] 한편, 신호 처리 장치 내의 제1 인터페이스에서의 '1' 비트 수신시, 제1 역방향 신호는, 클락 180도 위상에서 토글하고, 제2 방향 신호는 클락 180도 위상차 후에 토글하며, '0' 비트 수신시, 제2 역방향 신호는, 클락 180도 위상에서 토글하고, 제1 방향 신호는 클락 180도 위상차 후에 토글할 수 있다. 이에 따라, 역방향 신호를 수신할 수 있게 된다.

[60] 한편, 신호 처리 장치 내의 제1 인터페이스는, 디스플레이 내의 제2 인터페이스로부터 역방향 데이터가 수신되지 않는 아이들 구간, 클럭 및 데이터 종류 정보가 전송되는 프리 데이터 구간, 역방향 데이터가 전송되는 페이로드 구간, 카운터를 리셋하는 포스트 데이터 구간으로 구분되는 데이터를 수신할 수 있다. 이에 따라, 역방향 신호를 수신할 수 있게 된다.

[61] 한편, 신호 처리 장치 내의 제1 인터페이스는, 양방향 통신을 위한 제1 단자와 제2 단자를 구비하며, 제1 인터페이스 내의 제1 단자는, I2C의 클럭 신호와, 인터페이스의 락 신호를 수신하며, 제1 인터페이스 내의 제2 단자는, I2C 프로토콜의 데이터를 수신할 수 있다. 이에 따라, 양방향 통신에 의해, 제어 데이터를 송신 또는 수신할 수 있게 된다.

[62] 한편, 제1 인터페이스는, 제1 인터페이스 내의 제1 단자에, 클럭 신호가 수신되는 경우, I2C의 클럭 신호로 판정하고, 제1 인터페이스 내의 제1 단자에, 트리거 신호 이후 로우 레벨 신호가 수신되는 경우, 트리거 신호 이후의 로우 레벨 신호를 락 신호로 판정할 수 있다. 이에 따라, 제1 단자를 통해, 클럭 신호와 락 신호를 구분하여 수신할 수 있게 된다.

도면의 간단한 설명

[63] 도 1은 본 발명의 일 실시예에 따른 영상표시장치를 도시한 도면이다.

[64] 도 2는 도 1의 영상표시장치의 내부 블록도의 일예이다.

[65] 도 3은 도 2의 신호 처리 장치의 내부 블록도의 일예이다.

[66] 도 4a는 도 2의 원격제어장치의 제어 방법을 도시한 도면이다.

[67] 도 4b는 도 2의 원격제어장치의 내부 블록도이다.

[68] 도 5는 본 발명과 관련된 신호 처리 장치와 디스플레이 사이의 인터페이스를 도시한 도면이다.

[69] 도 6은 본 발명의 일 실시예에 따른 영상표시장치의 내부 블록도의 일예이다.

[70] 도 7은 본 발명의 일 실시예에 따른 신호 처리 장치와 디스플레이 사이의 인터페이스를 도시한 도면이다.

[71] 도 8 내지 도 11f는 도 7의 설명에 참조되는 도면이다.

[72] 도 12은 본 발명의 다른 실시예에 따른 신호 처리 장치와 디스플레이 사이의 인터페이스를 도시한 도면이다.

[73] 도 13 내지 도 15는 도 12의 설명에 참조되는 도면이다.

발명의 실시를 위한 최선의 형태

[74] 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

[75] 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 단순히 본 명세서 작성의 용이함만이 고려되어 부여되는 것으로서, 그 자체로 특별히 중요한 의미 또는 역할을 부여하는 것은 아니다. 따라서, 상기 "모듈" 및 "부"는 서로 혼용되어 사용될 수도 있다.

[76] 도 1은 본 발명의 일 실시예에 따른 영상표시장치를 도시한 도면이다.

[77] 도면을 참조하면, 영상표시장치(100)는, 디스플레이(180)를 포함할 수 있다.

[78] 한편, 디스플레이(180)는 다양한 패널 중 어느 하나로 구현될 수 있다. 예를 들어, 디스플레이(180)는, 액정표시패널(LCD 패널), 유기발광패널(OLED 패널), 무기발광패널(LED 패널) 등 중 어느 하나일 수 있다.

[79] 액정표시패널은, 영상 표시를 위한 패널 외에 추가로 별도의 백라이트가 필요할 수 있다.

[80] 한편, 유기발광패널 또는 무기발광패널은, 영상 표시를 위해, 별도의 백라이트가 필요 없다.

[81] 한편, 디스플레이(180)의 표시 해상도는, 2K, 4K, 8K, 16K 등으로 증가하는 추세이다.

[82] 이에 따라, 영상표시장치(100) 내의 신호 처리 장치(도 2의 170)와 디스플레이(180) 사이에 전송되는 데이터의 양이 많아지게 된다.

[83] 특히, 신호 처리 장치(170)에서 디스플레이(180)로 전송되는 영상 데이터의 해상도가 증가되면서, 영상 데이터의 양이 증가하게 된다. 이에 따라, 신호 처리 장치(170)에서 디스플레이(180)로 고속의 영상 데이터 전송이 가능한 인터페이스가 필요하게 된다.

[84] 아울러, 전송되는 영상 데이터의 양의 증가에 따라, 신호 처리 장치(170)에서 디스플레이(180)로 또는 디스플레이(180)에서 신호 처리 장치(170)로 전송되는

제어 데이터의 양도 증가하게 된다. 전송되는 제어 데이터의 양의 증가 등에 따라, 제어 데이터 전송을 위해, 신호 처리 장치(170)에 구비되는 단자가 증가하게 된다.

[85] 이러한 점을 해결하기 위해, 본 발명의 일 실시예에 따른 영상표시장치(100)는, 디스플레이(180)와, 디스플레이(180)에 데이터를 출력하는 신호 처리 장치(170)를 포함하고, 신호 처리 장치(170) 내의 제1 인터페이스(도 7의 171)는, 양방향 통신을 위한 제1 단자와 제2 단자를 구비하며, 제1 단자와 제2 단자 중 적어도 하나는, 인터페이스 모니터 신호와 시스템 제어 버스 신호를 공유한다. 이에 따라, 제어 데이터 등의 통합 지원이 가능하므로 케이블 배선을 단순화시킬 수 있게 된다.

[86] 한편, 디스플레이(180)에 마이크 또는 터치 센서 등의 장착이 가능하며, 마이크 또는 터치 센서 등에 의한, 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를, 신호 처리 장치(170)로 전송하는 것이 필요하다.

[87] 이에 따라, 본 발명의 실시예에서는, 신호 처리 장치(170)와 디스플레이(180) 사이에 하나의 케이블(도 7의 CAB)을 이용하여, 신호 처리 장치(170)에서 디스플레이(180) 방향으로 고속의 데이터 전송을 수행하고, 디스플레이(180)에서 신호 처리 장치(170)로 다양한 데이터를 전송하는 방안을 제시한다.

[88] 이를 위해, 본 발명의 실시예에 따른 신호 처리 장치(170) 내의 제1 인터페이스(도 7의 171)는, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용하여, 데이터를 디스플레이(180) 내의 제2 인터페이스(도 7의 181)로 전송하고, 적어도 하나의 제2 방향 통신 레인(Lane N)을 이용하여, 디스플레이(180) 내의 제2 인터페이스(181)로부터 데이터를 수신한다. 이에 따라, 하나의 케이블을 통해 디스플레이(180) 방향으로의 데이터 전송 및 신호 처리 장치(170) 방향으로의 데이터 전송을 수행할 수 있게 된다.

[89] 한편, 도 1의 영상표시장치(100)는, TV, 모니터, 태블릿 PC, 노트북, 이동 단말기, 차량용 디스플레이 장치, 상업용 디스플레이 장치, 사이니지 등이 가능하다.

[90] 도 2는 도 1의 영상표시장치의 내부 블록도의 일예이다.

[91] 도 2를 참조하면, 본 발명의 일실시예에 의한 영상표시장치(100)는, 영상 수신부(105), 외부장치 인터페이스부(130), 저장부(140), 사용자입력 인터페이스부(150), 센서부(미도시), 신호 처리 장치(170), 디스플레이(180), 오디오 출력부(185)를 포함할 수 있다.

[92] 영상 수신부(105)는, 튜너부(110), 복조부(120), 네트워크 인터페이스부(130), 외부장치 인터페이스부(130)를 포함할 수 있다.

[93] 한편, 영상 수신부(105)는, 도면과 달리, 튜너부(110), 복조부(120)와, 외부장치 인터페이스부(130)만을 포함하는 것도 가능하다. 즉, 네트워크 인터페이스부(130)를 포함하지 않을 수도 있다.

[94] 튜너부(110)는, 안테나(미도시)를 통해 수신되는 RF(Radio Frequency) 방송 신호 중 사용자에 의해 선택된 채널 또는 기저장된 모든 채널에 해당하는 RF 방송 신호를 선택한다. 또한, 선택된 RF 방송 신호를 중간 주파수 신호 혹은 베이스 밴드 영상 또는 음성신호로 변환한다.

[95] 예를 들어, 선택된 RF 방송 신호가 디지털 방송 신호이면 디지털 IF 신호(DIF)로 변환하고, 아날로그 방송 신호이면 아날로그 베이스 밴드 영상 또는 음성 신호(CVBS/SIF)로 변환한다. 즉, 튜너부(110)는 디지털 방송 신호 또는 아날로그 방송 신호를 처리할 수 있다. 튜너부(110)에서 출력되는 아날로그 베이스 밴드 영상 또는 음성 신호(CVBS/SIF)는 신호 처리 장치(170)로 직접 입력될 수 있다.

[96] 한편, 튜너부(110)는, 복수 채널의 방송 신호를 수신하기 위해, 복수의 튜너를 구비하는 것이 가능하다. 또는, 복수 채널의 방송 신호를 동시에 수신하는 단일 튜너도 가능하다.

[97] 복조부(120)는 튜너부(110)에서 변환된 디지털 IF 신호(DIF)를 수신하여 복조 동작을 수행한다.

[98] 복조부(120)는 복조 및 채널 복호화를 수행한 후 스트림 신호(TS)를 출력할 수 있다. 이때 스트림 신호는 영상 신호, 음성 신호 또는 데이터 신호가 다중화된 신호일 수 있다.

[99] 복조부(120)에서 출력한 스트림 신호는 신호 처리 장치(170)로 입력될 수 있다. 신호 처리 장치(170)는 역다중화, 영상/음성 신호 처리 등을 수행한 후, 디스플레이(180)에 영상을 출력하고, 오디오 출력부(185)로 음성을 출력한다.

[100] 외부장치 인터페이스부(130)는, 접속된 외부 장치(미도시), 예를 들어, 셋탑 박스(50)와 데이터를 송신 또는 수신할 수 있다. 이를 위해, 외부장치 인터페이스부(130)는, A/V 입출력부(미도시)를 포함할 수 있다.

[101] 외부장치 인터페이스부(130)는, DVD(Digital Versatile Disk), 블루레이(Blu ray), 게임기기, 카메라, 캠코더, 컴퓨터(노트북), 셋탑 박스 등과 같은 외부 장치와 유/무선으로 접속될 수 있으며, 외부 장치와 입력/출력 동작을 수행할 수도 있다.

[102] A/V 입출력부는, 외부 장치의 영상 및 음성 신호를 입력받을 수 있다. 한편, 무선 통신부(미도시)는, 다른 전자기기와 근거리 무선 통신을 수행할 수 있다.

[103] 이러한 무선 통신부(미도시)를 통해, 외부장치 인터페이스부(130)는, 인접하는 이동 단말기(600)와 데이터를 교환할 수 있다. 특히, 외부장치 인터페이스부(130)는, 미러링 모드에서, 이동 단말기(600)로부터 디바이스 정보, 실행되는 애플리케이션 정보, 애플리케이션 이미지 등을 수신할 수 있다.

[104] 네트워크 인터페이스부(135)는, 영상표시장치(100)를 인터넷망을 포함하는 유/무선 네트워크와 연결하기 위한 인터페이스를 제공한다. 예를 들어, 네트워크 인터페이스부(135)는, 네트워크를 통해, 인터넷 또는 컨텐츠 제공자 또는 네트워크 운영자가 제공하는 컨텐츠 또는 데이터들을 수신할 수 있다.

[105] 한편, 네트워크 인터페이스부(135)는, 무선 통신부(미도시)를 포함할 수 있다.

[106] 저장부(140)는, 신호 처리 장치(170) 내의 각 신호 처리 및 제어를 위한 프로그램이 저장될 수도 있고, 신호 처리된 영상, 음성 또는 데이터 신호를 저장할 수도 있다.

[107] 또한, 저장부(140)는 외부장치 인터페이스부(130)로 입력되는 영상, 음성 또는 데이터 신호의 임시 저장을 위한 기능을 수행할 수도 있다. 또한, 저장부(140)는, 채널 맵 등의 채널 기억 기능을 통하여 소정 방송 채널에 관한 정보를 저장할 수 있다.

[108] 도 2의 저장부(140)가 신호 처리 장치(170)와 별도로 구비된 실시예를 도시하고 있으나, 본 발명의 범위는 이에 한정되지 않는다. 저장부(140)는 신호 처리 장치(170) 내에 포함될 수 있다.

[109] 사용자입력 인터페이스부(150)는, 사용자가 입력한 신호를 신호 처리 장치(170)로 전달하거나, 신호 처리 장치(170)로부터의 신호를 사용자에게 전달한다.

[110] 예를 들어, 원격제어장치(200)로부터 전원 온/오프, 채널 선택, 화면 설정 등의 사용자 입력 신호를 송신/수신하거나, 전원키, 채널키, 볼륨키, 설정치 등의 로컬키(미도시)에서 입력되는 사용자 입력 신호를 신호 처리 장치(170)에 전달하거나, 사용자의 제스처를 센싱하는 센서부(미도시)로부터 입력되는 사용자 입력 신호를 신호 처리 장치(170)에 전달하거나, 신호 처리 장치(170)로부터의 신호를 센서부(미도시)로 송신할 수 있다.

[111] 신호 처리 장치(170)는, 튜너부(110) 또는 복조부(120) 또는 네트워크 인터페이스부(135) 또는 외부장치 인터페이스부(130)를 통하여, 입력되는 스트림을 역다중화하거나, 역다중화된 신호들을 처리하여, 영상 또는 음성 출력을 위한 신호를 생성 및 출력할 수 있다.

[112] 예를 들어, 신호 처리 장치(170)는, 영상 수신부(105)에서 수신된 방송 신호 또는 HDMI 신호 등을 수신하고, 수신되는 방송 신호 또는 HDMI 신호에 기초한 신호 처리를 수행하여, 신호 처리된 영상 신호를 출력할 수 있다.

[113] 신호 처리 장치(170)에서 영상 처리된 영상 신호는 디스플레이(180)로 입력되어, 해당 영상 신호에 대응하는 영상으로 표시될 수 있다. 또한, 신호 처리 장치(170)에서 영상 처리된 영상 신호는 외부장치 인터페이스부(130)를 통하여 외부 출력장치로 입력될 수 있다.

[114] 신호 처리 장치(170)에서 처리된 음성 신호는 오디오 출력부(185)로 음향 출력될 수 있다. 또한, 신호 처리 장치(170)에서 처리된 음성 신호는 외부장치 인터페이스부(130)를 통하여 외부 출력장치로 입력될 수 있다.

[115] 도 2에는 도시되어 있지 않으나, 신호 처리 장치(170)는 역다중화부, 영상처리부 등을 포함할 수 있다. 즉, 신호 처리 장치(170)는, 다양한 신호 처리를 수행할 수 있으며, 이에 따라, 시스템 온 칩(System On Chip,SOC)의 형태로 구현될 수 있다. 이에 대해서는 도 3을 참조하여 후술한다.

[116] 그 외, 신호 처리 장치(170)는, 영상표시장치(100) 내의 전반적인 동작을 제어할

수 있다. 예를 들어, 신호 처리 장치(170)는 튜너부(110)를 제어하여, 사용자가 선택한 채널 또는 기저장된 채널에 해당하는 RF 방송을 선택(Tuning)하도록 제어할 수 있다.

[117] 또한, 신호 처리 장치(170)는 사용자입력 인터페이스부(150)를 통하여 입력된 사용자 명령 또는 내부 프로그램에 의하여 영상표시장치(100)를 제어할 수 있다.

[118] 한편, 신호 처리 장치(170)는, 영상을 표시하도록 디스플레이(180)를 제어할 수 있다. 이때, 디스플레이(180)에 표시되는 영상은, 정지 영상 또는 동영상일 수 있으며, 2D 영상 또는 3D 영상일 수 있다.

[119] 한편, 신호 처리 장치(170)는 디스플레이(180)에 표시되는 영상 내에, 소정 오브젝트가 표시되도록 할 수 있다. 예를 들어, 오브젝트는, 접속된 웹 화면(신문, 잡지 등), EPG(Electronic Program Guide), 다양한 메뉴, 위젯, 아이콘, 정지 영상, 동영상, 텍스트 중 적어도 하나일 수 있다.

[120] 한편, 신호 처리 장치(170)는, 촬영부(미도시)로부터 촬영된 영상에 기초하여, 사용자의 위치를 인식할 수 있다. 예를 들어, 사용자와 영상표시장치(100) 간의 거리(z축 좌표)를 파악할 수 있다. 그 외, 사용자 위치에 대응하는 디스플레이(180) 내의 x축 좌표, 및 y축 좌표를 파악할 수 있다.

[121] 디스플레이(180)는, 신호 처리 장치(170)에서 처리된 영상 신호, 데이터 신호, OSD 신호, 제어 신호 또는 외부장치 인터페이스부(130)에서 수신되는 영상 신호, 데이터 신호, 제어 신호 등을 변환하여 구동 신호를 생성한다.

[122] 한편, 디스플레이(180)는, 터치 스크린으로 구성되어 출력 장치 이외에 입력 장치로 사용되는 것도 가능하다.

[123] 오디오 출력부(185)는, 신호 처리 장치(170)에서 음성 처리된 신호를 입력 받아 음성으로 출력한다.

[124] 촬영부(미도시)는 사용자를 촬영한다. 촬영부(미도시)는 1 개의 카메라로 구현되는 것이 가능하나, 이에 한정되지 않으며, 복수 개의 카메라로 구현되는 것도 가능하다. 촬영부(미도시)에서 촬영된 영상 정보는 신호 처리 장치(170)에 입력될 수 있다.

[125] 신호 처리 장치(170)는, 촬영부(미도시)로부터 촬영된 영상, 또는 센서부(미도시)로부터의 감지된 신호 각각 또는 그 조합에 기초하여 사용자의 제스처를 감지할 수 있다.

[126] 전원 공급부(190)는, 영상표시장치(100) 전반에 걸쳐 해당 전원을 공급한다. 특히, 전원 공급부(190)는, 시스템 온 칩(System On Chip,SOC)의 형태로 구현될 수 있는 신호 처리 장치(170)와, 영상 표시를 위한 디스플레이(180), 및 오디오 출력을 위한 오디오 출력부(185) 등에 전원을 공급할 수 있다.

[127] 구체적으로, 전원 공급부(190)는, 교류 전압을 직류 전압으로 변환하는 ac/dc 컨버터와, 직류 전압의 레벨을 변환하는 dc/dc 컨버터를 구비할 수 있다.

[128] 원격제어장치(200)는, 사용자 입력을 사용자입력 인터페이스부(150)로 송신한다. 이를 위해, 원격제어장치(200)는, 블루투스(Bluetooth), RF(Radio

Frequency) 통신, 적외선(IR) 통신, UWB(Ultra Wideband), 지그비(ZigBee) 방식 등을 사용할 수 있다. 또한, 원격제어장치(200)는, 사용자입력 인터페이스부(150)에서 출력한 영상, 음성 또는 데이터 신호 등을 수신하여, 이를 원격제어장치(200)에서 표시하거나 음성 출력할 수 있다.

[129] 한편, 상술한 영상표시장치(100)는, 고정형 또는 이동형 디지털 방송 수신 가능한 디지털 방송 수신기일 수 있다.

[130] 한편, 도 2에 도시된 영상표시장치(100)의 블록도는 본 발명의 일실시예를 위한 블록도이다. 블록도의 각 구성요소는 실제 구현되는 영상표시장치(100)의 사양에 따라 통합, 추가, 또는 생략될 수 있다. 즉, 필요에 따라 2 이상의 구성요소가 하나의 구성요소로 합쳐지거나, 혹은 하나의 구성요소가 2 이상의 구성요소로 세분되어 구성될 수 있다. 또한, 각 블록에서 수행하는 기능은 본 발명의 실시예를 설명하기 위한 것이며, 그 구체적인 동작이나 장치는 본 발명의 권리범위를 제한하지 아니한다.

[131] 도 3은 도 2의 신호 처리 장치의 내부 블록도의 일예이다.

[132] 도면을 참조하여 설명하면, 본 발명의 일실시예에 의한 신호 처리 장치(170)는, 역다중화부(310), 영상 처리부(320), 프로세서(330), 오디오 처리부(370)를 포함할 수 있다. 그 외 , 데이터 처리부(미도시)를 더 포함할 수 있다.

[133] 역다중화부(310)는, 입력되는 스트림을 역다중화한다. 예를 들어, MPEG-2 TS가 입력되는 경우 이를 역다중화하여, 각각 영상, 음성 및 데이터 신호로 분리할 수 있다. 여기서, 역다중화부(310)에 입력되는 스트림 신호는, 튜너부(110) 또는 복조부(120) 또는 외부장치 인터페이스부(130)에서 출력되는 스트림 신호일 수 있다.

[134] 영상 처리부(320)는, 입력되는 영상에 대한 신호 처리를 수행할 수 있다. 예를 들어, 영상 처리부(320)는, 역다중화부(310)로부터 역다중화된 영상 신호의 영상 처리를 수행할 수 있다.

[135] 이를 위해, 영상 처리부(320)는, 영상 디코더(325), 스케일러(335), 화질 처리부(635), 영상 인코더(미도시), OSD 처리부(340), 프레임 레이트 변환부(350), 및 포맷터(360) 등을 포함할 수 있다.

[136] 영상 디코더(325)는, 역다중화된 영상신호를 복호화하며, 스케일러(335)는, 복호화된 영상신호의 해상도를 디스플레이(180)에서 출력 가능하도록 스케일링(scaling)을 수행한다.

[137] 영상 디코더(325)는 다양한 규격의 디코더를 구비하는 것이 가능하다. 예를 들어, MPEG-2, H,264 디코더, 색차 영상(color image) 및 깊이 영상(depth image)에 대한 3D 영상 디코더, 복수 시점 영상에 대한 디코더 등을 구비할 수 있다.

[138] 스케일러(335)는, 영상 디코더(325) 등에서 영상 복호 완료된, 입력 영상 신호를 스케일링할 수 있다.

[139] 예를 들어, 스케일러(335)는, 입력 영상 신호의 크기 또는 해상도가 작은 경우, 업 스케일링하고, 입력 영상 신호의 크기 또는 해상도가 큰 경우, 다운

스케일링할 수 있다.

[140] 화질 처리부(635)는, 영상 디코더(325) 등에서 영상 복호 완료된, 입력 영상 신호에 대한 화질 처리를 수행할 수 있다.

[141] 예를 들어, 화질 처리부(635)는, 입력 영상 신호의 노이즈 제거 처리를 하거나, 입력 영상 신호의 도계조의 해상를 확장하거나, 영상 해상도 향상을 수행하거나, 하이 다이나믹 레인지(HDR) 기반의 신호 처리를 하거나, 프레임 레이트를 가변하거나, 패널 특성, 특히 유기발광패널에 대응하는 화질 처리 등을 할 수 있다.

[142] OSD 처리부(340)는, 사용자 입력에 따라 또는 자체적으로 OSD 신호를 생성한다. 예를 들어, 사용자 입력 신호에 기초하여, 디스플레이(180)의 화면에 각종 정보를 그래픽(Graphic)이나 텍스트(Text)로 표시하기 위한 신호를 생성할 수 있다. 생성되는 OSD 신호는, 영상표시장치(100)의 사용자 인터페이스 화면, 다양한 메뉴 화면, 위젯, 아이콘 등의 다양한 데이터를 포함할 수 있다. 또한, 생성되는 OSD 신호는, 2D 오브젝트 또는 3D 오브젝트를 포함할 수 있다.

[143] 또한, OSD 처리부(340)는, 원격제어장치(200)로부터 입력되는 포인팅 신호에 기초하여, 디스플레이에 표시 가능한, 포인터를 생성할 수 있다. 특히, 이러한 포인터는, 포인팅 신호 처리 장치에서 생성될 수 있으며, OSD 처리부(240)는, 이러한 포인팅 신호 처리 장치(미도시)를 포함할 수 있다. 물론, 포인팅 신호 처리 장치(미도시)가 OSD 처리부(240) 내에 구비되지 않고 별도로 마련되는 것도 가능하다.

[144] 프레임 레이트 변환부(Frame Rate Conveter, FRC)(350)는, 입력되는 영상의 프레임 레이트를 변환할 수 있다. 한편, 프레임 레이트 변환부(350)는, 별도의 프레임 레이트 변환 없이, 그대로 출력하는 것도 가능하다.

[145] 한편, 포맷터(Formatter)(360)는, 입력되는 영상 신호의 포맷을, 디스플레이에 표시하기 위한 영상 신호로 변화시켜 출력할 수 있다.

[146] 특히, 포맷터(Formatter)(360)는, 디스플레이 패널에 대응하도록 영상 신호의 포맷을 변화시킬 수 있다.

[147] 한편, 포맷터(360)는, 영상 신호의 포맷을 변경할 수도 있다. 예를 들어, 3D 영상 신호의 포맷을, 사이드 바이 사이드(Side by Side) 포맷, 탑 다운(Top / Down) 포맷, 프레임 시퀀셜(Frame Sequential) 포맷, 인터레이스 (Interlaced) 포맷, 체커 박스(Checker Box) 포맷 등의 다양한 3D 포맷 중 어느 하나의 포맷으로 변경할 수 있다.

[148] 프로세서(330)는, 영상표시장치(100) 내 또는 신호 처리 장치(170) 내의 전반적인 동작을 제어할 수 있다.

[149] 예를 들어, 프로세서(330)는 튜너(110)를 제어하여, 사용자가 선택한 채널 또는 기저장된 채널에 해당하는 RF 방송을 선택(Tuning)하도록 제어할 수 있다.

[150] 또한, 프로세서(330)는, 사용자입력 인터페이스부(150)를 통하여 입력된 사용자 명령 또는 내부 프로그램에 의하여 영상표시장치(100)를 제어할 수 있다.

[151] 또한, 프로세서(330)는, 네트워크 인터페이스부(135) 또는 외부장치 인터페이스부(130)와의 데이터 전송 제어를 수행할 수 있다.

[152] 또한, 프로세서(330)는, 신호 처리 장치(170) 내의 역다중화부(310), 영상 처리부(320) 등의 동작을 제어할 수 있다.

[153] 한편, 신호 처리 장치(170) 내의 오디오 처리부(370)는, 역다중화된 음성 신호의 음성 처리를 수행할 수 있다. 이를 위해 오디오 처리부(370)는 다양한 디코더를 구비할 수 있다.

[154] 또한, 신호 처리 장치(170) 내의 오디오 처리부(370)는, 베이스(Base), 트레블(Treble), 음량 조절 등을 처리할 수 있다.

[155] 신호 처리 장치(170) 내의 데이터 처리부(미도시)는, 역다중화된 데이터 신호의 데이터 처리를 수행할 수 있다. 예를 들어, 역다중화된 데이터 신호가 부호화된 데이터 신호인 경우, 이를 복호화할 수 있다. 부호화된 데이터 신호는, 각 채널에서 방영되는 방송프로그램의 시작시간, 종료시간 등의 방송정보를 포함하는 전자 프로그램 가이드 정보(Electronic Program Guide) 정보일 수 있다.

[156] 한편, 도 3에 도시된 신호 처리 장치(170)의 블록도는 본 발명의 일실시예를 위한 블록도이다. 블록도의 각 구성요소는 실제 구현되는 신호 처리 장치(170)의 사양에 따라 통합, 추가, 또는 생략될 수 있다.

[157] 특히, 프레임 레이트 변환부(350), 및 포맷터(360)는 영상 처리부(320) 외에 별도로 마련될 수도 있다.

[158] 도 4a는 도 2의 원격제어장치의 제어 방법을 도시한 도면이다.

[159] 도 4a의 (a)에 도시된 바와 같이, 디스플레이(180)에 원격제어장치(200)에 대응하는 포인터(205)가 표시되는 것을 예시한다.

[160] 사용자는 원격제어장치(200)를 상하, 좌우(도 4a의 (b)), 앞뒤(도 4a의 (c))로 움직이거나 회전할 수 있다. 영상표시장치의 디스플레이(180)에 표시된 포인터(205)는 원격제어장치(200)의 움직임에 대응한다. 이러한 원격제어장치(200)는, 도면과 같이, 3D 공간 상의 움직임에 따라 해당 포인터(205)가 이동되어 표시되므로, 공간 리모콘 또는 3D 포인팅 장치라 명명할 수 있다.

[161] 도 4a의 (b)는 사용자가 원격제어장치(200)를 왼쪽으로 이동하면, 영상표시장치의 디스플레이(180)에 표시된 포인터(205)도 이에 대응하여 왼쪽으로 이동하는 것을 예시한다.

[162] 원격제어장치(200)의 센서를 통하여 감지된 원격제어장치(200)의 움직임에 관한 정보는 영상표시장치로 전송된다. 영상표시장치는 원격제어장치(200)의 움직임에 관한 정보로부터 포인터(205)의 좌표를 산출할 수 있다. 영상표시장치는 산출한 좌표에 대응하도록 포인터(205)를 표시할 수 있다.

[163] 도 4a의 (c)는, 원격제어장치(200) 내의 특정 버튼을 누른 상태에서, 사용자가 원격제어장치(200)를 디스플레이(180)에서 멀어지도록 이동하는 경우를 예시한다. 이에 의해, 포인터(205)에 대응하는 디스플레이(180) 내의 선택 영역이

줌인되어 확대 표시될 수 있다. 이와 반대로, 사용자가 원격제어장치(200)를 디스플레이(180)에 가까워지도록 이동하는 경우, 포인터(205)에 대응하는 디스플레이(180) 내의 선택 영역이 줌아웃되어 축소 표시될 수 있다. 한편, 원격제어장치(200)가 디스플레이(180)에서 멀어지는 경우, 선택 영역이 줌아웃되고, 원격제어장치(200)가 디스플레이(180)에 가까워지는 경우, 선택 영역이 줌인될 수도 있다.

[164] 한편, 원격제어장치(200) 내의 특정 버튼을 누른 상태에서는 상하, 좌우 이동의 인식이 배제될 수 있다. 즉, 원격제어장치(200)가 디스플레이(180)에서 멀어지거나 접근하도록 이동하는 경우, 상,하,좌,우 이동은 인식되지 않고, 앞뒤 이동만 인식되도록 할 수 있다. 원격제어장치(200) 내의 특정 버튼을 누르지 않은 상태에서는, 원격제어장치(200)의 상,하, 좌,우 이동에 따라 포인터(205)만 이동하게 된다.

[165] 한편, 포인터(205)의 이동속도나 이동방향은 원격제어장치(200)의 이동속도나 이동방향에 대응할 수 있다.

[166] 도 4b는 도 2의 원격제어장치의 내부 블록도이다.

[167] 도면을 참조하여 설명하면, 원격제어장치(200)는 무선통신부(425), 사용자 입력부(435), 센서부(440), 출력부(450), 전원공급부(460), 저장부(470), 제어부(480)를 포함할 수 있다.

[168] 무선통신부(425)는 전술하여 설명한 본 발명의 실시예들에 따른 영상표시장치 중 임의의 어느 하나와 신호를 송수신한다. 본 발명의 실시예들에 따른 영상표시장치들 중에서, 하나의 영상표시장치(100)를 일예로 설명하도록 하겠다.

[169] 본 실시예에서, 원격제어장치(200)는 RF 통신규격에 따라 영상표시장치(100)와 신호를 송수신할 수 있는 RF 모듈(421)을 구비할 수 있다. 또한 원격제어장치(200)는 IR 통신규격에 따라 영상표시장치(100)와 신호를 송수신할 수 있는 IR 모듈(423)을 구비할 수 있다.

[170] 본 실시예에서, 원격제어장치(200)는 영상표시장치(100)로 원격제어장치(200)의 움직임 등에 관한 정보가 담긴 신호를 RF 모듈(421)을 통하여 전송한다.

[171] 또한, 원격제어장치(200)는 영상표시장치(100)가 전송한 신호를 RF 모듈(421)을 통하여 수신할 수 있다. 또한, 원격제어장치(200)는 필요에 따라 IR 모듈(423)을 통하여 영상표시장치(100)로 전원 온/오프, 채널 변경, 볼륨 변경 등에 관한 명령을 전송할 수 있다.

[172] 사용자 입력부(435)는 키패드, 버튼, 터치 패드, 또는 터치 스크린 등으로 구성될 수 있다. 사용자는 사용자 입력부(435)를 조작하여 원격제어장치(200)로 영상표시장치(100)와 관련된 명령을 입력할 수 있다. 사용자 입력부(435)가 하드키 버튼을 구비할 경우 사용자는 하드키 버튼의 푸쉬 동작을 통하여 원격제어장치(200)로 영상표시장치(100)와 관련된 명령을 입력할 수 있다.

사용자 입력부(435)가 터치스크린을 구비할 경우 사용자는 터치스크린의 소프트키를 터치하여 원격제어장치(200)로 영상표시장치(100)와 관련된 명령을 입력할 수 있다. 또한, 사용자 입력부(435)는 스크롤 키나, 조그 키 등 사용자가 조작할 수 있는 다양한 종류의 입력수단을 구비할 수 있으며 본 실시예는 본 발명의 권리범위를 제한하지 아니한다.

[173] 센서부(440)는 자이로 센서(441) 또는 가속도 센서(443)를 구비할 수 있다. 자이로 센서(441)는 원격제어장치(200)의 움직임에 관한 정보를 센싱할 수 있다.

[174] 일예로, 자이로 센서(441)는 원격제어장치(200)의 동작에 관한 정보를 x,y,z 축을 기준으로 센싱할 수 있다. 가속도 센서(443)는 원격제어장치(200)의 이동속도 등에 관한 정보를 센싱할 수 있다. 한편, 거리측정센서를 더 구비할 수 있으며, 이에 의해, 디스플레이(180)와의 거리를 센싱할 수 있다.

[175] 출력부(450)는 사용자 입력부(435)의 조작에 대응하거나 영상표시장치(100)에서 전송한 신호에 대응하는 영상 또는 음성 신호를 출력할 수 있다. 출력부(450)를 통하여 사용자는 사용자 입력부(435)의 조작 여부 또는 영상표시장치(100)의 제어 여부를 인지할 수 있다.

[176] 일예로, 출력부(450)는 사용자 입력부(435)가 조작되거나 무선 통신부(425)을 통하여 영상표시장치(100)와 신호가 송수신되면 점등되는 LED 모듈(451), 진동을 발생하는 진동 모듈(453), 음향을 출력하는 음향 출력 모듈(455), 또는 영상을 출력하는 디스플레이 모듈(457)을 구비할 수 있다.

[177] 전원공급부(460)는 원격제어장치(200)로 전원을 공급한다. 전원공급부(460)는 원격제어장치(200)이 소정 시간 동안 움직이지 않은 경우 전원 공급을 중단함으로서 전원 낭비를 줄일 수 있다. 전원공급부(460)는 원격제어장치(200)에 구비된 소정 키가 조작된 경우에 전원 공급을 재개할 수 있다.

[178] 저장부(470)는 원격제어장치(200)의 제어 또는 동작에 필요한 여러 종류의 프로그램, 애플리케이션 데이터 등이 저장될 수 있다. 만일 원격제어장치(200)가 영상표시장치(100)와 RF 모듈(421)을 통하여 무선으로 신호를 송수신할 경우 원격제어장치(200)와 영상표시장치(100)는 소정 주파수 대역을 통하여 신호를 송수신한다. 원격제어장치(200)의 제어부(480)는 원격제어장치(200)와 페어링된 영상표시장치(100)와 신호를 무선으로 송수신할 수 있는 주파수 대역 등에 관한 정보를 저장부(470)에 저장하고 참조할 수 있다.

[179] 제어부(480)는 원격제어장치(200)의 제어에 관련된 제반사항을 제어한다. 제어부(480)는 사용자 입력부(435)의 소정 키 조작에 대응하는 신호 또는 센서부(440)에서 센싱한 원격제어장치(200)의 움직임에 대응하는 신호를 무선 통신부(425)를 통하여 영상표시장치(100)로 전송할 수 있다.

[180] 영상표시장치(100)의 사용자 입력 인터페이스부(150)는, 원격제어장치(200)와 무선으로 신호를 송수신할 수 있는 무선통신부(151)와, 원격제어장치(200)의 동작에 대응하는 포인터의 좌표값을 산출할 수 있는 좌표값 산출부(415)를

구비할 수 있다.

[181] 사용자 입력 인터페이스부(150)는, RF 모듈(412)을 통하여 원격제어장치(200)와 무선으로 신호를 송수신할 수 있다. 또한 IR 모듈(413)을 통하여 원격제어장치(200)이 IR 통신 규격에 따라 전송한 신호를 수신할 수 있다.

[182] 좌표값 산출부(415)는 무선통신부(151)를 통하여 수신된 원격제어장치(200)의 동작에 대응하는 신호로부터 손떨림이나 오차를 수정하여 디스플레이(170)에 표시할 포인터(205)의 좌표값(x,y)을 산출할 수 있다.

[183] 사용자 입력 인터페이스부(150)를 통하여 영상표시장치(100)로 입력된 원격제어장치(200) 전송 신호는 영상표시장치(100)의 신호 처리 장치(170)로 전송된다. 신호 처리 장치(170)는 원격제어장치(200)에서 전송한 신호로부터 원격제어장치(200)의 동작 및 키 조작에 관한 정보를 판별하고, 그에 대응하여 영상표시장치(100)를 제어할 수 있다.

[184] 또 다른 예로, 원격제어장치(200)는, 그 동작에 대응하는 포인터 좌표값을 산출하여 영상표시장치(100)의 사용자 입력 인터페이스부(150)로 출력할 수 있다. 이 경우, 영상표시장치(100)의 사용자 입력 인터페이스부(150)는 별도의 손떨림이나 오차 보정 과정 없이 수신된 포인터 좌표값에 관한 정보를 신호 처리 장치(170)로 전송할 수 있다.

[185] 또한, 다른 예로, 좌표값 산출부(415)가, 도면과 달리 사용자 입력 인터페이스부(150)가 아닌, 신호 처리 장치(170) 내부에 구비되는 것도 가능하다.

[186] 도 5는 본 발명과 관련된 신호 처리 장치와 디스플레이 사이의 인터페이스를 도시한 도면이다.

[187] 도면을 참조하면, 종래의 영상표시장치(100x)는, 신호 처리 장치(170x)와 디스플레이(180x) 사이의 데이터 전송을 위해, 제1 케이블(CABxa)과, 제2 케이블(CABxb)을 구비할 수 있다.

[188] 제1 케이블(CABxa)은, 신호 처리 장치(170x)에서 디스플레이(180x)로 영상 데이터 전송을 위해, N 개의 레인(Lane 1~Lane N), 인터페이스 제어 신호 라인(HTPDN, LOCKN), 시스템 제어 버스 라인(SCL, SDA)을 구비할 수 있다.

[189] 한편, 도 1에서 기술한 바와 같이, 디스플레이(180x)에 마이크 또는 터치 센서 등의 장착되는 경우, 마이크 또는 터치 센서 등에 의한, 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를, 신호 처리 장치(170)로 전송하기 위해, 별도의 백(back) 채널 라인을 포함하는 제2 케이블(CABxb)이 필요하게 된다.

[190] 이에 따라, 종래의 신호 처리 장치(170x)는, N 개의 레인(Lane 1~Lane N)에 대응하는 단자(PNt1x~PNtnx), 인터페이스 제어 신호 라인(HTPDN, LOCKN)에 대응하는 단자(PNthx, PNtlx), 시스템 제어 버스 라인(SCL, SDA)에 대응하는 단자(PNLsx, PNtdx), 백(back) 채널 라인에 대응하는 단자(PNtbx)를 포함할 수 있다.

[191] 이와 유사하게, 종래의 디스플레이(180x)는, N 개의 레인(Lane 1~Lane N)에 대응하는 단자(PNr1x~PNrnx), 인터페이스 제어 신호 라인(HTPDN, LOCKN)에

대응하는 단자(PNrhx, PNrlx), 시스템 제어 버스 라인(SCL, SDA)에 대응하는 단자(PNrsx, PNrdx), 백(back) 채널 라인에 대응하는 단자(PNrbx)를 포함할 수 있다.

[192] 이와 같이, 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를, 신호 처리 장치(170)로 전송하기 위해, 별도의 백(back) 채널 라인을 포함하는 제2 케이블(CABxb)이 필요하므로, 인터페이스 효율이 낮아지게 된다.

[193] 또한, 디스플레이(180x)에 스피커가 부착되는 경우, 별도의 케이블을 통해, 오디오 데이터를 전송해야 하는 단점이 있다.

[194] 아울러, 추가 케이블 등에 의해, 신호 처리 장치(170x)와 디스플레이(180x) 각각에 단자가 증가하게 되므로, 신호 전송 효율, 소비 전력 등의 손실이 발생할 수 있게 된다.

[195] 또한, 해상도가 증가하는 영상 데이터의 전송을 효율적으로 수행하지 못하게 되는 단점이 있다.

[196] 이에, 본 발명의 실시예에서는, 신호 처리 장치(170)와 디스플레이(180) 사이에 하나의 케이블(도 7의 CAB)을 이용하여, 신호 처리 장치(170)에서 디스플레이(180) 방향으로 고속의 데이터 전송을 수행하고, 디스플레이(180)에서 신호 처리 장치(170) 방향으로 다양한 데이터 전송할 수 있는 방안을 제시한다. 이에 대해서는, 도 6 이하를 참조하여 기술한다.

[197] 도 6은 본 발명의 일 실시예에 따른 영상표시장치의 내부 블록도의 일예이다.

[198] 도면을 참조하면, 본 발명의 일 실시예에 따른 영상표시장치(100)는, 디스플레이(180)와, 디스플레이(180)에 데이터를 출력하는 신호 처리 장치(170)를 포함한다.

[199] 디스플레이(180)는, 신호 처리 장치(170)로부터의 영상 데이터를 신호 처리하는 타이밍 컨트롤러(232)와, 타이밍 컨트롤러(232)로부터의 구동 신호에 기초하여 영상을 표시하는 패널(210)을 구비할 수 있다.

[200] 패널(210)은, 액정표시패널(LCD 패널), 유기발광패널(OLED 패널), 무기발광패널(LED 패널) 등을 포함할 수 있다.

[201] 한편, 디스플레이(180)는, 사운드 출력을 위한 스피커(SPK), 오디오 신호 수집을 위한 마이크(MCC), 터치 입력 또는 신체 정보 센싱을 위한 터치 센서(TCH), 디스플레이 제어를 위한 디스플레이 제어 버스(DCB)를 구비할 수 있다.

[202] 본 발명의 일 실시예에 따른 영상표시장치(100)는, 신호 처리 장치(170)와 디스플레이(180) 사이의 데이터 전송을 위해, 하나의 케이블(CAB)을 구비할 수 있다.

[203] 한편, 케이블(CAB)은, 신호 처리 장치(170)에서 디스플레이(180)로 영상 데이터와 오디오 데이터를 포함하는 데이터를 전송할 수 있다. 즉, 케이블(CAB)은, 단방향 통신 방식에 의해, 제1 방향인 순방향으로, 신호 처리 장치(170)에서 디스플레이(180)로 데이터를 전송할 수 있다.

[204] 한편, 케이블(CAB)은, 디스플레이(180)에서 신호 처리 장치(170)로 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를 전송할 수 있다. 즉, 케이블(CAB)은, 단방향 통신 방식에 의해, 제2 방향인 역방향으로, 디스플레이(180)에서 신호 처리 장치(170)로 데이터를 전송할 수 있다.

[205] 이에 따라, 하나의 케이블(CAB)을 통해 디스플레이(180) 방향으로의 데이터 전송 및 신호 처리 장치(170) 방향으로의 데이터 전송을 수행할 수 있게 된다.

[206] 한편, 케이블(CAB)은, 양방향 통신 방식에 의해, 인터페이스 모니터 신호와 시스템 제어 버스 신호를 전송할 수 있다. 이에 따라, 하나의 케이블(CAB)을 통해, 순방향 데이터 전송, 역방향 데이터 전송 및 제어 데이터 전송이 가능하게 된다. 케이블(CAB)에 대한 설명은 도 7을 참조하여 보다 상세히 기술한다.

[207] 도 7은 본 발명의 일 실시예에 따른 신호 처리 장치와 디스플레이 사이의 인터페이스를 도시한 도면이다.

[208] 도면을 참조하면, 본 발명의 일 실시예에 따른 영상표시장치(100)는, 신호 처리 장치(170)와 디스플레이(180) 사이의 데이터 전송 등을 위한 인테페이스 제공을 위해, 하나의 케이블(CAB)을 구비할 수 있다.

[209] 본 발명의 일 실시예에 따른 케이블(CAB)은, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1)), 적어도 하나의 제2 방향 통신 레인(Lane N)을 구비할 수 있다.

[210] 본 발명의 일 실시예에 따른 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용하여, 데이터를 디스플레이(180) 내의 제2 인터페이스(181)로 전송하고, 적어도 하나의 제2 방향 통신 레인(Lane N)을 이용하여, 디스플레이(180) 내의 제2 인터페이스(181)로부터 데이터를 수신한다. 이에 따라, 하나의 케이블(CAB)을 통해 디스플레이(180) 방향으로의 데이터 전송 및 신호 처리 장치(170) 방향으로의 데이터 전송을 수행할 수 있게 된다.

[211] 한편, 도 1에서 기술한 바와 같이, 디스플레이(180)에 마이크 또는 터치 센서 등의 장착되는 경우, 마이크 또는 터치 센서 등에 의한, 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를, 케이블(CAB) 내의 적어도 하나의 제2 방향 통신 레인(Lane N)을 이용하여, 디스플레이(180)에서 신호 처리 장치(170)로 전송되게 된다.

[212] 이와 같이, 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를, 신호 처리 장치(170)로 전송하기 위해, 별도의 케이블없이 하나의 케이블(CAB)을 통해 수행되므로, 인터페이스 효율이 높아지게 된다.

[213] 본 발명의 일 실시예에 따른 케이블(CAB)은, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1)), 적어도 하나의 제2 방향 통신 레인(Lane N) 외에 추가로, 양방향 통신을 위한 제1 전송 라인(MON0)과 제2 전송 라인(MON1)을 구비할 수 있다. 이에 따라, 하나의 케이블(CAB)을 통해, 순방향 데이터 전송, 역방향 데이터 전송 및 제어 데이터 전송이 가능하게 된다.

[214] 한편, 제1 전송 라인(MON0)과 제2 전송 라인(MON1)은, 제어 데이터 등의

전송을 위한 전송 라인으로서, 신호 처리 장치(170의 제1 단자(PNtm)와 제2 단자(PNtn)에 각각 대응할 수 있다.

[215] 한편, 본 발명의 일 실시예에 따른 신호 처리 장치(170)는, N 개의 레인(Lane 1~Lane N)에 대응하는 단자(PNt1~PNtn), 양방향 통신을 위한 제1 단자(PNtm)와 제2 단자(PNtn)를 포함할 수 있다.

[216] 한편, 제1 단자(PNtm)와 제2 단자(PNtn) 중 적어도 하나는, 인터페이스 모니터 신호와 시스템 제어 버스 신호를 공유할 수 있다. 이에 따라, 제어 데이터 등의 통합 지원이 가능하므로 케이블(CAB) 배선을 단순화시킬 수 있게 된다.

[217] 이와 유사하게, 본 발명의 일 실시예에 따른 디스플레이(180)는, N 개의 레인(Lane 1~Lane N)에 대응하는 단자(PNr1~PNrn), 양방향 통신을 위한 제3 단자(PNrm)와 제4 단자(PNrn)를 구비할 수 있다.

[218] 도 5와 비교하여, 추가 케이블 등이 없으며, 제어 단자 등을 통합하여 사용함으로써, 신호 처리 장치(170)와 디스플레이(180) 각각에 단자의 개수가 감소하게 되므로, 신호 전송 효율 증대, 소비 전력 손실 저감 등의 효과가 발생할 수 있게 된다. 또한, 해상도가 증가하는 영상 데이터의 전송을 효율적으로 수행할 수 있게 된다.

[219] 한편, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용하여, 디스플레이(180)로 전송되는 데이터는, 영상 데이터(DDa), 및 오디오 데이터(DDb)를 포함할 수 있다. 이에 따라, 영상 데이터(DDa) 외에, 디스플레이(180)로 오디오 데이터(DDb)를 전송할 수 있게 된다.

[220] 한편, 적어도 하나의 제2 방향 통신 레인(Lane N)을 이용하여, 신호 처리 장치(170)로 수신되는 데이터는, 디스플레이(180) 내의 마이크를 통해 변환된 오디오 데이터(DDb) 또는 터치 입력 데이터 또는 신체 정보 데이터를 포함할 수 있다. 이에 따라, 디스플레이(180)로부터의 오디오 데이터(DDb), 터치 입력 데이터, 또는 신체 정보 데이터를 수신하여, 이를 처리할 수 있게 된다.

[221] 한편, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1)) 및 적어도 하나의 제2 방향 통신 레인(Lane N)은, 각각 단방향 통신으로 구동될 수 있다. 이에 따라, 각각 순방향 데이터 전송, 및 역방향 데이터 전송을 수행할 수 있게 된다.

[222] 한편, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용한 데이터 전송 속도는 제1 속도이며, 적어도 적어도 하나의 제2 방향 통신 레인(Lane N)을 이용한 데이터 전송 속도는 제1 속도 보다 낮은 제2 속도일 수 있다. 이에 따라, 저속 데이터 통신에 기반한 데이터를 전송할 수 있으며, 고속 데이터 통신에 따라, 고해상도 기반의 영상 데이터(DDa)를 전송할 수 있게 된다.

[223] 한편, 도 5와 비교하여, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, N 레인의 데이터를 (N-1) 레인의 데이터로 패킹하고, 패킹된 (N-1) 레인의 데이터를 출력할 수 있다.

[224] 도 5에서는, 순방향 데이터 전송을 위해, N 개의 레인((Lane 1~Lane N)이 사용되었으나, 본 발명의 실시예에 따른 도 7에서는, N 개의 레인 중 N-1 개

레인(Lane 1~Lane (N-1))을 순방향 데이터 전송을 위해 사용하며, 나머지 1개인 N 레인(Lane N)을 역방향 데이터 전송을 위해 사용한다. 이에 따라, 하나의 케이블(CAB)을 통해, 각각 순방향 데이터 전송 및 역방향 데이터 전송이 가능하게 되며, 결국 데이터 전송을 효율적으로 수행할 수 있게 된다.

[225] 이를 위해, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, N 레인의 데이터를 재배치하고, 재배치된 데이터를 (N-1) 레인의 데이터로 패킹하고, 패킹된 (N-1) 레인의 데이터를 출력할 수 있다. 이에 따라, 나머지 레인을 통해 역방향 데이터 전송이 가능하게 되며, 데이터 전송을 효율적으로 수행할 수 있게 된다.

[226] 도 8 내지 도 11f는 도 7의 설명에 참조되는 도면이다.

[227] 먼저, 도 8은 신호 처리 장치(170) 내의 제1 인터페이스(171) 내부와, 디스플레이(180) 내의 제2 인터페이스(181) 내부를 도시한 도면이다.

[228] 도면을 참조하면, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 순방향 데이터 전송을 위해, N 레인의 데이터를 N-1 레인의 데이터로 재배치하고(810), 재배치된 데이터를 재배치된 (N-1) 레인의 데이터로 패킹하고(820), 스크램블하고(850), 인코딩하고(S860), 직렬화하여(870), (N-1) 레인의 데이터를 출력한다.

[229] 이에 대응하여, 디스플레이(180) 내의 제2 인터페이스(181)는, 순방향 데이터 수신을 위해, 수신되는 (N-1) 레인의 데이터를, 역직렬화하고(970), 디코딩하고(S960), 디스크램블하고(950), (N-1) 레인의 데이터로 언패킹하고(920), N-1 레인의 데이터를 N 레인의 데이터로 본원한다(S910).

[230] 다음, 디스플레이(180) 내의 제2 인터페이스(181)는, 역방향 데이터 전송을 위해, 백 채널 블럭에서 신호 처리하고(930), 이에 대응하여, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 역방향 데이터 수신을 위해, 백 채널 블럭에서 신호 처리한다(830).

[231] 다음, 신호 처리 장치(170) 내의 제1 인터페이스(171) 내의 제어 블럭(840)은, 양방향 제어 데이터 전송 또는 수신을 위해, 인터페이스의 모니터 신호와 일반 제어 신호 통신을 위한 제어버스 기능을 통합한다.

[232] 이에 대응하여, 디스플레이(180) 내의 제2 인터페이스(181) 내의 제어 블럭(90)은, 양방향 제어 데이터 전송 또는 수신을 위해, 인터페이스의 모니터 신호와 일반 제어 신호 통신을 위한 제어버스 기능을 통합한다.

[233] 도 9a와 도 9b는 신호 처리 장치(170) 내의 제1 인터페이스(171)의 데이터 송신시의 상태 천이도를 도시한다.

[234] 도면을 참조하면, TX0 상태는, 제1 인터페이스(171)가 파워 다운(power down) 된 상태를 나타낸다.

[235] 파워 온(STa)에 의해, 제1 인터페이스(171)는, 대기(standby) 모드 상태인 TX1 상태로 천이된다. 이때, 케이블(CAB)은 연결되지 않은 상태이다.

[236] 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 케이블(CAB) 상태

확인(STb)을 위해, 제1 단자(PNtm)의 신호 레벨이 로우(low) 레벨인지 여부를 판단하고, 로우 레벨인 경우, 제1 트레이닝 모드(CDR traning)로 진입하도록 제어할 수 있다. 이에 따라, 제1 트레이닝 모드 상태인 TX2 상태로 간단하게 진입할 수 있게 된다.

[237] 한편, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 제1 트레이닝 모드 동안, 클럭 신호를 주기적으로 전송하고, 제1 단자(PNtm)의 신호 레벨이 로우 레벨에서 하이 레벨로 변경되는 지 여부를 확인하고(STc), 해당하는 경우, 제2 트레이닝 모드(Align Training)로 진입하도록 제어할 수 있다. 이에 따라, 제2 트레이닝 모드 상태인 TX3 상태로 간단하게 진입할 수 있게 된다.

[238] 한편, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 제2 트레이닝 모드 동안, ALN 패턴 신호 전송에 의해, Align Training을 시도하고, 패턴 신호 전송 이후 승인(ACK) 신호가 수신되는 경우(STd), 노말 모드로 진입하도록 제어할 수 있다. 이에 따라, 노말 모드 상태인 TX4 상태로 간단하게 진입할 수 있게 된다.

[239] 한편, 노말 모드에 따라, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용하여, 데이터를 디스플레이(180) 내의 제2 인터페이스(181)로 전송하며, 제1 단자(PNtm)와 제2 단자(PNtn)를 이용하여, 시스템 제어 버스 신호를 전송할 수 있다. 이에 따라, 단방향의 데이터 전송 및 양방향의 제어 데이터 전송이 가능하게 된다.

[240] 이때의 단방향의 데이터 전송은, 순방향의 영상 데이터 전송, 순방향의 오디오 데이터 전송, 역방향의 오디오 데이터(DDb) 또는 터치 입력 데이터 또는 신체 정보 데이터 전송을 포함할 수 있다.

[241] 도 10a 및 도 10b는 디스플레이(180) 내의 제2 인터페이스(181)의 데이터 수신시의 상태 천이도를 도시한다. 도 10a 및 도 10b는, 도 9a 및 도 9b에 대응할 수 있다.

[242] 도면을 참조하면, RX0 상태는, 제1 인터페이스(171)가 파워 다운(power down) 된 상태를 나타낸다.

[243] 파워 온(ST1)에 의해, 제1 인터페이스(171)는, 디스플레이(180) 내의 제2 인터페이스(181)는, 케이블(CAB)을 통해 수신되는 클럭 패턴 확인(ST2)에 기초하여, 제1 트레이닝 모드(CDR traning)가 수행되는, RX1 상태로 천이된다.

[244] 한편, 디스플레이(180) 내의 제2 인터페이스(181)는, 제1 트레이닝 모드(CDR traning)가 완료되는 경우(ST2), 제3 단자(PNrm)의 신호 레벨을 하이 레벨로 가변시키고, 제2 트레이닝 모드(Align Training)로 진입하도록 제어할 수 있다. 이에 따라, 제2 트레이닝 모드 상태인 RX2 상태로 간단하게 진입할 수 있게 된다

[245] 한편, 디스플레이(180) 내의 제2 인터페이스(181)는, 패턴 Align이 완료되는 경우(ST3), 승인(ACK) 신호 전송을 위한 RX3 상태로 진입하도록 제어할 수 있다.

[246] 한편, 디스플레이(180) 내의 제2 인터페이스(181)는, RX3 상태 동안, Align 패턴을 찾았음을 알리기 위해, 승인(ACK) 신호를 전송하고(ST4), 노말 모드로

진입하도록 제어할 수 있다. 이에 따라, 노말 모드 상태인 RX4 상태로 간단하게 진입할 수 있게 된다.

[247] 한편, 노말 모드에 따라, 디스플레이(180) 내의 제2 인터페이스(181)는, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용하여, 데이터를 신호 처리 장치(170) 내의 제1 인터페이스(171)로 수신하며, 제1 단자(PNtm)와 제2 단자(PNtn)를 이용하여, 시스템 제어 버스 신호를 수신할 수 있다. 이에 따라, 단방향의 데이터 수신 및 양방향의 제어 데이터 전송 또는 수신이 가능하게 된다.

[248] 도 11a는 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 통해, 전송되는 데이터 프레임(1110)을 예시한다.

[249] 도면을 참조하면, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 통해, 데이터 프레임(1110)을 출력하며, 데이터 프레임(1110)은, 영상 데이터(DDa), 오디오 데이터(DDb), 라인 종료 정보(DDc), 추가 데이터(DDd), 프레임 종료 정보(DDe)를 포함할 수 있다. 이에 따라, 효율적으로 데이터 프레임(1110)을 전송할 수 있게 된다.

[250] 데이터 프레임(1110) 내의 액티브 영역으로, 영상 데이터(DDa)가 배열되어 전송된다.

[251] 데이터 프레임(1110) 내의 Horizontal Blank 영역으로, 오디오 데이터(DDb)가 배열되어 전송된다.

[252] 라인 종료 정보(DDc)는, 데이터 프레임(1110)을 구성하는 각 라인의 마지막 Segment로 이후, 새로운 라인이 시작됨을 알려 주고, HSync 신호를 복원할 수 있는 정보를 저장한다.

[253] 추가 데이터(DDd)는, Vertical Blank 영역으로 사용자가 원하는 데이터를 포함할 수 있다.

[254] 프레임 종료 정보(DDe)는, 데이터 프레임(1110)을 마지막 Segment로 이후 새로운 Frame이 시작됨을 알려 주고, VSync 신호를 복원할 수 있는 정보를 저장한다.

[255] 한편, 데이터 프레임(1110)은, 데이터 인에이블 신호(DE), 수직 동기 신호(Vsync), 수평 동기 신호(Hsync)를 포함하지 않는다.

[256] 즉, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 제어 신호인 데이터 인에이블 신호(DE), 수직 동기 신호(Vsync), 수평 동기 신호(Hsync)를 실시간으로 전송하지 않고, 여러 픽셀을 모아 그룹화(Segment)시키고, 특정한 값을 가지는 세그먼트(segment)를 이용하여 데이터 라인의 끝과, 데이터 프레임의 끝을 정의하고, 이용한다. 이에 따라, 효율적으로 데이터를 전송할 수 있게 된다.

[257] 예를 들어, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 영상 데이터의 원본 데이터 인에이블 신호(DE)를 사용하는 것이 아닌, 데이터 인에이블 신호(DE) 확장하고, 확장된 데이터 인에이블 신호(Extended DE), H Blank 구간까지, 영상 데이터가 전송되도록 한다.

[258] 한편, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 확장된 데이터 인에이블 신호(Extended DE)의 복원을 위해, 각 레인 별로 픽셀 데이터에 픽셀 Preamble Bit를 포함하도록 패킹한다.

[259] 이에 대응하여, 디스플레이(180)의 제2 인터페이스(181)는, 각 레인(Lane) 별로 픽셀 Preamble Bit를 조합하여 픽셀 Identifier로 사용한다.

[260] 도 11b는 도 11a의 데이터 프레임(1110) 내의 액티브 영역 매핑을 보여주는 도면이다.

[261] 도면을 참조하면, 데이터 프레임(1110) 내의 영상 데이터(1110)는, 프리앰블 데이터(1115), RGB 데이터를 포함할 수 있다. 이에 따라, 효율적으로 영상 데이터(1110)를 전송할 수 있게 된다.

[262] 도면에서는, 영상 데이터(1110)를, 전체 40 비트 단위로 묶어서 전송하며, 16 레인(lane) 픽셀 기준의 세그먼트(Segment)를 15 레인 압축하는 과정을 보여 준다.

[263] 한편, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, RGB 데이터의 비트가 제1 기준 비트 미만인 경우, 하위 비트를 제로 패딩(Zero padding)하여 전송할 수 있다.

[264] 예를 들어, RGB 데이터는, 최대 12 비트의 색 해상도를 전송할 수 있으며, 제1 기준 비트인 12 비트 미만의 경우, 색 해상도는 하위 비트를 제로 패딩(Zero padding)하여 전송할 수 있다. 이에 따라, 효율적으로 RGB 데이터를 전송할 수 있게 된다.

[265] 한편, 각 레인(Lane)의 첫번째 비트는, 영상 데이터라는 것을 알려 주는 프리앰블(Preamble) 데이터(1115)로 할당되며, 이는 각 레인(Lane)의 데이터로부터 모든 비트가 정상적으로 복원되었을 때 알 수 있다.

[266] 한편, 디스플레이(180) 내의 제2 인터페이스(181)는, 데이터 인에이블 신호(DE) 없이, 도 11b의 데이터 프레임(1110) 내의 영상 데이터(DDa)를 수신하고, 프리앰블(Preamble) 데이터(1115)를 복원하여 영상 영역을 정의하고 영상을 복원 구축할 수 있다.

[267] 도 11c는 도 11a의 데이터 프레임(1110) 내의 H Blank 구간에 오디오 데이터를 매핑을 보여주는 도면이다.

[268] 도면을 참조하면, 데이터 프레임(1110) 내의 오디오 데이터(1120)는, 프리앰블 데이터(1125), 비트 정보 데이터, 오디오 비트 데이터를 포함할 수 있다. 이에 따라, 효율적으로 오디오 데이터(1120)를 전송할 수 있게 된다.

[269] 신호 처리 장치(170) 내의 제1 인터페이스(171)는, I2S 포맷의 오디오를 패킹할 수 있다

[270] 도면에서는, 32 비트 8 채널 오디오 데이터를 패킹하는 것을 예시한다.

[271] 디스플레이(180) 내의 제2 인터페이스(181)는, 프리앰블 데이터(1125)를 사용하여 오디오 데이터 영역을 판별할 수 있다.

[272] 한편, 오디오 데이터(DDb) 내의 ValidSDnH, ValidSDnL에 따라서 다음에 오는

오디오 데이터 사용 여부 결정한다.

[273] 예를 들어, {ValidSDnH, ValidSDnL} = '10' 이면, 16 bit 오디오를 사용하는 것을 나타내며, {ValidSDnH, ValidSDnL} = '11' 이면, 32 bit 오디오를 사용하는 것을 나타낼 수 있다.

[274] 한편, 24 bit 오디오 데이터를 사용하는 경우는 하위 8 bit는 버릴 수 있다.

[275] 한편, 8 채널 오디오 데이터가 필요하지 않는 경우, 원하는 채널의 Valid 신호만 '1'로 세팅하고 나머지는 '0'으로 세팅하여 조정할 수 있다

[276] 도 11d는 도 11a의 데이터 프레임(1110) 내의 라인 종료 정보(1130))의 구성 예를 보여주는 도면이다.

[277] 도면을 참조하면, 데이터 프레임(1110) 내의 라인 종료 정보(1130)는, 라인 종료 데이터(1131), 스크램블러 리셋 데이터(1132), 업데이트 데이터(1133), 수평 동기 극성 정보(1134), 길이 정보(1135), 수평 동기 신호의 폭 정보(1136)를 포함할 수 있다. 이에 따라, 효율적으로 라인 종료 정보(1130)를 전송할 수 있게 된다.

[278] 라인 종료 데이터(EOL K_CODE)(1131)는, 하나의 비디오 라인이 끝나고 새로운 라인이 시작됨을 나타낸다.

[279] 스크램블러 리셋 데이터(SCR RESET)(1132)는, 후단의 Scrambler Reset 여부를 선택할 수 있다.

[280] 업데이트 데이터(update)(1133)는, HSync 생성 정보가 업데이트 되었는지 여부를 나타낸다.

[281] 예를 들어, 업데이트 되었을때 다음에 오는 라인의 HSync 생성에 사용하며, 3 레인(lane) 단위로 동일한 데이터를 전달하여 Bit Error 발생에 대응한다.

[282] 즉, Error 발생시 다른 레인(Lane)에 실려있는 데이터를 사용한다. 여기서 Error는 디코터 에러나 패킹 에러를 의미한다.

[283] 수평 동기 극성 정보(HSP)(1134)는, HSync Polarity 정보를 나타낸다. 예를 들어, 1'b0 이면, Active Low 를 나타내고 1'b1이면, Active High를 나타낼 수 있다.

[284] 길이 정보(HSTART)는, EoL(End of Line) 신호부터 HSync edge 까지의 길이 정보를 나타낼 수 있다.

[285] 수평 동기 신호의 폭 정보(HSW))는, HSync 신호의 길이(폭) 정보를 나타낼 수 있다.

[286] 도 11e는 도 11a의 데이터 프레임(1110) 내의 블랭크(V Blank) 구간에 추가 데이터(1140)를 매핑하하는 것을 보여주는 도면이다.

[287] 도면을 참조하면, 데이터 프레임(1110) 내의 추가 데이터(1140)는, 프리앰블 데이터(1125), 데이터 사용 정보를 포함할 수 있다. 이에 따라, 효율적으로 추가 데이터(1140)를 전송할 수 있게 된다

[288] 한편, 추가 데이터(DDd)는 사용자 데이터라 명명될 수도 있다.

[289] 한편, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 데이터 프레임(1110) 내의 블랭크 구간에 추가 데이터(DDd)를 매핑하여, 전송할 수 있다. 이에 따라, 효율적으로 추가 데이터(DDd)를 전송할 수 있게 된다.

[290] 한편, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 세그먼트(Segment) 당 최대 60 바이트 전송할 수 있으며, 60Hz 프레임 전송시 총 데이터 대역폭(BW)는 89.1Mbps(4K 해상도), 356.4Mbps(8K 해상도)일 수 있다.

[291] 하나편, 신호 처리 장치(170) 내의 제1 인터페이스(171)는, 각 데이터를 필요에 따라 바이트 단위로 분할하여 전송할 수 있다.

[292] 한편, 디스플레이(180) 내의 제2 인터페이스(181)는, 프리앰블 데이터(1125)인 User Data Preambl를 이용하여, 사용자 데이터 영역을 판별할 수 있다.

[293] 한편, 각 Valid*n*_*n* ()에 따라서 다음에 오는 데이터 사용 여부를 결정하고, 가용한 데이터 BW는 지원되는 하드웨어와 목적에 따라 유동적으로 세팅할 수 있다.

[294] 도 11f는 도 11a의 데이터 프레임(1110) 내의 프레임 종료 정보(1150)의 구성 예를 보여주는 도면이다.

[295] 도면을 참조하면, 데이터 프레임(1110) 내의 프레임 종료 정보(1150)는, 프레임 종료 데이터(1151), 스크램블러 리셋 데이터(1152), 업데이트 데이터(1153), 수직 동기 극성 정보(1154), 길이 정보(1155), 수직 동기 신호의 폭 정보(1156)를 포함할 수 있다. 이에 따라, 효율적으로 프레임 종료 정보(1150)를 전송할 수 있게 된다.

[296] 데이터 프레임(1110) 내의 프레임 종료 정보(1150)는, 프레임 종료 데이터(1151), 스크램블러 리셋 데이터(1152), 업데이트 데이터(1153), 수직 동기 극성 정보(1154), 길이 정보(1155), 수직 동기 신호의 폭 정보(1156)를 포함할 수 있다. 이에 따라, 효율적으로 프레임 종료 정보(DDc)를 전송할 수 있게 된다.

[297] 프레임 종료 데이터(EOF K_CODE)(1151)는, 하나의 비디오 프레임이 끝나고 새로운 프레임이 시작됨을 나타낸다.

[298] 스크램블러 리셋 데이터(SCR RESET)(1152)는, 후단의 Scrambler Reset 여부를 선택할 수 있다.

[299] 업데이트 데이터(update)(1153)는, VSync 생성 정보가 업데이트 되었는지 여부를 나타낸다.

[300] 예를 들어, 업데이트 되었을때 다음에 오는 프레임의 VSync 생성에 사용하며, 3 레인(lane) 단위로 동일한 데이터를 전달하여 Bit Error 발생에 대응한다.

[301] 즉, Error 발생시 다른 레인(Lane)에 실려있는 데이터를 사용한다. 여기서 Error는 디코터 에러나 패킹 에러를 의미한다.

[302] 수직 동기 극성 정보(VSP)(1154)는, HSync Polarity 정보를 나타낸다. 예를 들어, 1'b0 이면, Active Low 를 나타내고 1'b1이면, Active High를 나타낼 수 있다.

[303] 길이 정보(VSTART)는, EoF(End of Frame) 신호부터 VSync edge 까지의 길이 정보를 나타낼 수 있다.

[304] 수직 동기 신호의 폭 정보(VSW))는, VSync 신호의 길이(폭) 정보를 나타낼 수 있다.

[305] 도 12은 본 발명의 다른 실시예에 따른 신호 처리 장치와 디스플레이 사이의

인터페이스를 도시한 도면이다.

[306] 도면을 참조하면, 본 발명의 다른 실시예에 따른 영상표시장치(100b)는, 신호 처리 장치(170b)와 디스플레이(180b) 사이의 데이터 전송 등을 위한 인테페이스 제공을 위해, 하나의 케이블(CABb)을 구비할 수 있다.

[307] 본 발명의 다른 실시예에 따른 케이블(CABb)은, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1)), 제2 방향 통신을 위한 제1 전송 라인(CHP)과 제2 전송 라인(CHN)을 구비할 수 있다.

[308] 본 발명의 다른 실시예에 따른 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용하여, 데이터를 디스플레이(180b) 내의 제2 인터페이스(181b)로 전송하고, 제1 전송 라인(CHP)과 제2 전송 라인(CHN)을 이용하여, 디스플레이(180b) 내의 제2 인터페이스(181b)로부터 데이터를 수신한다. 이에 따라, 하나의 케이블(CABb)을 통해 디스플레이(180b) 방향으로의 데이터 전송 및 신호 처리 장치(170b) 방향으로의 데이터 전송을 수행할 수 있게 된다.

[309] 한편, 도 1에서 기술한 바와 같이, 디스플레이(180b)에 마이크 또는 터치 센서 등의 장착되는 경우, 마이크 또는 터치 센서 등에 의한, 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를, 제1 전송 라인(CHP)과 제2 전송 라인(CHN)을 이용하여, 디스플레이(180b)에서 신호 처리 장치(170b)로 전송되게 된다.

[310] 이와 같이, 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를, 신호 처리 장치(170b)로 전송하기 위해, 별도의 케이블없이 하나의 케이블(CABb)을 통해 수행되므로, 인터페이스 효율이 높아지게 된다.

[311] 본 발명의 다른 실시예에 따른 케이블(CABb)은, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1)), 제1 전송 라인(CHP)과 제2 전송 라인(CHN) 외에 추가로, 양방향 통신을 위한 제3 전송 라인(MON0)과 제4 전송 라인(MON1)을 구비할 수 있다. 이에 따라, 하나의 케이블(CABb)을 통해, 순방향 데이터 전송, 역방향 데이터 전송 및 제어 데이터 전송이 가능하게 된다.

[312] 한편, 본 발명의 다른 실시예에 따른 신호 처리 장치(170b)는, N-1 개의 레인(Lane 1~Lane (N-1))에 대응하는 단자(PNt1~PNt(n-1)), 제1 단자(PNtcp)와 제2 단자(PNtcn), 양방향 통신을 위한 제3 단자(PNtm)와 제4 단자(PNtn)를 포함할 수 있다.

[313] 제1 전송 라인(CHP)과 제2 전송 라인(CHN)은, 역방향 데이터 전송을 위한 전송 라인으로, 신호 처리 장치(170)의 제1 단자(PNtcp)와 제2 단자(PNtcn)에 각각 대응할 수 있다.

[314] 한편, 제3 전송 라인(MON0)과 제4 전송 라인(MON1)은, 제어 데이터 등의 전송을 위한 전송 라인으로서, 신호 처리 장치(170의 제3 단자(PNtm)와 제4 단자(PNtn)에 각각 대응할 수 있다.

[315] 한편, 제3 단자(PNtm)와 제4 단자(PNtn) 중 적어도 하나는, 인터페이스 모니터

신호와 시스템 제어 버스 신호를 공유할 수 있다. 이에 따라, 제어 데이터 등의 통합 지원이 가능하므로 케이블(CABb) 배선을 단순화시킬 수 있게 된다.

[316] 이와 유사하게, 본 발명의 다른 실시예에 따른 디스플레이(180b)의 제2 인터페이스(181b)는, N-1 개의 레인(Lane 1~Lane (N-1))에 대응하는 단자(PNr1~PNr(n-1)), 역방향 데이터 전송을 위한 단자(PTrcp, PTrcn), 양방향 통신을 위한 단자(PNrm)와 단자(PNrn)를 구비할 수 있다.

[317] 도 5와 비교하여, 추가 케이블 등이 없으며, 제어 단자 등을 통합하여 사용함으로써, 신호 처리 장치(170b)와 디스플레이(180b) 각각에 단자의 개수가 감소하게 되므로, 신호 전송 효율 증대, 소비 전력 손실 저감 등의 효과가 발생할 수 있게 된다. 또한, 해상도가 증가하는 영상 데이터의 전송을 효율적으로 수행할 수 있게 된다.

[318] 한편, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용하여, 디스플레이(180b)로 전송되는 데이터는, 영상 데이터(DDa), 및 오디오 데이터(DDb)를 포함할 수 있다. 이에 따라, 영상 데이터(DDa) 외에, 디스플레이(180b)로 오디오 데이터(DDb)를 전송할 수 있게 된다.

[319] 한편, 제1 전송 라인(CHP)과 제2 전송 라인(CHN)을 이용하여, 신호 처리 장치(170b)로 수신되는 데이터는, 디스플레이(180b) 내의 마이크를 통해 변환된 오디오 데이터(DDb) 또는 터치 입력 데이터 또는 신체 정보 데이터를 포함할 수 있다. 이에 따라, 디스플레이(180b)로부터의 오디오 데이터(DDb), 터치 입력 데이터, 또는 신체 정보 데이터를 수신하여, 이를 처리할 수 있게 된다.

[320] 한편, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1)) 및 제1 전송 라인(CHP)과 제2 전송 라인(CHN)은, 각각 단방향 통신으로 구동될 수 있다. 이에 따라, 각각 순방향 데이터 전송, 및 역방향 데이터 전송을 수행할 수 있게 된다.

[321] 한편, 복수의 제1 방향 통신 레인(Lane 1~Lane (N-1))을 이용한 데이터 전송 속도는 제1 속도이며, 제1 전송 라인(CHP)과 제2 전송 라인(CHN)을 이용한 데이터 전송 속도는 제1 속도 보다 낮은 제2 속도일 수 있다. 이에 따라, 저속 데이터 통신에 기반한 데이터를 전송할 수 있으며, 고속 데이터 통신에 따라, 고해상도 기반의 영상 데이터(DDa)를 전송할 수 있게 된다.

[322] 한편, 도 5와 비교하여, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, N 레인의 데이터를 (N-1) 레인의 데이터로 패킹하고, 패킹된 (N-1) 레인의 데이터를 출력할 수 있다.

[323] 도 5에서는, 순방향 데이터 전송을 위해, N 개의 레인((Lane 1~Lane N)이 사용되었으나, 본 발명의 실시예에 따른 도 12에서는, N 개의 레인 중 N-1 개 레인(Lane 1~Lane (N-1))을 순방향 데이터 전송을 위해 사용한다. 이에 따라, 하나의 케이블(CABb)을 통해, 각각 순방향 데이터 전송 및 역방향 데이터 전송이 가능하게 되며, 결국 데이터 전송을 효율적으로 수행할 수 있게 된다.

[324] 이를 위해, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, N 레인의 데이터를 재배치하고, 재배치된 데이터를 (N-1) 레인의 데이터로 패킹하고,

패킹된 (N-1) 레인의 데이터를 출력할 수 있다. 이에 따라, 나머지 레인을 통해 역방향 데이터 전송이 가능하게 되며, 데이터 전송을 효율적으로 수행할 수 있게 된다.

[325] 한편, 제1 전송 라인(CHP)과 제2 전송 라인(CHN)은, 차분 페어(Differential Pair)로 사용는 1 레인(Lane)을 Single-ended로 함으로써, 구현될 수 있다.

[326] 도 13 내지 도 15는 도 12의 설명에 참조되는 도면이다.

[327] 도 13은 도 12의 제1 전송 라인(CHP)과 제2 전송 라인(CHN)에 사용되는 시그널링링을 도시하는 도면이다.

[328] 도면을 참조하면, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 제1 역방향 신호(SCHP)의 수신을 위한 제1 단자(PTtcp)와 제2 역방향 신호(SCHN)를 수신을 위한 제2 단자(PTtcp)를 구비한다.

[329] 도 13에서는, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)에서 수신되는 데이터 신호(DATA), 제1 전송 라인(CHP)과 제2 전송 라인(CHN)에 각각 수신되는 역방향 신호(SCHP, SCHN)를 예시한다.

[330] 예를 들어, 데이터 신호(DATA) 중 '1' 비트(Ara1) 수신시, 제1 역방향 신호(SCHP)는, 클락 180도 위상에서 토글하고, 제2 방향 신호는 클락 180도 위상차 후에 토글하며(Ara2), '0' 비트 수신시(Arb1), 제2 역방향 신호(SCHN)는, 클락 180도 위상에서 토글하고, 제1 방향 신호는 클락 180도 위상차 후에 토글할 수 있다(Ara2). 이에 따라, 역방향 신호를 수신할 수 있게 된다.

[331] 도 14는 도 12의 역방향 데이터 통신의 전체 흐름도를 예시한다.

[332] 도면에서의 BM은, 디스플레이(180b)의 제2 인터페이스(181b)에 대응할 수 있으며, BS는 신호 처리 장치(170b) 내의 제1 인터페이스(171b)에 대응할 수 있다.

[333] 한편, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 디스플레이(180b) 내의 제2 인터페이스(181b)로부터 역방향 데이터가 수신되지 않는 아이들 구간, 클럭 및 데이터 종류 정보가 전송되는 프리 데이터 구간, 역방향 데이터가 전송되는 페이로드 구간, 카운터를 리셋하는 포스트 데이터 구간으로 구분되는 데이터를 수신할 수 있다. 이에 따라, 역방향 신호를 수신할 수 있게 된다.

[334] 신호 처리 장치(170b) 내의 제1 인터페이스(171b)에 역방향 데이터가 수신되지 않는 아이들(IDLE) 구간인 상태에서, 디스플레이(180b)의 제2 인터페이스(181b)가 프리 데이터를 전송할 수 있다(S1405).

[335] 프리 데이터는, 클럭 및 데이터 종류 정보를 포함할 수 있다.

[336] 이에 따라, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 제1 전송 라인(CHP)과 제2 전송 라인(CHN)을 통해, 도 13과 같은 토글을 감지할 수 있다(S1410).

[337] 신호 처리 장치(170b) 내의 제1 인터페이스(171b)가, 프리 데이터를 수신한 경우, 프리 데이터를 확인한다(S1420).

[338] 한편, 디스플레이(180b)의 제2 인터페이스(181b)는 프리 데이터 전송을 완료한

경우(S1415), 데이터 페이로드를 전송한다(1425).

[339] 즉, 디스플레이(180b)의 제2 인터페이스(181b)는 프리 데이터 전송 완료 이후, 실제 전송할 역방향 데이터를 전송한다.

[340] 이에 따라, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 역방향 데이터를 수신한다.

[341] 이때의 역방향 데이터는, 오디오 데이터, 터치 입력 데이터, 또는 신체 정보 데이터 등을 포함할 수 있다.

[342] 한편, 디스플레이(180b)의 제2 인터페이스(181b)는 데이터 페이로드 전송을 완료한 경우(S1430), 포스트 데이터를 전송한다(1435)

[343] 이에 따라, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 포스트 데이터를 수신한다(S1435).

[344] 한편, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 포스트 데이터를 확인한다(S1440).

[345] 한편, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 포스트 데이터 확인시, 데이터 복원을 용이하게 하기 위하여, 제공되는 추가적인 클락을 확인하고, 다음 전송을 위하여 사용된 카운터를 리셋할 수 있다(S1443).

[346] 다음, 신호 처리 장치(170b) 내의 제1 인터페이스(171b)는, 디스플레이(180b)의 제2 인터페이스(181b)로부터 데이터 전송이 없는 경우, 아이들 상태로 진입한다(S1455).

[347] 도 15는 도 7 또는 도 12에서의 양방향 통신을 위한 제1 전송 라인(MON0)과 제2 전송 라인(MON1)의 동작을 설명하기 위해 참조되는 도면이다.

[348] 도면을 참조하면, CLka, DTa, SLKa는 각각 도 5에서의 시스템 제어 버스 라인(SCL, SDA)과, 인터페이스 제어 신호 라인(LOCKN)에서의 신호를 예시한다.

[349] 한편, 도면에서의 CLkb, SLKb는 도 7 또는 도 12에서의 제1 전송 라인(MON0)에 공급되는 신호의 예를 나타내며, DTb는 도 7 또는 도 12에서의 제2 전송 라인(MON1)에 공급되는 신호를 나타낸다.

[350] 본 발명의 실시예에서는, 제1 단자(PNtm)와 제2 단자(PNtn) 중 적어도 하나는, 인터페이스 모니터 신호와 시스템 제어 버스 신호를 공유할 수 있다.

[351] 특히, 제1 단자(PNtm)가, 클럭 신호와, 락 신호를 공유할 수 있다. 이에 따라, 제어 데이터 등의 통합 지원이 가능하므로 케이블(CAB) 배선을 단순화시킬 수 있게 된다.

[352] 종래에는, 시스템 제어 버스 라인(SCL)에 클럭 신호(CLk)가 흐르고, 별도로 인터페이스 제어 신호 라인(LOCKN)에 락 신호(SLKa)가 흘렀다.

[353] 본 발명의 실시예에서는, 단자의 개수 저감 등을 위해, 제1 단자(PNtm)에 I2C의 클럭 신호(CLKb)와, 인터페이스의 락 신호(SLKb)가 수신되도록 한 수 있다.

[354] 한편, 제1 인터페이스(171b) 내의 제2 단자(PNtn)는, 제1 전송 라인(MON0)을 통해, I2C 프로토콜의 데이터를 수신할 수 있다. 이에 따라, 양방향 통신에 의해,

제어 데이터를 송신 또는 수신할 수 있게 된다.

[355] 한편, 제1 인터페이스(171b)는, 제1 인터페이스(171b) 내의 제1 단자(PNtm)에, 클럭 신호(CLKb)가 수신되는 경우, I2C의 클럭 신호(CLKb)로 판정하고, 제1 인터페이스(171b) 내의 제1 단자(PNtm)에, 트리거 신호(TR1) 이후 로우 레벨 신호가 수신되는 경우, 트리거 신호(TR1) 이후의 로우 레벨 신호를 락 신호(SLKb)로 판정할 수 있다. 이에 따라, 제1 단자(PNtm)를 통해, 클럭 신호(CLKb)와 락 신호(SLKb)를 구분하여 수신할 수 있게 된다.

[356] 특히, 트리거 신호(TR1) 판정시 Edge Trigger방식이 아닌 Level Trigger 방식을 사용한다.

[357] 한편, 제1 인터페이스(171b)는, 트리거 신호(TR1) 이후의 로우 레벨 기간(P3)의 길이를 측정하여, 락 신호 여부를 확인할 수 있다. 예를 들어, 트리거 신호(TR1) 이후의 로우 레벨 기간(P3)의 길이가, 기준 기간 이상인 경우, 락 신호로 판정할 수 있다.

[358] 한편, 제1 인터페이스(171b)는, 클럭 신호(CLKb)와 락 신호(SLKb) 중 락 신호(SLKb)에 우선 순위를 부여할 수 있다. 이에 따라, 신호 처리 장치(170b)에, 인터페이스 상태를 우선적으로 알릴 수 있게 된다.

[359] 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

청구범위

[청구항 1] 디스플레이;
상기 디스플레이에 데이터를 출력하는 신호 처리 장치;를 포함하고,
상기 신호 처리 장치 내의 제1 인터페이스는,
양방향 통신을 위한 제1 단자와 제2 단자를 구비하며,
상기 제1 단자와 제2 단자 중 적어도 하나는, 인터페이스 모니터 신호와 시스템 제어 버스 신호를 공유하는 것을 특징으로 하는 영상표시장치.

[청구항 2] 제1항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
복수의 제1 방향 통신 레인을 이용하여, 상기 데이터를 상기 디스플레이 내의 제2 인터페이스로 전송하고, 적어도 하나의 제2 방향 통신 레인을 이용하여, 상기 디스플레이 내의 상기 제2 인터페이스로부터 데이터를 수신하는 것을 특징으로 하는 영상표시장치.

[청구항 3] 제2항에 있어서,
상기 복수의 제1 방향 통신 레인, 상기 적어도 하나의 제2 방향 통신 레인은, 상기 제1 단자와 상기 제2 단자에 각각 대응하는 제1 전송 라인과 제2 전송 라인은, 동일 케이블 내에 배치되는 것

[청구항 4] 제1항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
파워 온 이후, 대기 모드에서, 상기 제1 단자의 신호 레벨이 로우 레벨인지 여부를 판단하고, 상기 로우 레벨인 경우, 제1 트레이닝 모드로 진입하도록 제어하는 것을 특징으로 하는 영상표시장치.

[청구항 5] 제4항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
상기 제1 트레이닝 모드 동안, 클럭 신호를 주기적으로 전송하고, 상기 제1 단자의 신호 레벨이 상기 로우 레벨에서 하이 레벨로 변경되는 경우, 제2 트레이닝 모드로 진입하도록 제어하는 것을 특징으로 하는 영상표시장치.

[청구항 6] 제5항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
상기 제2 트레이닝 모드 동안, 패턴 신호를 전송하고, 상기 패턴 신호 전송 이후 승인 신호가 수신되는 경우, 복수의 제1 방향 통신 레인을 이용하여, 데이터를 상기 디스플레이 내의 제2 인터페이스로 전송하며, 상기 제1 단자와 제2 단자를 이용하여, 상기 시스템 제어 버스 신호를 전송하는 것을 특징으로 하는 영상표시장치.

[청구항 7] 제2항에 있어서,
상기 복수의 제1 방향 통신 레인을 이용하여, 상기 디스플레이로

전송되는 데이터는, 영상 데이터, 및 오디오 데이터를 포함하는 것을 특징으로 하는 영상표시장치.

[청구항 8] 제2항에 있어서,
상기 적어도 하나의 제2 방향 통신 레인을 이용하여, 상기 신호 처리 장치로 수신되는 데이터는, 상기 디스플레이 내의 마이크를 통해 변환된 오디오 데이터 또는 터치 입력 데이터 또는 신체 정보 데이터를 포함하는 것을 특징으로 하는 영상표시장치.

[청구항 9] 제2항에 있어서,
상기 복수의 제1 방향 통신 레인 및 상기 적어도 하나의 제2 방향 통신 레인은, 각각 단방향 통신으로 구동되는 것을 특징으로 하는 영상표시장치.

[청구항 10] 제2항에 있어서,
상기 복수의 제1 방향 통신 레인을 이용한 데이터 전송 속도는 제1 속도이며, 상기 적어도 적어도 하나의 제2 방향 통신 레인을 이용한 데이터 전송 속도는 상기 제1 속도 보다 낮은 제2 속도인 것을 특징으로 하는 영상표시장치.

[청구항 11] 제2항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
N 레인의 데이터를 (N-1) 레인의 데이터로 패킹하고, 상기 패킹된 (N-1) 레인의 데이터를 출력하는 것을 특징으로 하는 영상표시장치.

[청구항 12] 제2항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
N 레인의 데이터를 재배치하고, 상기 재배치된 N 레인의 데이터를 (N-1) 레인의 데이터로 패킹하고, 상기 패킹된 (N-1) 레인의 데이터를 출력하는 것을 특징으로 하는 영상표시장치.

[청구항 13] 제2항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
상기 복수의 제1 방향 통신 레인을 통해, 데이터 프레임을 출력하며,
상기 데이터 프레임은,
영상 데이터, 오디오 데이터, 라인 종료 정보, 추가 데이터, 프레임 정료 정보를 포함하는 것을 특징으로 하는 영상표시장치.

[청구항 14] 제13항에 있어서,
상기 데이터 프레임 내의 상기 라인 종료 정보는,
라인 종료 데이터, 스크램블러 리셋 데이터, 업데이트 데이터, 수평 동기 극성 정보, 길이 정보, 수평 동기 신호의 폭 정보를 포함하며,
상기 데이터 프레임 내의 상기 프레임 종료 정보는,
프레임 종료 데이터, 스크램블러 리셋 데이터, 업데이트 데이터, 수직 동기 극성 정보, 길이 정보, 수직 동기 신호의 폭 정보를 포함하는 것을

특징으로 하는 영상표시장치.

[청구항 15] 제13항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
상기 데이터 프레임 내의 블랭크 구간에 상기 추가 데이터를 매핑하여, 전송하는 것을 특징으로 하는 영상표시장치.

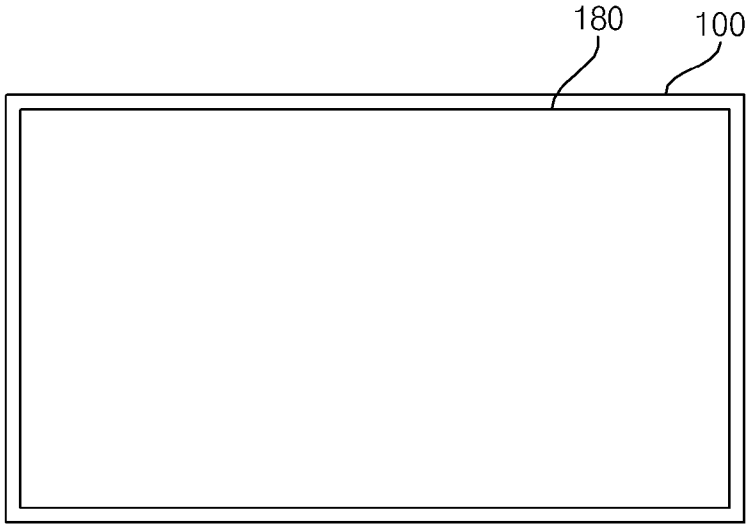
[청구항 16] 제1항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
제1 역방향 신호의 수신을 위한 단자와 제2 역방향 신호를 수신을 위한 단자를 구비하며,
신호 처리 장치 내의 제1 인터페이스에서의 '1' 비트 수신시, 상기 제1 역방향 신호는, 클락 180도 위상에서 토글하고, 상기 제2 방향 신호는 클락 180도 위상차 후에 토글하며,
'0' 비트 수신시, 상기 제2 역방향 신호는, 클락 180도 위상에서 토글하고, 상기 제1 방향 신호는 클락 180도 위상차 후에 토글하는 것을 특징으로 하는 영상표시장치.

[청구항 17] 제1항에 있어서,
상기 신호 처리 장치 내의 제1 인터페이스는,
상기 디스플레이 내의 상기 제2 인터페이스로부터 역방향 데이터가 수신되지 않는 아이들 구간, 클럭 및 데이터 종류 정보가 전송되는 프리 데이터 구간, 상기 역방향 데이터가 전송되는 페이로드 구간, 카운터를 리셋하는 포스트 데이터 구간으로 구분되는 데이터를 수신하는 것을 특징으로 하는 영상표시장치.

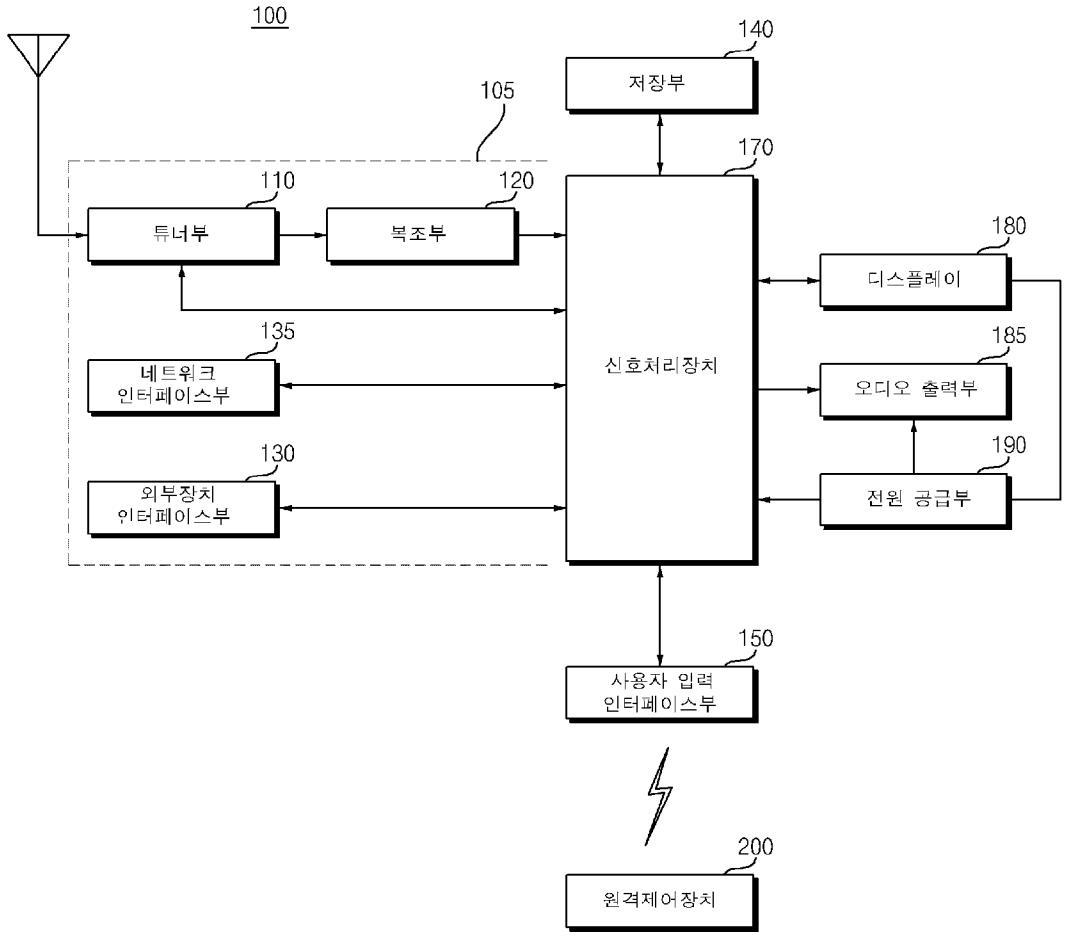
[청구항 18] 제1항에 있어서,
상기 제1 인터페이스 내의 상기 제1 단자는, I2C의 클럭 신호와, 인터페이스의 락 신호를 수신하며,
상기 제1 인터페이스 내의 상기 제2 단자는, I2C 프로토콜의 데이터를 수신하는 것을 특징으로 하는 영상표시장치.

[청구항 19] 제18항에 있어서,
상기 제1 인터페이스는,
상기 제1 인터페이스 내의 상기 제1 단자에, 클럭 신호가 수신되는 경우, 상기 I2C의 클럭 신호로 판정하고,
상기 제1 인터페이스 내의 상기 제1 단자에, 트리거 신호 이후 로우 레벨 신호가 수신되는 경우, 상기 트리거 신호 이후의 상기 로우 레벨 신호를 상기 락 신호로 판정하는 것을 특징으로 하는 영상표시장치.

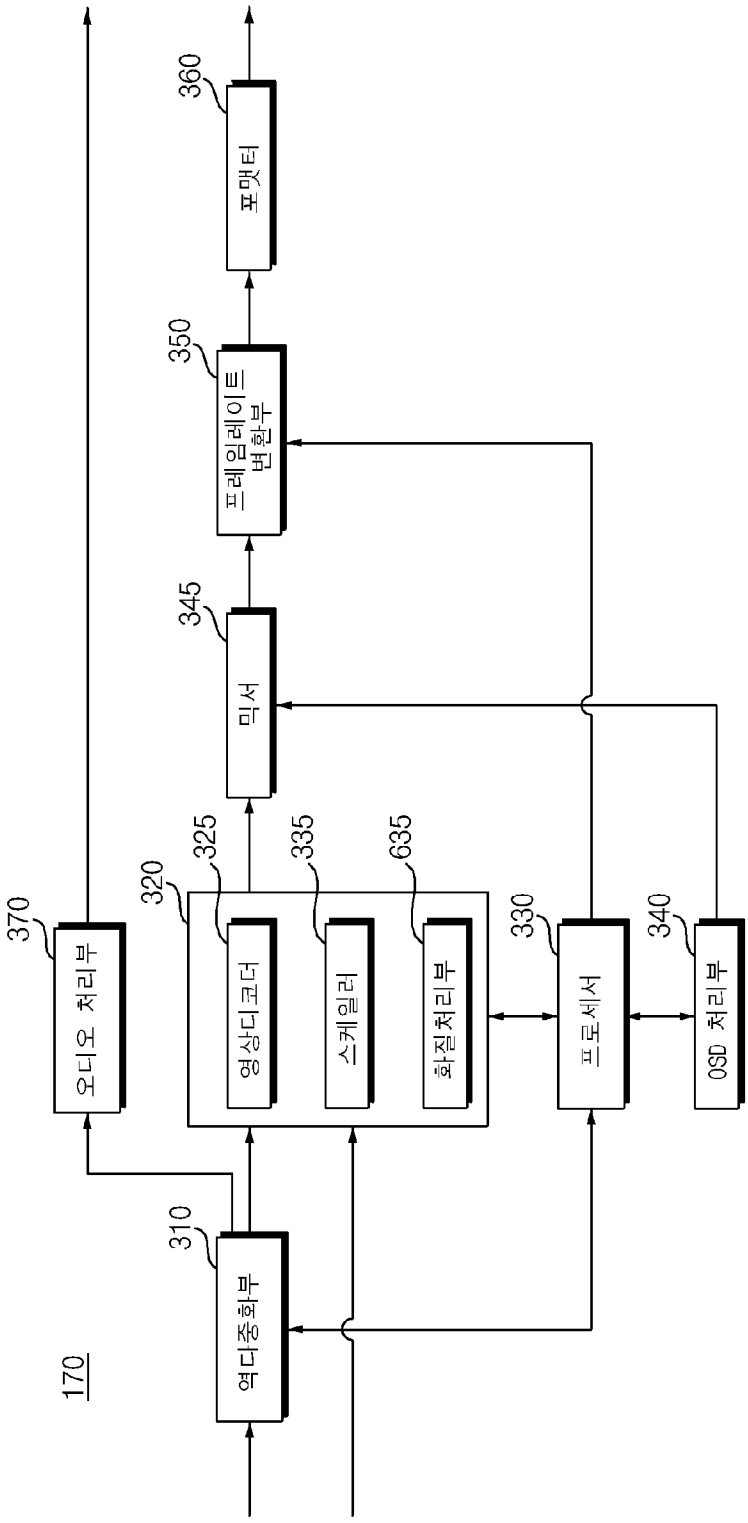
[도1]


180
100

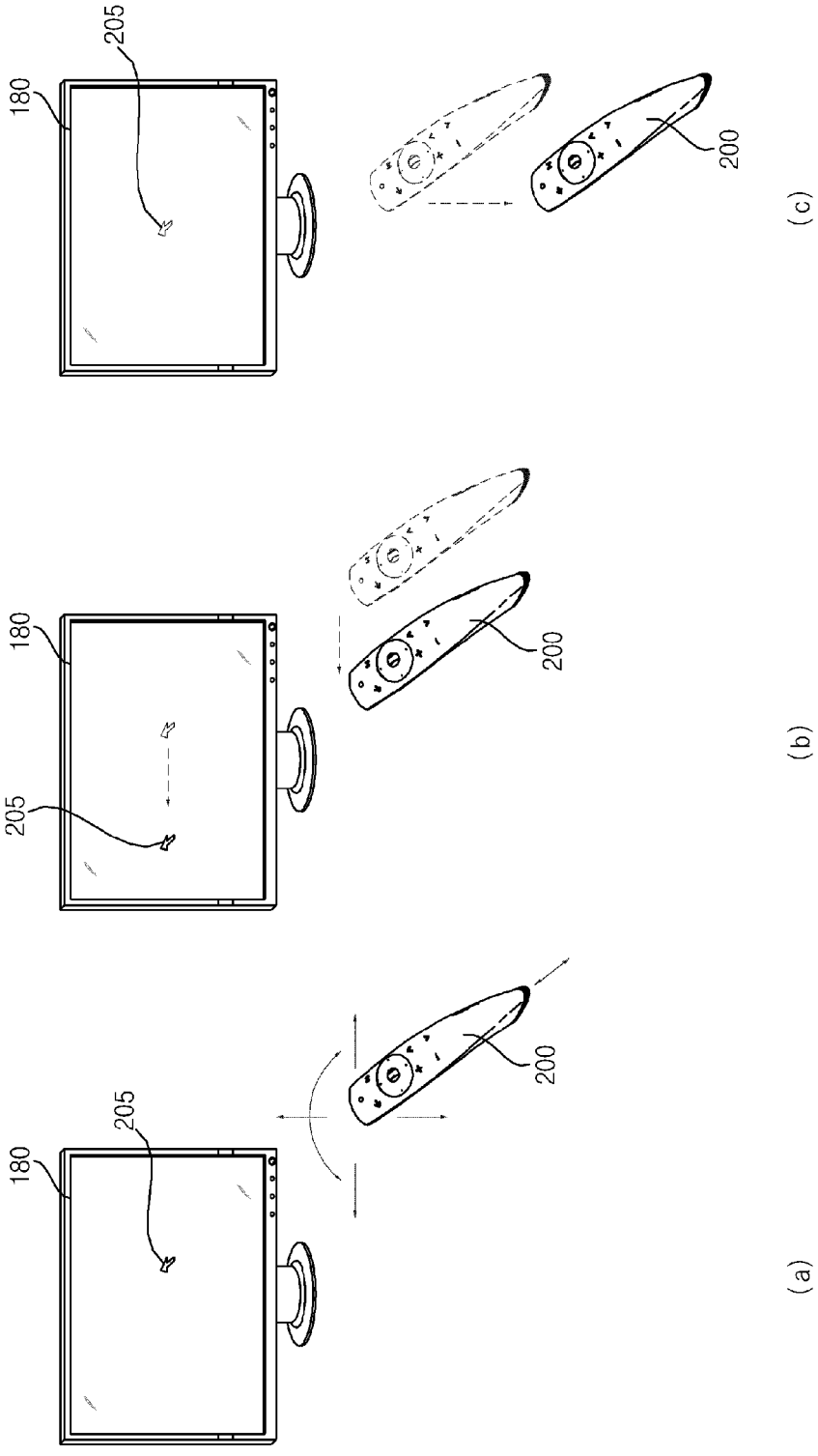
[도2]


100
140
저장부
105
170
110
120
튜너부
복조부
180
디스플레이
135
네트워크
인터페이스부
신호처리장치
185
오디오 출력부
130
외부장치
인터페이스부
190
전원 공급부
150
사용자 입력
인터페이스부
200
원격제어장치

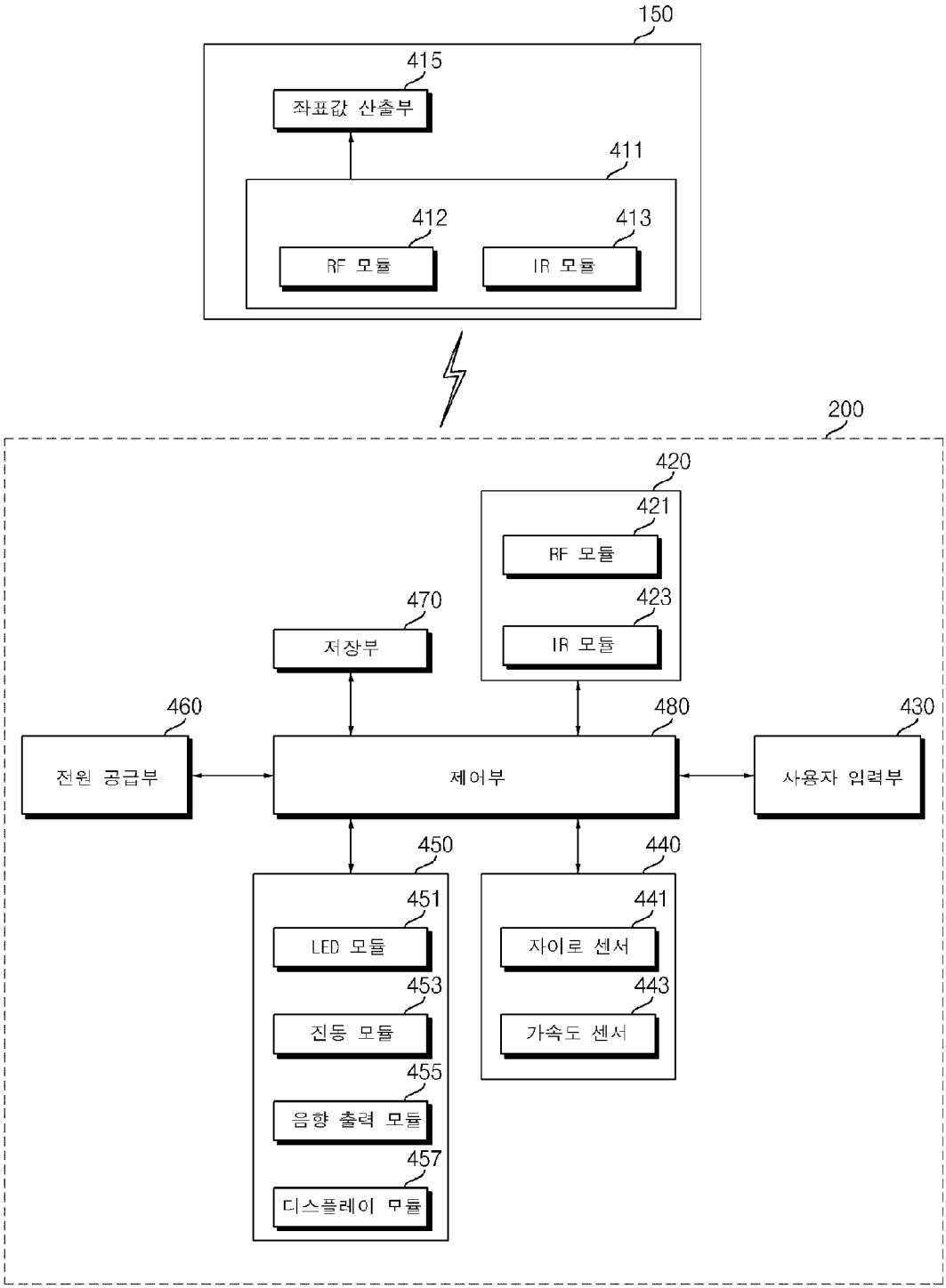
[도3]


170
310
역다중화부
320
325
영상디코더
335
스케일러
635
화질처리부
330
프로세서
340
OSD 처리부
345
믹서
350
프레임레이트 변환부
360
포맷터
370
오디오 처리부

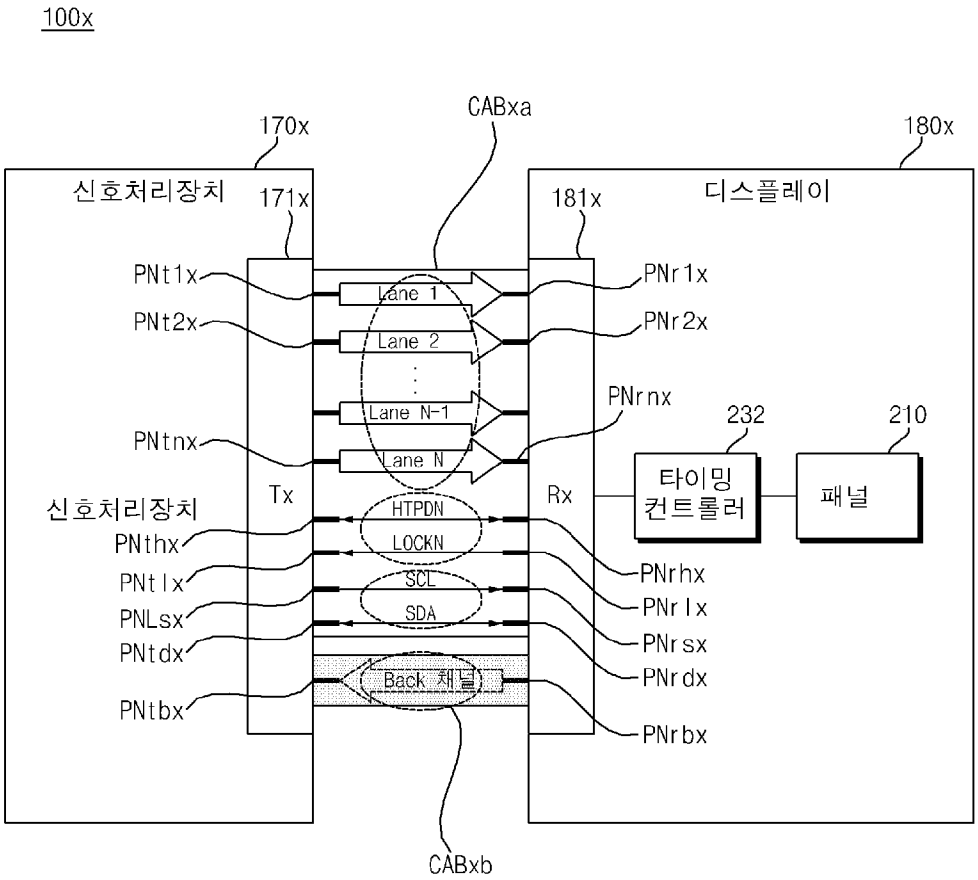
[도4a]



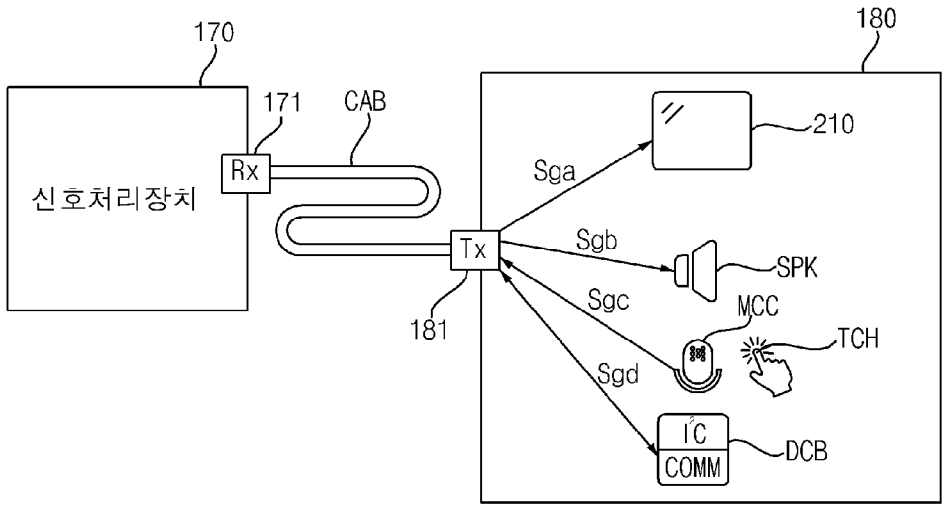
[도4b]


150
415
좌표값 산출부
411
412
RF 모듈
413
IR 모듈
200
420
421
RF 모듈
423
IR 모듈
470
저장부
460
전원 공급부
480
제어부
430
사용자 입력부
450
451
LED 모듈
453
진동 모듈
455
음향 출력 모듈
457
디스플레이 모듈
440
441
자이로 센서
443
가속도 센서

[도5]

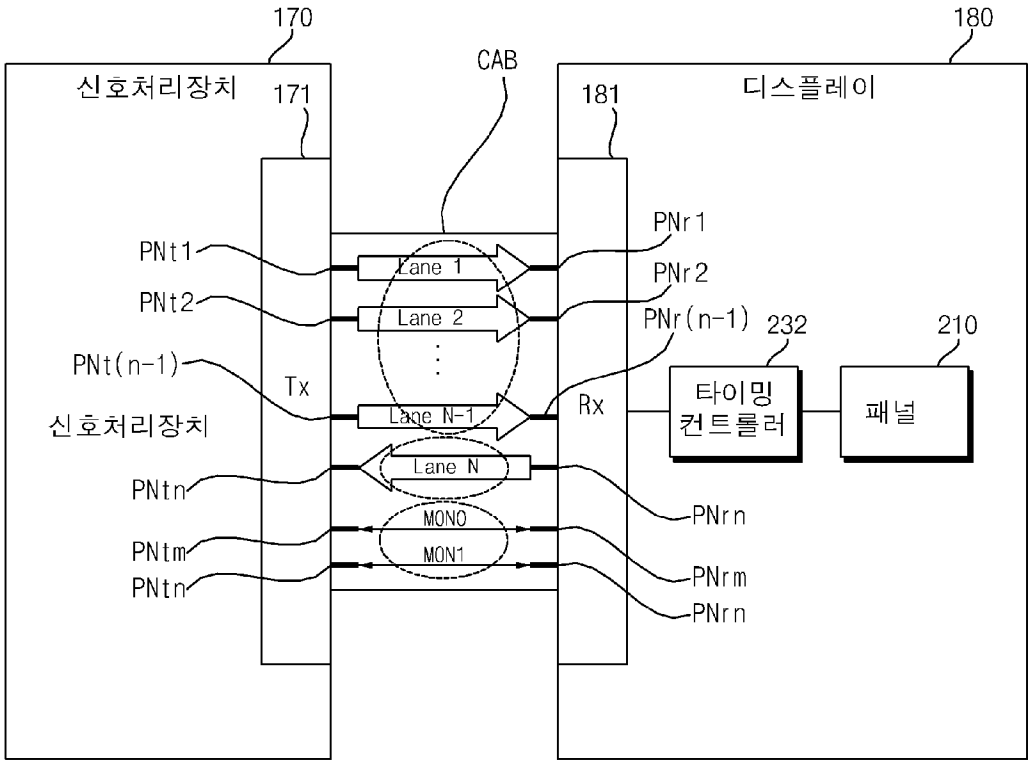

100x
170x
CABxa
180x
신호처리장치
171x
181x
디스플레이
PNt1x
PNt2x
PNtnx
Lane 1
Lane 2
Lane N-1
Lane N
PNr1x
PNr2x
PNrnx
232
210
타이밍
컨트롤러
패널
Tx
Rx
신호처리장치
HTPDN
LOCKN
SCL
SDA
Back 채널
PNthx
PNtlx
PNLsx
PNtdx
PNtbx
PNrhx
PNrlx
PNrsx
PNrdx
PNrbx
CABxb

[도6]

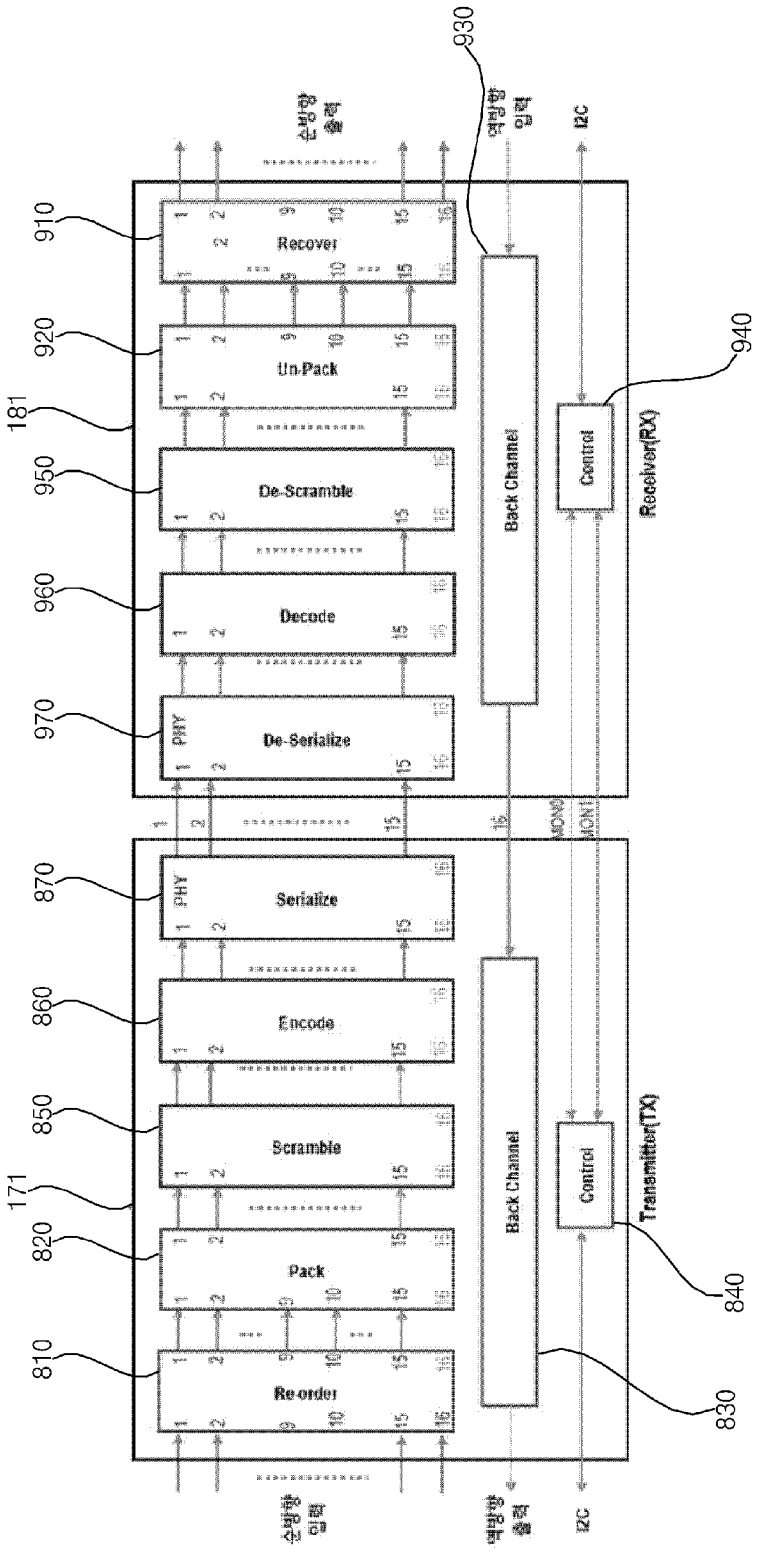

100
170
180
171
CAB
210
신호처리장치
Rx
Sga
Tx
Sgb
SPK
Sgc
MCC
TCH
181
Sgd
I2C
COMM
DCB

[도7]

100


170
신호처리장치
171
CAB
181
180
디스플레이
PNt1
PNt2
PNt(n-1)
Tx
신호처리장치
PNtn
PNtm
PNtn
Lane 1
Lane 2
Lane N-1
Lane N
MON0
MON1
PNr1
PNr2
PNr(n-1)
Rx
232
타이밍
컨트롤러
210
패널
PNrn
PNrm
PNrn

[도8]


930
순방향 출력
역방향 입력
I2C
910
Recover
920
Un-Pack
181
950
De-Scramble
960
Decode
970
PHY
De-Serialize
Back Channel
Control
940
Receiver(RX)
SDWD
MONI
870
PHY
Serialize
860
Encode
850
Scramble
171
820
Pack
810
Re-order
Back Channel
Control
Transmitter(TX)
840
830
순방향 입력
역방향 출력
I2C

[도9a]


TX0
Power-down
STa
TX1
Stand-by
STb
TX2
CDR
Training
STc
TX3
ALN & Back
Channel
ACK
STd
TX4
Nomal

[도9b]

State	동작	출력	MON0 핀	MON1 핀
TX0	Power-down	Unstable	High (Pull-up)	High (Pull-up)
TX1	Power-on : TX PLL Ready	Unstable	Low (RX Active)	High (Pull-up)
TX2	CLK 패턴 출력	CLK Training 패턴 MON1 : Low	Low (RX Active)	Low (TX Active)
TX3	ALN 패턴 출력, Back 채널 확인	ALN Training 패턴 MON1 : Low	High (Pull-up)	Low (TX Active)
TX4	Video 출력	정상 VIDEO 패턴	High (Pull-up)	High (Pull-up)

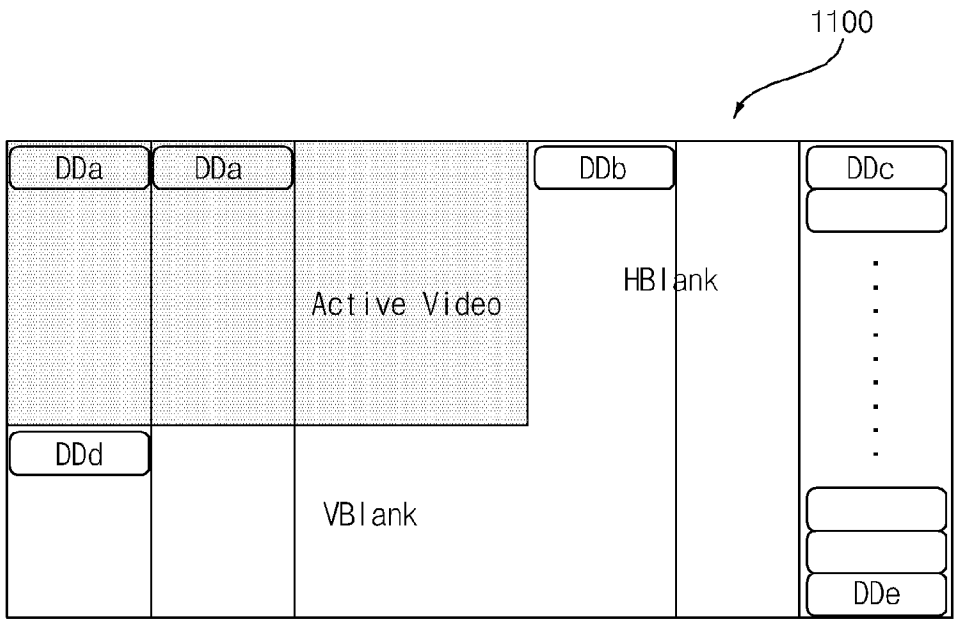
[도10a]



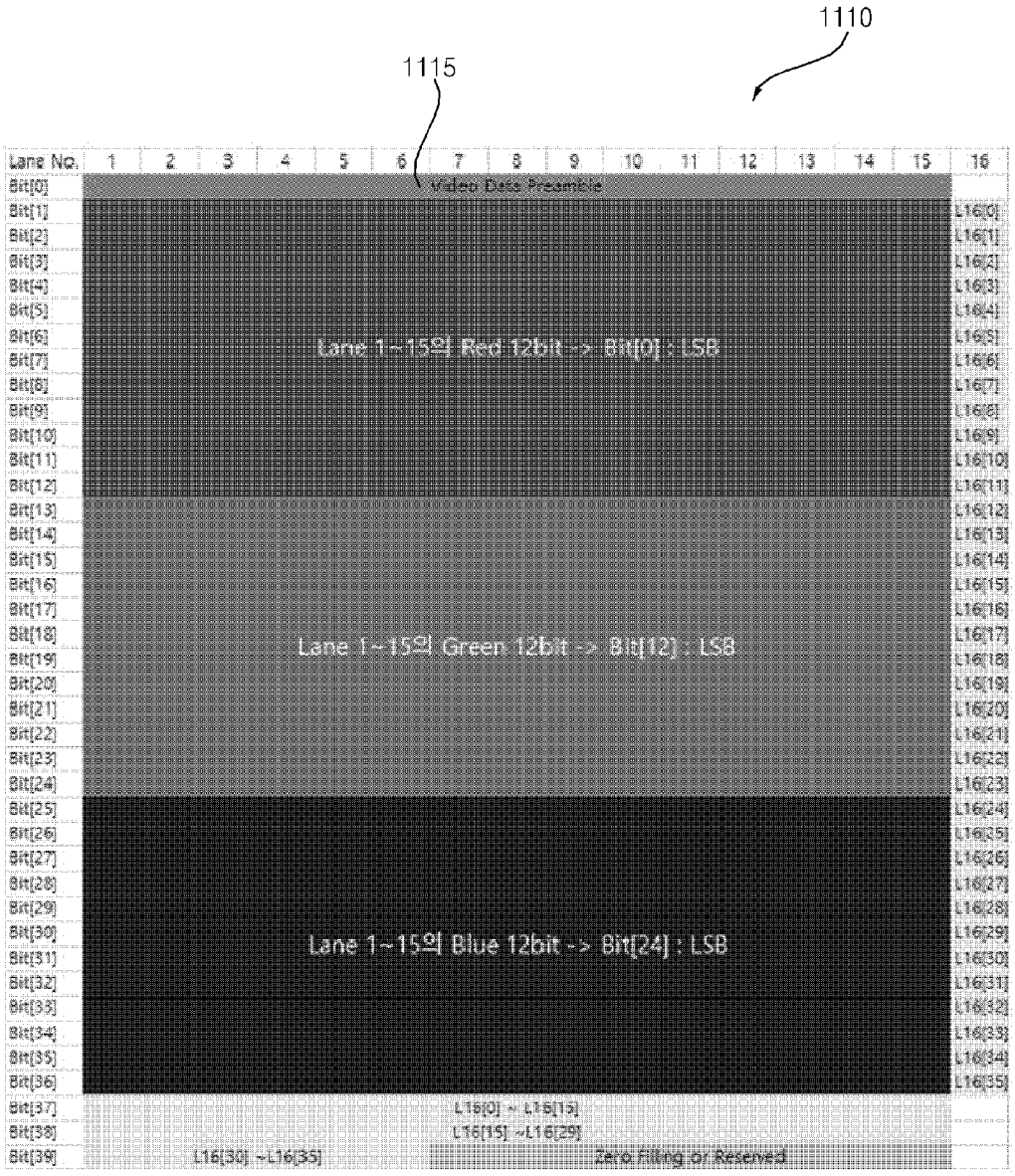
[도10b]

State	동작	출력	MON0 핀	MON1 핀
RX0	Power-down	VIDEO :Invalid	High (Pull-up)	High (Pull-up)
RX1	CLK Training	VIDEO :Invalid	Low (RX Active)	Low (TX Active)
RX2	ALN Training	VIDEO :Invalid	High (Pull-up)	Low (TX Active)
RX3	Back 채널 출력	VIDEO :Invalid Back channel : Back ALN Pattern	High (Pull-up)	Low (TX Active)
RX4	Video 출력	VIDEO :Valid	High (Pull-up)	High (Pull-up)

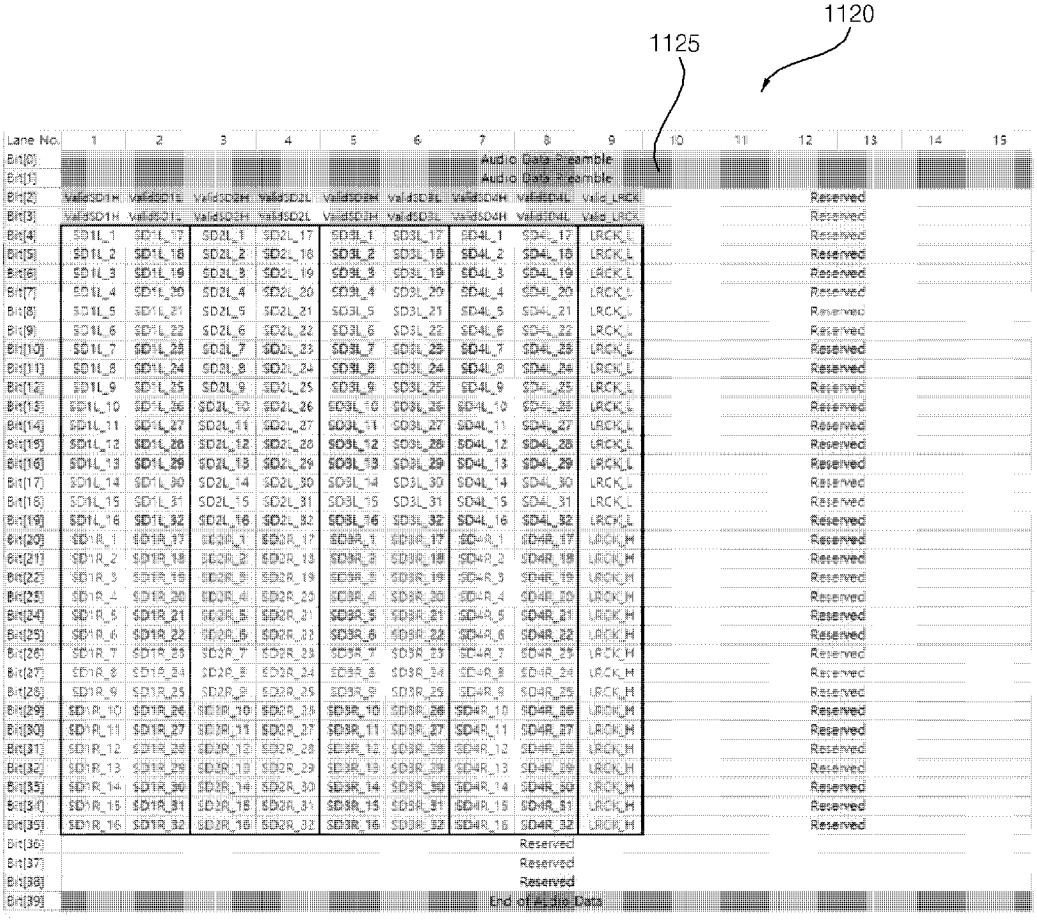
[도11a]



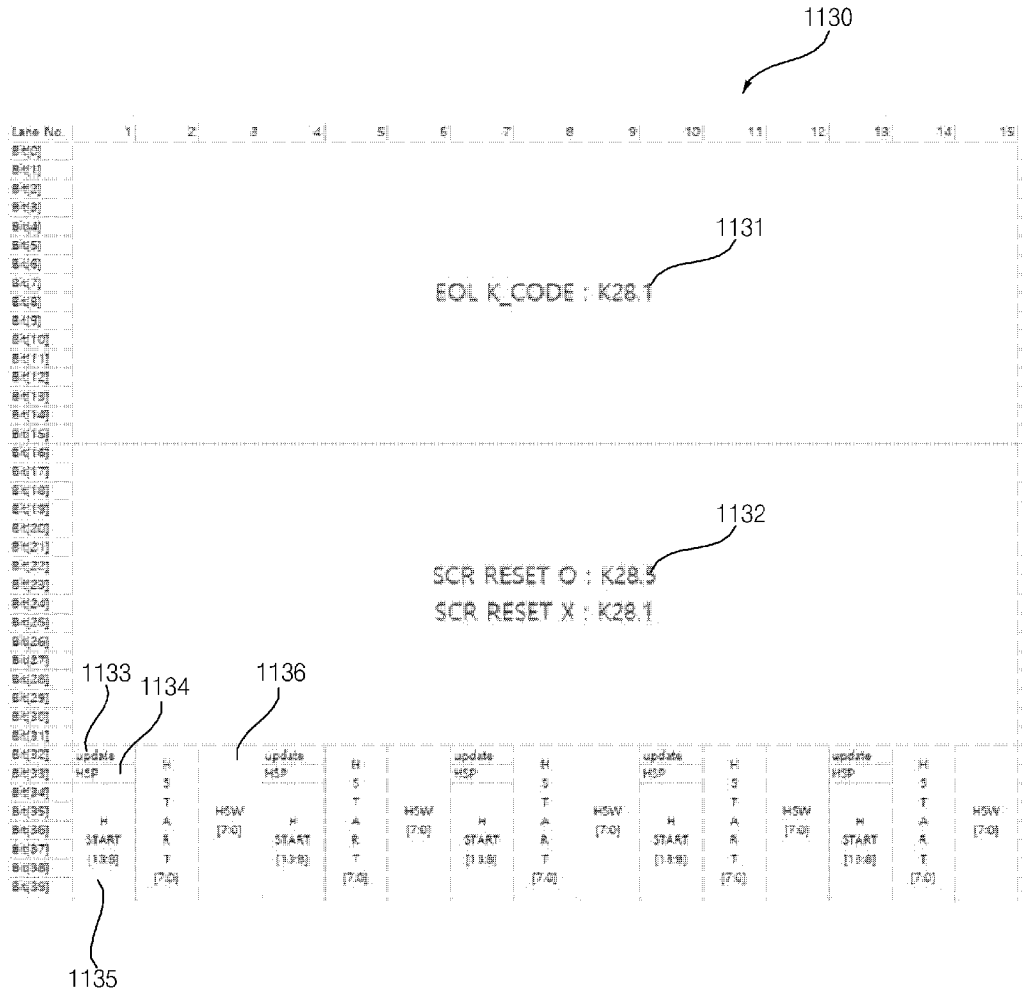
[도11b]


1110
1115
Lane No.
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
Video Data Preamble
Lane 1~15의 Red 12bit -> Bit[0] : LSB
Lane 1~15의 Green 12bit -> Bit[12] : LSB
Lane 1~15의 Blue 12bit -> Bit[24] : LSB
L16[0] ~ L16[15]
L16[15] ~L16[29]
L16[30] ~L16[35]
Zero Filling or Reserved

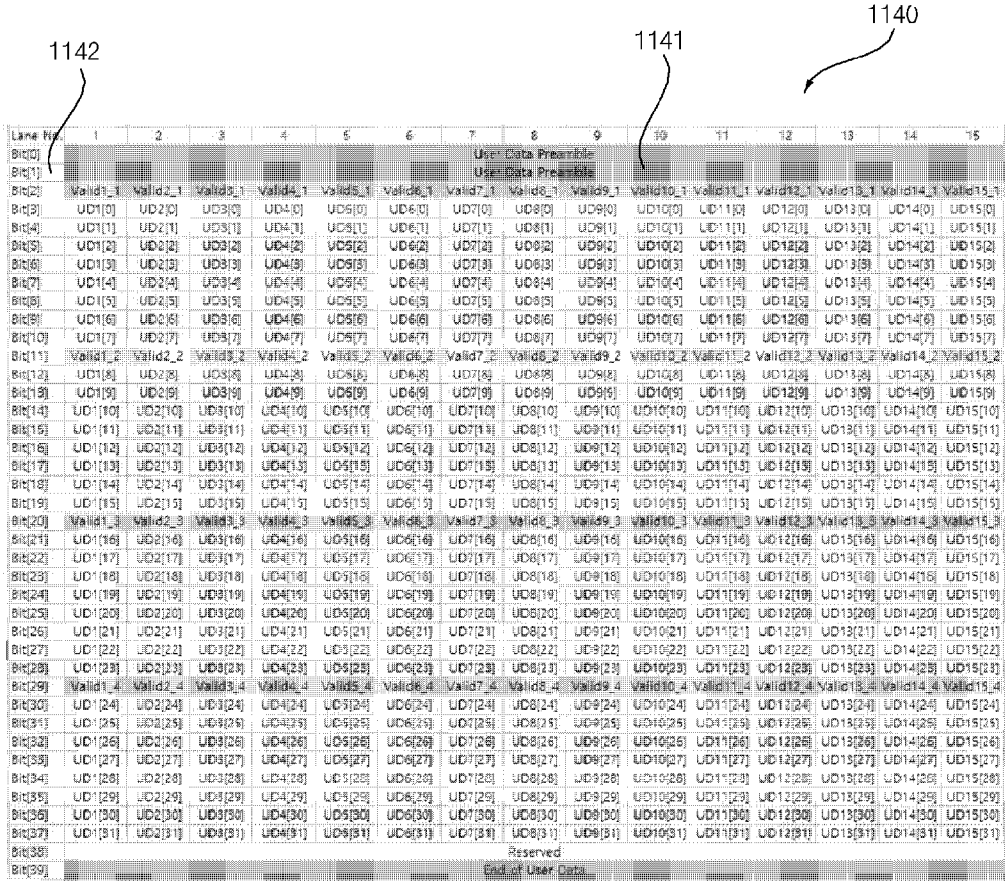
[도11c]


1120
1125
Lane No. 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15
Bit[0] Audio Data Preamble
Bit[1] Audio Data Preamble
Bit[2] ValidSD1H ValidSD1L ValidSD2H ValidSD2L ValidSD3H ValidSD3L ValidSD4H ValidSD4L Valid_LRCK Reserved
Bit[3] ValidSD1H ValidSD1L ValidSD2H ValidSD2L ValidSD3H ValidSD3L ValidSD4H ValidSD4L Valid_LRCK Reserved
Bit[4] SD1L_1 SD1L_17 SD2L_1 SD2L_17 SD3L_1 SD3L_17 SD4L_1 SD4L_17 LRCK_L Reserved
Bit[5] SD1L_2 SD1L_18 SD2L_2 SD2L_18 SD3L_2 SD3L_18 SD4L_2 SD4L_18 LRCK_L Reserved
Bit[6] SD1L_3 SD1L_19 SD2L_3 SD2L_19 SD3L_3 SD3L_19 SD4L_3 SD4L_19 LRCK_L Reserved
Bit[7] SD1L_4 SD1L_20 SD2L_4 SD2L_20 SD3L_4 SD3L_20 SD4L_4 SD4L_20 LRCK_L Reserved
Bit[8] SD1L_5 SD1L_21 SD2L_5 SD2L_21 SD3L_5 SD3L_21 SD4L_5 SD4L_21 LRCK_L Reserved
Bit[9] SD1L_6 SD1L_22 SD2L_6 SD2L_22 SD3L_6 SD3L_22 SD4L_6 SD4L_22 LRCK_L Reserved
Bit[10] SD1L_7 SD1L_23 SD2L_7 SD2L_23 SD3L_7 SD3L_23 SD4L_7 SD4L_23 LRCK_L Reserved
Bit[11] SD1L_8 SD1L_24 SD2L_8 SD2L_24 SD3L_8 SD3L_24 SD4L_8 SD4L_24 LRCK_L Reserved
Bit[12] SD1L_9 SD1L_25 SD2L_9 SD2L_25 SD3L_9 SD3L_25 SD4L_9 SD4L_25 LRCK_L Reserved
Bit[13] SD1L_10 SD1L_26 SD2L_10 SD2L_26 SD3L_10 SD3L_26 SD4L_10 SD4L_26 LRCK_L Reserved
Bit[14] SD1L_11 SD1L_27 SD2L_11 SD2L_27 SD3L_11 SD3L_27 SD4L_11 SD4L_27 LRCK_L Reserved
Bit[15] SD1L_12 SD1L_28 SD2L_12 SD2L_28 SD3L_12 SD3L_28 SD4L_12 SD4L_28 LRCK_L Reserved
Bit[16] SD1L_13 SD1L_29 SD2L_13 SD2L_29 SD3L_13 SD3L_29 SD4L_13 SD4L_29 LRCK_L Reserved
Bit[17] SD1L_14 SD1L_30 SD2L_14 SD2L_30 SD3L_14 SD3L_30 SD4L_14 SD4L_30 LRCK_L Reserved
Bit[18] SD1L_15 SD1L_31 SD2L_15 SD2L_31 SD3L_15 SD3L_31 SD4L_15 SD4L_31 LRCK_L Reserved
Bit[19] SD1L_16 SD1L_32 SD2L_16 SD2L_32 SD3L_16 SD3L_32 SD4L_16 SD4L_32 LRCK_L Reserved
Bit[20] SD1R_1 SD1R_17 SD2R_1 SD2R_17 SD3R_1 SD3R_17 SD4R_1 SD4R_17 LRCK_H Reserved
Bit[21] SD1R_2 SD1R_18 SD2R_2 SD2R_18 SD3R_2 SD3R_18 SD4R_2 SD4R_18 LRCK_H Reserved
Bit[22] SD1R_3 SD1R_19 SD2R_3 SD2R_19 SD3R_3 SD3R_19 SD4R_3 SD4R_19 LRCK_H Reserved
Bit[23] SD1R_4 SD1R_20 SD2R_4 SD2R_20 SD3R_4 SD3R_20 SD4R_4 SD4R_20 LRCK_H Reserved
Bit[24] SD1R_5 SD1R_21 SD2R_5 SD2R_21 SD3R_5 SD3R_21 SD4R_5 SD4R_21 LRCK_H Reserved
Bit[25] SD1R_6 SD1R_22 SD2R_6 SD2R_22 SD3R_6 SD3R_22 SD4R_6 SD4R_22 LRCK_H Reserved
Bit[26] SD1R_7 SD1R_23 SD2R_7 SD2R_23 SD3R_7 SD3R_23 SD4R_7 SD4R_23 LRCK_H Reserved
Bit[27] SD1R_8 SD1R_24 SD2R_8 SD2R_24 SD3R_8 SD3R_24 SD4R_8 SD4R_24 LRCK_H Reserved
Bit[28] SD1R_9 SD1R_25 SD2R_9 SD2R_25 SD3R_9 SD3R_25 SD4R_9 SD4R_25 LRCK_H Reserved
Bit[29] SD1R_10 SD1R_26 SD2R_10 SD2R_26 SD3R_10 SD3R_26 SD4R_10 SD4R_26 LRCK_H Reserved
Bit[30] SD1R_11 SD1R_27 SD2R_11 SD2R_27 SD3R_11 SD3R_27 SD4R_11 SD4R_27 LRCK_H Reserved
Bit[31] SD1R_12 SD1R_28 SD2R_12 SD2R_28 SD3R_12 SD3R_28 SD4R_12 SD4R_28 LRCK_H Reserved
Bit[32] SD1R_13 SD1R_29 SD2R_13 SD2R_29 SD3R_13 SD3R_29 SD4R_13 SD4R_29 LRCK_H Reserved
Bit[33] SD1R_14 SD1R_30 SD2R_14 SD2R_30 SD3R_14 SD3R_30 SD4R_14 SD4R_30 LRCK_H Reserved
Bit[34] SD1R_15 SD1R_31 SD2R_15 SD2R_31 SD3R_15 SD3R_31 SD4R_15 SD4R_31 LRCK_H Reserved
Bit[35] SD1R_16 SD1R_32 SD2R_16 SD2R_32 SD3R_16 SD3R_32 SD4R_16 SD4R_32 LRCK_H Reserved
Bit[36] Reserved
Bit[37] Reserved
Bit[38] Reserved
Bit[39] End of Audio Data

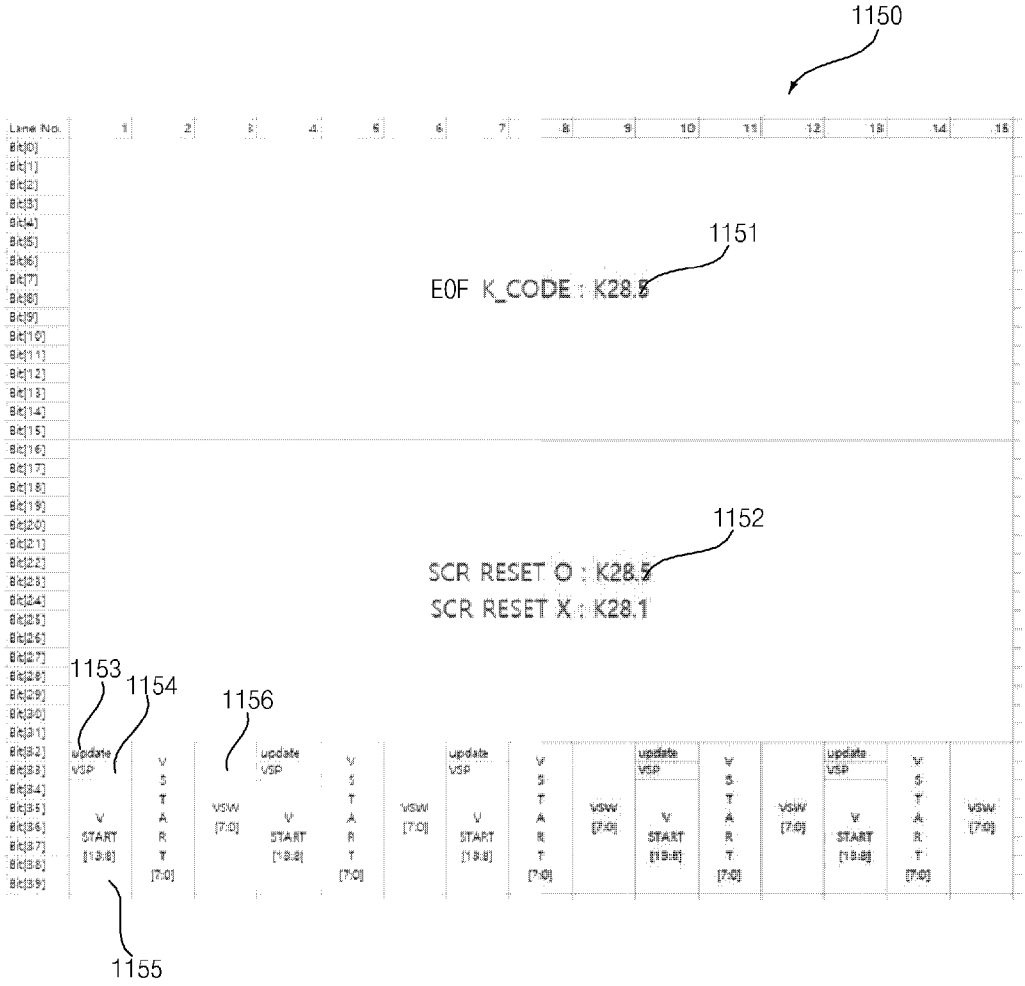
[도11d]


1130
Lane No.
1131
EOL K_CODE : K28.1
1132
SCR RESET O : K28.5
SCR RESET X : K28.1
1133
1134
1136
1135

[도11e]

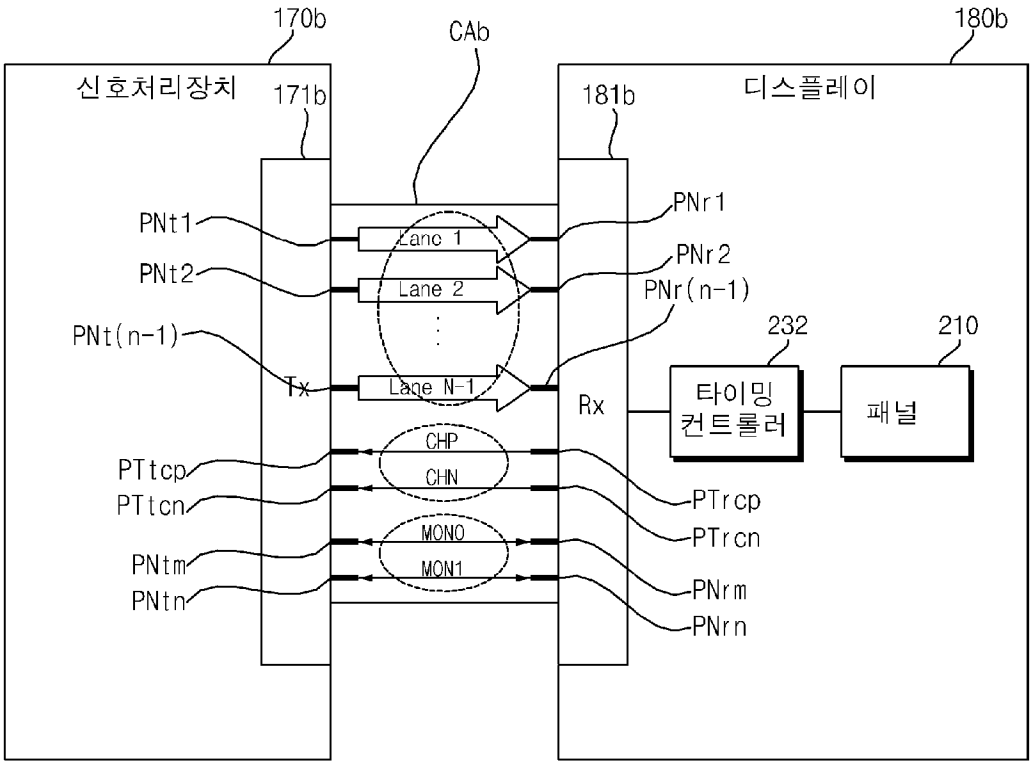

1140
1141
1142
Lane No.
Bit[0]
Bit[1]
User Data Preamble
User Data Preamble
Bit[2]
Valid1_1 Valid2_1 Valid3_1 Valid4_1 Valid5_1 Valid6_1 Valid7_1 Valid8_1 Valid9_1 Valid10_1 Valid11_1 Valid12_1 Valid13_1 Valid14_1 Valid15_1
Bit[3]
UD1[0] UD2[0] UD3[0] UD4[0] UD5[0] UD6[0] UD7[0] UD8[0] UD9[0] UD10[0] UD11[0] UD12[0] UD13[0] UD14[0] UD15[0]
Bit[4]
UD1[1] UD2[1] UD3[1] UD4[1] UD5[1] UD6[1] UD7[1] UD8[1] UD9[1] UD10[1] UD11[1] UD12[1] UD13[1] UD14[1] UD15[1]
Bit[5]
UD1[2] UD2[2] UD3[2] UD4[2] UD5[2] UD6[2] UD7[2] UD8[2] UD9[2] UD10[2] UD11[2] UD12[2] UD13[2] UD14[2] UD15[2]
Bit[6]
UD1[3] UD2[3] UD3[3] UD4[3] UD5[3] UD6[3] UD7[3] UD8[3] UD9[3] UD10[3] UD11[3] UD12[3] UD13[3] UD14[3] UD15[3]
Bit[7]
UD1[4] UD2[4] UD3[4] UD4[4] UD5[4] UD6[4] UD7[4] UD8[4] UD9[4] UD10[4] UD11[4] UD12[4] UD13[4] UD14[4] UD15[4]
Bit[8]
UD1[5] UD2[5] UD3[5] UD4[5] UD5[5] UD6[5] UD7[5] UD8[5] UD9[5] UD10[5] UD11[5] UD12[5] UD13[5] UD14[5] UD15[5]
Bit[9]
UD1[6] UD2[6] UD3[6] UD4[6] UD5[6] UD6[6] UD7[6] UD8[6] UD9[6] UD10[6] UD11[6] UD12[6] UD13[6] UD14[6] UD15[6]
Bit[10]
UD1[7] UD2[7] UD3[7] UD4[7] UD5[7] UD6[7] UD7[7] UD8[7] UD9[7] UD10[7] UD11[7] UD12[7] UD13[7] UD14[7] UD15[7]
Bit[11]
Valid1_2 Valid2_2 Valid3_2 Valid4_2 Valid5_2 Valid6_2 Valid7_2 Valid8_2 Valid9_2 Valid10_2 Valid11_2 Valid12_2 Valid13_2 Valid14_2 Valid15_2
Bit[12]
UD1[8] UD2[8] UD3[8] UD4[8] UD5[8] UD6[8] UD7[8] UD8[8] UD9[8] UD10[8] UD11[8] UD12[8] UD13[8] UD14[8] UD15[8]
Bit[13]
UD1[9] UD2[9] UD3[9] UD4[9] UD5[9] UD6[9] UD7[9] UD8[9] UD9[9] UD10[9] UD11[9] UD12[9] UD13[9] UD14[9] UD15[9]
Bit[14]
UD1[10] UD2[10] UD3[10] UD4[10] UD5[10] UD6[10] UD7[10] UD8[10] UD9[10] UD10[10] UD11[10] UD12[10] UD13[10] UD14[10] UD15[10]
Bit[15]
UD1[11] UD2[11] UD3[11] UD4[11] UD5[11] UD6[11] UD7[11] UD8[11] UD9[11] UD10[11] UD11[11] UD12[11] UD13[11] UD14[11] UD15[11]
Bit[16]
UD1[12] UD2[12] UD3[12] UD4[12] UD5[12] UD6[12] UD7[12] UD8[12] UD9[12] UD10[12] UD11[12] UD12[12] UD13[12] UD14[12] UD15[12]
Bit[17]
UD1[13] UD2[13] UD3[13] UD4[13] UD5[13] UD6[13] UD7[13] UD8[13] UD9[13] UD10[13] UD11[13] UD12[13] UD13[13] UD14[13] UD15[13]
Bit[18]
UD1[14] UD2[14] UD3[14] UD4[14] UD5[14] UD6[14] UD7[14] UD8[14] UD9[14] UD10[14] UD11[14] UD12[14] UD13[14] UD14[14] UD15[14]
Bit[19]
UD1[15] UD2[15] UD3[15] UD4[15] UD5[15] UD6[15] UD7[15] UD8[15] UD9[15] UD10[15] UD11[15] UD12[15] UD13[15] UD14[15] UD15[15]
Bit[20]
Valid1_3 Valid2_3 Valid3_3 Valid4_3 Valid5_3 Valid6_3 Valid7_3 Valid8_3 Valid9_3 Valid10_3 Valid11_3 Valid12_3 Valid13_3 Valid14_3 Valid15_3
Bit[21]
UD1[16] UD2[16] UD3[16] UD4[16] UD5[16] UD6[16] UD7[16] UD8[16] UD9[16] UD10[16] UD11[16] UD12[16] UD13[16] UD14[16] UD15[16]
Bit[22]
UD1[17] UD2[17] UD3[17] UD4[17] UD5[17] UD6[17] UD7[17] UD8[17] UD9[17] UD10[17] UD11[17] UD12[17] UD13[17] UD14[17] UD15[17]
Bit[23]
UD1[18] UD2[18] UD3[18] UD4[18] UD5[18] UD6[18] UD7[18] UD8[18] UD9[18] UD10[18] UD11[18] UD12[18] UD13[18] UD14[18] UD15[18]
Bit[24]
UD1[19] UD2[19] UD3[19] UD4[19] UD5[19] UD6[19] UD7[19] UD8[19] UD9[19] UD10[19] UD11[19] UD12[19] UD13[19] UD14[19] UD15[19]
Bit[25]
UD1[20] UD2[20] UD3[20] UD4[20] UD5[20] UD6[20] UD7[20] UD8[20] UD9[20] UD10[20] UD11[20] UD12[20] UD13[20] UD14[20] UD15[20]
Bit[26]
UD1[21] UD2[21] UD3[21] UD4[21] UD5[21] UD6[21] UD7[21] UD8[21] UD9[21] UD10[21] UD11[21] UD12[21] UD13[21] UD14[21] UD15[21]
Bit[27]
UD1[22] UD2[22] UD3[22] UD4[22] UD5[22] UD6[22] UD7[22] UD8[22] UD9[22] UD10[22] UD11[22] UD12[22] UD13[22] UD14[22] UD15[22]
Bit[28]
UD1[23] UD2[23] UD3[23] UD4[23] UD5[23] UD6[23] UD7[23] UD8[23] UD9[23] UD10[23] UD11[23] UD12[23] UD13[23] UD14[23] UD15[23]
Bit[29]
Valid1_4 Valid2_4 Valid3_4 Valid4_4 Valid5_4 Valid6_4 Valid7_4 Valid8_4 Valid9_4 Valid10_4 Valid11_4 Valid12_4 Valid13_4 Valid14_4 Valid15_4
Bit[30]
UD1[24] UD2[24] UD3[24] UD4[24] UD5[24] UD6[24] UD7[24] UD8[24] UD9[24] UD10[24] UD11[24] UD12[24] UD13[24] UD14[24] UD15[24]
Bit[31]
UD1[25] UD2[25] UD3[25] UD4[25] UD5[25] UD6[25] UD7[25] UD8[25] UD9[25] UD10[25] UD11[25] UD12[25] UD13[25] UD14[25] UD15[25]
Bit[32]
UD1[26] UD2[26] UD3[26] UD4[26] UD5[26] UD6[26] UD7[26] UD8[26] UD9[26] UD10[26] UD11[26] UD12[26] UD13[26] UD14[26] UD15[26]
Bit[33]
UD1[27] UD2[27] UD3[27] UD4[27] UD5[27] UD6[27] UD7[27] UD8[27] UD9[27] UD10[27] UD11[27] UD12[27] UD13[27] UD14[27] UD15[27]
Bit[34]
UD1[28] UD2[28] UD3[28] UD4[28] UD5[28] UD6[28] UD7[28] UD8[28] UD9[28] UD10[28] UD11[28] UD12[28] UD13[28] UD14[28] UD15[28]
Bit[35]
UD1[29] UD2[29] UD3[29] UD4[29] UD5[29] UD6[29] UD7[29] UD8[29] UD9[29] UD10[29] UD11[29] UD12[29] UD13[29] UD14[29] UD15[29]
Bit[36]
UD1[30] UD2[30] UD3[30] UD4[30] UD5[30] UD6[30] UD7[30] UD8[30] UD9[30] UD10[30] UD11[30] UD12[30] UD13[30] UD14[30] UD15[30]
Bit[37]
UD1[31] UD2[31] UD3[31] UD4[31] UD5[31] UD6[31] UD7[31] UD8[31] UD9[31] UD10[31] UD11[31] UD12[31] UD13[31] UD14[31] UD15[31]
Bit[38]
Reserved
Bit[39]
End of User Data

[도11f]


1150
1151
EOF K_CODE : K28.5
1152
SCR RESET O : K28.5
SCR RESET X : K28.1
1153
1154
1156
1155

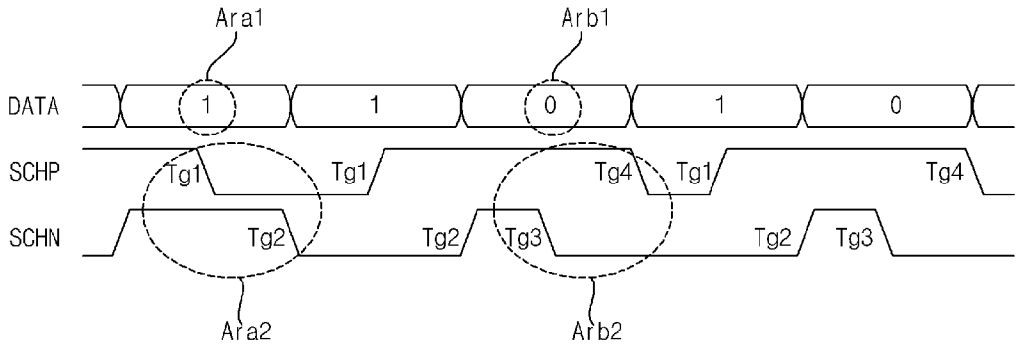
[도12]

100b

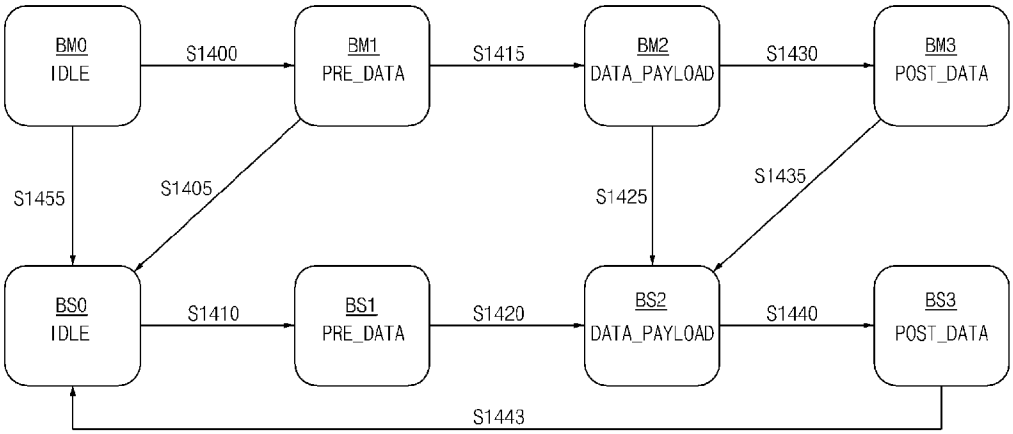


[도13]

170b

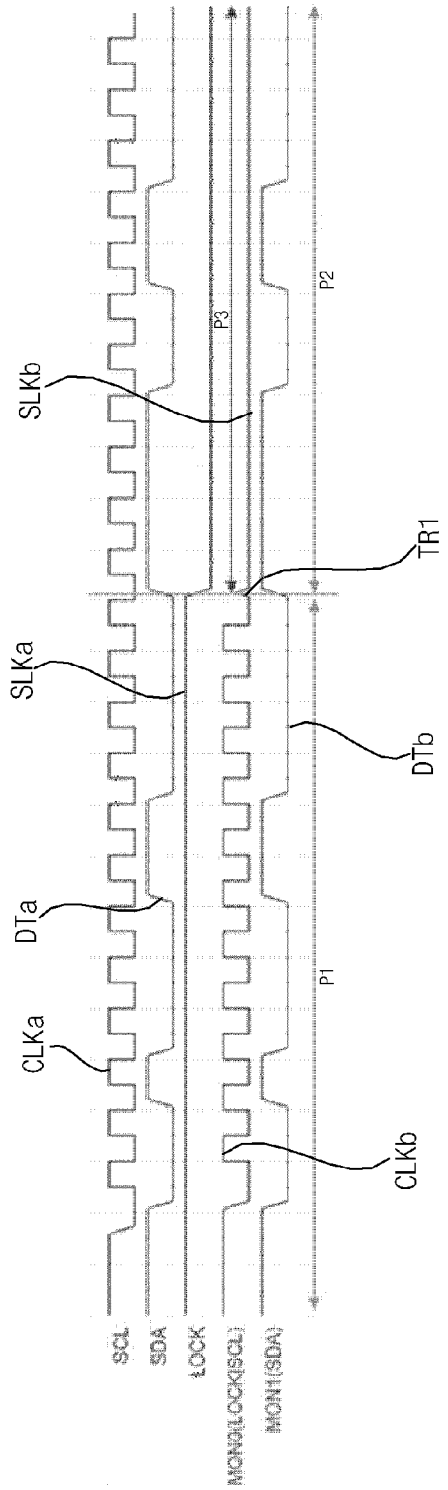


[도14]



BM : Back 채널 통신 Master
BS : Back 채널 통신 Slave

[도15]


SLKb
SLKa
DTa
CLKa
TR1
DTb
CLKb
P1
P2
P3
SCL
SDA
LOCK
MONI/LOCK(SCL)
MONI(SDA)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2021/009803

A. CLASSIFICATION OF SUBJECT MATTER

H04N 21/4363(2011.01)i; **H04N 21/436**(2011.01)i; **H04N 21/422**(2011.01)i; **G09G 5/00**(2006.01)i; **G06F 13/42**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N 21/4363(2011.01); G09G 3/32(2006.01); H04N 21/436(2011.01); H04N 5/44(2011.01); H04N 5/66(2006.01); H04N 7/083(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 케이블(cable), 제1 인터페이스(first interface), 제2 인터페이스(second interface), 양방향 통신(bidirectional communication), 모니터 신호(monitor signal), 제어 버스 신호(control bus signal), 공유(share)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-1505669 B1 (OPTICIS CO., LTD.) 24 March 2015 (2015-03-24) See paragraphs [0005], [0011], [0033], [0038], [0040], [0044], [0046]-[0047], [0100], [0103] and [0113]-[0114]; and figure 3.	1-10,16,18-19
A		11-15,17
Y	JP 2021-007266 A (MAXELL HOLDINGS LTD) 21 January 2021 (2021-01-21) See paragraph [0013]; claims 13-15; and figure 9.	1-10,16,18-19
Y	KR 10-2279280 B1 (LG DISPLAY CO., LTD.) 20 July 2021 (2021-07-20) See paragraphs [0064] and [0067]-[0068].	4-6
A	KR 10-2017-0020744 A (SONY CORPORATION) 24 February 2017 (2017-02-24) See paragraph [0011].	1-19
A	KR 10-2021-0060672 A (SONY GROUP CORPORATION) 26 May 2021 (2021-05-26) See paragraph [0015].	1-19

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 April 2022	**27 April 2022**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2021/009803

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-1505669 B1	24 March 2015	CN 105230004 A	06 January 2016
		CN 105230004 B	22 May 2018
		EP 3058721 A1	24 August 2016
		EP 3058721 A4	12 April 2017
		EP 3058721 B1	14 March 2018
		JP 2016-521502 A	21 July 2016
		JP 6123022 B2	26 April 2017
		US 2016-0119577 A1	28 April 2016
		US 9955112 B2	24 April 2018
		WO 2015-056866 A1	23 April 2015
JP 2021-007266 A	21 January 2021	None	
KR 10-2279280 B1	20 July 2021	KR 10-2016-0081424 A	08 July 2016
KR 10-2017-0020744 A	24 February 2017	CN 108243628 A	03 July 2018
		CN 108243628 B	08 June 2021
		CN 113286109 A	20 August 2021
		EP 3157215 A1	19 April 2017
		EP 3157215 A4	14 February 2018
		JP 2019-126074 A	25 July 2019
		JP 6683276 B2	15 April 2020
		US 11271706 B2	08 March 2022
		US 2020-0412514 A1	31 December 2020
		WO 2015-190153 A1	17 December 2015
KR 10-2021-0060672 A	26 May 2021	CN 109981926 A	05 July 2019
		EP 3013061 A1	27 April 2016
		EP 3013061 A4	08 March 2017
		JP 2021-061602 A	15 April 2021
		JP 6479656 B2	06 March 2019
		KR 10-2256451 B1	27 May 2021
		KR 10-2370221 B1	04 March 2022
		US 10531059 B2	07 January 2020
		US 10791309 B2	29 September 2020
		US 2020-0092527 A1	19 March 2020
		US 2020-0382753 A1	03 December 2020
		US 9667934 B2	30 May 2017
		WO 2014-203869 A1	24 December 2014

국 제 조 사 보 고 서

국제출원번호
PCT/KR2021/009803

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04N 21/4363(2011.01)i; **H04N 21/436**(2011.01)i; **H04N 21/422**(2011.01)i; **G09G 5/00**(2006.01)i; **G06F 13/42**(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H04N 21/4363(2011.01); G09G 3/32(2006.01); H04N 21/436(2011.01); H04N 5/44(2011.01); H04N 5/66(2006.01); H04N 7/083(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 케이블(cable), 제1 인터페이스(first interface), 제2 인터페이스(second interface), 양방향 통신(bidirectional communication), 모니터 신호(monitor signal), 제어 버스 신호(control bus signal), 공유(share)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-1505669 B1 (옵티시스 주식회사) 2015.03.24 단락 [0005], [0011], [0033], [0038], [0040], [0044], [0046]-[0047], [0100], [0103], [0113]-[0114]; 및 도면 3	1-10,16,18-19
A		11-15,17
Y	JP 2021-007266 A (MAXELL HOLDINGS LTD) 2021.01.21 단락 [0013]; 청구항 13-15; 및 도면 9	1-10,16,18-19
Y	KR 10-2279280 B1 (엘지디스플레이 주식회사) 2021.07.20 단락 [0064], [0067]-[0068]	4-6
A	KR 10-2017-0020744 A (소니 주식회사) 2017.02.24 단락 [0011]	1-19
A	KR 10-2021-0060672 A (소니그룹주식회사) 2021.05.26 단락 [0015]	1-19

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2022년04월27일(27.04.2022)	**2022년04월27일(27.04.2022)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

고재용

전화번호 **+82-42-481-8212**

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2021/009803

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1505669 B1	2015/03/24	CN 105230004 A	2016/01/06
		CN 105230004 B	2018/05/22
		EP 3058721 A1	2016/08/24
		EP 3058721 A4	2017/04/12
		EP 3058721 B1	2018/03/14
		JP 2016-521502 A	2016/07/21
		JP 6123022 B2	2017/04/26
		US 2016-0119577 A1	2016/04/28
		US 9955112 B2	2018/04/24
		WO 2015-056866 A1	2015/04/23
JP 2021-007266 A	2021/01/21	없음	
KR 10-2279280 B1	2021/07/20	KR 10-2016-0081424 A	2016/07/08
KR 10-2017-0020744 A	2017/02/24	CN 108243628 A	2018/07/03
		CN 108243628 B	2021/06/08
		CN 113286109 A	2021/08/20
		EP 3157215 A1	2017/04/19
		EP 3157215 A4	2018/02/14
		JP 2019-126074 A	2019/07/25
		JP 6683276 B2	2020/04/15
		US 11271706 B2	2022/03/08
		US 2020-0412514 A1	2020/12/31
		WO 2015-190153 A1	2015/12/17
KR 10-2021-0060672 A	2021/05/26	CN 109981926 A	2019/07/05
		EP 3013061 A1	2016/04/27
		EP 3013061 A4	2017/03/08
		JP 2021-061602 A	2021/04/15
		JP 6479656 B2	2019/03/06
		KR 10-2256451 B1	2021/05/27
		KR 10-2370221 B1	2022/03/04
		US 10531059 B2	2020/01/07
		US 10791309 B2	2020/09/29
		US 2020-0092527 A1	2020/03/19
		US 2020-0382753 A1	2020/12/03
		US 9667934 B2	2017/05/30
		WO 2014-203869 A1	2014/12/24