

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 834 631**

51 Int. Cl.:

G06F 13/362 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **09.09.2016 PCT/JP2016/076570**

87 Fecha y número de publicación internacional: **06.04.2017 WO17056917**

96 Fecha de presentación y número de la solicitud europea: **09.09.2016 E 16851091 (5)**

97 Fecha y número de publicación de la concesión europea: **04.11.2020 EP 3358469**

54 Título: **Sistema de comunicación, dispositivo, dispositivo maestro, dispositivo esclavo, método para controlar el sistema de comunicación y programa**

30 Prioridad:

01.10.2015 JP 2015196191

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

18.06.2021

73 Titular/es:

**SONY CORPORATION (100.0%)
1-7-1 Konan, Minato-ku
Tokyo 108-0075, JP**

72 Inventor/es:

**TAKAHASHI, HIROO;
KOSHISAKA, NAOHIRO y
LEE, SONFUN**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 834 631 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de comunicación, dispositivo, dispositivo maestro, dispositivo esclavo, método para controlar el sistema de comunicación y programa

5

CAMPO TÉCNICO

La presente invención se refiere a un sistema de comunicación, un dispositivo, un dispositivo maestro, un dispositivo esclavo, un método de control del sistema de comunicación y un programa que hace que un ordenador ejecute el método, y concretamente, a un sistema de comunicación configurado para transmitir y recibir datos entre un maestro y un esclavo, un dispositivo, un dispositivo maestro, un dispositivo esclavo, un método de control del sistema de comunicación y un programa que hace que un ordenador ejecute el método.

10

ANTECEDENTES DE LA INVENCION

15

En la técnica relacionada, cuando la comunicación se realiza entre dispositivos en un alcance relativamente corto, por ejemplo, dentro del mismo sustrato, se utiliza ampliamente una norma de comunicación de Circuito Inter-integrado (I2C) debido a una configuración simple. En I2C, puesto que una pluralidad de dispositivos maestros puede transmitir señales a un solo dispositivo esclavo, es necesario detectar la colisión de dichas señales y arbitrar a los dispositivos maestros. Por ejemplo, en la norma de comunicación de I2C, se propone un procedimiento de arbitraje en donde, cuando un solo maestro transmite "1" y el otro maestro transmite "0", el dispositivo maestro que ha transmitido "1" pierde un derecho de control (por ejemplo, consultar las referencias de no patentes 1).

20

Además, se propone una norma de comunicación de I3C, una versión ampliada de I2C. En I3C, se utilizan tres sistemas de comunicación. En el primer sistema de comunicación (en lo sucesivo denominado "caso 0"), es posible conectar un máximo de 112 dispositivos esclavos al dispositivo maestro mientras es posible el arbitraje. En el segundo sistema de comunicación (en lo sucesivo denominado "caso 1"), se proporciona una velocidad de comunicación mayor que la del caso 0, pero el número de dispositivos esclavos conectables se limita a un máximo de 56 mientras que el arbitraje sea posible. En el tercer sistema de comunicación (en adelante denominado "caso 2"), se proporciona una velocidad de comunicación más alta que la del caso 0, y es posible conectar un máximo de 112 dispositivos esclavos, pero no es posible arbitrar dispositivos.

25

30

Lista de referencias

35

Literatura de no patente 1: "Especificación del bus I2C del bus UM10204 y manual de usuario Rev5.0J", [online], 9 de octubre de 2012, semiconductores NXP, [26 de agosto de 2015, búsqueda], Internet (http://www.nxp.com/documents/user_manual/UM10204_JA.pdf)

40

La literatura de patentes US 2015/100713 A1 da a conocer una pluralidad de dispositivos esclavos acoplados a un bus de datos de control junto con al menos un dispositivo maestro que gestiona el acceso de los dispositivos esclavos al bus de datos de control. Al menos un dispositivo esclavo opera en un modo de funcionamiento de protocolo I2C y al menos otro dispositivo esclavo funciona en un modo de funcionamiento CCIe.

SUMARIO DE LA INVENCION

45

Problema técnico

En la técnica relacionada descrita con anterioridad, existe el problema de que es difícil optimizar un sistema utilizando I3C. Por ejemplo, en el caso 1, es posible aumentar una velocidad de comunicación mientras que el arbitraje sea posible, pero el número de dispositivos esclavos conectables es menor que en el caso 0. Además, en el caso 2, es posible aumentar una velocidad de comunicación mientras que el número de dispositivos esclavos es similar al del caso 0, pero el arbitraje no es posible. De esta manera, existe el problema de que es difícil optimizar un sistema con un equilibrio entre el número de dispositivos esclavos conectables y una posibilidad de arbitraje.

50

55

En vista de dichos problemas, la presente invención se proporciona para optimizar un sistema configurado para transmitir y recibir datos entre un dispositivo maestro y un dispositivo esclavo.

Solución al problema

60

La presente invención se ha elaborado con el fin de resolver los problemas mencionados con anterioridad tal como se define en las reivindicaciones independientes.

Efectos ventajosos de la invención

65

Según las formas de realización de la presente invención, se puede obtener un efecto excelente de que es posible optimizar un sistema configurado para transmitir y recibir datos entre un dispositivo maestro y un dispositivo esclavo.

Conviene señalar que los efectos descritos en el presente documento no son necesariamente limitantes y se puede lograr cualquier efecto descrito en la presente invención.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

5 La Figura 1 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de equipo electrónico en una primera forma de realización de la presente invención.

10 La Figura 2 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un procesador en la primera forma de realización de la presente invención.

La Figura 3 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un controlador de pantalla en la primera forma de realización de la presente invención.

15 La Figura 4 es un diagrama para describir un sistema de comunicación en la primera forma de realización de la presente invención.

20 La Figura 5 es un diagrama para describir un tipo de cabecera en la primera forma de realización de la presente invención.

La Figura 6 es un diagrama que ilustra una estructura de datos, a modo de ejemplo, de una trama que es transmitida por un dispositivo maestro en los casos 0 a 2 en la primera forma de realización de la presente invención.

25 La Figura 7 es un diagrama que ilustra una estructura de datos, a modo de ejemplo, de una trama que es transmitida por un dispositivo maestro en un caso 3 en la primera forma de realización de la presente invención.

La Figura 8 es un diagrama que ilustra una estructura de datos, a modo de ejemplo, de una trama que es transmitida por un dispositivo esclavo en la primera forma de realización de la presente invención.

30 La Figura 9 es un diagrama que ilustra un ejemplo de información de configuración de un registro de características de bus en la primera forma de realización de la presente invención.

35 La Figura 10 es un diagrama que ilustra detalles a modo de ejemplo de índices 0 a 3 en la primera forma de realización de la presente invención.

La Figura 11 es un diagrama de flujo que ilustra operaciones a modo de ejemplo de un dispositivo maestro/esclavo en la primera forma de realización de la presente invención.

40 La Figura 12 es un diagrama de flujo que ilustra un ejemplo de proceso de asignación de direcciones en la primera forma de realización de la presente invención.

La Figura 13 es un diagrama de flujo que ilustra un proceso de comunicación del lado maestro, a modo de ejemplo, en la primera forma de realización de la presente invención.

45 La Figura 14 es un diagrama de flujo que ilustra un proceso de comunicación del lado maestro, a modo de ejemplo, correspondiente al caso 3 en la primera forma de realización de la presente invención.

50 La Figura 15 es un diagrama de flujo que ilustra un funcionamiento, a modo de ejemplo, de un dispositivo esclavo en la primera forma de realización de la presente invención.

La Figura 16 es un diagrama de flujo que ilustra un proceso de comunicación del lado esclavo, a modo de ejemplo, correspondiente al caso 3 en la primera forma de realización de la presente invención.

55 La Figura 17 es un diagrama que ilustra un ejemplo de información de configuración de un registro de características de bit en una primera modificación de la primera forma de realización de la presente invención.

La Figura 18 es un diagrama que ilustra un ejemplo de información de configuración de un registro de características de bit en una segunda modificación de la primera forma de realización de la presente invención.

60 La Figura 19 es un diagrama que ilustra un ejemplo de información de configuración de un registro de características de bit en una tercera modificación de la primera forma de realización de la presente invención.

65 La Figura 20 es un diagrama para describir un sistema de comunicación en una segunda forma de realización de la presente invención.

La Figura 21 es un diagrama que ilustra una estructura de datos, a modo de ejemplo, de una trama que es transmitida por un dispositivo maestro en un caso 4 en la segunda forma de realización de la presente invención.

5 La Figura 22 es un diagrama de flujo que ilustra un proceso de comunicación del lado maestro, a modo de ejemplo, en la segunda forma de realización de la presente invención.

La Figura 23 es un diagrama de flujo que ilustra un proceso de comunicación del lado maestro, a modo de ejemplo, correspondiente al caso 4 en la segunda forma de realización de la presente invención.

10 La Figura 24 es un diagrama de flujo que ilustra un funcionamiento del dispositivo esclavo, a modo de ejemplo, en la segunda forma de realización de la presente invención.

La Figura 25 es un diagrama de flujo que ilustra un proceso de comunicación del lado esclavo, a modo de ejemplo, correspondiente al caso 4 en la segunda forma de realización de la presente invención.

15 FORMAS DE REALIZACIÓN DE LA INVENCION

A continuación, se describirán formas (en lo sucesivo denominadas "formas de realización") para poner en práctica la presente invención. La descripción procederá en el siguiente orden.

20 1. Primera forma de realización (un ejemplo en donde un identificador de grupo se establece en un primer bit)

2. Segunda forma de realización (un ejemplo en donde un valor fijo se establece en un primer bit)

25 1. Primera forma de realización

Configuración, a modo de ejemplo, de dispositivo electrónico

30 La Figura 1 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un dispositivo electrónico 100 en una primera forma de realización. El dispositivo electrónico 100 incluye los procesadores 110 y 140, un controlador de pantalla 120, un sensor giroscópico 130, una línea de datos en serie (SDA) 108 y una línea de reloj en serie (SCL) 109. El procesador 110, el procesador 140, el controlador de pantalla 120 y el sensor giroscópico 130 están conectados a la línea SDA 108 y a la línea SCL 109, y transmiten y reciben señales a través de estas líneas de señales según una norma de comunicación de I3C. Además, aunque en el dispositivo electrónico 100 se proporcionan cuatro dispositivos, el procesador 110, el procesador 140, el controlador de pantalla 120 y el sensor giroscópico 130, el número de dispositivos no está limitado a 4.

35 La norma de comunicación de I3C es una norma en donde la comunicación se realiza a través de dos líneas de señal, la línea SDA 108 configurada para transmitir datos y la línea SCL 109 configurada para transmitir una señal de reloj. En la norma, el dispositivo (el procesador 110 o similar) se clasifica como un dispositivo que se hace funcionar como un maestro o un esclavo o un dispositivo que se hace funcionar solamente como esclavo. Por ejemplo, los procesadores 110 y 140 funcionan como maestro o esclavo, y el controlador de pantalla 120 y el sensor giroscópico 130 funcionan solamente como esclavo. En este caso, el dispositivo maestro es un dispositivo configurado para controlar al esclavo y el dispositivo esclavo es un dispositivo que se hace funcionar bajo el control del dispositivo maestro.

40 Además, en I3C, es posible conectar una pluralidad de dispositivos esclavos a un solo dispositivo maestro. Además, una pluralidad de dispositivos maestros puede transmitir una señal a un solo dispositivo esclavo. En lo sucesivo, dicha comunicación se denominará "comunicación multi-maestro". Además, los dispositivos esclavos pueden comunicarse entre sí sin el dispositivo maestro, y dicha comunicación se denomina "comunicación entre homólogos". Además, mientras la línea SDA 108 está en un estado de comunicación (ocupada) debido a la comunicación de otros dispositivos, el dispositivo esclavo puede realizar la comunicación interrumpiendo dicha comunicación. Esta interrupción se denomina "interrupción en banda".

45 50 55 En la comunicación multi-maestro, la interrupción en banda y la comunicación entre homólogos descritas con anterioridad, existe la preocupación de que las señales transmitidas por una pluralidad de dispositivos al mismo tiempo colisionen en la línea SDA 108. Por ejemplo, mientras que el dispositivo maestro transmite una señal a un dispositivo esclavo determinado, si otro dispositivo esclavo realiza la interrupción en banda y transmite una señal al dispositivo maestro, la señal del dispositivo maestro y la señal del dispositivo esclavo entran en colisión. Por tanto, en I3C, el dispositivo tiene la función de detectar colisiones y arbitrar dispositivos.

60 65 Conviene señalar que, si bien todos los dispositivos, tal como el procesador 110, están dispuestos en un solo dispositivo, la tecnología actual no se limita a esta configuración. Por ejemplo, el procesador 110 o similar puede estar dispuesto en el dispositivo electrónico 100, y un sensor tal como el sensor giroscópico 130 puede estar dispuesto fuera del dispositivo electrónico 100. Conviene señalar que un sistema que incluye dispositivos tales como el procesador 110 es un ejemplo sistema de comunicación descrito en las reivindicaciones adjuntas.

Configuración, a modo de ejemplo, del procesador

5 La Figura 2 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, del procesador 110 en la primera forma de realización. El procesador 110 incluye una unidad de asignación de direcciones 111, un registro de características de bus 112, una unidad de comunicación 113 y una unidad de arbitraje 114. El procesador 140 tiene una configuración similar a la del procesador 110. Conviene señalar que el procesador 110 es un ejemplo del dispositivo maestro descrito en las reivindicaciones adjuntas.

10 La unidad de asignación de direcciones 111 asigna una dirección dinámica a cada dispositivo esclavo. La dirección dinámica es información para identificar al dispositivo esclavo y se asigna una dirección única para cada dispositivo esclavo. La unidad de asignación de direcciones 111 inicia la asignación de dirección dinámica (asignación) cuando se aplica energía al dispositivo electrónico 100. En primer lugar, la unidad de asignación de direcciones 111 efectúa la lectura de datos de un registro de características de bus (BCR) de cada dispositivo cuando se realiza la asignación, por ejemplo. En este caso, el BCR es un registro en donde se almacena la información de configuración necesaria cuando se asigna la dirección dinámica, tal como una función del dispositivo, y es un registro de solamente lectura. Por lo tanto, la unidad de asignación de direcciones 111 asigna la dirección dinámica para cada esclavo basándose en la información de configuración de lectura.

20 El registro de características del bus 112 almacena información de configuración del procesador 110. La unidad de comunicación 113 realiza la comunicación como maestro o esclavo según I3C. La unidad de comunicación 113 proporciona datos a través de cualquiera de entre un circuito de drenaje abierto y un circuito de push-pull. En el caso en donde la comunicación se realiza utilizando el circuito de drenaje abierto, la velocidad de comunicación se vuelve más baja que en el caso en donde la comunicación se realiza utilizando el circuito push-pull debido a las características del circuito. Por ejemplo, en el caso de que se utilice el circuito de drenaje abierto, los datos se transmiten en sincronización con una señal de reloj de 400 kilohercios (kHz). Por otro lado, en el caso de que se utilice el circuito push-pull, los datos se transmiten en sincronización con una señal de reloj de 12,5 megahercios (MHz).

30 La unidad de arbitraje 114 detecta colisiones y arbitra dispositivos. La unidad de arbitraje 114 supervisa un nivel de la línea SDA 108, y en el caso de que el valor de un bit transmitido por el dispositivo (el procesador 140) sea diferente del valor de un bit en transmisión utilizando la línea SDA 108, determina que existe una colisión. Cuando se realiza un arbitraje, por ejemplo, un dispositivo que ha transmitido "0" tiene prioridad y un dispositivo que ha transmitido "1" pierde un derecho de control.

35 Configuración, a modo de ejemplo, del controlador de pantalla

La Figura 3 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, del controlador de pantalla 120 en la primera forma de realización. El controlador de pantalla 120 incluye un registro de características de bus 121, una unidad de comunicación 122 y una unidad de arbitraje 123. El sensor giroscópico 130 tiene una configuración similar a la del controlador de pantalla 120.

45 El registro de características del bus 112 almacena información de configuración del controlador de pantalla 120. La unidad de comunicación 122 realiza la comunicación como esclava según I3C. La unidad de arbitraje 123 detecta colisiones y arbitra dispositivos.

La Figura 4 es un diagrama para describir un sistema de comunicación en la primera forma de realización. En I3C, se definen tres sistemas como sistemas de comunicación. En adelante, estos sistemas se denominan caso 0, caso 1 y caso 2.

50 En el caso 0, se establece un tipo de cabecera de tipo 0. Además, en el caso 0, el dispositivo maestro transmite en primer lugar un dato de patrón fijo de 7 bits denominado "reservado". En los datos del patrón, por ejemplo, se establece un valor hexadecimal de "7E" (un valor binario de "1111110"). A continuación, el dispositivo maestro transmite una dirección dinámica de 7 bits asignada a un esclavo de destino de acceso. Es posible conectar un máximo de 112 esclavos al maestro utilizando la dirección dinámica de 7 bits.

55 Además, un dispositivo fuente de transmisión en el tipo 0 transmite el reservado utilizando el circuito de drenaje abierto. En el caso de que se utilice el circuito de drenaje abierto, puesto que la velocidad de comunicación disminuye tal como se describió con anterioridad, el dispositivo puede detectar colisiones en unidades de bits y realizar arbitraje.

60 A continuación, en el caso 1, se establece un tipo de cabecera de tipo 1. Además, de forma similar al caso 0, en el caso 1, la reserva es transmitida primero por el dispositivo maestro. A continuación, el dispositivo maestro transmite una dirección dinámica de 7 bits cuyo primer bit A [6] está fijado en "0".

65 En este caso, en el caso 1, el primer bit de la dirección dinámica se fija a "0" para que el dispositivo detecte una colisión en el primer bit. En el caso 1, un dispositivo esclavo que realiza la interrupción en banda o similar transmite primero una dirección dinámica cuyo primer bit es "0". Por otro lado, el dispositivo maestro transmite primero un reservado

5 cuyo primer bit es "1" tal como se describió con anterioridad. De esta manera, puesto que los valores de los primeros bits son diferentes, el dispositivo puede realizar un arbitraje supervisando un nivel de la línea SDA 108 y detectando si se ha producido una colisión cuando se transmite el primer bit. Sin embargo, puesto que el primer bit se fija en "0", el tamaño de la dirección que está sustancialmente disponible se reduce a 6 bits desde 7 bits, y el número de dispositivos esclavos se reduce a la mitad de un máximo de 112 a un máximo de 56.

10 En el tipo 1 anterior, para detectar la colisión, el primer bit es transmitido por el circuito de drenaje abierto que tiene una velocidad de comunicación relativamente baja. Cuando no hay colisión, el segundo y posteriores bits son transmitidos por el circuito push-pull que tiene una velocidad de comunicación relativamente alta. Por consiguiente, una velocidad de comunicación global del caso 1 es más alta que la del caso 0.

15 A continuación, en el caso 2, se establece un tipo de cabecera de tipo 1. Además, en el caso 2, el dispositivo maestro transmite primero una dirección dinámica de 7 bits sin transmitir la reserva. Además, en el caso 2, el dispositivo no puede realizar un arbitraje. Puesto que el dispositivo no realiza el arbitraje, el primer bit de la dirección dinámica no se establece como un valor fijo, y el número de esclavos conectables es 112, de manera similar al caso 0. Además, puesto que no se transmite ningún reservado, el caso 2 tiene una velocidad de comunicación más alta que cualquiera de los casos 0 y 1.

20 En resumen, el caso 1 tiene un número menor de dispositivos esclavos y una velocidad de comunicación más alta que el caso 0. Además, el caso 2 tiene el mismo número de dispositivos esclavos que el caso 0 y tiene una velocidad de comunicación más alta que el caso 0, pero el arbitraje no es posible. De esta manera, todos los sistemas tienen ventajas y desventajas.

25 En este caso, en el dispositivo electrónico 100, se pone en práctica de nuevo un caso 3 en donde la velocidad de comunicación es la misma que la del caso 1, el arbitraje es posible y el número de dispositivos esclavos es mayor que el del caso 1.

30 En el caso 3, un tipo de cabecera de un reservado se establece como tipo 1. Además, de manera similar al caso 0, en el caso 1, el reservado es transmitido primero por el dispositivo maestro. A continuación, el dispositivo maestro transmite una dirección dinámica de 7 bits cuyo primer bit A [6] se establece como un identificador de grupo.

35 En este caso, el identificador de grupo es un bit que indica si el dispositivo esclavo pertenece, o no, a un grupo para el que es necesario el arbitraje. En I3C, el identificador de grupo se puede establecer en el BCR de manera que una señal (la interrupción en banda o similar) que pueda colisionar con una señal de otro dispositivo pueda ser transmitida por el dispositivo esclavo y, además, es posible establecer de modo que una señal pueda transmitirse solamente bajo el control del dispositivo maestro. Con referencia a la configuración del BCR, el dispositivo maestro clasifica a un esclavo que puede transmitir una señal para la cual puede ocurrir una colisión tal como un grupo para el que es necesario el arbitraje y clasifica a los otros esclavos como un grupo para el que el arbitraje es innecesario. El identificador de grupo del grupo para el que es necesario el arbitraje se establece en "0". El identificador de grupo del grupo para el que no es necesario el arbitraje se establece en "1".

40 Un primer bit (un identificador de grupo) de una dirección dinámica de un esclavo para el que es necesario el arbitraje es "0". Puesto que este valor es diferente del primer bit (= "1") del reservado, el dispositivo detecta colisión en el primer bit y puede realizar arbitraje, de manera similar al caso 1.

45 Por otro lado, un primer bit (un identificador de grupo) de una dirección dinámica de un esclavo para el que no es necesario el arbitraje es "1". Si bien este valor es el mismo que el del primer bit del reservado, puesto que el dispositivo esclavo no puede transmitir la dirección dinámica, es irrelevante para la colisión.

50 Tal como se describió con anterioridad, en el caso 3, puesto que el primer bit de la dirección dinámica puede no ser fijo, el número de esclavos conectables es mayor que el del caso 1 en donde es necesario fijar el primer bit. Además, puesto que el tipo de cabecera es el tipo 1, la velocidad de comunicación es mayor que la del caso 0, al igual que en el caso 1.

55 Conviene señalar que el dispositivo esclavo (el controlador de pantalla 120 o similar) del grupo para el que es necesario el arbitraje es un ejemplo del primer dispositivo esclavo descrito en las reivindicaciones adjuntas. El dispositivo esclavo en el grupo para el que no es necesario el arbitraje es un ejemplo del segundo dispositivo esclavo descrito en las reivindicaciones adjuntas.

60 Cada uno de los dispositivos (el procesador 110 y similares) en el dispositivo electrónico 100 selecciona apropiadamente cualquiera de los casos 0 a 3 anteriores dependiendo de la situación y realiza la comunicación con otros dispositivos.

65 La Figura 5 es un diagrama para describir un tipo de cabecera en la primera forma de realización. La Figura 5a es un diagrama que ilustra un estado, a modo de ejemplo, de la línea SDA 108 y de la línea SCL 109 cuando se transmite una cabecera (reservada) del tipo 0. La Figura 5b es un diagrama que ilustra un estado, a modo de ejemplo, de la

línea SDA 108 y de la línea SCL 109 cuando se transmite una cabecera del tipo 1. Cada uno de entre A [6] a A [0] indica 7 bits del reservado. En el reservado, A [6] se transmite primero y A [0] se transmite en último lugar. Además, R/W es un bit de lectura-escritura que indica cualquier escritura y lectura de datos.

5 Cuando comienza la comunicación, el dispositivo maestro establece la línea SDA 108 en un nivel bajo y la línea SCL 109 en un nivel alto. Este estado se denomina condición de inicio S. El dispositivo maestro transmite de manera secuencial A [6] a A [0] y R/W en sincronización con una señal de reloj que sigue a la condición de inicio S (un bit de inicio).

10 En este caso, en el tipo 0, todos los bits son transmitidos por el circuito de drenaje abierto que tiene una velocidad de comunicación baja. Por otro lado, en el tipo 1, solamente el primer bit A [6] es transmitido por el circuito de drenaje abierto, y el segundo y posteriores bits son transmitidos por el circuito push-pull que tiene una alta velocidad de comunicación. Además, en el tipo 0, la velocidad de comunicación de todos los bits es baja, pero se realiza un arbitraje para cada bit. Por otro lado, en el tipo 1, el arbitraje se realiza solamente en el primer bit, pero si no hay colisión en el primer bit, la velocidad de comunicación del segundo y de los siguientes bits se vuelve mayor que la del tipo 0. Conviene señalar que, cuando se produce una colisión en el primer bit del tipo 1, el dispositivo transmite el segundo y los siguientes bits por el circuito de drenaje abierto y realiza un arbitraje para cada bit.

20 Estructura de datos de la trama

La Figura 6 es un diagrama que ilustra una estructura de datos, a modo de ejemplo, de una trama que es transmitida por el dispositivo maestro en los casos 0 a 2 en la primera forma de realización. En este caso, la trama se refiere a una señal que incluye una dirección dinámica y datos transmitidos y recibidos por un esclavo que tiene la dirección dinámica. La Figura 6a ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo maestro realiza la escritura en el caso 0. La Figura 6b ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo maestro realiza la lectura en el caso 0. La Figura 6c ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo maestro realiza la escritura en el caso 1. La Figura 6d ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo maestro realiza la lectura en el caso 1. La Figura 6e ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo maestro realiza la escritura en el caso 2. La Figura 6f ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo maestro realiza la lectura en el caso 2. Además, en la Figura 6, un rectángulo blanco indica una señal que se transmite desde el dispositivo maestro al dispositivo esclavo, y un rectángulo sombreado indica una señal que se transmite desde el dispositivo esclavo al dispositivo maestro.

35 En el caso 0, la condición de inicio S se transmite primero desde el dispositivo maestro, y una reserva que tiene un valor hexadecimal de "7E" y un bit de lectura-escritura R/W se transmiten de manera secuencial desde el dispositivo maestro. A continuación, en el caso de que el dispositivo esclavo haya recibido de forma satisfactoria, se transmite un reconocimiento (ACK) desde el dispositivo esclavo. Después de la ACK, el dispositivo maestro transmite una condición de reinicio Sr, y una dirección dinámica y un bit de lectura-escritura R/W se transmiten de manera secuencial. A continuación, en el caso de que el dispositivo esclavo los haya recibido de manera satisfactoria, se transmite una ACK desde el dispositivo esclavo. Después de la ACK, los datos de lectura o escritura se transmiten y reciben entre el dispositivo maestro y el dispositivo esclavo. Los datos se transmiten en unidades de bytes y se agrega una paridad denominada bit de transición T a cada byte. Cuando los datos se transmiten y reciben por completo, el dispositivo maestro transmite una condición de parada P o la condición de reinicio Sr.

40 A continuación, en el caso 1, de manera similar al caso 0, después de la condición de inicio S, se transmite el reservado desde el dispositivo maestro y la ACK se transmite desde el dispositivo esclavo. Después de la ACK, el dispositivo maestro transmite la condición de reinicio Sr, y se transmite de manera secuencial una dirección dinámica cuyo primer bit A [6] se establece en "0" y un bit de lectura-escritura R/W. A continuación, la ACK se transmite desde el dispositivo esclavo y los datos de lectura o escritura se transmiten y reciben entre el dispositivo maestro y el dispositivo esclavo. Cuando los datos se transmiten y reciben por completo, el dispositivo maestro transmite la condición de parada P o la condición de reinicio Sr.

55 A continuación, en el caso 2, siguiendo la condición de inicio S, la dirección dinámica se transmite desde el dispositivo maestro y la ACK se transmite desde el dispositivo esclavo. Después de la ACK, los datos de lectura o escritura se transmiten y reciben entre el dispositivo maestro y el dispositivo esclavo. Cuando los datos se transmiten y reciben por completo, el dispositivo maestro transmite la condición de parada P o la condición de reinicio Sr.

60 La Figura 7 es un diagrama que ilustra una estructura de datos, a modo de ejemplo, de una trama que es transmitida por el dispositivo maestro en el caso 3 en la primera forma de realización. La Figura 7a ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo maestro realiza la escritura en el caso 3. La Figura 7b ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo maestro realiza la lectura en el caso 3.

65

En el caso 3, de forma similar al caso 0, siguiendo la condición de inicio S, el reservado se transmite desde el dispositivo maestro y la ACK se transmite desde el dispositivo esclavo. Después de la ACK, el dispositivo maestro transmite la condición de reinicio Sr, y la dirección dinámica cuyo primer bit A [6] se establece como un identificador de grupo y un bit de lectura-escritura R/W se transmiten de manera secuencial. En el identificador de grupo, en el caso de que el dispositivo esclavo pertenezca a un grupo objetivo de arbitraje para el que es necesario el arbitraje, se establece "0" y en el caso de que el dispositivo esclavo pertenezca a un grupo de arbitraje innecesario, se establece "1".

A continuación, la ACK se transmite desde el dispositivo esclavo y los datos de lectura o escritura se transmiten y reciben entre el dispositivo maestro y el dispositivo esclavo. Cuando los datos se transmiten y reciben por completo, el dispositivo maestro transmite la condición de parada P o la condición de reinicio Sr.

A diferencia del caso 1 en donde se establece un valor fijo en el primer bit de la dirección dinámica, puesto que el primer bit de la dirección dinámica no se establece necesariamente como el valor fijo en el caso 3, es posible conectar un mayor número de esclavos al maestro que en el caso 1. Además, puesto que un valor diferente del primer bit de datos de patrón fijo (reservado) se establece en el primer bit A [6] de la dirección dinámica del grupo objetivo de arbitraje, el dispositivo puede detectar una colisión en el primer bit y realizar un arbitraje.

La Figura 8 es un diagrama que ilustra una estructura de datos, a modo de ejemplo, de una trama que es transmitida por el dispositivo esclavo en la primera forma de realización. La Figura 8a ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo esclavo realiza la escritura mediante la interrupción en banda o similar en el caso 0. La Figura 8b ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo esclavo realiza la lectura por la interrupción en banda o similar en el caso 0. La Figura 8c ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo esclavo realiza la escritura mediante la interrupción en banda o similar en el caso 1. La Figura 8d ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo esclavo realiza la lectura mediante la interrupción en banda o similar en el caso 1. La Figura 8e ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo esclavo realiza la escritura mediante la interrupción en banda o similar en el caso 3. La Figura 8f ilustra una configuración, a modo de ejemplo, de una trama que se transmite cuando el dispositivo esclavo realiza la lectura por la interrupción en banda o similar en el caso 3. Conviene señalar que, en el caso 2, el dispositivo esclavo no transmite la dirección dinámica al maestro. Lo que antecede se debe a que el dispositivo no puede realizar el arbitraje en el caso 2.

En el caso 0, cuando se produce la interrupción en banda o similar, el dispositivo esclavo transmite la condición de inicio S y la dirección dinámica, y el dispositivo maestro transmite la ACK. Después de la ACK, el dispositivo maestro transmite la condición de reinicio Sr, y los datos de lectura o escritura se transmiten y reciben entre el dispositivo maestro y el dispositivo esclavo. Además, inmediatamente después de que se transmita la ACK, el dispositivo maestro puede transmitir la condición de parada P.

En el caso 1, cuando ocurre la interrupción dentro de banda o similar, la condición de inicio S y la dirección dinámica cuyo primer bit A [6] está fijo en "0" son transmitidas por el dispositivo esclavo, y la ACK es transmitida por el dispositivo maestro. Después de la ACK, el dispositivo maestro transmite la condición de reinicio Sr y los datos de lectura o escritura se transmiten y reciben entre el dispositivo maestro y el dispositivo esclavo.

En el caso 3, cuando se produce la interrupción en banda o similar, siguiendo la condición de inicio S, la dirección dinámica cuyo primer bit A [6] se establece como un identificador de grupo se transmite desde el dispositivo esclavo, y la ACK es transmitida por el dispositivo maestro. Puesto que "0" se establece en el identificador de grupo en el dispositivo esclavo que realiza la interrupción en banda o similar, el dispositivo detecta si se ha producido una colisión, de manera similar al caso 1. Además, después de la ACK, la condición de reinicio Sr es transmitida por el dispositivo maestro, y los datos de lectura o escritura se transmiten y reciben entre el dispositivo maestro y el dispositivo esclavo.

La Figura 9 es un diagrama que ilustra un ejemplo de información de configuración del registro de características del bus 112 en la primera forma de realización. BCR [7] a BCR [0] se almacenan en el registro de características de bus 112. En este caso, BCR [i] (i es un número entero de 0 a 7) indica un i-ésimo bit. Dicho bit incluye información de configuración que indica si el dispositivo esclavo pertenece al grupo para el que es necesario el arbitraje. En la Figura 9, las partes rodeadas por líneas de puntos indican partes de las especificaciones de I3C que se modifican de conformidad con la adición del caso 3.

En BCR [7] y BCR [6], se establece una función (una función de dispositivo) asignada al dispositivo en el sistema, tal como el dispositivo maestro o el dispositivo esclavo. En el caso de que el dispositivo sea un maestro secundario, se establece un valor binario de "01". En el caso de que el dispositivo sea un esclavo que realiza la comunicación entre homólogos, se establece un valor binario de "10". Además, en BCR [1] y BCR [6], se establece cualquiera de los índices 0 a 3 que indican si el dispositivo realiza la interrupción en banda y configura el contenido relacionado con una frecuencia de reloj.

La Figura 10 es un diagrama que ilustra detalles, a modo de ejemplo, de los índices 0 a 3 en la primera forma de realización. En la Figura 10, las partes rodeadas por líneas de puntos y un marco en negrita indican partes de las especificaciones de I3C que se modifican según la adición del caso 3. El índice 0 indica que se realiza una demanda de interrupción en banda y es posible establecer la frecuencia de reloj al máximo. El índice 1 indica que se realiza la demanda de interrupción en banda y no es posible ajustar la frecuencia de reloj al máximo. El índice 2 indica que no se realiza ninguna demanda de interrupción en banda y no es posible ajustar la frecuencia de reloj al máximo. El índice 3 indica que no se realiza ninguna demanda de interrupción dentro de banda y es posible establecer la frecuencia de reloj al máximo.

Sobre la base de la información de configuración de las Figuras 9 y 10, en el caso de que la función del dispositivo sea "01" o "10" o el índice sea 0 o 1, el dispositivo maestro determina el dispositivo como esclavo para el que es necesario el arbitraje y establece el identificador de grupo como "0".

Funcionamiento, a modo de ejemplo, del dispositivo

La Figura 11 es un diagrama de flujo que ilustra operaciones, a modo de ejemplo, de un dispositivo maestro/esclavo (el procesador 110 o similar) en la primera forma de realización. La operación comienza cuando, por ejemplo, se aplica energía al dispositivo electrónico 100. El dispositivo efectúa la lectura de un registro de características de bus o similar desde cada esclavo (etapa S911) y realiza un proceso de asignación de direcciones para asignar una dirección dinámica (etapa S920).

A continuación, el dispositivo determina si se detecta una condición de inicio generada por otro dispositivo (etapa 912). En el caso de que no se detecte la condición de inicio (No en la etapa S912), el dispositivo determina si ha ocurrido un evento predeterminado para la comunicación (etapa S913). En el caso de que haya ocurrido el evento (Sí en la etapa S913), el dispositivo realiza un proceso de comunicación del lado maestro (etapa S930). En el caso de que el evento no haya ocurrido (No en la etapa S913) o después de la etapa S930, el dispositivo repite los procesos después de la etapa S912.

Por otro lado, en el caso de que se detecte la condición de inicio (Sí en la etapa S912), el dispositivo maestro inicia la generación de una señal de reloj (etapa S914), recibe una dirección dinámica y realiza el arbitraje cuando se produce la colisión (etapa S915). A continuación, el dispositivo maestro determina si la dirección recibida se asigna al maestro mismo (etapa S916). En el caso de que se reciba una dirección propia (Sí en la etapa S916), el dispositivo transmite una ACK, transmite y recibe datos y realiza un proceso de los datos recibidos (etapa S917). En el caso de que no se reciba la propia dirección (No en la etapa S916), o después de la etapa S917, el dispositivo repite los procesos después de la etapa S912.

La Figura 12 es un diagrama de flujo que ilustra un ejemplo de proceso de asignación de direcciones del caso 3 en la primera forma de realización. El dispositivo determina si un sistema de comunicación actual es el caso 3 (etapa S921). En el caso de que el sistema de comunicación actual no sea el caso 3 (No en la etapa S921), el dispositivo realiza un proceso de asignación de dirección dinámica correspondiente a cualquiera de los casos 0 a 2 como maestro (etapa S922) y finaliza el proceso de asignación de dirección.

En el caso en donde el sistema de comunicación actual es el caso 3 (Sí en la etapa S921), el dispositivo selecciona un esclavo de destino de asignación como maestro y determina si el dispositivo esclavo es un esclavo en el grupo para el cual es necesario el arbitraje en la base del BCR (etapa S923). En el caso de que el dispositivo esclavo esté en el grupo para el que es necesario el arbitraje (Sí en la etapa S923), el dispositivo asigna una dirección dinámica cuyo primer bit A [6] se pone a "0" (etapa S924). Por otro lado, en el caso de que el dispositivo esclavo no esté en el grupo para el que es necesario el arbitraje (No en la etapa S923), el dispositivo asigna una dirección dinámica cuyo primer bit A [6] se establece en "1" (etapa S926). Después de la etapa S925 o S926, el dispositivo determina si las direcciones de todos los esclavos están completamente asignadas (etapa S927). En el caso de que no se complete la asignación (No en la etapa S927), el dispositivo repite los procesos después de la etapa S923. En el caso de que se complete la asignación (Sí en la etapa S927), el proceso de asignación de direcciones finaliza.

La Figura 13 es un diagrama de flujo que ilustra un proceso de comunicación del lado maestro, a modo de ejemplo, en la primera forma de realización. El dispositivo determina si el sistema de comunicación actual es el caso 3 (etapa S931). En el caso en donde el sistema de comunicación actual es el caso 3 (Sí en la etapa S931), el dispositivo realiza un proceso de comunicación correspondiente al caso 3 (etapa S940). Por otro lado, en el caso en que el sistema de comunicación actual no sea el caso 3 (No en la etapa S931), el dispositivo realiza un proceso de comunicación correspondiente a cualquiera de los casos 0 a 2 (etapa S932). Después de la etapa S940 o S932, el dispositivo finaliza el proceso de comunicación del lado maestro.

La Figura 14 es un diagrama de flujo que ilustra un proceso de comunicación del lado maestro, a modo de ejemplo, correspondiente al caso 3 en la primera forma de realización. El dispositivo inicia la generación de una señal de reloj como maestro (etapa S941) y genera una condición de inicio (etapa S942). A continuación, el dispositivo transmite un primer bit A [6] (=1) de datos de patrón (reservado) (etapa S943) y determina si se ha producido una colisión en el bit (etapa S944). Puesto que el primer bit de los datos del patrón es "1", cuando el dispositivo esclavo transmite una dirección

dinámica cuyo primer bit es "0", el dispositivo maestro puede determinar que se ha producido una colisión. Con el fin de transmitir el primer bit, se utiliza el circuito de drenaje abierto que tiene una velocidad de comunicación baja.

5 Cuando se ha producido una colisión (Sí en la etapa S944), el dispositivo maestro pierde un derecho de control, detiene la transmisión a la línea SDA 108, recibe una dirección de, segundo y posteriores bits de otro esclavo y realiza el arbitraje en unidades de bits (etapa S945). En este caso, para transmitir la dirección, se usa el circuito de drenaje abierto que tiene una velocidad de comunicación baja.

10 El dispositivo analiza cuál de las comunicaciones multi-maestro, la comunicación entre homólogos y la interrupción en banda se ha producido sobre la base de la señal recibida (etapa S946). Además, el dispositivo determina como el dispositivo maestro si la interrupción en banda es aceptable (etapa S947). En el caso de que la interrupción en banda sea aceptable (Sí en la etapa S947), el dispositivo maestro transmite una ACK, transmite y recibe datos y realiza un proceso de los datos recibidos (etapa S948). Estos datos son transmitidos por el circuito push-pull. Por otro lado, en
15 el caso de que la interrupción dentro de banda sea inaceptable (No en la etapa S947), el dispositivo maestro transmite una NACK (etapa S948).

Por otro lado, en el caso de que no haya ocurrido una colisión (No en la etapa S944), el dispositivo transmite el segundo y los bits posteriores de los datos de patrón (reservados) y una dirección dinámica de un destino de acceso (etapa S951). Con el fin de transmitir dichos datos, se usa el circuito push-pull que tiene una velocidad de comunicación
20 relativamente alta. Por lo tanto, el dispositivo transmite y recibe datos y realiza un proceso de los datos recibidos (etapa S952). Después de la etapa S948, S949 o S952, el dispositivo genera una condición de parada (etapa S951) y finaliza el proceso de comunicación del lado maestro del caso 3.

La Figura 15 es un diagrama de flujo que ilustra una operación, a modo de ejemplo, del dispositivo esclavo (por ejemplo, el controlador de pantalla 120) en la primera forma de realización. La operación comienza cuando, por ejemplo, se aplica energía al dispositivo electrónico 100. El dispositivo esclavo almacena la dirección dinámica asignada por el dispositivo maestro (etapa S961) y determina si el sistema de comunicación actual es el caso 3 (etapa S962). En el caso en donde el sistema de comunicación actual es el caso 3 (Sí en la etapa S962), el dispositivo esclavo realiza un proceso de comunicación del lado esclavo del caso 3 (etapa S970) y repite los procesos después de la
25 etapa S962. Por otro lado, en el caso en donde el sistema de comunicación actual no sea el caso 3 (No en la etapa S962), el dispositivo esclavo realiza un proceso de comunicación correspondiente a cualquiera de los casos 0 a 2 (etapa S963) y repite los procesos después de la etapa S962.

La Figura 16 es un diagrama de flujo que ilustra un proceso de comunicación del lado esclavo, a modo de ejemplo, correspondiente al caso 3 en la primera forma de realización. El dispositivo determina si se ha producido un evento predeterminado para la interrupción dentro de banda o la comunicación entre homólogos (etapa S971).
35

En el caso de que se haya producido el evento de la interrupción en banda o similar (Sí en la etapa S971), el dispositivo esclavo genera una condición de inicio (etapa S972). A continuación, el dispositivo esclavo transmite una dirección dinámica propia y realiza un arbitraje cuando se produce la colisión (etapa S973). El dispositivo esclavo determina si se recibe una ACK (etapa S974). En el caso de que se reciba la ACK (Sí en la etapa S974), el dispositivo esclavo transmite y recibe datos y realiza un proceso de los datos recibidos (etapa S975) y genera una condición de parada (etapa S976). En el caso de que no se reciba ninguna ACK (No en la etapa S974), o después de la etapa S976, el dispositivo esclavo finaliza el proceso de comunicación del lado esclavo del caso 3.
40
45

Por otro lado, en el caso de que no haya ocurrido ningún evento para la interrupción en banda o similar (No en la etapa S971), el dispositivo esclavo determina si se detecta una condición de inicio generada por otro dispositivo (etapa S977). En el caso de que se detecte la condición de inicio (Sí en la etapa S977), el dispositivo esclavo recibe un patrón fijo y una dirección dinámica, y realiza el arbitraje cuando se ha producido la colisión (etapa S978). Por lo tanto, el dispositivo determina si la dirección recibida es la propia dirección (etapa S979). En el caso de que se reciba la propia dirección (Sí en la etapa S979), el dispositivo transmite y recibe datos y realiza un proceso de los datos recibidos (etapa S980). En el caso de que no se detecte ninguna condición de inicio (No en la etapa S977), en el caso de que no se reciba la propia dirección (No en la etapa S979), o después de la etapa S980, el dispositivo esclavo finaliza el proceso de comunicación.
50
55

De esta manera, de conformidad con la primera forma de realización de la presente invención, puesto que la dirección en donde un valor diferente del primer bit de los datos de patrón se establece en el primer bit se asigna al esclavo que realiza la interrupción o similar, es posible detectar si se ha producido una colisión en cada primer bit de los datos del patrón y la dirección. En consecuencia, el dispositivo que ha detectado la colisión puede arbitrar los dispositivos que han transmitido la señal que ha colisionado. Además, puesto que el primer bit de la dirección no es un valor fijo, es posible conectar un mayor número de esclavos que en el caso 1 en donde el primer bit se establece como un valor fijo.
60

Primera modificación

65 Mientras que los detalles de los índices 0 a 3 del BCR se modifican según la adición del caso 3 en la primera forma de realización anterior, el dispositivo maestro puede modificar de manera alternativa otras partes del BCR. Por

ejemplo, se puede utilizar una función de dispositivo del reservado en el BCR. El dispositivo electrónico 100 en una primera modificación de la primera forma de realización es diferente del de la primera forma de realización en que se modifica la función de dispositivo del reservado en el BCR.

5 La Figura 17 es un diagrama que ilustra un ejemplo de información de configuración del registro de características del bus 112 en la primera modificación de la primera forma de realización. En la Figura 17, una parte rodeada por una línea de puntos indica una parte de las especificaciones de I3C que se modifica según la adición del caso 3.

10 En BCR [6] y BCR [7], el reservado se establece en "11". Sin embargo, en la primera modificación, la función se modifica a un esclavo que no solicita ninguna de las interrupciones en banda, una demanda de maestro secundario y una demanda de esclavo entre homólogos.

15 El dispositivo maestro de la primera modificación determina un esclavo en donde "11" está configurado en BCR [7] y BCR [6] en el caso 3 como un "esclavo para el que no es necesario el arbitraje" y determina los otros esclavos como "esclavos para los que es necesario el arbitraje".

20 De esta manera, de conformidad con la primera modificación de la presente invención, puesto que solamente se modifica la función de dispositivo del reservado al esclavo para el cual no es necesario el arbitraje, es posible reducir el número de partes a modificarse en comparación con el caso en donde se modifican los índices 0 a 3.

Segunda modificación

25 Mientras que los detalles de los índices 0 a 3 del BCR se modifican según la adición del caso 3 en la primera forma de realización anterior, el dispositivo maestro puede modificar de manera alternativa otras partes del BCR. Por ejemplo, se puede utilizar la función de dispositivo del reservado en el BCR. El dispositivo electrónico 100 en una segunda modificación de la primera forma de realización es diferente del de la primera forma de realización en que se modifica el papel de dispositivo del reservado en el BCR.

30 La Figura 18 es un diagrama que ilustra un ejemplo de información de configuración del registro de características del bus 112 en la segunda modificación de la primera forma de realización. En la Figura 18, una parte rodeada por una línea de puntos indica una parte de las especificaciones de I3C que se modifica según la adición del caso 3.

35 En BCR [6] y BCR [7], el reservado se establece en "11". Sin embargo, en la segunda modificación, la función se modifica a un esclavo que solicita la interrupción en banda.

40 En la segunda modificación, el dispositivo maestro determina un esclavo en donde "01" (un maestro secundario), "10" (un esclavo entre homólogos) u "11" (un esclavo que realiza la interrupción en banda) se establece en BCR [7] y BCR [6] en el caso 3 como un "esclavo para el cual es necesario el arbitraje". Por otro lado, un esclavo en donde se establece "00" en CR [6] y BCR [7] se determina como un "esclavo para el que no es necesario el arbitraje". De esta manera, en la modificación 1, el dispositivo esclavo para el que no es necesario el arbitraje se asigna a la función de dispositivo ("11") del reservado. Por otro lado, en la modificación 2, el dispositivo esclavo para el que es necesario el arbitraje se asigna a "11". Además, en la modificación 1, el dispositivo esclavo para el que es necesario el arbitraje se asigna a "00". Por otro lado, en la modificación 2, el dispositivo esclavo para el que no es necesario el arbitraje se asigna a "00".

45 De esta manera, de conformidad con la segunda modificación de la primera forma de realización de la presente invención, puesto que solamente se modifica la función de dispositivo del reservado al esclavo para el cual es necesario el arbitraje, es posible reducir el número de partes a modificarse en comparación con el caso en donde se modifican los índices 0 a 3.

50 Tercera modificación

55 Mientras que los detalles de los índices 0 a 3 del BCR se modifican según la adición del caso 3 en la primera forma de realización anterior, el dispositivo maestro puede modificar de manera alternativa otras partes del BCR. Por ejemplo, el número de bits asignados a la función del dispositivo en el BCR aumentó de 2 bits a 3 bits, y se pueden utilizar partes vacías. El dispositivo electrónico 100 en una tercera modificación de la primera forma de realización es diferente del de la primera forma de realización en que aumenta el número de bits asignados a la función del dispositivo en la BCR.

60 La Figura 19 es un diagrama que ilustra un ejemplo de información de configuración del registro de características del bus 112 en la tercera modificación de la primera forma de realización. En la Figura 19, las partes rodeadas por líneas en negrita y líneas de puntos indican partes de las especificaciones de I3C que se modifican de conformidad con la adición del caso 3.

65 Los bits asignados a la función del dispositivo se modifican de BCR [6] y BCR [7] a BCR [5] y BCR [7]. De conformidad con dicha modificación, la modificación se realiza de tal manera que la información establecida en BCR [5] a [2] antes

de la modificación se desplace a BCR [4] a [1]. Además, en BCR [0], se establece la posibilidad de establecer una frecuencia de reloj SCL máxima.

5 En BCR [5] a BCR [7], un valor binario de "000" indica que el dispositivo es un esclavo I2C y "100" indica que el dispositivo es un maestro secundario I2C. Además, "010" indica que el dispositivo es un esclavo I3C entre homólogos, y "001" indica que el dispositivo es un esclavo que realiza la interrupción en banda. El reservado se establece en los demás.

10 En la tercera modificación, el dispositivo maestro determina un esclavo en donde "100", "100" o "010" se establece en BCR [5] a BCR [7] en el caso 3 como un "esclavo para el cual el arbitraje es necesario". Por otro lado, un esclavo en donde "000" se establece como un "esclavo para el que no es necesario el arbitraje".

15 De esta manera, según la tercera modificación de la primera forma de realización de la presente invención, puesto que aumenta el número de bits asignados a la función de dispositivo, aumenta un área de los reservados, y así es posible corresponder a una extensión de la función del dispositivo en el futuro.

2. Segunda forma de realización

20 En la primera forma de realización anterior, la dirección que tiene un primer bit diferente al del patrón fijo se asigna al esclavo que realiza la interrupción o similar. En consecuencia, la velocidad de comunicación aumenta y el número de dispositivos aumenta, en comparación con el caso 0. Sin embargo, se asume un sistema que desea una velocidad de comunicación más alta que la del caso 0 y una posibilidad de arbitraje en lugar del mayor número de dispositivos. Una segunda forma de realización es diferente de la primera forma de realización en que el dispositivo electrónico 100 tiene una velocidad de comunicación más alta que la del caso 0 y es capaz de realizar arbitraje.

25 La Figura 20 es un diagrama para describir un sistema de comunicación en la segunda forma de realización. En la segunda forma de realización, se agrega un caso 4 además de los casos 0 a 3.

30 En el caso 4, se establece un tipo de cabecera de tipo 1. Además, en el caso 4, de manera similar al caso 2, el dispositivo maestro transmite una dirección dinámica de 7 bits siguiendo una condición de inicio sin transmitir un patrón fijo de un reservado. Sin embargo, se establece un bit de arbitraje en el primer bit de la dirección dinámica. En el bit de arbitraje, se establece un valor fijo de "1" en el lado maestro y un valor fijo de "0" en el lado esclavo.

35 En el caso 4, puesto que se establece un valor fijo en el primer bit, el tamaño de la dirección que está sustancialmente disponible se reduce a 6 bits desde 7 bits, y el número de esclavos se reduce a la mitad desde un máximo de 112 hasta un máximo de 56. Por otro lado, puesto que se establecen diferentes valores fijos en los primeros bits del lado del dispositivo maestro y del lado del dispositivo esclavo, el dispositivo puede detectar la colisión en el primer bit y realizar el arbitraje. Además, puesto que la transmisión de la reserva es innecesaria, el caso 4 tiene una velocidad de comunicación más alta que el caso 0, el caso 1 o en el caso 3 en donde la transmisión de la reserva es necesaria.

40 De esta manera, en comparación con el caso 0, en el caso 4, el número máximo de esclavos se reduce a la mitad, pero la velocidad de comunicación puede aumentar mientras es posible el arbitraje.

45 La Figura 21 es un diagrama que ilustra una estructura de datos, a modo de ejemplo, de una trama que es transmitida por el dispositivo maestro en el caso 4 en la segunda forma de realización. En el caso 4, siguiendo la condición de inicio S, se transmite una dirección dinámica desde el dispositivo maestro y se transmite una ACK desde el dispositivo esclavo. "1" se establece en el primer bit (el bit de arbitraje) de la dirección dinámica. Por otro lado, "0" se establece en el primer bit de la dirección dinámica que transmite el dispositivo esclavo.

50 Además, en la segunda forma de realización, en el caso 4, el dispositivo maestro asigna la dirección dinámica en un procedimiento similar al del caso 1. Es decir, el primer bit de la dirección dinámica del dispositivo esclavo se fija a "0".

55 Sin embargo, si se conecta un esclavo de arbitraje innecesario que no realiza la interrupción en banda o similar, cuando uno del dispositivo maestro y el dispositivo esclavo accede al esclavo, el otro del dispositivo maestro y el dispositivo esclavo pueden determinar erróneamente que el acceso está dirigido a sí mismo. Por ejemplo, se supone un caso en donde sólo un primer bit es diferente entre una dirección del dispositivo esclavo que no requiere arbitraje y una dirección del dispositivo maestro o esclavo, y 6 bits inferiores son los mismos. En dicha configuración, cuando se pierde el derecho de control, puesto que el primer bit (el bit de arbitraje) se establece de "1" a "0", el dispositivo maestro o esclavo determina erróneamente la dirección transmitida al esclavo de arbitraje innecesario como su propia dirección.

60 Para evitar una operación errónea de este tipo, en la segunda forma de realización, es preferible que el dispositivo maestro asigne una dirección cuyos 6 bits inferiores sean diferentes de una dirección dinámica de un esclavo objetivo de arbitraje que realiza la interrupción en banda o similar para el esclavo del arbitraje innecesario.

65 La Figura 22 es un diagrama de flujo que ilustra un proceso de comunicación del lado maestro, a modo de ejemplo, en la segunda forma de realización. El proceso de comunicación de la segunda forma de forma de realización es diferente del de la primera forma de realización en que se realizan además las etapas S933 y S955.

5 En el caso en donde el sistema de comunicación actual no sea el caso 3 (No en la etapa S931), el dispositivo determina si el sistema de comunicación actual es el caso 4 (etapa S933). En el caso en donde el sistema de comunicación actual sea el caso 4 (Sí en la etapa S933), el dispositivo realiza un proceso de comunicación del lado maestro correspondiente al caso 4 (etapa S955) y finaliza el proceso de comunicación del lado maestro. Por otro lado, en el caso en que el sistema de comunicación actual no sea el caso 4 (No en la etapa S933), el dispositivo realiza la etapa S932.

10 La Figura 23 es un diagrama de flujo que ilustra un proceso de comunicación del lado maestro, a modo de ejemplo, correspondiente al caso 4 en la segunda forma de realización. El proceso de comunicación del caso 4 es similar al proceso de comunicación del caso 3 excepto que la etapa S956 se realiza en lugar de la etapa S949.

15 En el caso de que no se haya producido una colisión en el primer bit A [6] (No en la etapa S944), el dispositivo transmite el segundo y los posteriores bits de la dirección mediante el circuito push-pull (etapa S956) y realiza los procesos después de la etapa S950.

20 La Figura 24 es un diagrama de flujo que ilustra un proceso de comunicación del lado esclavo, a modo de ejemplo, en la segunda forma de realización. El proceso de comunicación del lado esclavo de la segunda forma de realización es diferente del de la primera forma de realización en que se realizan además las etapas S964 y S985.

25 En el caso de que el sistema de comunicación actual no sea el caso 3 (No en la etapa S931), el dispositivo determina si el sistema de comunicación actual es el caso 4 (etapa S964). En el caso en donde el sistema de comunicación actual es el caso 4 (Sí en la etapa S964), el dispositivo realiza un proceso de comunicación del lado esclavo correspondiente al caso 4 (etapa S985) y repite los procesos después de la etapa S962. Por otro lado, en el caso en que el sistema de comunicación actual no sea el caso 4 (No en la etapa S964), el dispositivo realiza la etapa S963.

30 La Figura 25 es un diagrama de flujo que ilustra un proceso de comunicación del lado esclavo, a modo de ejemplo, correspondiente al caso 4 en la segunda forma de realización. El proceso de comunicación del caso 4 es similar al proceso de comunicación del caso 3 excepto que las etapas S986 y S987 se realizan en lugar de las etapas S973 y S978. En el caso de que haya ocurrido un evento de interrupción o similar (Sí en la etapa S971), el dispositivo esclavo genera una condición de inicio (etapa S972). Por lo tanto, el dispositivo esclavo transmite una dirección cuyo primer bit (bit de arbitraje) A [6] se pone a "0", realiza el arbitraje cuando se ha producido la colisión (etapa S986) y realiza procesos después de la etapa S974.

35 Además, en el caso de que se detecte la condición de inicio (etapa S977), el dispositivo esclavo transmite la dirección dinámica, realiza el arbitraje cuando se ha producido la colisión (etapa S987) y realiza procesos después de la etapa S979.

40 De esta manera, de conformidad con la segunda forma de realización de la presente invención, puesto que el dispositivo maestro y el dispositivo esclavo transmiten direcciones dinámicas en las que se establecen diferentes valores fijos en los primeros bits después de la condición de inicio, es posible detectar la colisión en el primer bit y realizar el arbitraje. Además, es posible aumentar la velocidad de comunicación en comparación con el caso 0 o similar en donde se transmiten datos de patrón.

Lista de referencias numéricas

- 45 100 Dispositivo electrónico
- 108 Línea SDA
- 109 Línea SLC
- 50 110, 140 Procesador
- 111 Unidad de asignación de direcciones
- 112, 121 Registro característico del bus
- 55 113, 122 Unidad de comunicación
- 114, 123 Unidad de arbitraje
- 60 120 Controlador de pantalla
- 130 Sensor giroscópico

REIVINDICACIONES

1. Un sistema de comunicación que comprende:
- 5 un primer dispositivo esclavo (110; 120; 130; 140) que pertenece a un grupo para el cual es necesario el arbitraje y está configurado para transmitir de manera secuencial un bit de inicio del lado esclavo que indica el inicio de la comunicación y una primera dirección en donde un valor diferente de un primer bit, de los datos de patrón predeterminados, se establece en un primer bit y para transmitir y recibir datos; y
- 10 un dispositivo maestro (110; 140) configurado para transmitir de manera secuencial un bit de inicio del lado maestro y los datos de patrón predeterminados,
- en donde el dispositivo maestro (110; 140) arbitra el dispositivo maestro (110; 140) y el primer dispositivo esclavo (110; 120; 130; 140) sobre una base del primer bit,
- 15 en donde el dispositivo maestro (110; 140) asigna la primera dirección al primer dispositivo esclavo (110; 120; 130; 140) sobre una base de la información de configuración, en donde el primer dispositivo esclavo (110; 120; 130; 140) almacena la información de configuración que indica la inclusión en un grupo para el que es necesario el arbitraje.
- 20 2. El sistema de comunicación según la reivindicación 1, que comprende, además:
- un segundo dispositivo esclavo configurado para recibir una segunda dirección en donde se establece un valor específico en un primer bit después del bit de inicio del lado maestro o del bit de inicio del lado esclavo y los datos de patrón predeterminados se reciben de manera secuencial, y para transmitir y recibir datos.
- 25 3. El sistema de comunicación según la reivindicación 2,
- en donde el segundo dispositivo esclavo transmite una confirmación después del bit de inicio del lado maestro o del bit de inicio del lado esclavo y los datos de patrón predeterminados se reciben de manera secuencial, recibe una condición de reinicio que indica reinicio de la comunicación y recibe la segunda dirección.
- 30 4. El sistema de comunicación según la reivindicación 2,
- en donde el dispositivo maestro (110; 140) y el primer y segundo dispositivos esclavos transmiten y reciben los datos de conformidad con una norma de comunicación de I3C.
- 35 5. El sistema de comunicación según la reivindicación 4,
- en donde el primer dispositivo esclavo (110; 120; 130; 140) es un dispositivo que puede realizar una demanda de maestro secundario I3C en la norma de comunicación de I3C.
- 40 6. El sistema de comunicación según la reivindicación 4,
- en donde el primer dispositivo esclavo (110; 120; 130; 140) es un dispositivo que puede realizar una demanda de esclavo I3C entre homólogos en la norma de comunicación de I3C.
- 45 7. El sistema de comunicación según la reivindicación 4,
- en donde el primer dispositivo esclavo (110; 120; 130; 140) es un dispositivo que puede realizar una interrupción en banda en la norma de comunicación de I3C.
- 50 8. El sistema de comunicación según la reivindicación 4,
- en donde el segundo dispositivo esclavo almacena la información de configuración que indica la inclusión en un grupo para el cual el arbitraje es innecesario, y
- 55 el dispositivo maestro (110; 140) asigna la segunda dirección al segundo dispositivo esclavo sobre una base de la información de configuración.
- 60 9. El sistema de comunicación según la reivindicación 8,
- en donde el primer y segundo dispositivos esclavos almacenan la información de configuración en un registro de características de bus.
- 65 10. Un dispositivo maestro (110; 140) que comprende:

una unidad de comunicación (113) configurada para transmitir, de manera secuencial, un bit de inicio del lado maestro que indica el inicio de la comunicación, datos de patrón predeterminados y una dirección en donde la inclusión o no inclusión en un grupo para el que es necesario el arbitraje se establece en un primer bit; y

5 una unidad de arbitraje (114) configurada para arbitrar un dispositivo esclavo (110; 120; 130; 140) y otro dispositivo sobre la base del primer bit;

en donde el primer bit se establece en un valor diferente de un primer bit de los datos de patrón predeterminados cuando la inclusión en un grupo para el que es necesario el arbitraje se establece en el primer bit.

10 11. El dispositivo maestro (110; 140) según la reivindicación 10,

en donde la unidad de comunicación (113) recibe una confirmación después de que el bit de inicio del lado maestro y los datos de patrón predeterminados se transmiten de manera secuencial, y transmite una condición de reinicio que indica reinicio de la comunicación y transmite la dirección.

15 12. El dispositivo maestro (110; 140) según la reivindicación 10,

en donde, cuando se detecta un valor diferente de un primer bit de los datos de patrón predeterminados en el arbitraje sobre la base del primer bit realizado por la unidad de arbitraje (114), la unidad de comunicación (113) determina que un evento que incluye una demanda de interrupción en banda, una demanda de maestro secundario o una demanda de esclavo entre homólogos y para la que se ha producido un arbitraje que es necesario e interrumpe la transmisión de los datos de patrón predeterminados,

20 la unidad de arbitraje (114) recibe una dirección de, segundo y posteriores bits desde el dispositivo esclavo (110; 120; 130; 140) y realiza el arbitraje en unidades de bits, y

la unidad de comunicación (113) transmite una confirmación y luego transmite y recibe datos o realiza un proceso de datos en un caso en donde el dispositivo maestro (110; 140) es capaz de aceptar el evento y finaliza un proceso de comunicación sin transmitir la confirmación en un caso en donde el dispositivo maestro (110; 140) no pueda aceptar el evento.

25 13. Un dispositivo esclavo (110; 120; 130; 140) que comprende:

30 una unidad de transmisión configurada para transmitir, de manera secuencial, un bit de inicio del lado esclavo que indica el inicio de la comunicación y una dirección en donde la inclusión o no inclusión en un grupo para el que es necesario el arbitraje se establece en un primer bit; y

una unidad de arbitraje (123) configurada para arbitrar un dispositivo maestro (110; 140) y un dispositivo esclavo (110; 120; 130; 140) sobre la base del primer bit;

en donde el primer bit se establece en un valor diferente de un primer bit de un patrón de datos predeterminado cuando la inclusión en un grupo para el que es necesario el arbitraje se establece en el primer bit.

40 14. Un método de control del sistema de comunicación que comprende:

un primer procedimiento del lado esclavo en donde un primer dispositivo esclavo (110; 120; 130; 140) que pertenece a un grupo para el cual es necesario el arbitraje transmite, de manera secuencial, un bit de inicio del lado esclavo que indica el inicio de la comunicación y una primera dirección en donde un valor diferente de un primer bit de datos de patrón predeterminado se establece en un primer bit y transmite y recibe datos; y

un procedimiento del lado maestro en donde un dispositivo maestro (110; 140) transmite, de manera secuencial, un bit de inicio del lado maestro y los datos de patrón predeterminados,

55 en donde el dispositivo maestro (110; 140) arbitra el dispositivo maestro (110; 140) y el primer dispositivo esclavo sobre la base del primer bit en el procedimiento del lado maestro, y

en donde el dispositivo maestro (110; 140) asigna la primera dirección al primer dispositivo esclavo (110; 120; 130; 140) sobre la base de la información de configuración, en donde el primer dispositivo esclavo (110; 120; 130; 140) almacena la información de configuración que indica la inclusión en un grupo para el que es necesario el arbitraje.

60 15. Un programa que hace que un ordenador ejecute:

el método de control del sistema de comunicación según la reivindicación 14.

65

FIG. 1

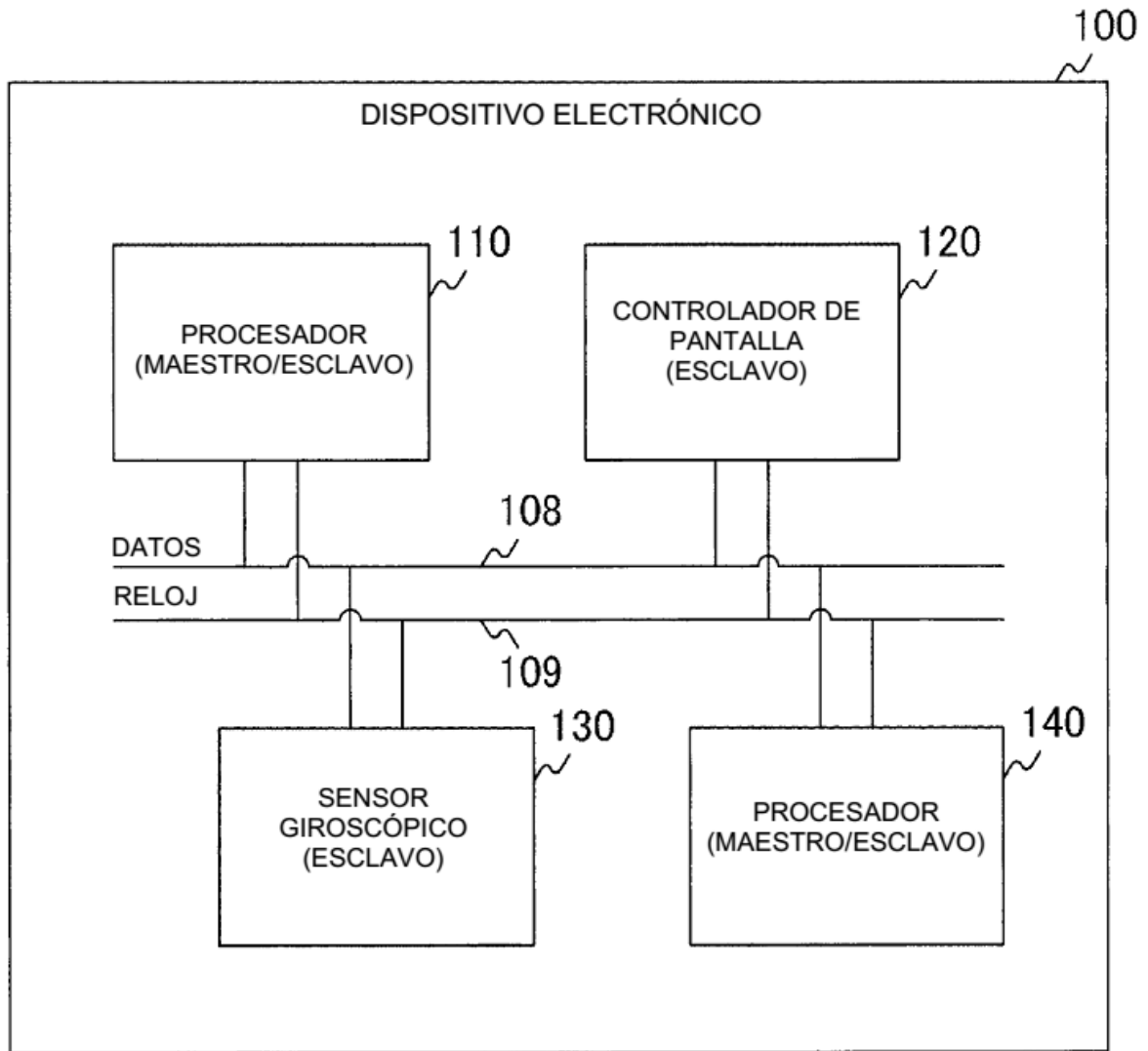


FIG. 2

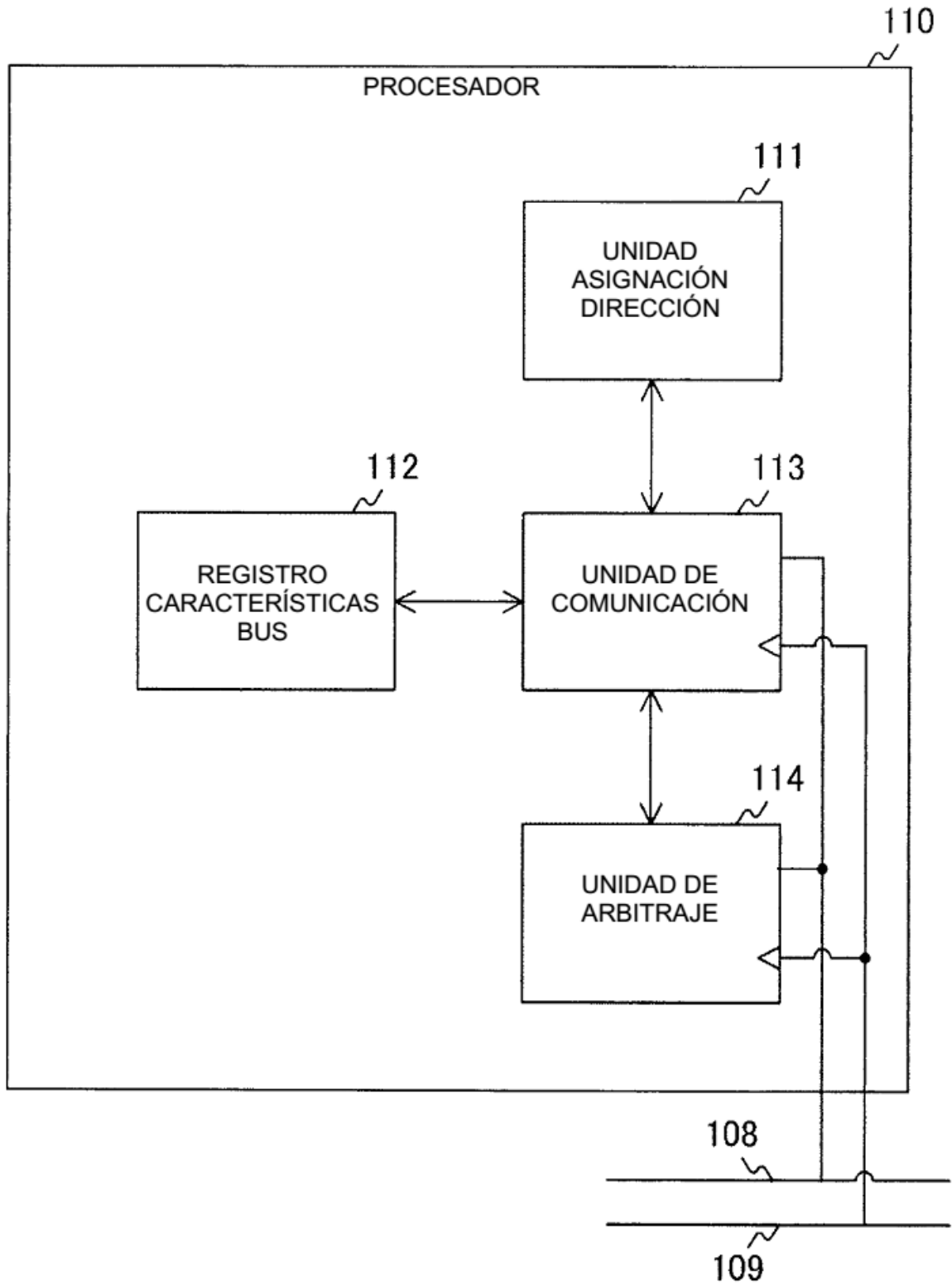


FIG. 3

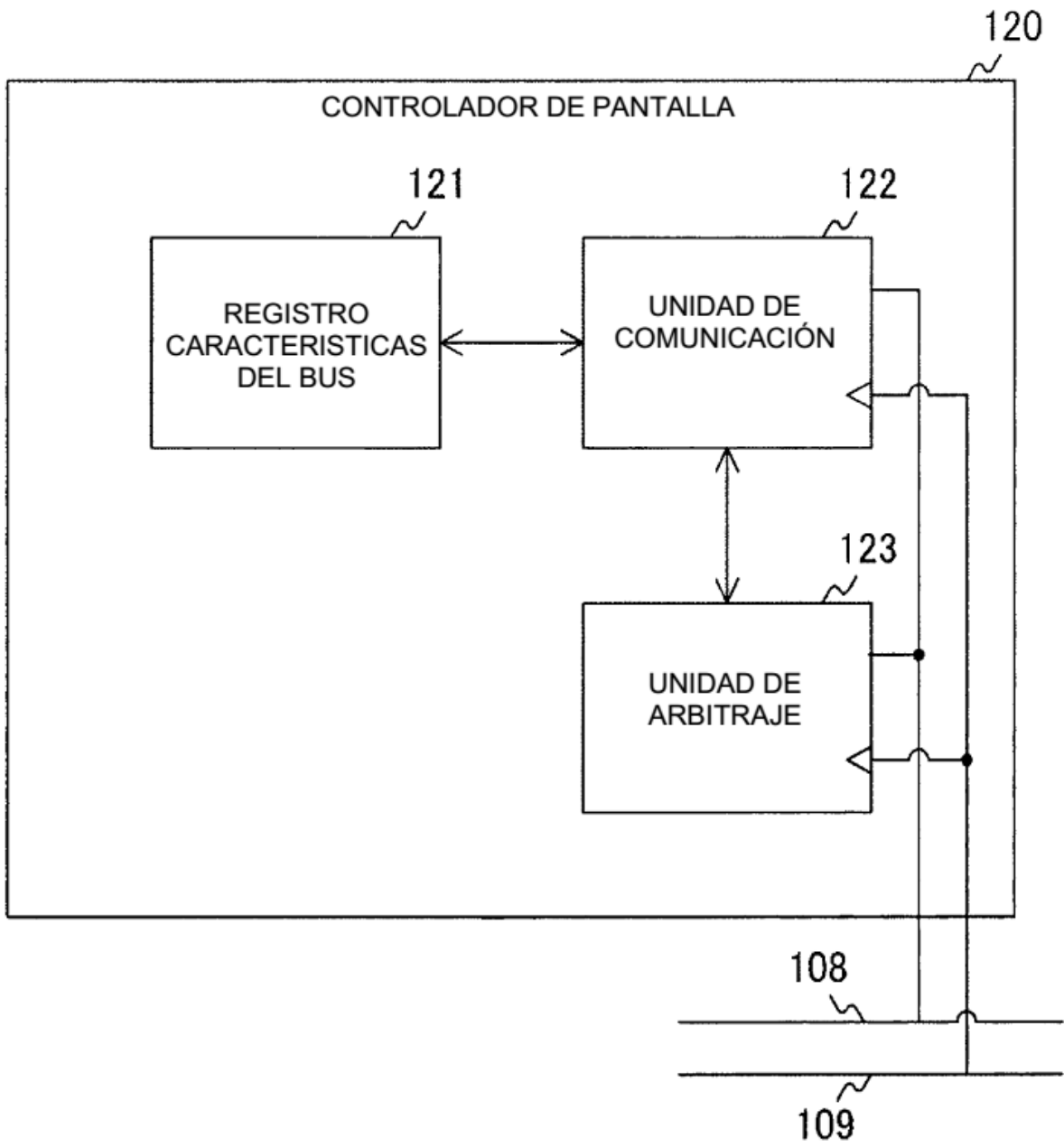


FIG. 4

SISTEMA DE COMUNICACIÓN	TIPO DE CABECERA	PRIMERO A[6:0]	SEGUNDO A[6:0]	POSIBILIDAD DE ARBITRAJE	NÚMERO MÁXIMO DE ESCLAVOS CONECTABLES	VELOCIDAD DE COMUNICACIÓN
CASO 0	TIPO 0	RESERVADO (0x7E)	DIRECCIÓN DINÁMICA	SÍ	112 ESCLAVOS (0x08 A 0x77)	BAJA
CASO 1	TIPO 1	RESERVADO (0x7E)	DIRECCION DINÁMICA, PERO A[6]=1b0 FIJA	SÍ	56 ESCLAVOS (0x08 A 0x3F)	MEDIA
CASO 2	TIPO 0	DIRECCIÓN DINÁMICA (7 BITS)	/	NO	112 ESCLAVOS (0x08 A 0x77)	ALTA
CASO 3	TIPO 1	RESERVADO (0x7E)	DIRECCION DINÁMICA, PERO A[6]:IDENTIFICADOR DE GRUPO	SÍ	112 ESCLAVOS (0x08 A 0x77)	MEDIA

FIG. 5

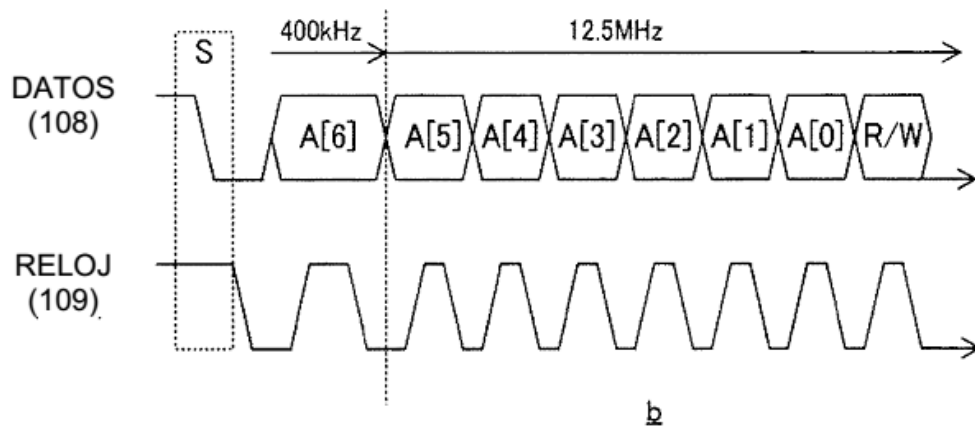
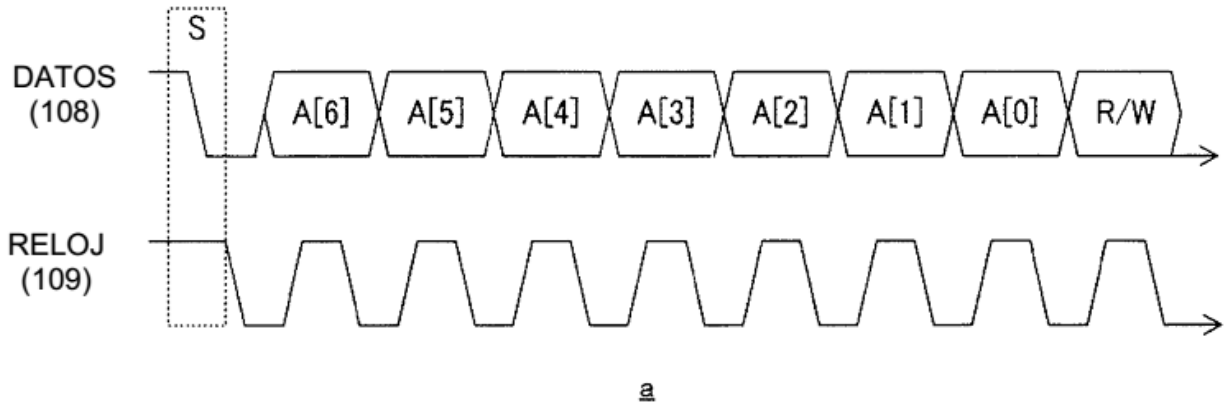


FIG. 6

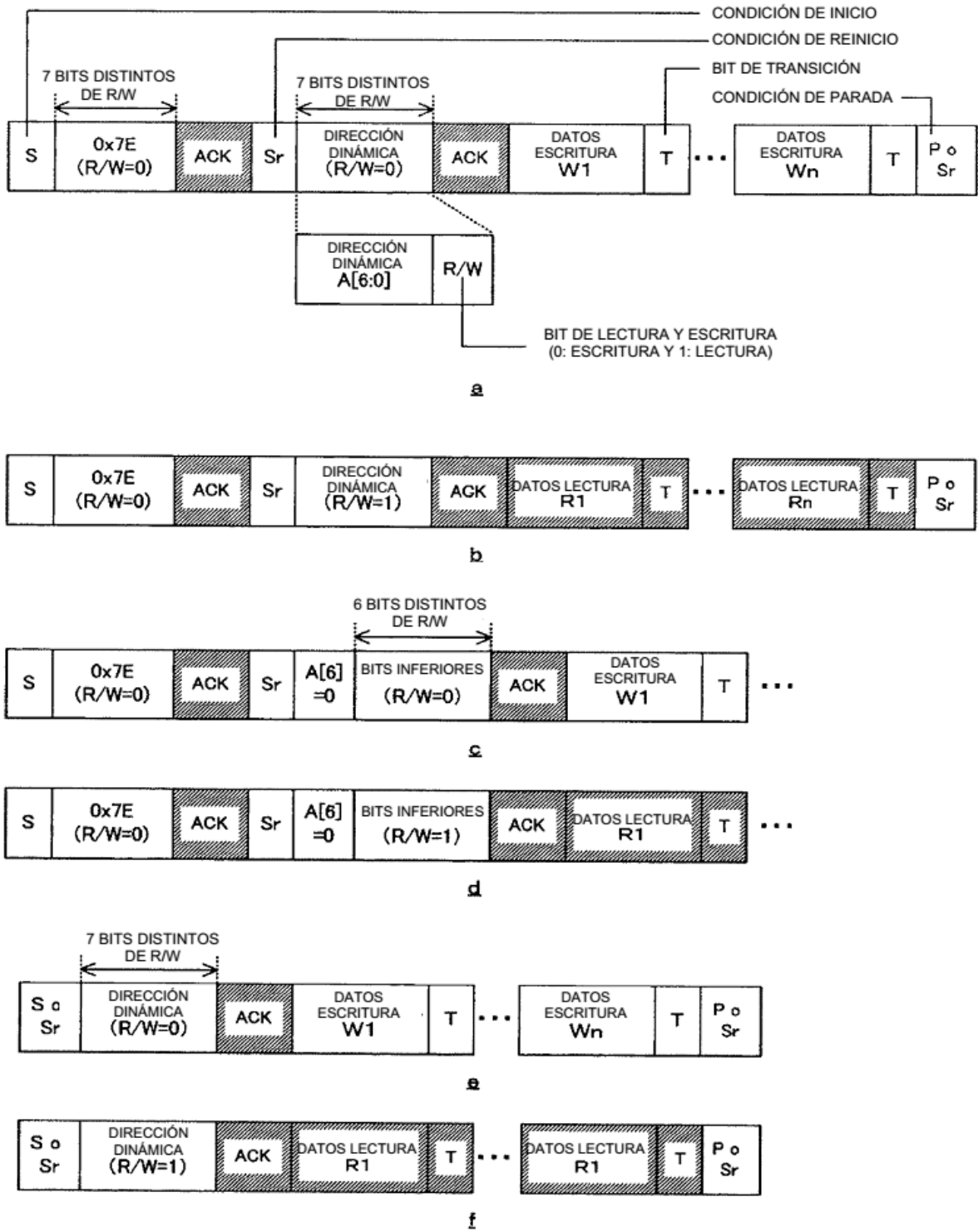
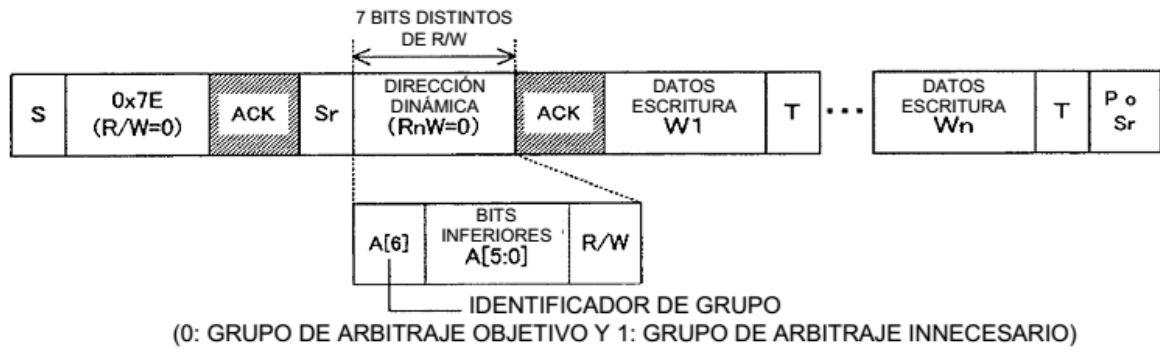
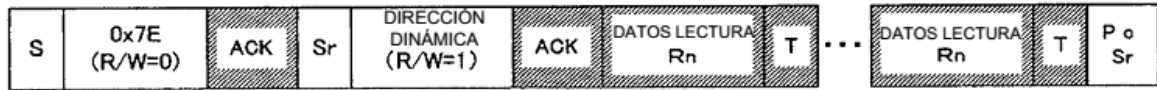


FIG. 7



a



b

FIG. 8

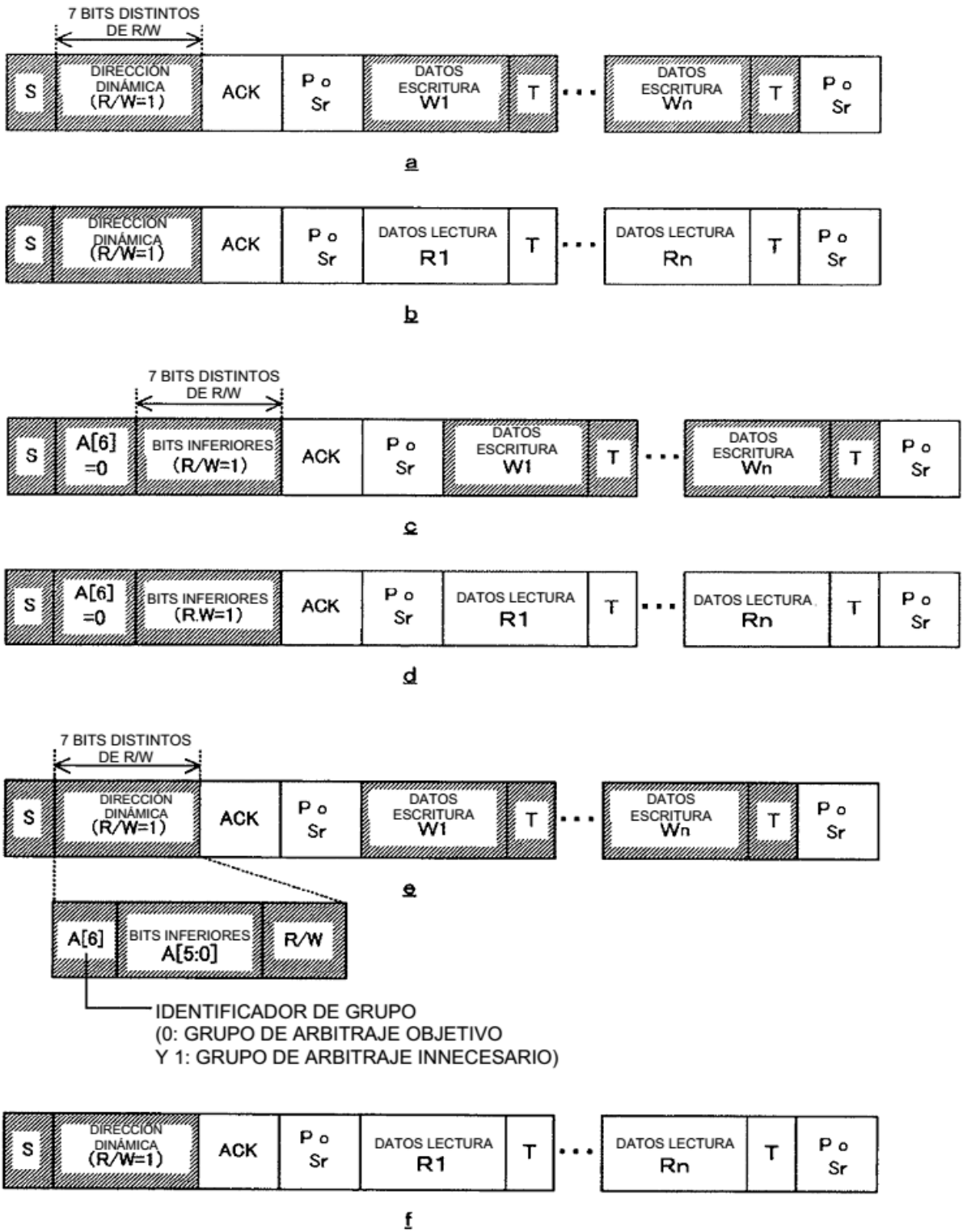


FIG. 9

BIT	NOMBRE	DESCRIPCIÓN
BCR[7]	FUNCIÓN DEL DISPOSITIVO (1)	2'b00:ESCLAVO 2'b01:MAESTRO SECUNDARIO 2'b10: ESCLAVO I3C ENTRE HOMÓLOGOS 2'b11: RESERVADO
BCR[6]	FUNCIÓN DEL DISPOSITIVO (0)	
BCR[5]	SOLAMENTE SDR/SDR O HDR POSIBLE	0: SOLAMENTE SDR 1: SDR O HDR POSIBLE
BCR[4]	IDENTIFICADOR DE PUENTE	0: SIN DISPOSITIVO DE PUENTE 1: DISPOSITIVO DE PUENTE
BCR[3]	POSIBILIDAD DE FUERA DE LÍNEA	0: DISPOSITIVO GENERALMENTE RESPONDE A ORDEN DE I3C 1: DISPOSITIVO NO RESPONDE A ORDEN DE I3C PERIÓDICAMENTE
BCR[2]	INDICADOR DE REGISTRO ADICIONAL	RESERVADO PARA INDICAR BYTE DE REGISTRO ADICIONAL EN EL FUTURO
BCR[1]	I3CESCLAVO(1)	2'b00: INDICE 0 2'b01: INDICE 1 2'b10: ÍNDICE 2 2'b11: ÍNDICE 3(RESERVADO)
BCR[0]	I3CESCLAVO(0)	

FIG. 10

DETALLES DE ÍNDICES	I3C ESCLAVO ÍNDICE 0	I3C ESCLAVO ÍNDICE 1	I3C ESCLAVO ÍNDICE 2	I3C ESCLAVO ÍNDICE 3
DEMANDA DE INTERRUPCIÓN EN BANDA	Sí	Sí	No	No
POSIBILIDAD DE FRECUENCIA DE RELOJ SCL MÁXIMA	Sí	No	No	Sí
ADMISIÓN FRECUENCIA DE RELOJ SCL MÁXIMA	Sí	Sí	Sí	Sí
DETECCIÓN DE PATRÓN DE SALIDA HDR	Sí	Sí	Sí	Sí

FIG. 11

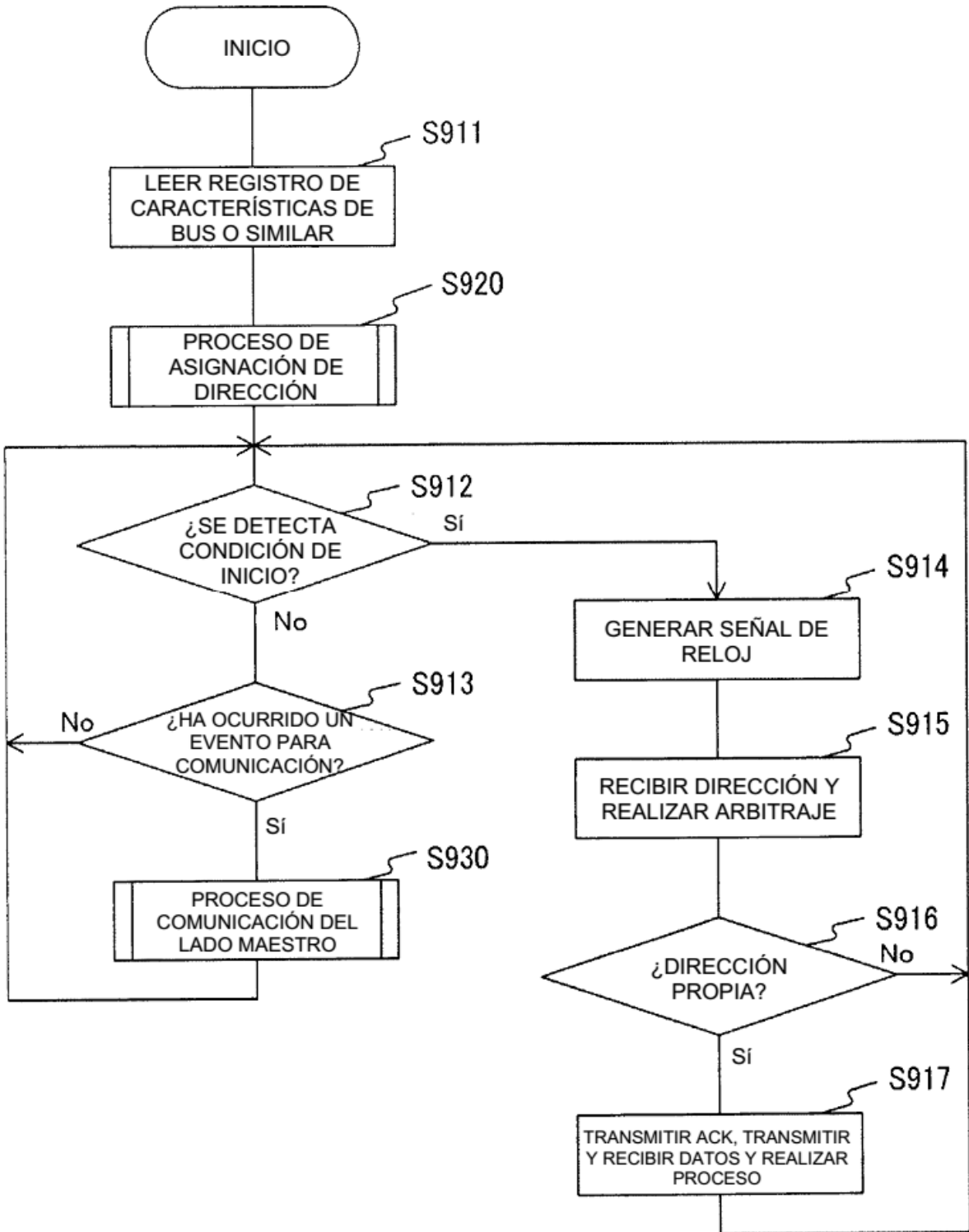


FIG. 12

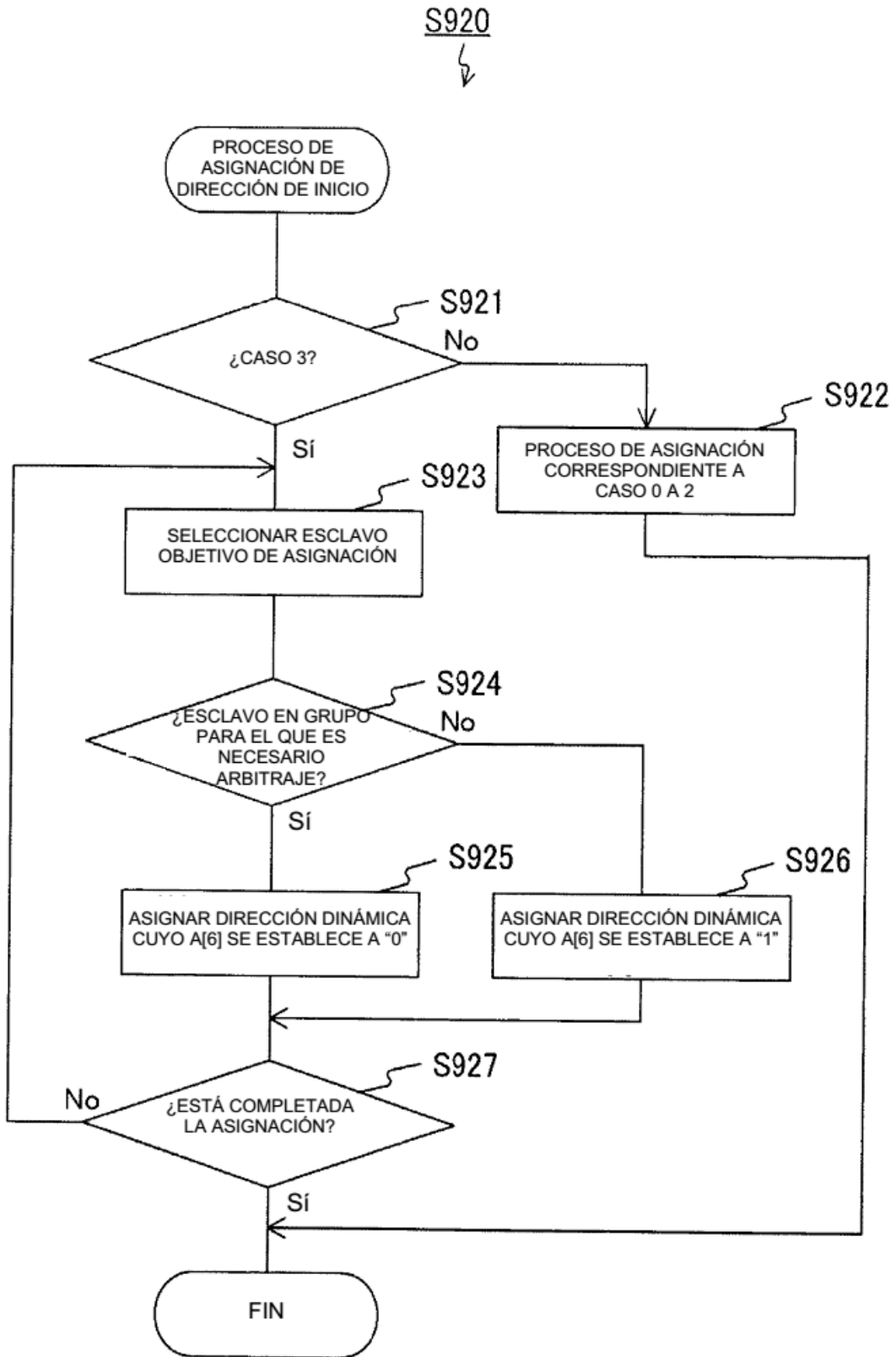


FIG. 13

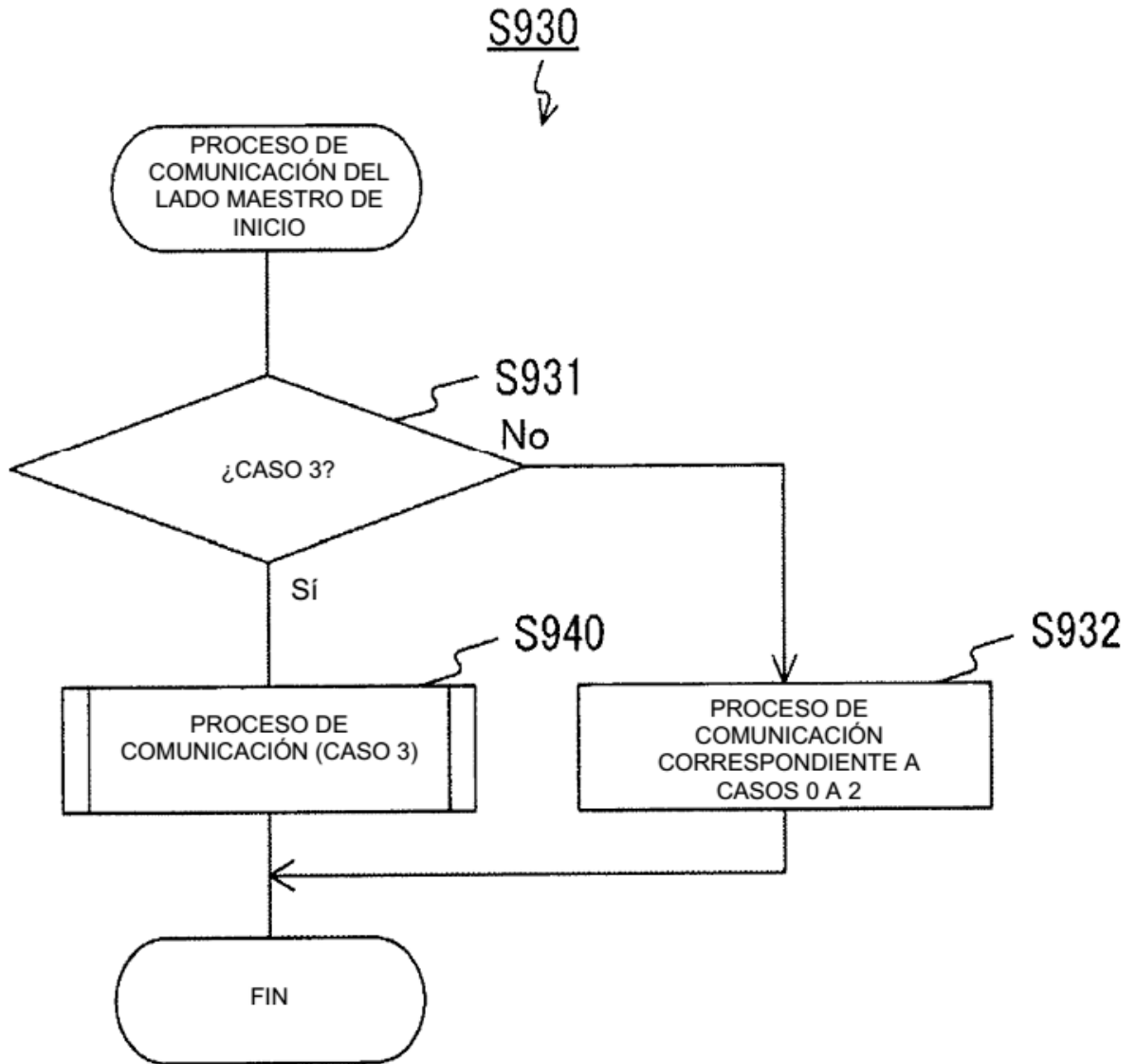


FIG. 14

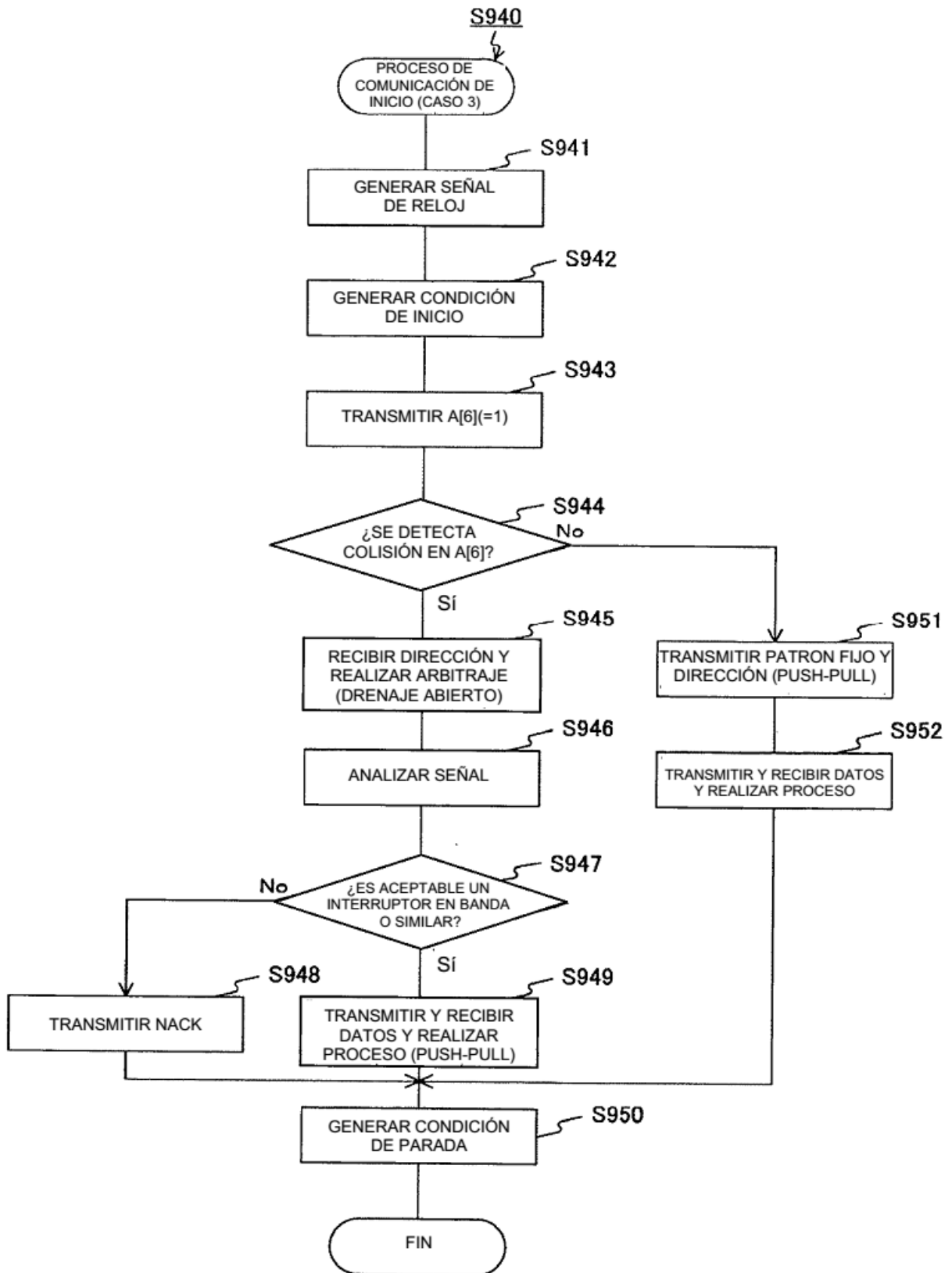


FIG. 15

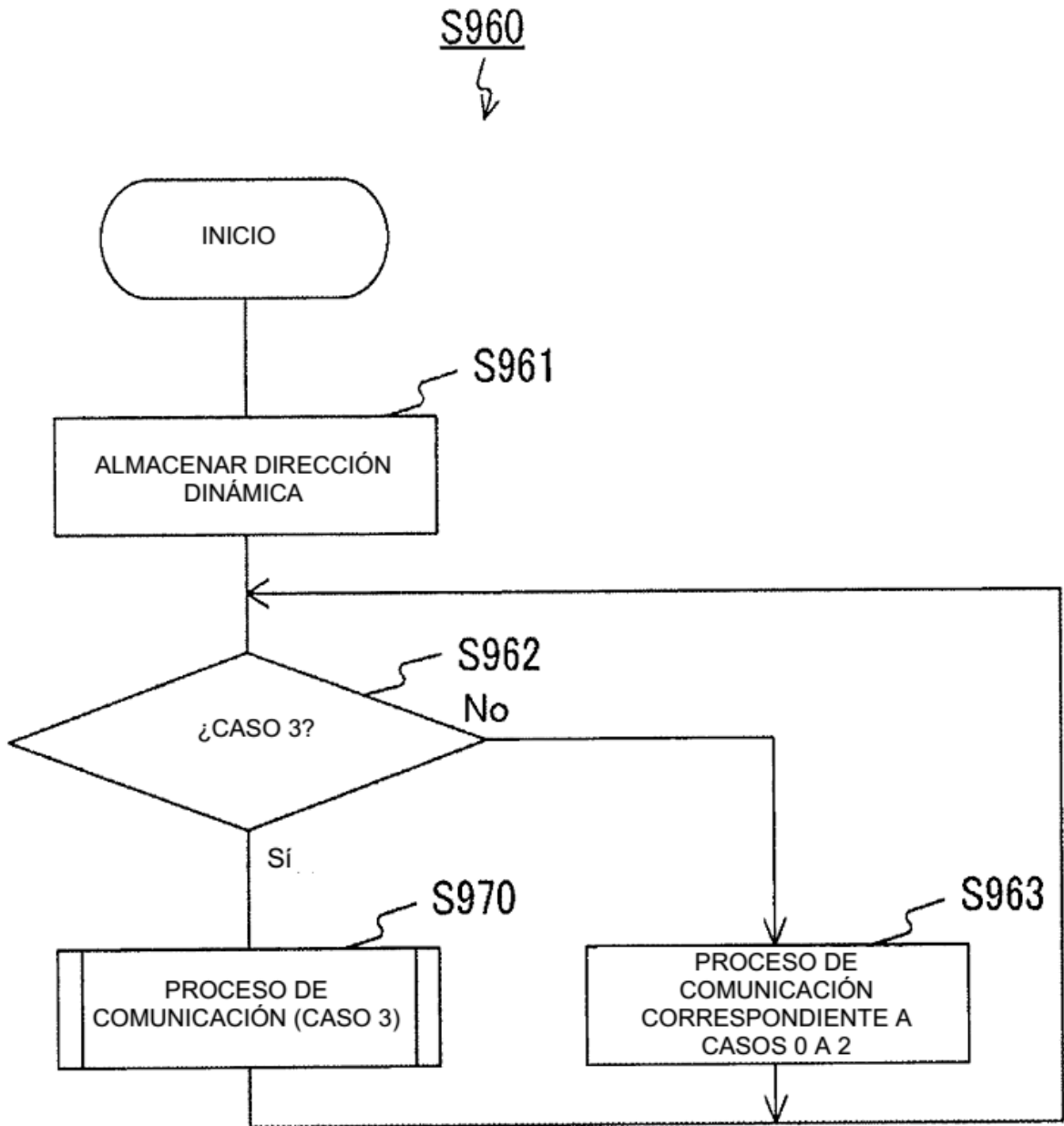


FIG. 16

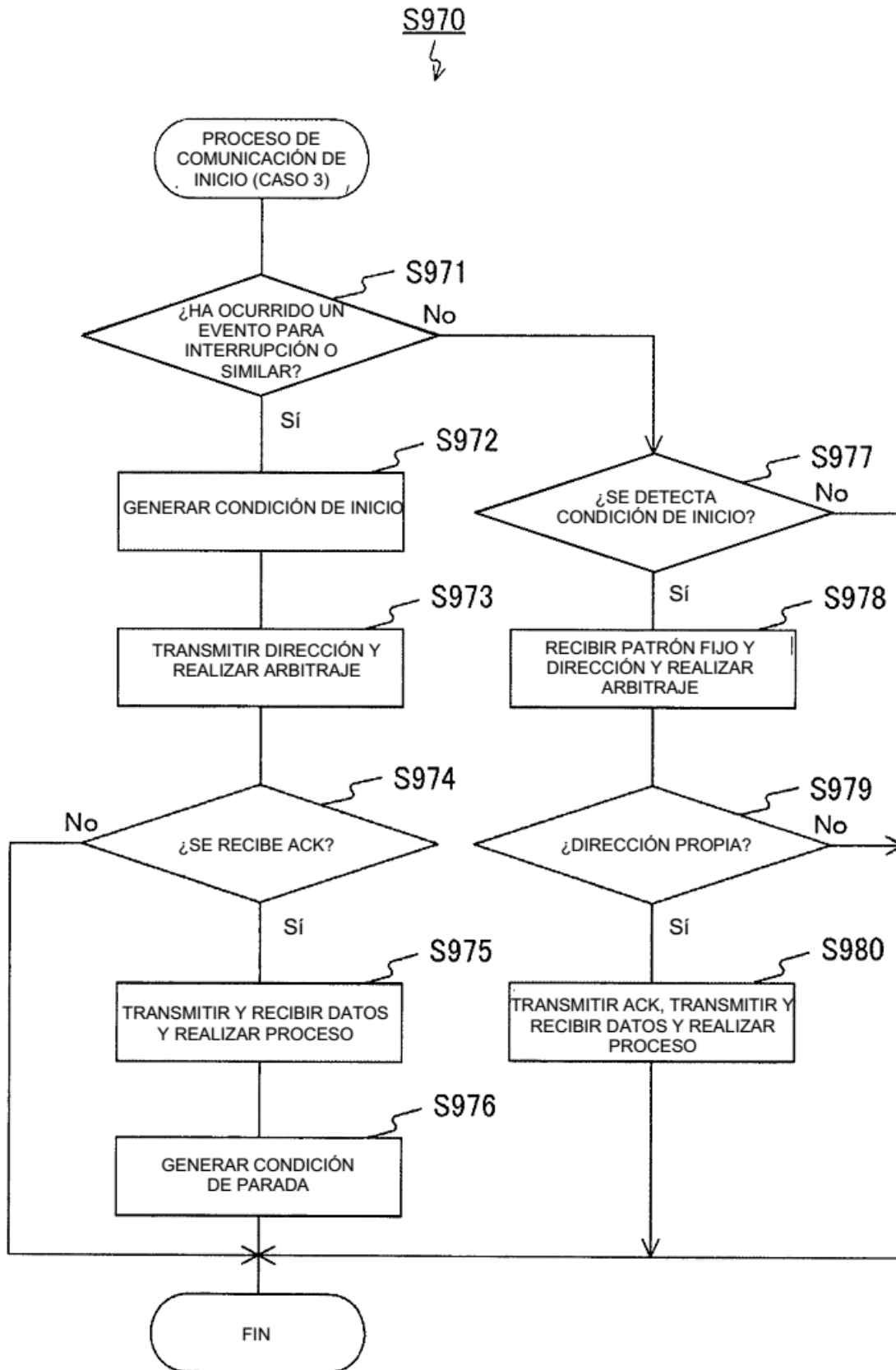


FIG. 17

BIT	NOMBRE	DESCRIPCIÓN
BCR[7]	FUNCIÓN DEL DISPOSITIVO (1)	2'b00: I2C ESCLAVO 2'b01: I2C MAESTRO SECUNDARIO 2'b10: ESCLAVO I3C ENTRE HOMÓLOGOS 2'b11: <u>ESCLAVO QUE NO REALIZA INTERRUPTIÓN EN BANDA O SIMILAR.</u>
BCR[6]	FUNCIÓN DEL DISPOSITIVO (0)	
BCR[5]	SOLAMENTE SDR/SDR O HDR POSIBLE	0: SOLAMENTE SDR 1: SDR O HDR POSIBLE
BCR[4]	IDENTIFICADOR DE PUENTE	0: SIN DISPOSITIVO DE PUENTE 1: DISPOSITIVO DE PUENTE
BCR[3]	POSIBILIDAD DE FUERA DE LÍNEA	0: DISPOSITIVO GENERALMENTE RESPONDE A ORDEN DE I3C 1: DISPOSITIVO NO RESPONDE A ORDEN DE I3C PERIÓDICAMENTE
BCR[2]	INDICADOR DE REGISTRO ADICIONAL	RESERVADO PARA INDICAR BYTE DE REGISTRO ADICIONAL EN EL FUTURO
BCR[1]	SOLAMENTE I3C ESCLAVO I2 (1)	2'b00: ÍNDICE 0 2'b01: ÍNDICE 1 2'b10: ÍNDICE 2 2'b11: ÍNDICE 3 (RESERVADO)
BCR[0]	SOLAMENTE I3C ESCLAVO I2 (0)	

FIG. 18

BIT	NOMBRE	DESCRIPCIÓN
BCR[7]	FUNCIÓN DEL DISPOSITIVO (1)	2'b00: I2C ESCLAVO 2'b01: I2C MAESTRO SECUNDARIO 2'b10: ESCLAVO I3C ENTRE HOMÓLOGOS 2'b11: ESCLAVO QUE REALIZA INTERRUPCIÓN EN BANDA O SIMILAR
BCR[6]	FUNCIÓN DEL DISPOSITIVO (0)	
BCR[5]	SOLAMENTE SDR/SDR O HDR POSIBLE	0: SOLAMENTE SDR 1: SDR O HDR POSIBLE
BCR[4]	IDENTIFICADOR DE PUENTE	0: SIN DISPOSITIVO DE PUENTE 1: DISPOSITIVO DE PUENTE
BCR[3]	POSIBILIDAD DE FUERA DE LÍNEA	0: DISPOSITIVO GENERALMENTE RESPONDE A ORDEN DE I3C 1: DISPOSITIVO NO RESPONDE A ORDEN DE I3C PERIÓDICAMENTE
BCR[2]	INDICADOR DE REGISTRO ADICIONAL	RESERVADO PARA INDICAR BYTE DE REGISTRO ADICIONAL EN EL FUTURO
BCR[1]	SOLAMENTE I3C ESCLAVO I2 (1)	2'b00: ÍNDICE 0 2'b01: ÍNDICE 1 2'b10: ÍNDICE 2 2'b11: ÍNDICE 3 (RESERVADO)
BCR[0]	SOLAMENTE I3C ESCLAVO I2 (0)	

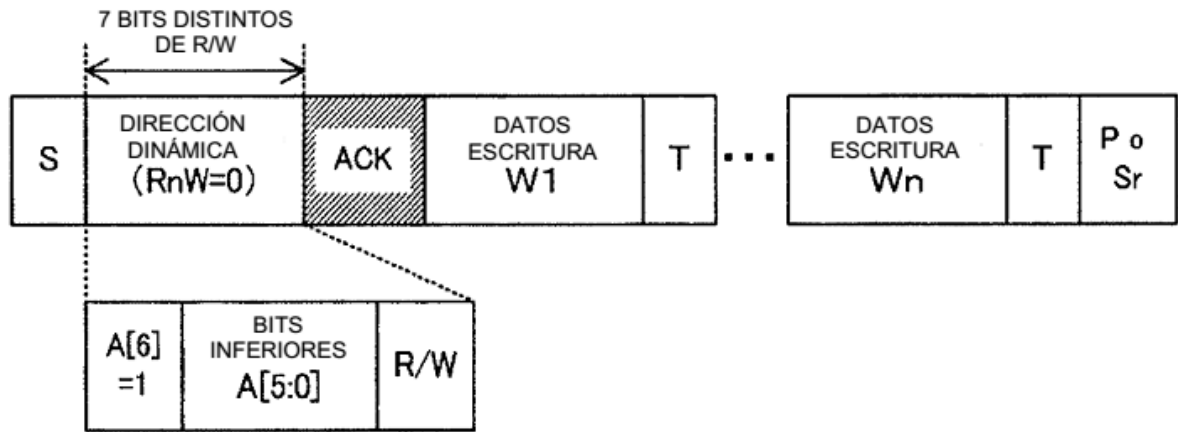
FIG. 19

BIT	NOMBRE	DESCRIPCIÓN
BCR[7]	FUNCIÓN DEL DISPOSITIVO (2)	3'b000: I2C ESCLAVO 3'b100: I2C MAESTRO SECUNDARIO 3'b010: ESCLAVO I3C ENTRE HOMÓLOGOS 3'b001: ESCLAVO QUE REALIZA INTERRUPCIÓN EN BANDA OTROS: RESERVADO
BCR[6]	FUNCIÓN DEL DISPOSITIVO (1)	
BCR[5]	FUNCIÓN DEL DISPOSITIVO (0)	
BCR[4]	SOLAMENTE SDR/SDR O HDR POSIBLE	0: SOLAMENTE SDR 1: SDR O HDR POSIBLE
BCR[3]	IDENTIFICADOR DE PUENTE	0: SIN DISPOSITIVO DE PUENTE 1: DISPOSITIVO DE PUENTE
BCR[2]	POSIBILIDAD DE FUERA DE LÍNEA	0: DISPOSITIVO GENERALMENTE RESPONDE A ORDEN DE I3C 1: DISPOSITIVO NO RESPONDE A ORDEN DE I3C PERIÓDICAMENTE
BCR[1]	INDICADOR DE REGISTRO ADICIONAL	RESERVADO PARA INDICAR BYTE DE REGISTRO ADICIONAL EN EL FUTURO
BCR[0]	POSIBILIDAD DE FRECUENCIA DE RELOJ SCL MÁXIMA	0: Sí 1: No

FIG. 20

SISTEMA DE COMUNICACIÓN	TIPO DE CABECERA	PRIMERO A[6:0]	SEGUNDO A[6:0]	POSIBILIDAD DE ARBITRAJE	NÚMERO MÁXIMO DE ESCLAVOS CONECTABLES	VELOCIDAD DE COMUNICACIÓN
CASO 0	TIPO 0	RESERVADO (0x7E)	DIRECCIÓN DINÁMICA	SI	112 ESCLAVOS (0x08 A 0x77)	BAJA
CASO 1	TIPO 1	RESERVADO (0x7E)	DIRECCION DINÁMICA, PERO A[6]=1b0 FIJA	SI	56 ESCLAVOS (0x08 A 0x3F)	MEDIA
CASO 2	TIPO 0	DIRECCIÓN DINÁMICA (7 bits)	/	NO	112 ESCLAVOS (0x08 A 0x77)	ALTA
CASO 3	TIPO 1	RESERVADO (0x7E)	DIRECCION DINÁMICA, PERO A[6]:IDENTIFICADOR DE GRUPO	SI	112 ESCLAVOS (0x08 A 0x77)	MEDIA
CASO 4	TIPO 1	A[6]=FIJA A[5:0]=DIRECCIÓN DINÁMICA	/	SI	56 ESCLAVOS (0x08 A 0x3F)	SIGNIFICATIVAMENTE ALTA

FIG. 21



a



b

FIG. 22

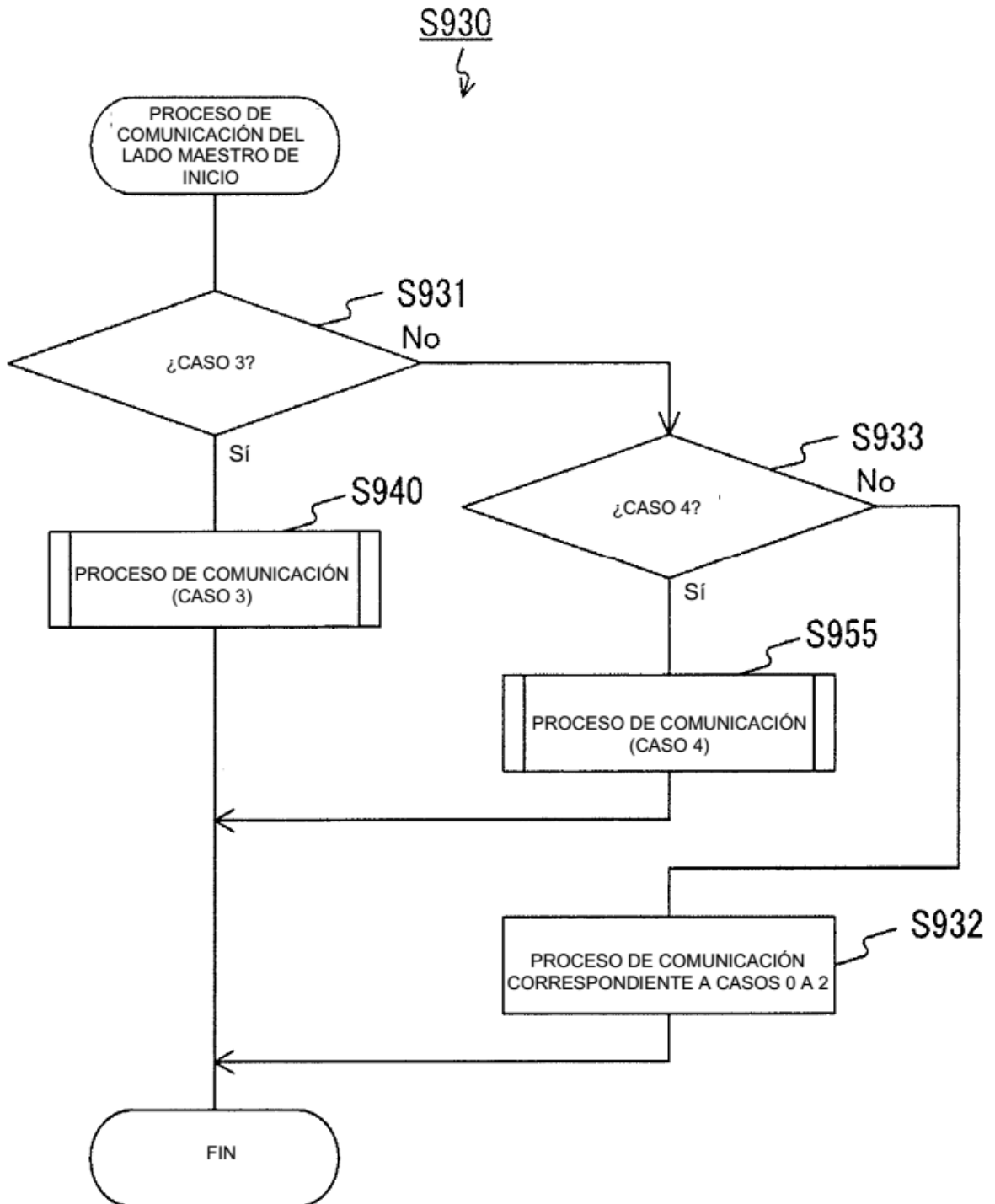


FIG. 23

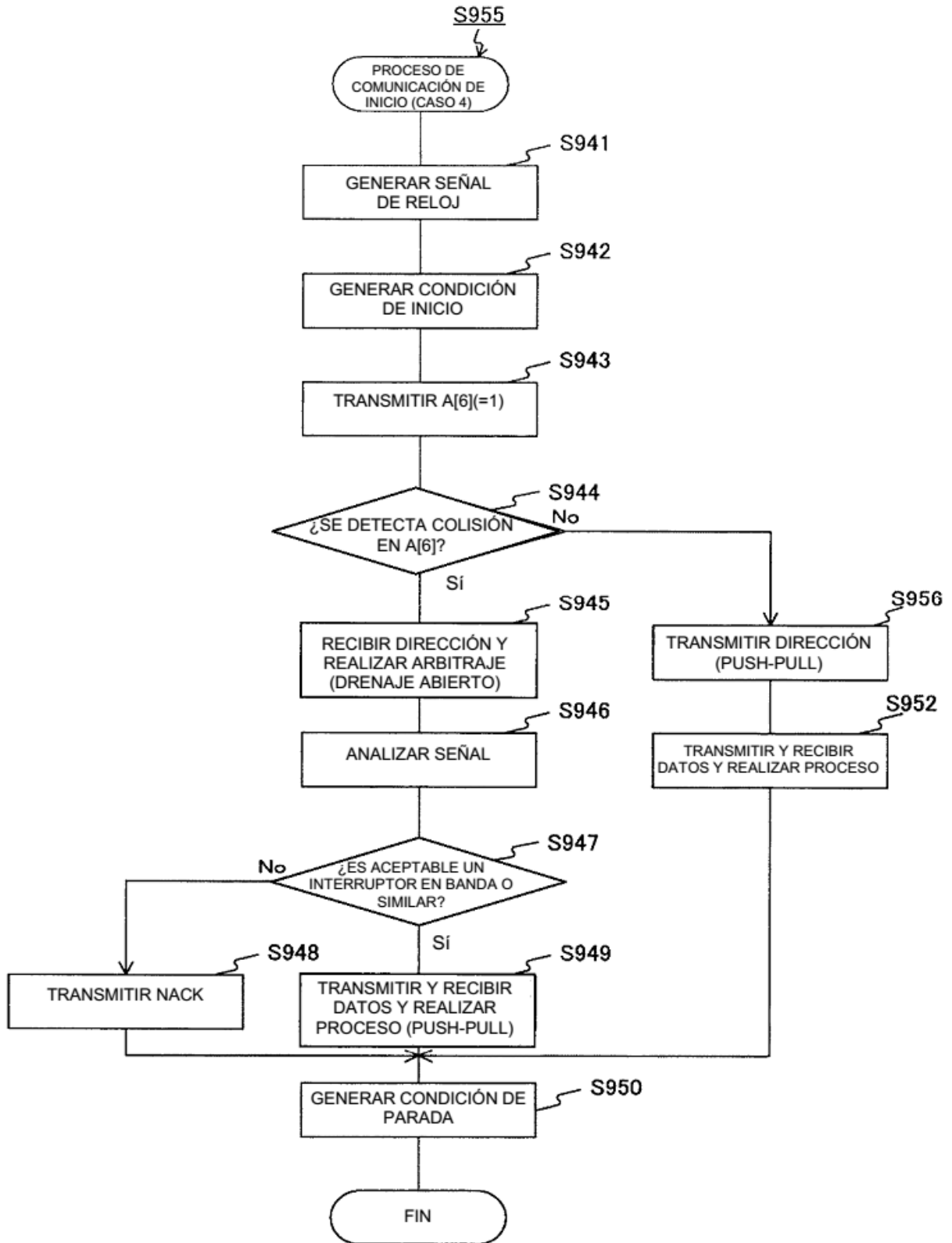


FIG. 24

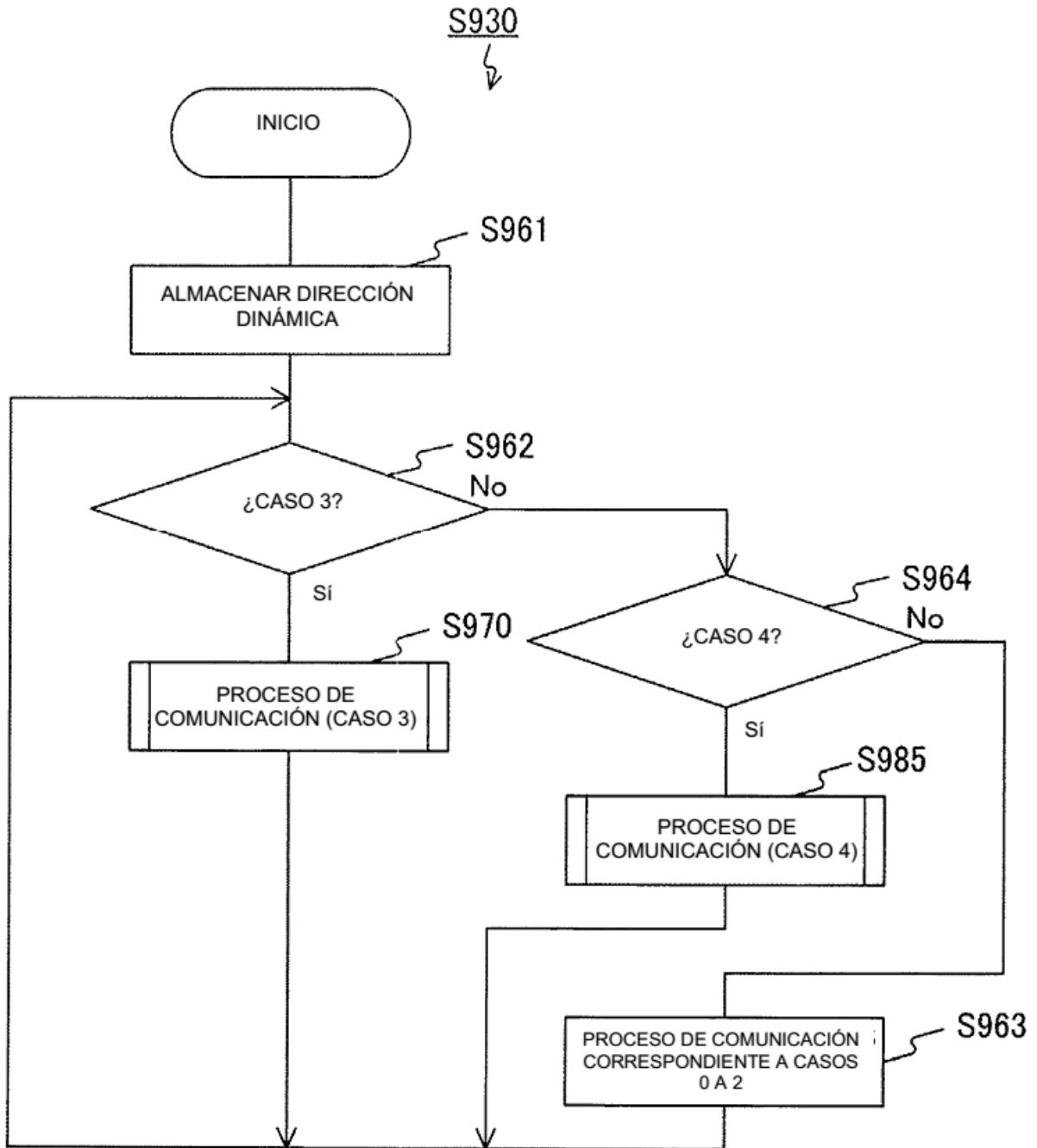


FIG. 25

