

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-59163

(P2009-59163A)

(43) 公開日 平成21年3月19日(2009.3.19)

(51) Int.Cl. F I テーマコード (参考)
G 0 6 F 3/06 (2006.01) G 0 6 F 3/06 3 O 1 X 5 B O 6 5
G 0 6 F 3/00 (2006.01) G 0 6 F 3/00 E

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号 特願2007-225797 (P2007-225797)
 (22) 出願日 平成19年8月31日 (2007.8.31)

(71) 出願人 000005496
 富士ゼロックス株式会社
 東京都港区赤坂九丁目7番3号
 (74) 代理人 100071526
 弁理士 平田 忠雄
 (74) 代理人 100124246
 弁理士 遠藤 和光
 (72) 発明者 小関 忍
 神奈川県足柄上郡中井町境430 グリー
 ンテクなかい 富士ゼロックス株式会社内
 (72) 発明者 舟田 雅夫
 神奈川県足柄上郡中井町境430 グリー
 ンテクなかい 富士ゼロックス株式会社内

最終頁に続く

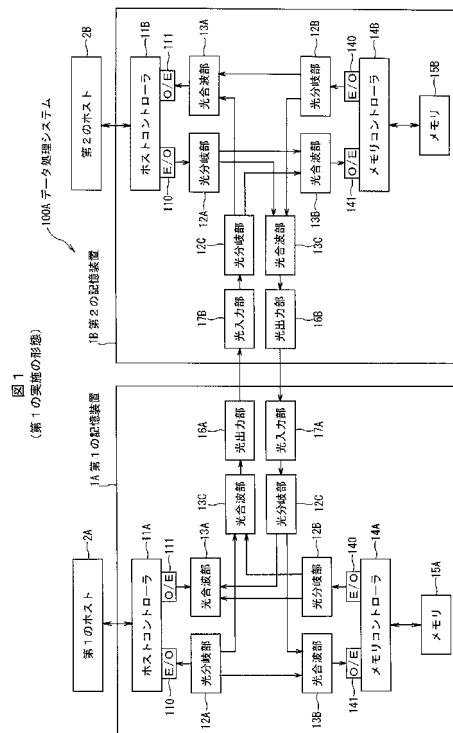
(54) 【発明の名称】 データ処理システム及び記憶装置

(57) 【要約】

【課題】 ホストを介さずに、異なる記憶装置のメモリコントローラ及びホストコントローラの間でデータ伝送が可能なデータ処理システム及び記憶装置を提供する。

【解決手段】 データ処理システム100Aは、第1及び第2のホスト2A、2Bに伝送線を介してそれぞれ接続された第1及び第2の記憶装置1A、1Bを備え、第1の記憶装置1Aと第2の記憶装置1Bとの間が光線路により相互に接続されている。第1及び第2の記憶装置1A、2Bは、データを記憶するメモリ15A、15Bと、メモリ15A、15Bを制御するメモリコントローラ14A、14Bと、伝送線を介して第1及び第2のホスト2A、2Bとの間でデータの送受信を行い、メモリコントローラ14A、14Bと他の記憶装置のメモリコントローラ14A、14Bとの間で光線路を介してデータを送信するホストコントローラ11A、11Bとをそれぞれ備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

少なくとも 1 つのホストと、

前記少なくとも 1 つのホストから送信されたデータを記憶するメモリと、前記メモリに対してデータの読み出し及び書き込みを制御するメモリコントローラと、前記少なくとも 1 つのホストに伝送線路を介して接続され、自己のメモリコントローラとの間及び他の記憶装置のメモリコントローラとの間で光線路を介してデータを送受信するホストコントローラとを有する複数の記憶装置とを備えたデータ処理システム。

【請求項 2】

前記記憶装置が有する前記光線路は、

自己の前記ホストコントローラから自己の前記メモリコントローラ及び他の前記記憶装置のメモリコントローラ側に向かう第 1 の光分岐線路と、

前記自己のメモリコントローラから前記自己のホストコントローラ及び前記他の記憶装置のホストコントローラ側に向かう第 2 の光分岐線路と、

前記他の記憶装置側から前記自己のホストコントローラ及び前記自己のメモリコントローラに向かう第 3 の光分岐線路とを備えた請求項 1 に記載のデータ処理システム。

【請求項 3】

前記記憶装置は、

自己の前記ホストコントローラから自己の前記メモリコントローラ及び他の前記記憶装置のメモリコントローラ側に向かう第 1 の光分岐線路と、

前記自己のメモリコントローラから前記自己のホストコントローラ及び前記他の記憶装置のホストコントローラ側に向かう第 2 の光分岐線路と、

前記第 1 及び第 2 の光分岐線路の接続先の前記他の記憶装置とは異なる他の記憶装置側から前記自己のホストコントローラ及び前記自己のメモリコントローラに向かう第 3 の光分岐線路とを備えた請求項 1 に記載のデータ処理システム。

【請求項 4】

前記第 1 の光分岐線路のうち前記他の記憶装置のメモリコントローラ側に向かう光線路と、前記第 2 の光分岐線路のうち前記他の記憶装置のメモリコントローラ側に向かう光線路とを共用化した共用光線路を有する請求項 2 又は 3 に記載のデータ処理システム。

【請求項 5】

前記共用光線路において前記自己のホストコントローラと前記自己のメモリコントローラとの間で前記データの送信が重複しないように定められた時間割り当てに基づいて、前記自己のホストコントローラは、前記第 1 の光分岐線路に前記データを送信し、前記自己のメモリコントローラは、前記第 2 の光分岐線路に前記データを送信する請求項 4 に記載のデータ処理システム。

【請求項 6】

前記第 1 の光分岐線路のうち前記他の記憶装置のメモリコントローラ側に向かう光線路と、前記第 2 の光分岐線路のうち前記他の記憶装置のメモリコントローラ側に向かう光線路とを共用化した第 1 の共用光線路と、

前記第 1 の光分岐線路のうち前記自己のメモリコントローラ側に向かう光線路と、前記第 3 の光分岐線路のうち前記自己のメモリコントローラ側に向かう光線路とを共用化した第 2 の共用化線路と、

前記第 2 の光分岐線路のうち前記自己のホストコントローラ側に向かう光線路と、前記第 3 の光分岐線路のうち前記自己のホストコントローラ側に向かう光線路とを共用化した第 3 の共用化線路とを有する請求項 2 又は 3 に記載のデータ処理システム。

【請求項 7】

前記第 1 乃至第 3 の共用光線路において前記自己のホストコントローラの前記データの送信と、前記自己のメモリコントローラの前記データの送信と、前記他の記憶装置側から前記自己のホストコントローラ及び前記自己のメモリコントローラへの前記データの送信

10

20

30

40

50

とが重複しないように定められた時間割り当てに基づいて、前記自己のホストコントローラは、前記第 1 の光分岐線路に前記データを送信し、前記自己のメモリコントローラは、前記第 2 の光分岐線路に前記データを送信し、前記他の記憶装置は、前記第 3 の光分岐線路に前記データを送信する請求項 6 に記載のデータ処理システム。

【請求項 8】

データを記憶するメモリと、

前記メモリに対して前記データの読み出し及び書き込みを制御するメモリコントローラと、

ホストとの間で伝送線路を介して前記データの送受信を行い、前記メモリコントローラと他の記憶装置の前記メモリコントローラとの間で光線路を介して前記データを送受信するホストコントローラとを備えた記憶装置。

10

【請求項 9】

前記ホストコントローラから前記メモリコントローラ及び他の前記記憶装置のメモリコントローラ側に向かう第 1 の光分岐線路と、

前記メモリコントローラから前記ホストコントローラ及び前記他の記憶装置のホストコントローラ側に向かう第 2 の光分岐線路と、

前記他の記憶装置側から前記ホストコントローラ及び前記メモリコントローラに向かう第 3 の光分岐線路とを備えた請求項 8 に記載の記憶装置。

【請求項 10】

前記ホストコントローラから前記メモリコントローラ及び他の前記記憶装置のメモリコントローラ側に向かう第 1 の光分岐線路と、

前記メモリコントローラから前記ホストコントローラ及び前記他の記憶装置のホストコントローラ側に向かう第 2 の光分岐線路と、

前記第 1 及び第 2 の光分岐線路の接続先の前記他の記憶装置とは異なる他の記憶装置側から前記ホストコントローラ及び前記メモリコントローラに向かう第 3 の光分岐線路とを備えた請求項 8 に記載の記憶装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ処理システム及び記憶装置に関する。

30

【背景技術】

【0002】

従来、複数のホストコンピュータ（以下、「ホスト」という。）に複数の半導体ディスク装置が電気線路を介して接続された情報処理システムが知られている（例えば、特許文献 1 参照。）。

【0003】

この情報処理システムによれば、第 1 及び第 2 のホストと、電気線路による 2 つの入出力ポートを有する第 1 ～第 3 の半導体ディスク装置とを備える。そして、第 1 及び第 2 のホストは、第 1 及び第 2 の半導体ディスク装置の一方の入出力ポートにそれぞれ接続され、第 3 の半導体ディスク装置の 2 つの入出力ポートは、第 1 及び第 2 の半導体ディスク装置の他方の入出力ポートにそれぞれ接続されており、複数のホストと複数の半導体ディスク装置との間で電気線路を介してデータを送受信することができる。

40

【0004】

【特許文献 1】特開 2007-4271 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、ホストを介さずに、異なる記憶装置のメモリコントローラ及びホストコントローラの間でデータ伝送が可能なデータ処理システム及び記憶装置を提供することである。

50

【課題を解決するための手段】

【0006】

本発明の一態様は、上記目的を達成するため、以下の記憶装置及びデータ処理システムを提供する。

【0007】

〔1〕少なくとも1つのホストと、前記少なくとも1つのホストから送信されたデータを記憶するメモリと、前記メモリに対してデータの読み出し及び書き込みを制御するメモリコントローラと、前記少なくとも1つのホストに伝送線路を介して接続され、自己のメモリコントローラとの間及び他の記憶装置のメモリコントローラとの間で光線路を介してデータを送受信するホストコントローラとを有する複数の記憶装置とを備えたデータ処理システム。

10

【0008】

〔2〕前記記憶装置が有する前記光線路は、自己の前記ホストコントローラから自己の前記メモリコントローラ及び他の前記記憶装置のメモリコントローラ側に向かう第1の光分岐線路と、前記自己のメモリコントローラから前記自己のホストコントローラ及び前記他の記憶装置のホストコントローラ側に向かう第2の光分岐線路と、前記他の記憶装置側から前記自己のホストコントローラ及び前記自己のメモリコントローラに向かう第3の光分岐線路とを備えた前記〔1〕に記載のデータ処理システム。

【0009】

〔3〕前記記憶装置は、自己の前記ホストコントローラから自己の前記メモリコントローラ及び他の前記記憶装置のメモリコントローラ側に向かう第1の光分岐線路と、前記自己のメモリコントローラから前記自己のホストコントローラ及び前記他の記憶装置のホストコントローラ側に向かう第2の光分岐線路と、前記第1及び第2の光分岐線路の接続先の前記他の記憶装置とは異なる他の記憶装置側から前記自己のホストコントローラ及び前記自己のメモリコントローラに向かう第3の光分岐線路とを備えた前記〔1〕に記載のデータ処理システム。

20

【0010】

〔4〕前記第1の光分岐線路のうち前記他の記憶装置のメモリコントローラ側に向かう光線路と、前記第2の光分岐線路のうち前記他の記憶装置のメモリコントローラ側に向かう光線路とを共用化した共用光線路を有する前記〔2〕又は前記〔3〕に記載のデータ処理システム。

30

【0011】

〔5〕前記共用光線路において前記自己のホストコントローラと前記自己のメモリコントローラとの間で前記データの送信が重複しないように定められた時間割り当てに基づいて、前記自己のホストコントローラは、前記第1の光分岐線路に前記データを送信し、前記自己のメモリコントローラは、前記第2の光分岐線路に前記データを送信する前記〔4〕に記載のデータ処理システム。

【0012】

〔6〕前記第1の光分岐線路のうち前記他の記憶装置のメモリコントローラ側に向かう光線路と、前記第2の光分岐線路のうち前記他の記憶装置のメモリコントローラ側に向かう光線路とを共用化した第1の共用光線路と、前記第1の光分岐線路のうち前記自己のメモリコントローラ側に向かう光線路と、前記第3の光分岐線路のうち前記自己のメモリコントローラ側に向かう光線路とを共用化した第2の共用化線路と、前記第2の光分岐線路のうち前記自己のホストコントローラ側に向かう光線路と、前記第3の光分岐線路のうち前記自己のホストコントローラ側に向かう光線路とを共用化した第3の共用化線路とを有する前記〔2〕又は前記〔3〕に記載のデータ処理システム。

40

【0013】

〔7〕前記第1乃至第3の共用光線路において前記自己のホストコントローラの前記データの送信と、前記自己のメモリコントローラの前記データの送信と、前記他の記憶装置側から前記自己のホストコントローラ及び前記自己のメモリコントローラへの前記データの

50

送信とが重複しないように定められた時間割り当てに基づいて、前記自己のホストコントローラは、前記第1の光分岐線路に前記データを送信し、前記自己のメモリコントローラは、前記第2の光分岐線路に前記データを送信し、前記他の記憶装置は、前記第3の光分岐線路に前記データを送信する前記〔6〕に記載のデータ処理システム。

【0014】

〔8〕データを記憶するメモリと、前記メモリに対して前記データの読み出し及び書き込みを制御するメモリコントローラと、ホストとの間で伝送線路を介して前記データの送受信を行い、前記メモリコントローラと他の記憶装置の前記メモリコントローラとの間で光線路を介して前記データを送受信するホストコントローラとを備えた記憶装置。

【0015】

〔9〕前記ホストコントローラから前記メモリコントローラ及び他の前記記憶装置のメモリコントローラ側に向かう第1の光分岐線路と、前記メモリコントローラから前記ホストコントローラ及び前記他の記憶装置のホストコントローラ側に向かう第2の光分岐線路と、前記他の記憶装置側から前記ホストコントローラ及び前記メモリコントローラに向かう第3の光分岐線路とを備えた前記〔8〕に記載の記憶装置。

【0016】

〔10〕前記ホストコントローラから前記メモリコントローラ及び他の前記記憶装置のメモリコントローラ側に向かう第1の光分岐線路と、前記メモリコントローラから前記ホストコントローラ及び前記他の記憶装置のホストコントローラ側に向かう第2の光分岐線路と、前記第1及び第2の光分岐線路の接続先の前記他の記憶装置とは異なる他の記憶装置側から前記ホストコントローラ及び前記メモリコントローラに向かう第3の光分岐線路とを備えた前記〔8〕に記載の記憶装置。

【発明の効果】

【0017】

請求項1に係るデータ処理システムによれば、ホストを介さずに、異なる記憶装置のメモリコントローラ及びホストコントローラの間でデータ伝送を行うことができる。

【0018】

請求項2に係るデータ処理システムによれば、本構成を有していない場合に比較して、記憶装置が有するメモリコントローラ及びホストコントローラの構成と、2台の記憶装置間のデータ伝送路の構成とを簡略化することができる。

【0019】

請求項3に係るデータ処理システムによれば、本構成を有していない場合に比較して、記憶装置が有するメモリコントローラ及びホストコントローラの構成と、3台以上の記憶装置間のデータ伝送路の構成とを簡略化することができる。

【0020】

請求項4に係るデータ処理システムによれば、本構成を有していない場合に比較して、記憶装置間のデータ伝送路の構成をさらに簡略化することができる。

【0021】

請求項5に係るデータ処理システムによれば、共用光線路においてデータの干渉を抑制することができる。

【0022】

請求項6に係るデータ処理システムによれば、本構成を有していない場合に比較して、記憶装置内のデータ伝送路の構成をさらに簡略化することができる。

【0023】

請求項7に係るデータ処理システムによれば、第1乃至第3の共用光線路においてデータの干渉を抑制することができる。

【0024】

請求項8に係る記憶装置によれば、ホストを介さずに、自己のメモリコントローラ及びホストコントローラと他の記憶装置のメモリコントローラ及びホストコントローラとの間でデータ伝送を行うことができる。

10

20

30

40

50

【0025】

請求項8に係る記憶装置によれば、本構成を有していない場合に比較して、メモリコントローラ及びホストコントローラの構成と、他の記憶装置との間のデータ伝送路の構成とを簡略化することができる。

【0026】

請求項9に係る記憶装置によれば、本構成を有していない場合に比較して、メモリコントローラ及びホストコントローラの構成と、複数の他の記憶装置との間のデータ伝送路の構成とを簡略化することができる。

【発明を実施するための最良の形態】

【0027】

10

〔第1の実施の形態〕

図1は、本発明の第1の実施の形態に係るデータ処理システムの概略構成の一例を示すブロック図である。

【0028】

このデータ処理システム100Aは、第1及び第2のホスト2A、2Bに伝送線路を介してそれぞれ接続された第1及び第2の記憶装置1A、1Bを備え、第1の記憶装置1Aと第2の記憶装置1Bとの間が光線路により相互に接続されたものである。

【0029】

第1及び第2の記憶装置1A、1Bと第1及び第2のホスト2A、2Bとの間に設けられた伝送線路は、例えば、P C I E x p r e s s（登録商標）等のインターフェース規格に則ったデータ伝送を行うものである。また、そのような伝送線路は、電気信号によりデータ伝送を行うものでもよいし、光信号によりデータ伝送を行うものでもよい。

20

【0030】

第1及び第2のホスト2A、2Bは、サーバ、パーソナルコンピュータ（P C）、ワークステーション（W S）等であって、データ処理やデータの保存を行う機器である。なお、第1及び第2のホスト2A、2Bは、有線L A N、無線L A N等のローカルエリアネットワークやインターネットに接続されて、データの送受信が可能であってもよい。

【0031】

なお、図1に例示するデータ処理システム1は、2つのホストとして、第1及び第2のホスト2A、2Bを備えているが、データ処理システム1が1つのホストを備え、その1つのホストが第1及び第2の記憶装置1A、2Aのうちいずれかの記憶装置に接続されていてもよいし、その1つのホストが記憶装置を接続するためのポートを2つ備えている場合には、第1及び第2の記憶装置1A、2Aの両方に接続されていてもよい。

30

【0032】

第1の記憶装置1Aは、ホストコントローラ11A、光分岐部12A～12C、光合波部13A～13C、メモリコントローラ14A、メモリ15A、光出力部16A及び光入力部17Aからなる。第2の記憶装置1Bは、第1の記憶装置1Aと同様の構成を有しているため、以下では第1の記憶装置1Aについて説明する。

【0033】

（記憶装置の各部の構成）

40

ホストコントローラ11Aは、第1のホスト2Aとの間におけるデータの送受信の制御を行う。

【0034】

また、ホストコントローラ11Aは、第1のホスト2Aから受信した電気信号からなるデータをメモリコントローラ14A及び第2の記憶装置1Bへ送信する際に光信号へ変換するE/O（電気－光変換部）110と、メモリコントローラ14A及び第2の記憶装置1Bから受信した光信号からなるデータを第1のホスト2Aへ送信する際に電気信号へ変換するO/E（光－電気変換部）111とを備える。

【0035】

そして、ホストコントローラ11Aは、メモリコントローラ14A及び第2の記憶装置

50

1 Bとの間でデータ伝送を行う時間割り当てを決定し、その時間割り当てに基づいてデータ伝送を行う。

【0036】

メモリコントローラ14Aは、メモリ15Aに対してデータの書込み及び読出しの制御を行う。

【0037】

また、メモリコントローラ14Aは、ホストコントローラ11A及び第2のホスト2Bから受信した光信号からなるデータをメモリ15Aへ送信する際に電気信号へ変換するO/E141と、メモリ15Aから受信した電気信号からなるデータをホストコントローラ11A及び第2のホスト2Bへ送信する際に光信号へ変換するE/O140とを備える。

10

【0038】

そして、メモリコントローラ14Aは、ホストコントローラ11Aにより決定された時間割り当てに基づいて、ホストコントローラ11A及び第2の記憶装置1Bとの間でデータ伝送を行う。

【0039】

なお、ホストコントローラ11A及びメモリコントローラ14Aは、送信するデータに対して、伝送信号のマーク率（0と1の割合）を50%に近づけるため、例えば8ビットから10ビットへの符号化による8B/10B変換技術等を用いてもよい。

【0040】

メモリ15Aは、メモリコントローラ14Aを介してデータの書き込み及び読み出しが行われる記憶媒体である。このメモリ15Aは、例えば、DRAM等の揮発性の半導体メモリ、又はフラッシュメモリ等の不揮発性の半導体メモリが適している。また、メモリ15Aは、磁気によるハードディスクでもよいし、DVD等の光ディスクでもよい。

20

【0041】

光出力部16Aは、第1の記憶装置1Aから第2の記憶装置1Bに対して光信号を出力する。

【0042】

光入力部17Aは、第2の記憶装置1Bから送信された光信号を第1の記憶装置1Aに入力する。

【0043】

光分岐部12A～12Cは、後述するシート状光導波路（光シートバス）や光カブラで構成されている。光分岐部12A～12Cは、入射側の1つの光ファイバを伝播してきた光信号を出射側の複数の光ファイバに分岐して出力する機能を有する。

30

【0044】

図2（a）～（c）は、光分岐部12A～12Cの構成例を示す図であり、図2（a）に示すシート状光導波路120Aは、シート状の導光路になっており、光ファイバ121より入射された光を均一に拡散させて、2本の光ファイバ122に出射する。シート状光導波路120Aは、厚さが一様のシート状の透明媒質からなり、例えば、ポリメチルメタクリレート、ポリカーボネート、アモルファスポリオレフィン等のプラスチック材料や、無機ガラス等から形成されている。

40

【0045】

図2（b）は、階段上の形状を有するシート状光導波路120Bを示す。シート状光導波路120Bは、シート状光導波路120Aと同様の材質により形成されており、45度の入射面1200から入射された光を均一に拡散させて、同じく45度の出射面1201から2つの光を出射する。

【0046】

図2（c）は、光カブラ123を示す。光カブラ123は、Y字状のコアを有する導光路であり、光ファイバ121から入射された光を分岐して、2本の光ファイバ122に出射する。

【0047】

50

光分岐部 1 2 A は、ホストコントローラ 1 1 A の E / O 1 1 0 から送信される光信号をメモリコントローラ 1 4 A 及び光出力部 1 6 A の 2 方向へそれぞれ分岐する。なお、E / O 1 1 0 から送信された光信号が、光分岐部 1 2 A を介して、メモリコントローラ 1 4 A 及び光出力部 1 6 A まで伝送される光線路を第 1 の光分岐線路という。

【0048】

光分岐部 1 2 B は、メモリコントローラ 1 4 A の E / O 1 4 0 から送信される光信号をホストコントローラ 1 1 A 及び光出力部 1 6 A の 2 方向へそれぞれ分岐する。なお、E / O 1 4 0 から送信された光信号が、光分岐部 1 2 B を介して、ホストコントローラ 1 1 A 及び光出力部 1 6 A まで伝送される光線路を第 2 の光分岐線路という。

【0049】

光分岐部 1 2 C は、第 2 の記憶装置 1 B から光入力部 1 7 A を介して入力される光信号をホストコントローラ 1 1 A 及びメモリコントローラ 1 4 A の 2 方向へそれぞれ分岐する。なお、光入力部 1 7 A から入力された光信号が、光分岐部 1 2 C を介して、ホストコントローラ 1 1 A 及びメモリコントローラ 1 4 A まで伝送される光線路を第 3 の光分岐線路という。

【0050】

光合波部 1 3 A ~ 1 3 C は、光分岐部 1 2 A ~ 1 2 C と同様にシート状光導波路や光カプラで構成されており、入射側の複数の光ファイバを伝播してきた光信号を出射側の 1 つの光ファイバに合波して出力する機能を有する。

【0051】

図 3 (a) ~ (c) は、光合波部 1 3 A ~ 1 3 C の構成例を示す図であり、図 3 (a) に示すシート状光導波路 1 3 0 A は、図 2 (a) に示すシート状光導波路 1 2 0 A と同様の材質により形成されており、2 本の光ファイバ 1 3 1 より入射された光を均一に拡散させて、1 本の光ファイバ 1 3 2 に出射する。

【0052】

図 3 (b) は、階段上の形状を有するシート状光導波路 1 3 0 B を示す。シート状光導波路 1 3 0 B は、図 2 (b) に示すシート状光導波路 1 2 0 B と同様の材質により形成されており、45 度の入射面 1 2 0 0 から入射された光を均一に拡散させて、同じく 45 度の出射面 1 2 0 1 から 1 つの光を出射する。

【0053】

図 3 (c) は、光カプラ 1 3 3 を示す。光カプラ 1 3 3 は、図 2 (c) に示す光カプラ 1 2 3 と同様に構成されており、光ファイバ 1 3 1 から入射された光を光ファイバ 1 3 2 に出射する。

【0054】

光合波部 1 3 A は、メモリコントローラ 1 4 A から光分岐部 1 2 B を介して送信された光信号と、第 2 の記憶装置 1 B から光入力部 1 7 A を介して入力された光信号とを合波してホストコントローラ 1 1 A に伝送する。

【0055】

光合波部 1 3 B は、ホストコントローラ 1 1 A から光分岐部 1 2 A を介して送信された光信号と、第 2 の記憶装置 1 B から光入力部 1 7 A を介して入力された光信号とを合波してメモリコントローラ 1 4 A に伝送する。

【0056】

光合波部 1 3 C は、ホストコントローラ 1 1 A から光分岐部 1 2 A を介して送信された光信号と、メモリコントローラ 1 4 A から光分岐部 1 2 B を介して送信された光信号とを合波して光出力部 1 6 A に伝送する。

【0057】

(第 1 の実施の形態における動作)

次に、第 1 の実施の形態に係るデータ処理システム 1 0 0 A の動作について説明する。

【0058】

(1) 記憶装置の初期化処理

10

20

30

40

50

まず、第1の記憶装置1Aの電源が投入されると、第1の記憶装置1Aのホストコントローラ11Aは、初期化処理として、光出力部16A及び光入力部17Aに他の記憶装置が接続されているか、例えば、テスト用のデータを送信し、そのデータに対する返信があるか否かにより確認する。

【0059】

そして、ホストコントローラ11Aが、他の記憶装置として第2の記憶装置1Bが接続されていることを検出すると、第2の記憶装置1Bのホストコントローラ11Bとの間でデータ伝送の時間割り当てを決定する。

【0060】

例えば、ホストコントローラ11Aは、時間割り当てを決定するためのデータとして、E/O110により変換された光信号を光出力部16Aを介して第2の記憶装置1Bに出力し、そのデータに対する返信を第2の記憶装置1Bから受け取った時間を測定する。そして、ホストコントローラ11Aは、その測定した時間に基づいて、ホストコントローラ11A、メモリコントローラ14A及び第2の記憶装置1Bとの相互間でデータ伝送を行う時間割り当てを決定し、その決定した時間割り当てをメモリコントローラ14A及び第2の記憶装置1Bのホストコントローラ11Bに送信する。

【0061】

ここで、図4は、データ伝送の時間割り当ての一例を示すタイミングチャートである。所定の周期で区切られた周期時間200が、4つの時間領域T1～T4に分割されている。

【0062】

時間領域T1は、第1の記憶装置1Aのホストコントローラ11Aに割り当てられた時間領域を示し、時間領域T2は、第1の記憶装置1Aのメモリコントローラ14Aに割り当てられた時間領域を示す。また、時間領域T3は、第2の記憶装置のホストコントローラ11Bに割り当てられた時間領域を示し、時間領域T4は、第2の記憶装置1Bのメモリコントローラ14Bに割り当てられた時間領域を示す。そのため、光線路のデータ伝送速度は、第1の記憶装置1Aと第1のホスト2Aとの間の伝送線路の伝送速度に対して遅れが生じないように、例えば、4倍として構成されている。

【0063】

なお、ホストコントローラ11Aは、データ伝送の時間割り当てを初期化処理の他に、例えば、第1及び第2のホスト2A、2Bから実行の指示を受け付けた場合にデータ伝送の時間割り当てを決定する動作を行ってもよい。また、上記では、ホストコントローラ11Aは時間割り当てを決定するためのデータを光信号により送信したが、第1及び第2の記憶装置1A、1Bを接続する制御線を設けて電気信号により行ってもよいし、第1及び第2のホスト2A、2Bを介して行ってもよい。また、上記では、第1の記憶装置1Aが主となって時間割り当てを決定したが、第2の記憶装置1Bが主となって決定してもよい。

【0064】

また、各記憶装置に開始スイッチを設け、その開始スイッチが押下されたことにより、各記憶装置は時間割り当てを決定する動作を開始してもよい。また、各記憶装置に時間割り当てを設定するための設定スイッチを設け、その設定スイッチに対してユーザにより指示された設定状態に応じて、時間割り当てを決定するようにしてもよい。

【0065】

(2) 記憶装置とホストとの間のデータ送受信

第1のホスト2Aが、第1の記憶装置1Aに対してデータの書き込みを要求すると、第1の記憶装置1Aのホストコントローラ11Aは、第1のホスト2Aからメモリ15Aへの書き込みデータとともにそのデータの書き込み先である書き込み先アドレスを電気信号により受信する。

【0066】

次に、ホストコントローラ11Aは、時間領域T1において、書き込み要求を示す処理

情報、書き込みデータ及び書き込み先アドレスからなるデータD1をE/O121により光信号に変換し送信する。

【0067】

ホストコントローラ11Aから送信された光信号は、光分岐部12Aにおいて2方向に分岐され、1つは光合波部13Bを介してメモリコントローラ14Aに、もう1つは光合波部13Cを介して光出力部16Aに送信される。

【0068】

ここで、図5は、第1の記憶装置1Aの各部において送信及び受信されたデータの一例を示すタイミングチャートである。すなわち、時間領域T1においては、ホストコントローラ11Aから送信されたデータD1は、光分岐部12Aにより分岐されて、メモリコントローラ14Aと光出力部16Aとに送信される。

10

【0069】

なお、ホストコントローラ11Aは、時間領域T1であれば、周期時間200のいずれの周期でデータを送ってもよいし、書き込みデータを分割して、複数の周期時間200の時間領域T1において、それら分割した書き込みデータからなる複数のデータD1を複数回に分けて送信してもよい。

【0070】

そして、メモリコントローラ14Aは、その光信号を受信すると、O/E141において光信号を電気信号に変換し、その変換したデータに含まれる処理情報に基づいて、そのデータの処理を行う。ここでは、変換したデータであるデータD1の処理情報は、書き込み要求であるため、メモリ15Aに書き込みデータ及び書き込み先アドレスを送信し、メモリ15Aは、書き込み先アドレスに書き込みデータを格納する。一方、光出力部16Aは、ホストコントローラ11Aから送信された光信号をそのまま第2の記憶装置1Bに送信する。

20

【0071】

また、第1のホスト2Aが、第1の記憶装置1Aに対してデータの読み出しを要求すると、第1の記憶装置1Aのホストコントローラ11Aは、第1のホスト2Aから読み出し先アドレスを受信し、時間領域T1において、読み出し要求を示す処理情報及び読み出し先アドレスからなるデータD1をメモリコントローラ14Aに送信する。

【0072】

メモリコントローラ14Aは、受信したデータD1の処理情報が読み出し要求であることを検出すると、読み出し先アドレスに該当するデータをメモリ15Aから読み出し、時間領域T2において、その読み出した読み出しデータからなるデータD2をE/O140で電気信号から光信号に変換し送信する。

30

【0073】

メモリコントローラ14Aから送信された光信号は、光分岐部12Bにおいて2方向に分岐され、1つは光合波部13Aを介してホストコントローラ11Aに、もう1つは光合波部13Cを介して光出力部16Aに送信される。

【0074】

すなわち、図5に示すように、時間領域T2においては、メモリコントローラ14Aから送信されたデータD2は、光分岐部12Bにより分岐されて、ホストコントローラ11Aと光出力部16Aとに送信される。

40

【0075】

そして、ホストコントローラ11Aは、メモリコントローラ14Aから受信した光信号をO/E111により電気信号に変換することによりデータD2を取得し、そのデータD2に含まれる読み出しデータを第1のホスト2Aに送信する。一方、光出力部16Aは、メモリコントローラ14Aから送信された光信号をそのまま第2の記憶装置1Bに送信する。

【0076】

以上のようなデータの送受信の動作は、第2のホスト2Bと第2の記憶装置1Bとの間

50

でも行われており、第2の記憶装置1Bでは、時間領域T3においてホストコントローラ11Aから光信号が送信され、時間領域T4においてメモリコントローラ14Aから光信号が送信される。

【0077】

したがって、時間領域T3においては、第2の記憶装置1Bのホストコントローラ11Bから送信されたデータD3からなる光信号は、図5に示すように、光入力部17Aを介して第1の記憶装置1Aにも入力され、さらに光分岐部12Cにより分岐されて、第1の記憶装置1Aのホストコントローラ11A及びメモリコントローラ14Aに送信される。

【0078】

そして、ホストコントローラ11Aは、ホストコントローラ11Bから送信された光信号を受信すると、O/E110により光信号から電気信号に変換してデータD3を取得し、例えば、データD3において第1のホスト2Aへのデータの送信が要求されていた場合には、第1のホスト2Aにそのデータを送信する。

【0079】

また、メモリコントローラ14Aは、ホストコントローラ11Bから送信された光信号を受信すると、O/E140により光信号から電気信号に変換してデータD3を取得し、例えば、データD3が書き込みデータの書き込み先アドレスとしてメモリ15Aのアドレスが指定されていた書き込み要求である場合には、メモリ15Aの指定された書き込み先アドレスに書き込みデータを格納する。

【0080】

次に、時間領域T4においては、第2の記憶装置1Bのメモリコントローラ14Bから送信されたデータD4からなる光信号は、図5に示すように、光入力部17Aを介して第1の記憶装置1Aにも入力され、さらに光分岐部12Cを介して第1の記憶装置1Aのホストコントローラ11A及びメモリコントローラ14Aに送信される。

【0081】

そして、ホストコントローラ11A及びメモリコントローラ14Aは、上記のデータD3の場合と同様に、データD4に対して自己の処理が必要と判断した場合に必要な処理を行う。

【0082】

〔第2の実施の形態〕

図6は、本発明の第2の実施の形態に係るデータ処理システムの概略構成の一例を示すブロック図である。

【0083】

本実施の形態に係るデータ処理システム100Bが有する第1及び第2の記憶装置1A、1Bは、第1の実施の形態に係る第1及び第2の記憶装置1A、1Bに対して、光分岐部12Aと光合波部13Aとを接続する光ファイバ18Aと、光分岐部12Bと光合波部13Bとを接続する光ファイバ18Bとを追加したものであり、光分岐部12A、12Bは、1つの光信号を3つの光信号に分岐し、光合波部13A、13Bは、3つの光信号を1つの光信号に合波するものである。

【0084】

図7は、本実施の形態に係る第1の記憶装置1Aの各部において送信及び受信されたデータの一例を示すタイミングチャートである。第1の記憶装置が有する光分岐部12Aは光信号を3方向に分岐するものであるため、時間領域T1においては、ホストコントローラ11Aから送信されたデータD1は、光分岐部12Aを介してメモリコントローラ14A、光出力部16A及びホストコントローラ11Aの3方向に送信される。

【0085】

また、時間領域T2においては、メモリコントローラ14Aから送信されたデータD2は、光分岐部12Bを介してホストコントローラ11A、光出力部16A及びメモリコントローラ14Aの3方向に送信される。そして、メモリコントローラ14Aから送信されたデータD2が自己のメモリコントローラ14Aに再入力（ループバック）されることに

10

20

30

40

50

より、メモリコントローラ 14 A が受信する信号に途切れがなくなり、信号のレベルが同じ状態で長く続くことがなくなるため、伝送エラーが抑制される。

【0086】

[第3の実施の形態]

図8は、本発明の第3の実施の形態に係るデータ処理システムの概略構成の一例を示すブロック図である。

【0087】

このデータ処理システム 100 C は、第1～第4の記憶装置 1 A～1 D を光線路によりリング状に接続し、第1～第4の記憶装置 1 A～1 D に第1～第4のホスト 2 A～2 D をそれぞれ接続したものである。なお、本実施の形態に係る第1～第4の記憶装置 1 A～1 D には、第1又は第2の実施の形態に係る記憶装置を適用することができる。

10

【0088】

すなわち、第1の記憶装置 1 A の光出力部 16 A は、第2の記憶装置 1 B の光入力部 17 B に接続され、同様にして、第2の記憶装置 1 B の光出力部 16 B は第3の記憶装置 1 C の光入力部 17 C に、第3の記憶装置 1 C の光出力部 16 C は第4の記憶装置 1 D の光入力部 17 D に、第4の記憶装置 1 D の光出力部 16 D は第1の記憶装置 1 A の光入力部 17 A にそれぞれ接続されている。

【0089】

第1～第4の記憶装置 1 A～1 D におけるホストコントローラは、それぞれ接続された記憶装置との間でデータ伝送の時間割り当てを決定する。そして、第1～第4の記憶装置 1 A～1 D におけるホストコントローラ及びメモリコントローラは、その決定した時間割り当てに基づいて、データの送受信を行う。

20

【0090】

また、第1～第4の記憶装置 1 A～1 D におけるホストコントローラ及びメモリコントローラは、データを送信する際に、そのデータの送信先のアドレスやそのデータの処理情報をそのデータに付与して送信する。

【0091】

そして、第1～第4の記憶装置 1 A～1 D におけるホストコントローラ及びメモリコントローラは、データを受信すると、そのデータに含まれている送信先のアドレスやそのデータの処理情報を確認し、自己の処理が必要と判断した場合に必要な処理を行う。

30

【0092】

なお、図8では、第1～第4の記憶装置 1 A～1 D に第1～第4のホスト 2 A～2 D がそれぞれ接続されているが、全ての記憶装置にホストが接続されていなくてもよく、例えば、第1の記憶装置 1 A にホストが接続されて、第2～第4の記憶装置 1 B～1 D にホストが接続されていなくてもよいし、第1及び第3の記憶装置 1 A, 1 C にホストがそれぞれ接続されていてもよい。

【0093】

また、上記のように第1の記憶装置 1 A にだけホストが接続されている状態で、例えば、そのホストから第3の記憶装置 1 C にデータを書き込む場合には、第1の記憶装置 1 A が、そのホストから書き込み要求を受け取り、光出力部 16 A を介して光信号として送信する。そして、第2の記憶装置 1 B は、光入力部 17 B を介して受信した光信号を光出力部 16 B を介して送信し、第3の記憶装置 1 C は、光入力部 17 C を介してその光信号を受信し、その書き込み要求に対する処理を行う。すなわち、第2の記憶装置 1 B は、第1の記憶装置 1 A から第3の記憶装置 1 C に送られるデータをリレー（中継）するものである。

40

【0094】

[第4の実施の形態]

図9は、本発明の第4の実施の形態に係るデータ処理システムの概略構成の一例を示すブロック図である。

【0095】

50

このデータ処理システム 100D は、第 1～第 3 の記憶装置 1A～1C を光線路により相互に接続し、第 1～第 3 の記憶装置 1A～1C に第 1～第 3 のホスト 2A～2C をそれぞれ接続したものである。

【0096】

第 1 の実施の形態に係る記憶装置と比較して、本実施の形態に係る第 1 の記憶装置 1A は、光分岐部 12C 及び光合波部 13C を備える代わりに、2 つの光信号を入射でき、その入射されたそれぞれの光信号を 2 つの光信号に分岐して出射する光合波分岐部 19A 及び 19B を備える。なお、本実施の形態に係る第 1 の記憶装置 1A のその他の構成については、第 1 又は第 2 の実施の形態に係る記憶装置の構成を適用することができる。

【0097】

光出力部 16A は、第 2 及び第 3 の記憶装置 1B、1C の光入力部 17B、17C にそれぞれ接続され、光合波分岐部 19A から送られた 2 つの光信号をそれぞれに出力する。

【0098】

光入力部 17A は、第 2 及び第 3 のホスト 2B、2C から送られた 2 つの光信号を光合波分岐部 19A に入力する。

【0099】

また、第 2 及び第 3 の記憶装置 1B、1C は、上記の第 1 の記憶装置 1A と同様の構成を有し、第 2 の記憶装置 1B の光出力部 16B は、第 1 及び第 3 の記憶装置 1A、1C の光入力部 17A、17C に接続され、第 3 の記憶装置 1C の光出力部 16C は、第 1 及び第 2 の記憶装置 1A、1B の光入力部 17A、17B に接続されている。

【0100】

第 1～第 3 の記憶装置 1A～1C におけるホストコントローラは、それぞれ接続された記憶装置との間でデータ伝送の時間割り当てを決定する。そして、第 1～第 3 の記憶装置 1A～1C におけるホストコントローラ及びメモリコントローラは、その決定した時間割り当てに基づいて、データの送受信を行う。

【0101】

ここで、図 10 は、本実施の形態に係る第 1 の記憶装置 1A の各部において送信及び受信されたデータの一例を示すタイミングチャートである。第 1～第 3 の実施の形態に係る記憶装置では、周期時間 200 を 4 分割したに対し、本実施の形態に係る記憶装置は、周期時間 200 を 6 分割したものである。

【0102】

時間領域 T1 は、第 1 の記憶装置 1A のホストコントローラ 11A に割り当てられており、ホストコントローラ 11A から送信されたデータ D1 は、光分岐部 12A を介してメモリコントローラ 14A 及び光合波分岐部 19A に送信される。

【0103】

時間領域 T2 は、第 1 の記憶装置 1A のメモリコントローラ 14A に割り当てられており、メモリコントローラ 14A から送信されたデータ D2 は、光分岐部 12B を介してメモリコントローラ 14A 及び光合波分岐部 19A に送信される。

【0104】

時間領域 T3、T4 は、第 2 の記憶装置 1B のホストコントローラ及びメモリコントローラにそれぞれ割り当てられており、第 2 の記憶装置 1B のホストコントローラ及びメモリコントローラから送信されたデータ D3、D4 は、光入力部 17A 及び光合波分岐部 19B を介してホストコントローラ 11A 及びメモリコントローラ 14A に送信される。

【0105】

時間領域 T5、T6 は、同様に、第 3 の記憶装置 1C のホストコントローラ及びメモリコントローラにそれぞれ割り当てられており、第 3 の記憶装置 1C のホストコントローラ及びメモリコントローラから送信されたデータ D5、D6 は、光入力部 17A 及び光合波分岐部 19B を介してホストコントローラ 11A 及びメモリコントローラ 14A に送信される。

【0106】

そして、第 1～第 3 の記憶装置 1 A～1 C におけるホストコントローラ及びメモリコントローラは、第 3 の実施の形態と同様に、データ送信の際は、そのデータの送信先のアドレスや処理情報を付与して送信し、データ受信の際は、そのデータに含まれている送信先のアドレスや処理情報を確認し、自己の処理が必要と判断した場合に必要な処理を行う。

【0107】

なお、図 9 では、第 1～第 3 の記憶装置 1 A～1 C に第 1～第 3 のホスト 2 A～2 C がそれぞれ接続されているが、全ての記憶装置にホストが接続されていなくてもよく、例えば、第 1 の記憶装置 1 A にホストが接続されて、第 2 及び第 3 の記憶装置 1 B, 1 C にホストが接続されていなくてもよいし、第 1 及び第 3 の記憶装置 1 A, 1 C にホストがそれぞれ接続されていてもよい。

【0108】

また、上記のように第 1 の記憶装置 1 A にだけホストが接続されている状態で、例えば、そのホストから第 3 の記憶装置 1 C にデータを書き込む場合には、第 1 の記憶装置 1 A が、そのホストから書き込み要求を受け取り、光出力部 1 6 A を介して光信号として送信する。そして、第 3 の記憶装置 1 C は、光入力部 1 7 C を介してその光信号を受信し、その書き込み要求に対する処理を行う。

【0109】

〔他の実施の形態〕

なお、本発明は、上記各実施の形態に限定されず、その要旨を変更しない範囲内で種々変形実施が可能である。例えば、上記各実施の形態では、光信号を送信する割り当てを時間により分割したが、各コントローラが有する E/O が送信する光信号の波長を重複しないように決定し、各 E/O がその決定された波長の光信号を送信してもよい。その場合には、O/E は、複数の波長を含む光信号から各波長に対応する光学フィルタを備え、その光学フィルタにより各波長の光信号を個別に取り出して、各 E/O から送信された光信号を受信する。

【0110】

また、上記各実施の形態の構成要素を発明の要旨を変更しない範囲内で任意に組み合わせることができる。

【図面の簡単な説明】

【0111】

【図 1】図 1 は、本発明の第 1 の実施の形態に係るデータ処理システムの概略構成の一例を示すブロック図である。

【図 2】図 2 は、本発明の第 1 の実施の形態に係る光分岐部を示し、(a) はシート状光導波路の断面図、(b) は階段上の形状を有するシート状光導波路の斜視図、(c) は光カプラの断面図である。

【図 3】図 3 は、本発明の第 1 の実施の形態に係る光合波部を示し、(a) はシート状光導波路の断面図、(b) は階段上の形状を有するシート状光導波路の斜視図、(c) は光カプラの断面図である。

【図 4】図 4 は、データ伝送の時間割り当ての一例を示すタイミングチャートである。

【図 5】図 5 は、本発明の第 1 の実施の形態に係る記憶装置の各部において送信及び受信されたデータの一例を示すタイミングチャートである。

【図 6】図 6 は、本発明の第 2 の実施の形態に係るデータ処理システムの概略構成の一例を示すブロック図である。

【図 7】図 7 は、本発明の第 2 の実施の形態に係る記憶装置の各部において送信及び受信されたデータの一例を示すタイミングチャートである。

【図 8】図 8 は、本発明の第 3 の実施の形態に係るデータ処理システムの概略構成の一例を示すブロック図である。

【図 9】図 9 は、本発明の第 4 の実施の形態に係るデータ処理システムの概略構成の一例を示すブロック図である。

【図 10】図 10 は、本発明の第 4 の形態に係る第 1 の記憶装置 1 A の各部において送信

10

20

30

40

50

及び受信されたデータの一例を示すタイミングチャートである。

【符号の説明】

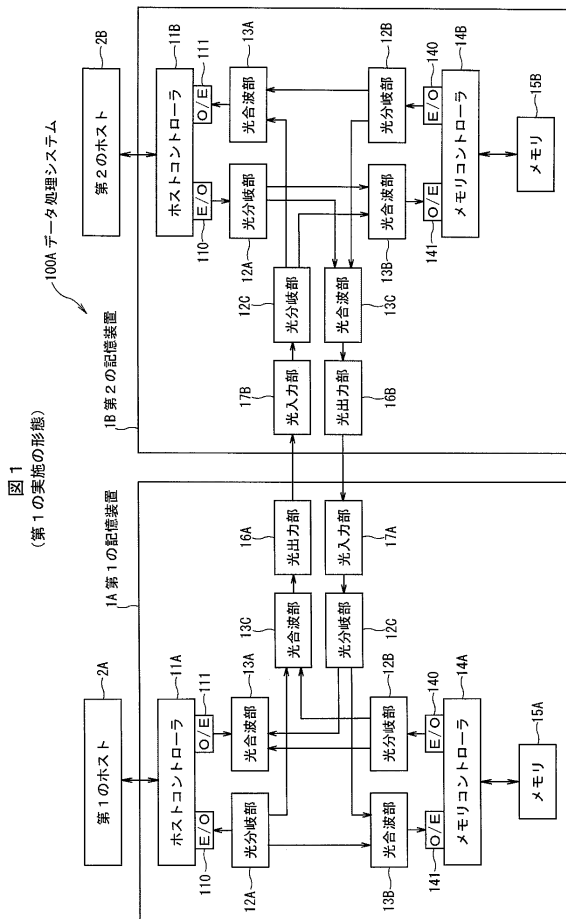
【0112】

- 1 A～1 D 記憶装置
 2 A～2 D ホスト
 11 A, 11 B ホストコントローラ
 12 メモリコントローラ
 12 A～12 C 光分岐部
 13 A～13 C 光合波部
 14 A, 14 B メモリコントローラ
 15 A, 15 B メモリ
 16 A～16 D 光出力部
 17 A～17 D 光入力部
 18 A, 18 B 光ファイバ
 19 A, 19 B 光合波分岐部
 100 A～100 D データ処理システム
 120 A, 120 B シート状光導波路
 121, 122 光ファイバ
 123 光カップラ
 130 A, 130 B シート状光導波路
 131, 132 光ファイバ
 133 光カップラ
 200 周期時間
 1200 入射面
 1201 出射面

10

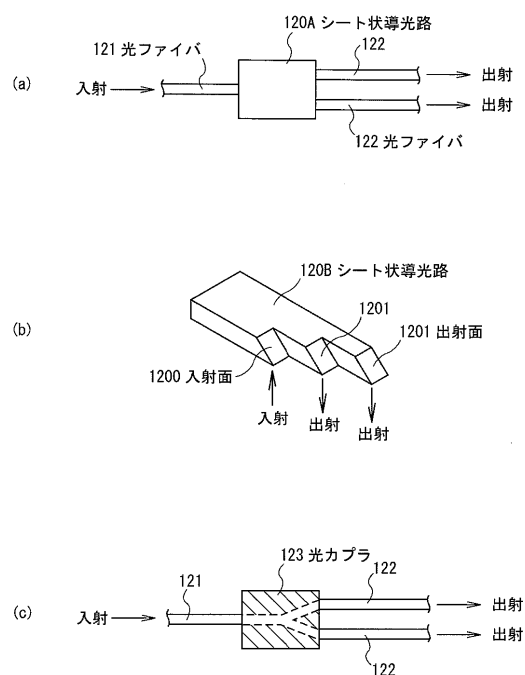
20

【図1】



【図2】

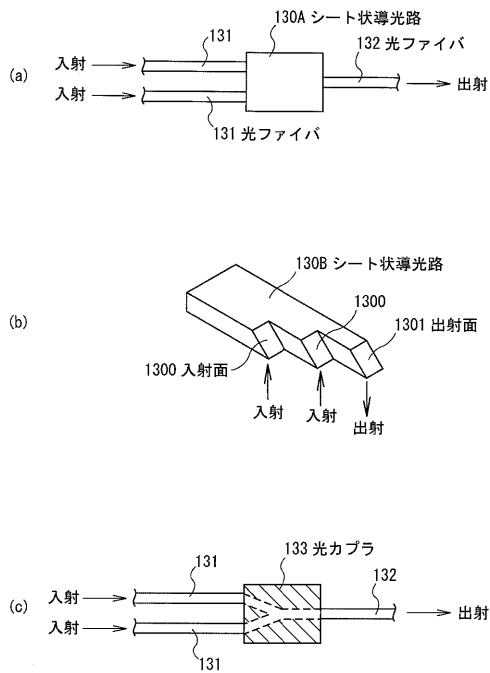
図2
(第1の実施形態)



【 図 3 】

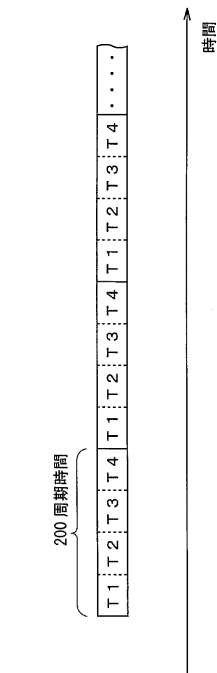
图 3

(第 1 の実施の形態)



【圖 4】

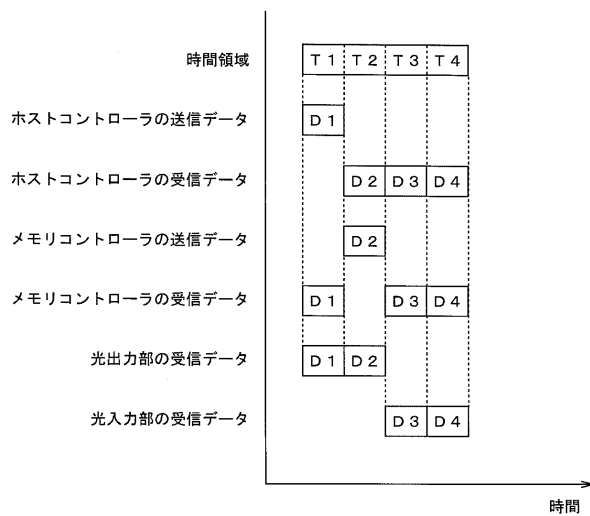
図4
(第1の実施の形態)



【図 5】

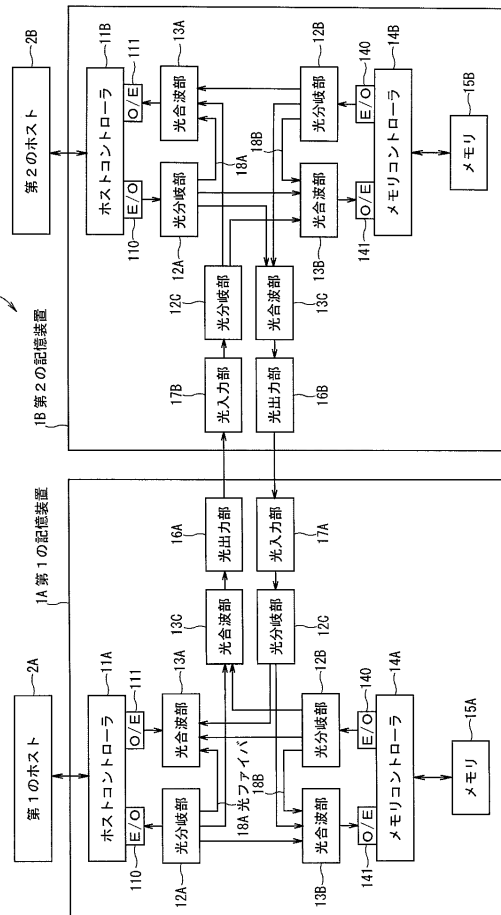
図 5

(第 1 の実施の形態)

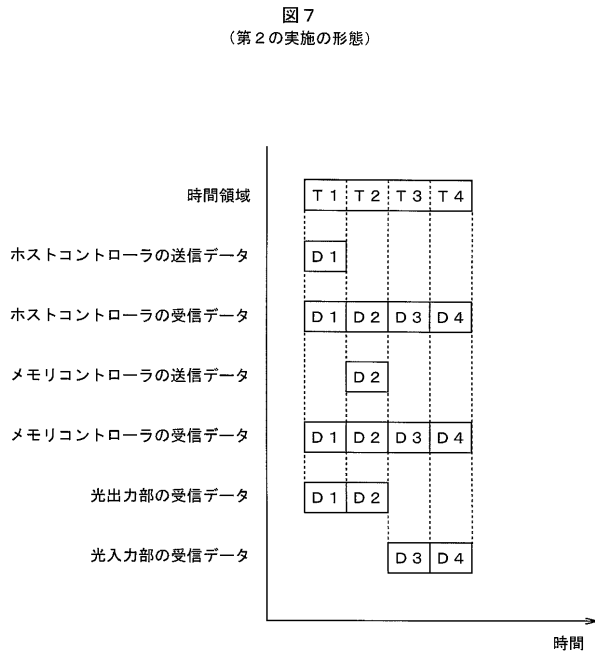


【图 6】

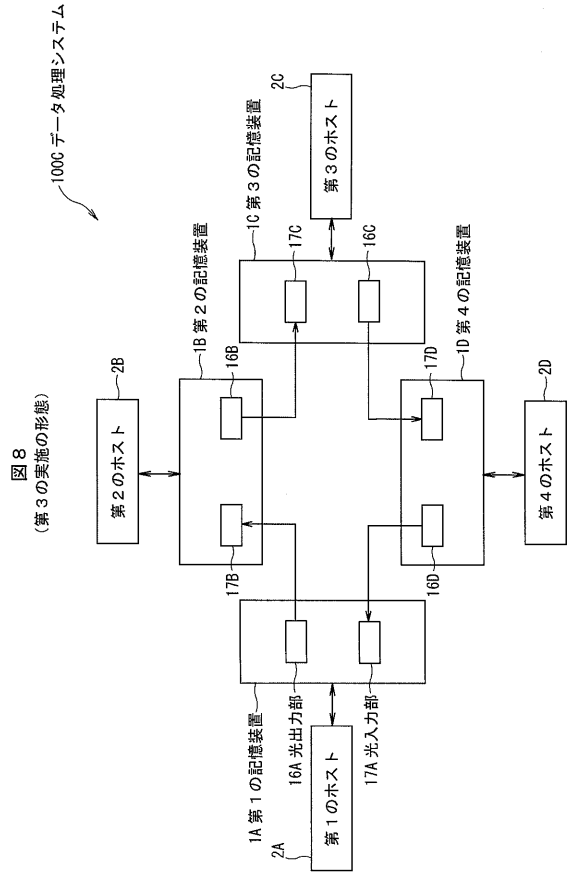
図6
(第2の実施の形態)



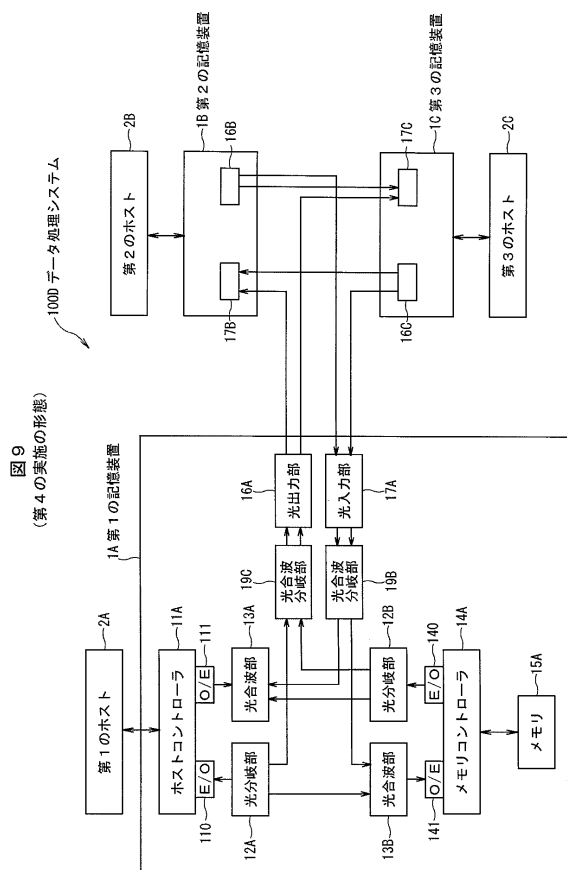
【図 7】



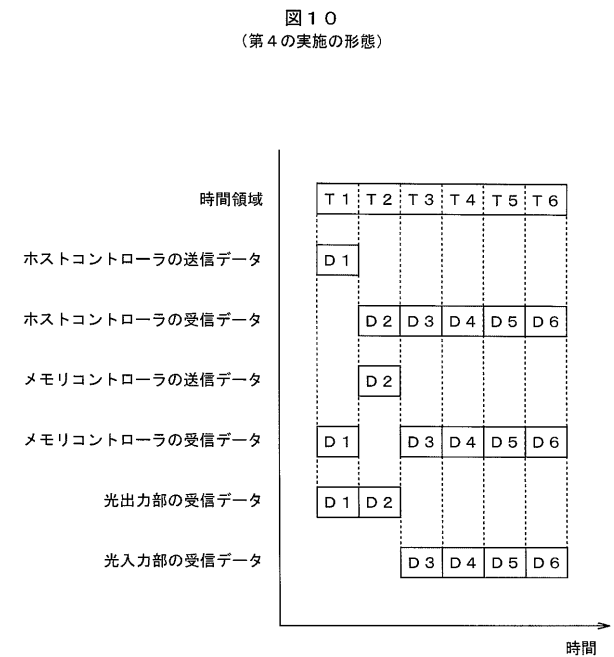
【図 8】



【図 9】



【図 10】



フロントページの続き

- (72)発明者 佐藤 嘉秀
神奈川県足柄上郡中井町境4 3 0 グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 鈴木 一広
神奈川県足柄上郡中井町境4 3 0 グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 浜田 勉
神奈川県足柄上郡中井町境4 3 0 グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 木島 勝
神奈川県足柄上郡中井町境4 3 0 グリーンテクなかい 富士ゼロックス株式会社内
- Fターム(参考) 5B065 BA05 CE22