

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6091216号
(P6091216)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

(51) Int.Cl.	F 1
HO4N 5/225 (2006.01)	HO4N 5/225 Z
HO4N 5/232 (2006.01)	HO4N 5/232 Z
HO4N 7/01 (2006.01)	HO4N 5/225 F
	HO4N 7/01 Z

請求項の数 7 (全 13 頁)

(21) 出願番号 特願2013-943 (P2013-943)
 (22) 出願日 平成25年1月8日(2013.1.8)
 (65) 公開番号 特開2014-135537 (P2014-135537A)
 (43) 公開日 平成26年7月24日(2014.7.24)
 審査請求日 平成27年12月22日(2015.12.22)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100114775
 弁理士 高岡 亮一
 (72) 発明者 田中 康之
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内
 審査官 高野 美帆子

(56) 参考文献 特開2009-065320 (JP, A)
)

最終頁に続く

(54) 【発明の名称】 画像信号処理装置およびその制御方法、並びに撮像装置

(57) 【特許請求の範囲】

【請求項 1】

第1画像信号を縮小して第2画像信号を生成するサイズ変更処理手段と、
前記第1画像信号と前記第2画像信号に対して信号処理を行う信号処理手段と、
前記信号処理手段による信号処理が行われた前記第1画像信号を記録メディアに出力す
る出力手段と、

前記信号処理手段による信号処理が行われた前記第2画像信号に対して表示用の信号処
理を行う表示用信号処理手段を備え、

前記信号処理手段が1フレーム期間を複数の期間に時分割し、1フレーム期間内の異なる
期間で前記第1画像信号と前記第2画像信号のそれぞれに対して信号処理を行うことで
、前記出力手段が前記第1画像信号を前記記録メディアに出力する前に、前記表示用信号
処理手段が前記第1画像信号から生成された前記第2画像信号に対して前記表示用の信号
処理を行うことを特徴とする画像信号処理装置。

【請求項 2】

前記信号処理手段は、1フレーム期間において、先に前記第2画像信号に対する信号処
理を行ってから、前記第1画像信号に対する信号処理を行うことを特徴とする請求項1に
記載の画像信号処理装置。

【請求項 3】

前記信号処理手段は、前記第1画像信号に対する信号処理を中断して、前記第2画像信
号に対する信号処理を行うことを特徴とする請求項1に記載の画像信号処理装置。

【請求項 4】

前記信号処理手段による信号処理が行われた前記第1画像信号と、前記信号処理手段による信号処理が行われた前記第2画像信号を記憶する記憶手段を有し、

前記出力手段は前記記憶手段から前記第1画像信号を読み出して前記記録メディアに出力し、

前記表示用信号処理手段は前記記憶手段から前記第2画像信号を読み出して前記表示用の信号処理を行うことを特徴とする請求項1乃至3のいずれか1項に記載の画像信号処理装置。

【請求項 5】

前記信号処理手段は、ノイズリダクション処理、画像歪の補正処理、および像ぶれの補正処理のうちの1つ以上の処理を行うことを特徴とする請求項1乃至4のいずれか1項に記載の画像信号処理装置。 10

【請求項 6】

撮像手段と、

前記撮像手段で生成された第1画像信号を縮小して第2画像信号を生成するサイズ変更処理手段と、

前記第1画像信号と前記第2画像信号に対して信号処理を行う信号処理手段と、

前記信号処理手段による信号処理が行われた前記第1画像信号を記録メディアに出力する出力手段と、

前記信号処理手段による信号処理が行われた前記第2画像信号に対して表示用の信号処理を行う表示用信号処理手段を備え、 20

前記信号処理手段が1フレーム期間を複数の期間に時分割し、1フレーム期間内の異なる期間で前記第1画像信号と前記第2画像信号のそれぞれに対して信号処理を行うことで、前記出力手段が前記第1画像信号を前記記録メディアに出力する前に、前記表示用信号処理手段が前記第1画像信号から生成された前記第2画像信号に対して前記表示用の信号処理を行うことを特徴とする撮像装置。

【請求項 7】

第1画像信号を縮小して第2画像信号を生成するサイズ変更ステップと、

前記第1画像信号と前記第2画像信号に対して信号処理を行う信号処理ステップと、

前記信号処理ステップにおいて信号処理が行われた前記第1画像信号を記録メディアに出力する出力ステップと、 30

前記信号処理ステップにおいて信号処理が行われた前記第2画像信号に対して表示用の信号処理を行う表示用信号処理ステップを有し、

前記信号処理ステップにおいて、1フレーム期間を複数の期間に時分割し、1フレーム期間内の異なる期間で前記第1画像信号と前記第2画像信号のそれぞれに対して信号処理を行うことで、前記第1画像信号を前記記録メディアに出力する前に、前記第1画像信号から生成された前記第2画像信号に対して前記表示用の信号処理を行うことを特徴とする画像信号処理装置の制御方法。

【発明の詳細な説明】 40

【技術分野】

【0001】

本発明は、入力画像信号を処理して表示装置に表示する場合の表示遅延時間を短縮する技術に関する。

【背景技術】

【0002】

デジタルビデオカメラやデジタルカメラ等の撮像装置は、被写体像の確認用に表示装置を備え、液晶や有機EL（エレクトロルミネッセンス）のディスプレイ（パネル）や電子ビューファインダー（EVF）等が使用される。表示画面にはユーザが撮影する被写体像、つまり記録している画像を所定の画質でリアルタイムに表示することができる。近年、 50

記録画像の多画素化や、画質改善処理の多機能化に伴い、信号処理に時間がかかると表示遅延が生じる。表示遅延により、パンニングやチルティング、ズーミング等のカメラ操作時にユーザに違和感を与え、構図やフォーカス状態等の確認が難しくなる場合がある。表示遅延量は撮影フレーム周波数に依存し、フレーム周波数が低い場合に表示遅延量が大きくなる。撮像装置の構成にもよるが、例えば、フレーム周波数 24 Hz (ヘルツ) の場合は、60 Hz の場合よりも表示遅延量が 2.5 倍大きくなる。

【0003】

テレビジョン装置においても画質改善処理の多機能化により同様の問題がある。テレビジョン装置にゲーム機器を接続してユーザがゲーム操作を行う場合、テレビジョン装置で画質改善処理を行うと数フレーム時間の表示遅延が生じる。ユーザ操作の遅れが原因でゲーム結果が変わる場合や、ユーザに違和感を与える場合があった。そこで、表示遅延量の低減のために、画質改善処理を簡略化した低遅延用の処理を行う方法や、フレームメモリの記憶処理と読み出し処理を同時に実行する制御方法が特許文献 1 に開示されている。10

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特許第 4691193 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来の装置では、入力画像信号を処理しつつ、表示用の画像信号を生成して表示部に出力するまでの表示遅延時間を如何にして短縮するかが課題である。従来の技術では撮像装置等への適用において、撮影中の画像を表示装置に表示する場合の表示遅延時間を短縮することが困難である。20

本発明は、入力画像信号を処理しつつ、表示用の画像信号を生成して表示部に出力するまでの表示遅延時間を短縮することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明に係る装置は、第 1 画像信号を縮小して第 2 画像信号を生成するサイズ変更処理手段と、前記第 1 画像信号と前記第 2 画像信号に対して信号処理を行う信号処理手段と、前記信号処理手段による信号処理が行われた前記第 1 画像信号を記録メディアに出力する出力手段と、前記信号処理手段による信号処理が行われた前記第 2 画像信号に対して表示用の信号処理を行う表示用信号処理手段を備える。前記信号処理手段が 1 フレーム期間を複数の期間に分割し、1 フレーム期間内の異なる期間で前記第 1 画像信号と前記第 2 画像信号のそれぞれに対して信号処理を行うことで、前記出力手段が前記第 1 画像信号を前記記録メディアに出力する前に、前記表示用信号処理手段が前記第 1 画像信号から生成された前記第 2 画像信号に対して前記表示用の信号処理を行う
。

30

【発明の効果】

【0007】

本発明によれば、入力画像信号を処理しつつ、表示用の画像信号を生成して表示部に出力するまでの表示遅延時間を短縮することができる。

【図面の簡単な説明】

【0008】

【図 1】本発明の実施形態に係る画像信号処理装置の構成例を示す機能ブロック図である。

【図 2】比較例の構成を示す機能ブロック図である。

【図 3】本発明の実施形態に係る動作タイミング例を示す図である。

【図 4】比較例の動作タイミング例を示す図である。

10

20

30

40

50

【図5】1個のDRAMを共用した場合の構成例を示すブロック図である。

【図6】歪曲収差の補正処理を説明する図である。

【図7】ノイズリダクション処理を説明する図である。

【図8】時分割処理でのノイズリダクション処理を説明する図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態について詳細に説明する。本実施形態では、入力画像信号をフレーム期間ごとに処理する画像信号処理装置を撮像装置に適用した例を示す。記録画像用の信号処理回路の一部分から所定の信号（YCC信号）を抜き出して表示用画像処理回路に出力することにより、表示遅延時間を短縮するブロック構成について、ビデオカメラを例にして説明する。

10

【0010】

まず、本実施形態に係る信号処理装置の構成例について、図1を参照して説明する。

撮像用のセンサ100は、CCD（電荷結合素子）やCMOS（相補型金属酸化膜半導体）等を用いた撮像素子である。図1では省略するが、撮像光学系を構成するレンズ群を通過する被写体光に対して、入射光量や焦点調節が行われる。センサ100は結像された被写体像を光電変換し、内部でアナログ・デジタル変換を行い、各画素の光量に対応したデジタル画像信号を出力する。撮像素子の各画素には、R（赤）、G（緑）、B（青）の各カラーフィルタが、所定の配列、例えばベイヤー配列やハニカム配列で配置されている。これによりRGB画像信号が得られる。また、高速出力化のために、複数の画素の出力を加算して1つの出力画像を得る画素加算処理を行って、RGB画像信号を出力する場合もある。

20

【0011】

第1リサイズ処理部101は、センサ100からの入力画像信号（RGB画像信号）を取得して画像縮小処理を行う。縮小するサイズは、第1信号処理部102が処理可能な大きさであり、R（赤）、G（緑）、B（青）の色毎に重心を補正しながら縮小処理が実行される。第1信号処理部102は、RGB画像信号を受信し、RGBのオフセット調整、ゲイン調整、ガンマ補正処理を行う。次に第1信号処理部102は、RGB画像信号から輝度信号（Y）と色差信号（Cb、Cr）へ変換し、YCC画像信号を第1DRAM103に一旦書き込む。

30

【0012】

第2信号処理部104は、第1DRAM103からYCC画像信号を読み出す。第2信号処理部104は、YCC画像信号に対して、レンズの歪曲収差の補正処理や、撮像装置の防振処理等を行い、処理後のYCC画像信号を第2DRAM105に書き込む。レンズの歪曲収差の補正は、画像歪の補正処理の一例である。撮像装置の防振処理では手振れ等により生じる像ぶれの補正処理が実行される。第3信号処理部106は、第2DRAM105からYCC画像信号を読み出す。第3信号処理部106は、YCC画像信号に対してノイズリダクション処理等を行い、処理後のYCC画像信号を第3DRAM107に書き込む。その際、第3信号処理部106は、ノイズリダクション機能の実現のために、後述のように、第4DRAM119を併用する。

40

【0013】

圧縮伸長部108は、第3DRAM107からYCC画像信号を読み出し、記録フォーマットに合わせて圧縮符号化処理を行う。処理後の信号は記録メディア109に送られて記録される。外部出力部110は、第3DRAM107からYCC画像信号を読み出してフォーマット変換を行う。HDMIやSDI、コンポーネントやコンポジット等の画像信号伝送フォーマットに合わせてフォーマット変換処理が実行される。HDMIは"High-Definition Multimedia Interface"の略号であり、SDIは"Serial Digital Interface"の略号である。フォーマット変換した画像信号は撮像装置外部に出力される。

【0014】

第2リサイズ処理部111は、入力画像信号の画サイズを表示用に変更して第5DRA

50

M112に書き込む画サイズ変更処理を行う。本実施形態の第2リサイズ処理部111は、第1信号処理部102が出力するYCC画像に対して、表示パネルの表示サイズまで縮小する処理を行う。縮小の際、画像のエイリアシングを防止するため、画像の水平方向、垂直方向の各々において帯域制限フィルタにより、画像帯域の制御が行われる。その後、バイキューピック法等の補間手法により、画像の縮小処理が行われ、処理結果は第5DRAM112に記憶される。第4信号処理部113は、第5DRAM112からYCC画像信号を読み出す。第4信号処理部113は、例えばレンズの歪曲収差の補正処理や、撮像装置の防振処理等を行う。処理後のYCC画像信号は第6DRAM114に記憶される。第5信号処理部115は、第6DRAM114からYCC画像信号を読み出す。第5信号処理部115はノイズリダクション処理等を行い、処理後のYCC信号を第7DRAM116に書き込む。その際、第5信号処理部115は、ノイズリダクション機能の実現のために、第8DRAM120を併用する。

【0015】

パネル用信号処理部117は、画サイズが表示用に変更された画像信号に対して、表示用信号処理を行う。パネル用信号処理部117は、第7DRAM116からパネル表示サイズのYCC画像信号を読み出し、表示パネルに合わせた色の調整処理や、解像度調整処理等を行う。パネル出力部118は、表示パネルの受信フォーマットに合わせてフォーマット変換を行う。フォーマット変換した画像信号は表示パネルに送信されて画面上に画像が表示される。

【0016】

次に、本実施形態に対する比較例について、図2を参照して説明する。撮像用のセンサ200の出力信号は第1リサイズ処理部201、第1信号処理部202を経て第1DRAM203に記憶される。第1リサイズ処理部201、第1信号処理部202、第2信号処理部204、第3信号処理部206は、図1の第1リサイズ処理部101、第1信号処理部102、第2信号処理部104、第3信号処理部106にそれぞれ相当する。第2DRAM205、第3DRAM207、第4DRAM219は、図1の第2DRAM105、第3DRAM107、第4DRAM119はそれぞれ相当する。第3信号処理部206の出力する画像信号は2つに分岐し、その一方は第3DRAM207に記憶され、他方は第2リサイズ処理部211に出力される。圧縮伸長部208、記録メディア209、外部出力部210は、図1の圧縮伸長部108、記録メディア109、外部出力部110にそれぞれ相当する。

【0017】

第2リサイズ処理部211は、図1の第2リサイズ処理部111と同じ機能を有する。第2リサイズ処理部211は、圧縮伸長処理以外の全ての記録画像用処理を行った画像に対して画像縮小処理を行い、処理後の画像信号を第5DRAM216に記憶する。パネル用信号処理部217は、第5DRAM216からパネル表示サイズのYCC画像信号を読み出し、表示パネルに合わせた色の調整処理や、解像度調整処理等を行う。パネル出力部218は、表示パネルの受信フォーマットに合わせてフォーマット変換を行う。フォーマット変換した画像信号は表示パネルに送信されて画面上に画像が表示される。

【0018】

次に、1個のDRAMをアドレス制御によって共用する、本実施形態の構成について説明する。図1では、説明の便宜上、複数のDRAMを個別に使用するブロック構成とした。実際には、DRAMはASIC(Application Specific Integrated Circuit、特定用途向け集積回路)とはプロセスの性質が異なる集積回路であるので、1つのチップに集積せずに別チップ構成にされることも多い。ASICとは別チップとして使用される、1個のDRAMのアドレス制御によって、図1に示す第1ないし第8DRAMの機能を実現できる。この構成について図5を参照して説明する。なお、図5において図1と同じ機能を持つ構成部には、図1で使用した符号と同じ符号を付することにより、それらの詳細な説明を省略する。

【0019】

10

20

30

40

50

D R A M 1 5 2 は D R A M - I / F (インターフェース) 部 1 5 1 に接続されている。D R A M - I / F 部 1 5 1 には、D R A M 1 5 2 にアクセスしてデータの読み書きを行う各ブロックが接続されている。図 5 ではスイッチ部 1 5 0 、第 2 リサイズ処理部 1 1 1 、信号処理 a ブロック 1 5 3 、信号処理 b ブロック 1 5 4 、外部出力部 1 1 0 、圧縮伸長部 1 0 8 、パネル用信号処理部 1 1 7 、制御部 1 3 0 が D R A M - I / F 部 1 5 1 に接続されている。D R A M - I / F 部 1 5 1 は、各ブロックから受けた書き込み要求や読み出し要求を調停し、予め決められた優先順位に従って許可を与える。許可されたブロックは、D R A M 1 5 2 に対して、書き込みを行う場合には、書き込みたいアドレスとデータを所定の長さ分送信する。また、許可されたブロックは、読み出しを行う場合には、読み出したいアドレスを送信し、D R A M 1 5 2 から D R A M - I / F 部 1 5 1 を介して所定長さ分のデータを受信する。優先順位が低く、許可を与えられなかったブロックは、優先順位が高いブロックの読み書きが終了するのを待って、順次、データを送受信することができる。

【 0 0 2 0 】

第 1 信号処理部 1 0 2 の出力はスイッチ部 1 5 0 に送られ、ここでは、後述するタイミングに従い、2 つの経路に分かれる、第 1 の経路は、直接 D R A M - I / F 部 1 5 1 を介して D R A M 1 5 2 にデータを書き込む経路である。また、第 2 の経路は、第 2 リサイズ処理部 1 1 1 により、表示パネル 1 4 0 の表示サイズに合わせて画像縮小処理を行ってから、D R A M - I / F 部 1 5 1 を介して D R A M 1 5 2 に書き込む経路である。スイッチ部 1 5 0 は制御部 1 3 0 により切り換えられる。

【 0 0 2 1 】

信号処理 a ブロック 1 5 3 は、図 1 に示した第 2 信号処理部 1 0 4 と第 4 信号処理部 1 1 3 を、時分割で兼用する信号処理ブロックである。このブロックは、例えばレンズの歪曲収差の補正処理や、撮像装置の防振処理等を行う。本ブロックは D R A M - I / F 部 1 5 1 と共に高速クロック信号 (例えば 1 6 6 M H z) で動作し、処理する画素数に応じて処理時間が変化する。以下、レンズの歪曲収差の補正処理について、図 6 を参照して簡単に説明する。図 6 (A) は画像歪の無い画像の座標を例示し、図 6 (B) は画像歪を含んだ画像の座標を例示する。

画像歪の無い真の画像座標を (x u , y u) とし、画像歪を含んだ画像座標を (x d , y d) とする。レンズの放射方向の歪みは、下式で表わされる。

【 0 0 2 2 】

【 数式 1 】

$$\begin{aligned} x d &= (1 + k_1 \times r^2 + k_2 \times r^4 + k_3 \times r^6) \times x u \\ y d &= (1 + k_1 \times r^2 + k_2 \times r^4 + k_3 \times r^6) \times y u \\ r^2 &= x u^2 + y u^2 \quad \dots \quad (1) \end{aligned}$$

ここで、 k 1 、 k 2 、 k 3 は歪み係数であり、レンズとズーム値から定まる。 (1) 式に示す r は画像中心からの距離である。「 ^ 」はべき乗を表わす。

【 0 0 2 3 】

図 6 (A) に示す画像歪の無い点 6 0 1 、 6 0 2 、 6 0 3 、 6 0 4 、 6 0 5 はそれぞれ、図 6 (B) に示す画像歪を含む点 6 1 1 、 6 1 2 、 6 1 3 、 6 1 4 、 6 1 5 に対応している。例えば点 6 0 1 の座標での画素データを求める場合、上式で計算した点 6 1 1 の座標位置での画像データが D R A M 1 5 2 から読み出される。同様に点 6 0 2 の座標での画像データとして、点 6 1 2 の座標位置での画像データが読み出される。こうして D R A M 1 5 2 から計算結果に該当する座標位置での画像データを順次に読み出していくことで、レンズ歪曲収差を補正した画像が得られる。レンズの歪曲収差の補正処理では、 (x u , y u) で示す画像座標の数だけ処理すれば求まるので、処理時間は、処理する画素数にほぼ比例する。また、画像歪について樽型になる場合、図 6 (B) に示す画像領域は、図 6 (A) の画像領域よりも若干大きい。このため、やや大きい画像記憶領域を用意する必要がある。

撮像装置に係る防振処理の場合には、図示しない角速度センサや画像認識処理部等によ

10

20

30

40

50

り、装置の手振れ量を算出する処理が実行される。撮像画像については、手振れ量に応じた位置に従って、撮影画像領域から所定の範囲を切り出す際の抽出位置を変更する処理が行われ、像ぶれ補正が行われる。この場合、処理時間は、抽出によって生成する画像の画素数にほぼ比例する。

【0024】

図5に戻って説明を続ける。信号処理bブロック154は、図1の第3信号処理部106と第5信号処理部115を、時分割で兼用する信号処理ブロックである。このブロックでは、例えばノイズリダクション処理を行う。本ブロックもDRAM-I/F部151と共に高速クロック信号で動作し、処理する画素数に応じて処理時間が変化する。図7を10参照してノイズ低減処理を説明する。図7には具体例として、フレーム巡回型ノイズリダクション回路を示す。

【0025】

入力端子701から入力されたフレーム画像信号は、第1減算部702と第2減算部703にそれぞれ送られる。第1減算部702のもう一方の端子には、フレームメモリ705から、1フレーム前の同じ位置での画素データが送られてくる。第1減算部702の減算結果は、ノイズ検出及び動き判定部704に送られる。ノイズ検出及び動き判定部704に入力される差分データは、画像に動きが無ければ、ゼロとなる。画像の動きが無い部分で残った残差は、センサ100等で発生したノイズであり、ノイズ検出及び動き判定部704は当該ノイズ成分を第2減算部703に出力する。第2減算部703は、入力端子701から入力されたフレーム画像信号に対して、ノイズ成分を除去し、出力端子706を通じて画像信号を出力するとともに、フレームメモリ705にも出力する。フレームメモリ705は画像信号を記憶し、これは次のフレームで用いられる。ノイズ検出及び動き判定部704に加えられた残差が大きい場合には、画像に動きがあるため、ノイズ検出及び動き判定部704は出力を0に設定する。よって、入力端子701から入力された画像がそのまま出力されるとともに、フレームメモリ705に記憶される。図7の構成例は巡回型であるため、FIFO(First In First Out)として使うフレームメモリが必要であり、処理時間は、処理する画素数にほぼ比例する。20

【0026】

図5の制御部130は、入力画像信号の同期タイミングと表示用の画像信号の同期タイミングを制御する同期制御部を備える。センサ100の駆動周期と表示パネル140の駆動周期の制御と、遅延時間の制御とが、センサ100と表示パネル140について各々行われる。具体的には、センサ100と表示パネル140の同期信号の遅延量を計測する計測部と、センサ100の駆動周期を基準として、表示パネル140の駆動周期の同期信号に係る遅延量が所定の範囲内に収まるように調節する同期制御部が設けられる。また、各回路部を制御するために、CPU(中央演算処理装置)等の既知の制御ブロックが設けられる。この制御ブロックは、第1ないし第5信号処理部や、パネル用信号処理部117の設定調整等を行う。30

【0027】

次に、本実施形態に係る画像信号処理装置の動作について、図3の動作タイミング例を40参照して説明する。

本実施形態では、センサ100の駆動周期に対する周波数と、表示パネル140の駆動周期に対応する周波数が等しく24Hzで同期している場合を想定する。同期タイミングについては、図3に示すとおり、センサ同期に比べてパネル同期が遅れたタイミングで同期している。また、センサ100の画素数を8847360ピクセル(水平方向4096ピクセル×垂直方向2160ライン)とし、表示パネル140の画素数を518400ピクセル(水平方向960ピクセル×垂直方向540ライン)とする。信号処理aブロックと信号処理bブロックは、30Hzのプログレッシブの画像を処理できる能力がある。本実施形態では、24Hzの周波数でセンサ100を駆動しているので、各フレーム(1/24秒)に、8847360ピクセルで、1/24 - 1/30 = 1/120秒分の処理能力に余裕がある。図3のステップ310ないし320は処理の各過程を表している。50

【0028】

まず、ステップ（以下、「S」と記す）310において、センサ100はRGB画像信号（水平方向4096ピクセル×垂直方向2160ライン）を出力する。S311において、第1リサイズ処理部101は、センサ100が出力したRGB画像信号を、第1信号処理部102が処理可能な大きさ（水平方向2048ピクセル×垂直方向1080ライン）に縮小する。S312において、第1信号処理部102は、RGB画像信号を輝度信号（Y）と色差信号（Cb、Cr）に変換する。変換したYCC画像信号は、第1DRAM103に記憶されるとともに、第2リサイズ処理部111に送信される。

S313において、S312で第1DRAM103に記憶したYCC画像信号が、S312の処理開始時点から1フレーム期間および1/120秒の時間経過後に読み出され、第2信号処理部104が処理を行う。第2信号処理部104は、レンズの歪曲収差の補正処理や、撮像装置の防振処理等を行い、処理後の画像信号を第2DRAM105に書き込む。ここで、1/120秒分の遅延時間で処理を遅らせる理由は、後述する第4信号処理部113の処理を行うためである（S317参照）。

【0029】

S314において、S313で第2DRAM105に記憶したYCC画像信号が、S313の処理開始時点から1フレーム期間の時間経過後に読み出され、第3信号処理部106が処理を行う。第3信号処理部106は、フレーム期間内の第1の期間にてノイズリダクション処理を行い、処理後の画像信号（第1画像信号）を第3DRAM107に書き込む。ここで、処理開始時点から約1/120秒の時間が経過した時点で、第3信号処理部106は処理を一時的に中断し、後述する第5信号処理部115の処理を優先させる。フレーム期間内の第2の期間では、第5信号処理部115が処理を行い、処理後の画像信号（第2画像信号）を第7DRAM116に書き込む。第5信号処理部115の処理が終了した後、第3信号処理部106は処理を継続する。この時分割処理の様子を、図8を参照して説明する。

【0030】

図8にて点線枠内に示す構成は、フレームメモリ705を除いて図7と同様の機能を有する。同じ機能の部位には図7で使用した同じ符号を付することで説明を省略する。入力端子701には、選択スイッチ部710を介して第2DRAM105または第6DRAM114からの画像信号が入力される。また、入力端子714には、選択スイッチ部711を介して第4DRAM119または第8DRAM120からの画像信号が入力される。出力端子706は選択スイッチ部712を介して第3DRAM107または第7DRAM116に接続される。また、出力端子715は選択スイッチ部713を介して第4DRAM119または第8DRAM120に接続される。選択スイッチ部710ないし713の各接点に示す「L」は本線系（外部出力および記録信号処理系）のライン選択を表し、「P」はパネル処理系（表示パネル信号処理系）のライン選択を表わす。

【0031】

ノイズリダクション処理にて、第3信号処理部106が行う本線系の処理の場合、選択スイッチ部710ないし713はL側に切り換る。ノイズリダクション処理後の出力信号は選択スイッチ部712を通じて第3DRAM107に書き込まれる。そして、処理の開始時点から1/120秒の時間が経過した時点で本線系の処理は一旦中断され、選択スイッチ部710ないし713がP側に切り換わり、パネル処理系のノイズリダクション処理が開始する。この切り換え制御は、例えば図示しないCPUの割り込みルーチンにより行われるが、タイマー切り換えでも構わない。パネル処理系の処理する画素数は少ないので、1/120秒以内に処理が終了する。再び、選択スイッチ部710ないし713はL側に切り換わり、前記した本線系の処理を中断したところから処理が続行する。尚、実際には、選択スイッチ部710ないし713による選択制御やDRAM内のアドレス制御については、図示しないCPUがDRAMにアクセスする際のアドレスを変更することにより実現できる。

【0032】

10

20

30

40

50

図3に戻って説明を続ける。S315において、S314で第3DRAM107に記憶されたYCC画像信号（第1画像信号）が、S314の処理開始時点から1フレーム期間の時間経過後に読み出され、外部出力部110が処理を行う。外部出力部110は、所定の画像信号伝送フォーマットに合わせてフォーマット変換を行い、変換した画像信号を撮像装置の外部に出力する。記録処理の場合には、圧縮伸長部108が第3DRAM107からYCC画像信号を読み出して処理し、記録メディア109に画像信号を記録する。

【0033】

S312の後、S316で第2リサイズ処理部111は画像縮小処理を行い、表示パネル140の表示サイズ（水平方向960ピクセル×垂直方向540ライン）まで画像を縮小する（水平方向：15/32、垂直方向：1/2）。S317において、信号処理aブロック153（図5参照）を優先して使うことで、レンズの歪曲収差の補正処理や、撮像装置の防振処理等が実行される。S318において、信号処理bブロック154（図5参照）を優先して使うことでノイズリダクション処理が実行される。処理後のYCC画像信号（第2画像信号）は第7DRAM116に記憶される。S319にてパネル用信号処理部117は、S318で第7DRAM116に記憶した画像信号を読み出して、表示パネル140の受信フォーマットに合わせてフォーマット変換を行う。フォーマット変換した画像信号は、S320でパネル出力部118が表示パネル140に送信し、表示パネル140の画面上に画像が表示される。

本実施形態の場合、S310からS320の開始時点まで1フレーム期間強（DL参照）の時間で処理が行われる。

【0034】

次に、図2に例示した比較例の動作について、図4の動作タイミング例を参照して説明する。S410ないしS420に処理の各過程を示す。S410でセンサ200の信号読み出しが行われ、S411で第1リサイズ処理部201の処理、S412で第1信号処理部202の処理が行われる。S413ではS412の処理開始時点から1フレーム期間の時間経過後に第2信号処理部204の処理が行われる。さらに1フレーム期間の時間経過後に、S414で第3信号処理部206の処理が行われる。さらに1フレーム期間の時間経過後に、S415で外部出力部210の処理が行われる。S416で第2リサイズ処理部211の処理が行われる。S419でのパネル用信号処理部217の処理と、S420でのパネル出力部218の処理が同時期に実行される。

【0035】

図2に示す比較例の場合、第2リサイズ処理部211は第3信号処理部206から画像信号を受信して画像縮小処理を行い（図4のS416参照）、処理後の画像信号を第5DRAM216に記憶する。このため、図4のS415の処理と同時期に、S420のパネル出力処理の期間があり、S410から3フレーム期間（DL参照）に相当する表示遅延時間が発生している。これは、フレーム周波数24Hzの場合、約125ミリ秒の表示遅延時間である。

【0036】

以上のように、本実施形態によれば、信号処理部の時分割処理によって表示用画像信号の処理を優先させることで、撮影中の画像を表示装置に表示する場合の表示遅延時間を短縮できる。図3のS310からS320まで1フレーム期間強の表示遅延時間であり、図4に示す比較例の3フレーム期間の表示遅延時間に比べて大幅に短縮される。撮影している画像を表示装置に表示する場合の表示遅延時間を短縮することで、表示遅延によるユーザの違和感を解消できる。

また、画像信号の記録処理や出力処理を行う際、信号処理aブロック153および信号処理bブロック154は1/30秒で画像信号を処理する能力を有する。表示用画像信号のフレーム周波数に対応する1/24秒の期間内で1/120秒の隙間ができる。隣接するフレームの画像信号をそれぞれ処理する期間の隙間ににおいて、表示用の画像信号に係る第4信号処理部113の処理を優先させることにより、処理効率が高まる。

なお、本実施形態では、撮像用センサの駆動周期と表示パネルの駆動周期を同一にして

10

20

30

40

50

いるので制御が容易になるが、各駆動周期が相違しても構わない。

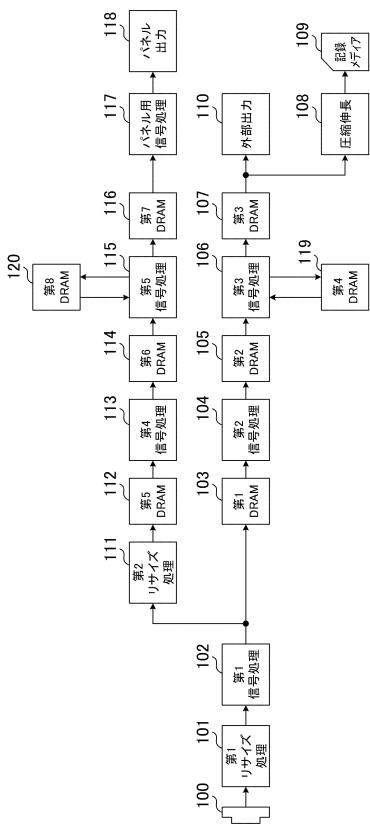
【符号の説明】

【0037】

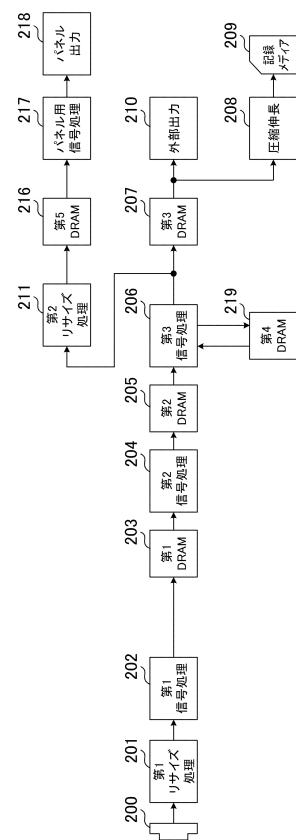
- 100 センサ(撮像手段)
- 106 第3信号処理部
- 110 外部出力部
- 111 第2リサイズ処理部
- 115 第5信号処理部
- 117 パネル用信号処理部
- 118 ハネル出力
- 119 第4DRAM
- 120 第8DRAM
- 103 第1DRAM
- 104 第2DRAM
- 105 第3DRAM
- 106 第4DRAM
- 107 第5DRAM
- 108 第6DRAM
- 109 第7DRAM
- 110 第8DRAM
- 111 第1リサイズ処理部
- 112 第2リサイズ処理部
- 113 第3リサイズ処理部
- 114 第4リサイズ処理部
- 115 第5リサイズ処理部
- 116 第6リサイズ処理部
- 117 第7リサイズ処理部
- 118 第8リサイズ処理部
- 101 第1信号処理部
- 102 第2信号処理部
- 103 第3信号処理部
- 104 第4信号処理部
- 105 第5信号処理部
- 106 第6信号処理部
- 107 第7信号処理部
- 108 第8信号処理部
- 109 第1DRAM
- 110 第2DRAM
- 111 第3DRAM
- 112 第4DRAM
- 113 第5DRAM
- 114 第6DRAM
- 115 第7DRAM
- 116 第8DRAM
- 100 第1リサイズ
- 101 第2リサイズ
- 102 第3リサイズ
- 103 第4リサイズ
- 104 第5リサイズ
- 105 第6リサイズ
- 106 第7リサイズ
- 107 第8リサイズ
- 108 第1信号
- 109 第2信号
- 110 第3信号
- 111 第4信号
- 112 第5信号
- 113 第6信号
- 114 第7信号
- 115 第8信号
- 100 第1外部
- 101 第2外部
- 102 第3外部
- 103 第4外部
- 104 第5外部
- 105 第6外部
- 106 第7外部
- 107 第8外部
- 108 第1記録
- 109 第2記録
- 110 第3記録
- 111 第4記録
- 112 第5記録
- 113 第6記録
- 114 第7記録
- 115 第8記録

10

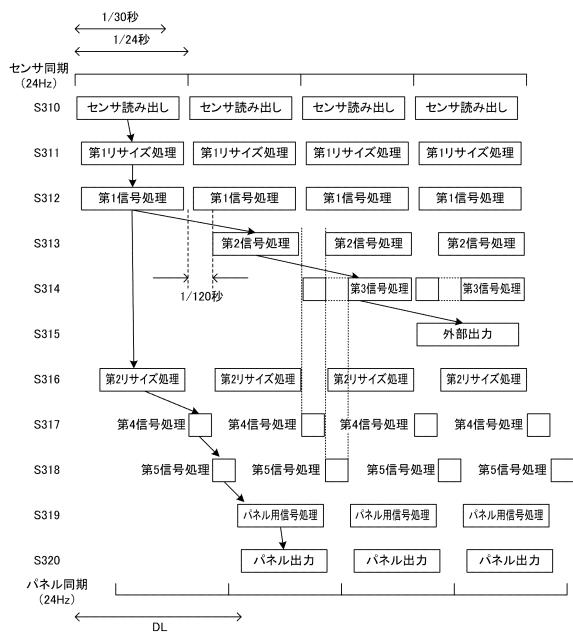
【図1】



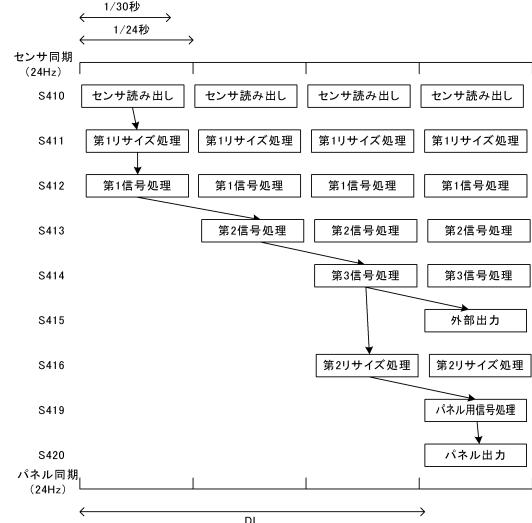
【図2】



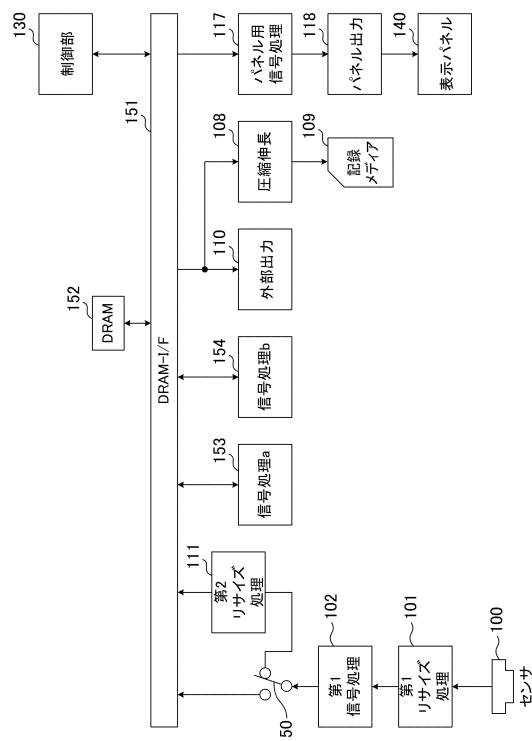
【図3】



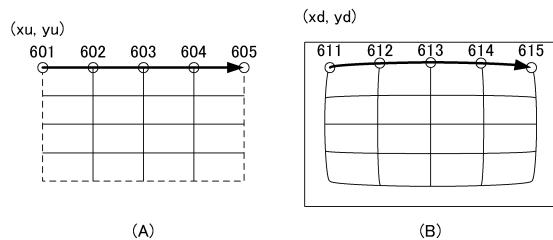
【図4】



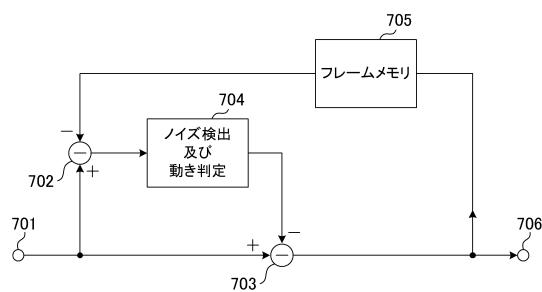
【図5】



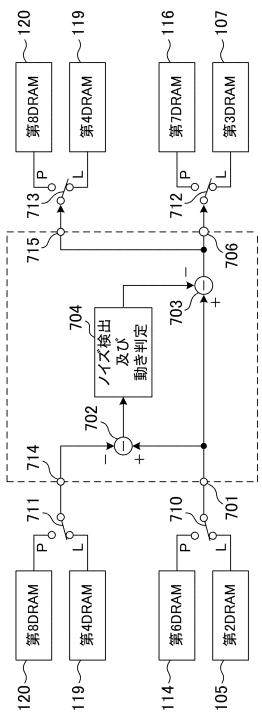
【図6】



【図7】



【図8】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 04N 5 / 222 - 5 / 257
H 04N 7 / 01