



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I524397 B

(45)公告日：中華民國 105 (2016) 年 03 月 01 日

(21)申請案號：103104527

(22)申請日：中華民國 103 (2014) 年 02 月 12 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2013/07/17 美國

13/943,944

(71)申請人：格羅方德半導體公司(美國) GLOBALFOUNDRIES US INC. (US)
美國

(72)發明人：特拉維拉 克莉斯提娜 TREVINO, KRISTINA (US)；林 遠宏 LIN, YUAN-HUNG (US)；威爾斯 加布里 帕德朗 WELLS, GABRIEL PADRON (US)；孟 常和 MAENG, CHANG HO (US)；韓 太俊 HAN, TAEJOON (US)；翁 孔成 WONG, HOONG SHING (US)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

US 7029959B1

US 2006/0006446A1

US 2006/0084247A1

US 2010/0240204A1

US 2012/0135575A1

審查人員：陳建丞

申請專利範圍項數：19 項 圖式數：11 共 28 頁

(54)名稱

具有改善的閾值電壓表現的取代金屬閘極的積體電路及其製造方法

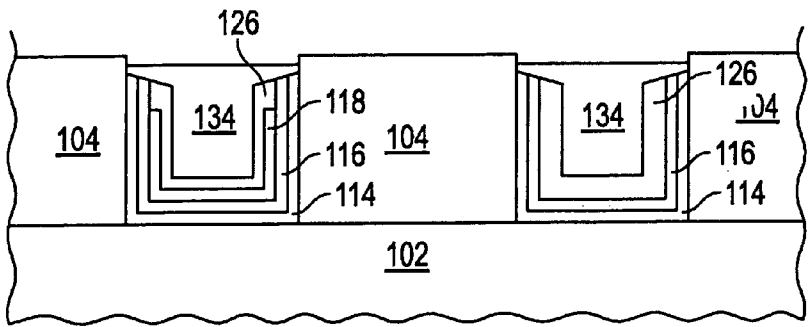
INTEGRATED CIRCUITS HAVING REPLACEMENT METAL GATES WITH IMPROVED THRESHOLD VOLTAGE PERFORMANCE AND METHODS FOR FABRICATING THE SAME

(57)摘要

本發明提供具有改善的閾值電壓表現的取代金屬閘極的積體電路及其製造方法。一種方法包括：提供覆於半導體基板上之介電層，該介電層具有第一凹槽和第二凹槽；在該第一凹槽和該第二凹槽中形成閘極介電層；形成覆於該閘極介電層上之第一阻障層；在該第一凹槽和該第二凹槽內形成功函數材料；將該功函數材料和該第一阻障層凹陷至該第一凹槽和該第二凹槽中，該功函數材料和該第一阻障層形成凹形表面；將該閘極介電層凹陷至該第一凹槽和該第二凹槽中；沉積導電閘極電極材料，使得該導電閘極電極材料填充該第一凹槽和該第二凹槽；以及將該導電閘極電極材料凹陷至該第一凹槽和該第二凹槽中。

Integrated circuits having replacement metal gates with improved threshold voltage performance and methods for fabricating such integrated circuits are provided. A method includes providing a dielectric layer overlying a semiconductor substrate. The dielectric layer has a first and a second trench. A gate dielectric layer is formed in the first and second trench. A first barrier layer is formed overlying the gate dielectric layer. A work function material layer is formed within the trenches. The work function material layer and the first barrier layer are recessed in the first and second trench. The work function material layer and the first barrier layer form a chamfered surface. The gate dielectric layer is recessed in the first and second trench. A conductive gate electrode material is deposited such that it fills the first and second trench. The conductive gate electrode material is recessed in the first and second trench.

指定代表圖：



第11圖

符號簡單說明：

- 102 . . . 半導體基板
- 104 . . . 介電層
- 114 . . . 閘極介電層
- 116 . . . 雙層
- 118 . . . 鈦氮化物層
- 126 . . . 鈦鋁層
- 134 . . . 導電閘極電極

發明摘要

公告本

※申請案號：

※申請日：

※IPC分類：

【發明名稱】(中文/英文)

具有改善的閾值電壓表現的取代金屬閘極的積體電路
及其製造方法

INTEGRATED CIRCUITS HAVING REPLACEMENT
METAL GATES WITH IMPROVED THRESHOLD
VOLTAGE PERFORMANCE AND METHODS FOR
FABRICATING THE SAME

【中文】

本發明提供具有改善的閾值電壓表現的取代金屬閘極的積體電路及其製造方法。一種方法包括：提供覆於半導體基板上之介電層，該介電層具有第一凹槽和第二凹槽；在該第一凹槽和該第二凹槽中形成閘極介電層；形成覆於該閘極介電層上之第一阻障層；在該第一凹槽和該第二凹槽內形成功函數材料；將該功函數材料和該第一阻障層凹陷至該第一凹槽和該第二凹槽中，該功函數材料和該第一阻障層形成凹形表面；將該閘極介電層凹陷至該第一凹槽和該第二凹槽中；沉積導電閘極電極材料，使得該導電閘極電極材料填充該第一凹槽和該第二凹槽；以及將該導電閘極電極材料凹陷至該第一凹槽和該第二凹槽中。



Integrated circuits having replacement metal gates with improved threshold voltage performance and methods for fabricating such integrated circuits are provided. A method includes providing a dielectric layer overlying a semiconductor substrate. The dielectric layer has a first and a second trench. A gate dielectric layer is formed in the first and second trench. A first barrier layer is formed overlying the gate dielectric layer. A work function material layer is formed within the trenches. The work function material layer and the first barrier layer are recessed in the first and second trench. The work function material layer and the first barrier layer form a chamfered surface. The gate dielectric layer is recessed in the first and second trench. A conductive gate electrode material is deposited such that it fills the first and second trench. The conductive gate electrode material is recessed in the first and second trench.

【代表圖】

【本案指定代表圖】：第（11）圖。

【本代表圖之符號簡單說明】：

- 102 半導體基板
- 104 介電層
- 114 閘極介電層
- 116 雙層
- 118 鈦氮化物層
- 126 鈦鋁層
- 134 導電閘極電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有改善的閾值電壓表現的取代金屬閘極的積體電路
及其製造方法

INTEGRATED CIRCUITS HAVING REPLACEMENT
METAL GATES WITH IMPROVED THRESHOLD
VOLTAGE PERFORMANCE AND METHODS FOR
FABRICATING THE SAME

【技術領域】

【0001】 本案係關於積體電路及製造積體電路之方法，尤指關於具有改善的閾值電壓表現的取代金屬閘極之積體電路及其製造方法。

【先前技術】

【0002】 例如為金氧半場效電晶體 (metal oxide semiconductor field effect transistor, MOSFET)、或單純的場效電晶體 (field effect transistor, FET) 或金氧半電晶體 (MOS transistor) 之電晶體係為絕大多數半導體積體電路 (integrated circuit, IC) 的重要組件。場效電晶體包括源極及汲極區域，於其間，電流係能在偏壓的影響下流經通道，該偏壓係施加於覆蓋在該通道上的閘極電極。某些半導體積體電路，例如高表現微處理器，係能包括數百萬個場效電晶體。對於此種半導體積體電路而言，減小電晶體尺寸及增加電晶體密度在半導體製造產業中在傳統上一直是高

優先性。然而，即使電晶體的尺寸減小，仍然必須維持電晶體的表現。

【0003】 鰭式場效電晶體 (FinFET) 係一種目標為減小電晶體尺寸又同時維持電晶體表現的電晶體。如第 1 圖所示，鰭式場效電晶體 200 係為非平面、三維之電晶體，其係部份形成為從半導體基板 214 向上延伸之薄形鰭片 212。為簡化說明，第 1 圖僅繪示一個閘極 216 及兩個鰭片 212，但通常積體電路能具有數千個鰭片及閘極。該半導體基板可為塊體矽晶圓 (bulk silicon wafer)，鰭片結構係從該塊體矽晶圓生成，或者，該半導體基板可為設置於支撐基板上之絕緣體上矽晶圓 (silicon-on-insulator wafer, SOI wafer)。該絕緣體上矽晶圓包括矽氧化物層及覆於該矽氧化物層上之含矽材料層。鰭片結構係從該含矽材料層形成。該鰭片結構通常是使用傳統的光微影或非等向性蝕刻製程形成 (例如，反應性離子蝕刻 (reactive ion etching, RIE) 或相似者)。垂直閘極 216 係設置於鰭片上方，使得鰭片之兩個垂直側壁 218 形成電晶體之通道。

【0004】 取代金屬閘極 (Replacement metal gate, RMG) 處理通常係在鰭式電晶體形成期間使用。第 2 至 5 圖係繪示使用取代金屬閘極製程形成具有 P 型通道場效電晶體 (PFET) 12 及 N 型通道場效電晶體 (NFET) 14 之積體電路 10 之一部分的一種習知方法。根據第 2 圖，介電材料層 16 覆於半導體材料 18 上。該半導體材料係為非平面電晶體例如鰭式電晶體之鰭片結構。該介電材料層係例如為矽氧化

物。對應於 PFET 12 之第一凹槽 20 以及對應於 NFET 14 之第二凹槽 22 係形成於介電材料層 16 中。閘極介電層 24 係沉積於該些凹槽中。第一阻障材料層或其組合 26 係沉積覆於該閘極介電層 24 上，而第二阻障材料層或其組合 28 係沉積覆於該第一阻障材料層或其組合 26 上。該第一阻障材料層或其組合 26 可以例如為覆於鈦氮化物上的鉭氮化物，而該第二阻障材料層或其組合 28 可以例如為鈦氮化物。遮罩材料 30 係沉積覆於該第二阻障材料層或其組合 28 上，而光阻 32 係形成覆於該遮罩材料 30 上。

【0005】 參考第 3 圖，光阻被圖案化且遮罩材料 30 被對應地蝕刻成覆蓋凹槽 20 中之第二阻障材料層 28 之一部份。接著，第二阻障材料層 28 從凹槽 22 以及凹槽 20 之一部分被蝕刻掉。參考第 4 圖，光阻 32 和遮罩材料 30 係被移除，然後功函數材料 34 被共形地沉積在凹槽 20 和 22 內。功函數材料係例如鈦鋁(TiAl)。額外的 TiN 層(未圖示)係沉積覆於功函數材料上，然後沉積例如鎢之閘極電極材料 36。接著，如第 5 圖所示，執行凹陷蝕刻以使閘極電極材料 36 凹陷於凹槽 20 和 22 內。

【0006】 RMG 之傳統製程造成難以填充之高長寬比的凹槽。如第 5 圖所示，鎢之沉積通常會造成鎢閘極電極內的孔洞。若閘極電極內出現孔洞，回蝕(etch back)該閘極電極以移除該孔洞會造成移除掉比期望還多的閘極電極。接著，這種移除孔洞的鎢之回蝕會造成閘極電極高度變化。此外，傳統製程會留下閘極介電質「桁條(stringer)」

40。這些桁條在此階段不能被移除，因為若閘極介電質是鉛氧化物或類似的高 k 介電常數材料(通常如此)，則濕蝕刻無法有效移除這些桁條且乾電漿蝕刻這些閘極介電質桁條會損壞 NFET 14 之鈦氮化物及鉭氮化物層。這些缺點被視為不利於閾值電壓表現。

【0007】 因此，期望提供具有改善的閾值電壓表現的取代金屬閘極的積體電路製造方法。期望提供具有改善的閾值電壓表現的取代金屬閘極的積體電路。再者，從後述之實施方式以及所附申請專利範圍搭配隨附圖式以及此先前技術，其他的期望特徵和特性將變得明顯。

【發明內容】

【0008】 提供具有改善的閾值電壓表現的取代金屬閘極的積體電路及其製造方法。根據例示實施例，一種積體電路製造方法包括：提供覆於半導體基板上之介電層，該介電層具有第一凹槽和第二凹槽；在該第一凹槽和該第二凹槽中形成閘極介電層；形成覆於該閘極介電層上之第一阻障層；在該第一凹槽和該第二凹槽內形成功函數材料；將該功函數材料和該第一阻障層凹陷至該第一凹槽和該第二凹槽中，該功函數材料和該第一阻障層相對於該半導體基板之平坦表面形成凹形表面；將該閘極介電層凹陷至該第一凹槽和該第二凹槽中；沉積導電閘極電極材料，使得該導電閘極電極材料填充該第一凹槽和該第二凹槽；以及將該導電閘極電極材料凹陷至該第一凹槽和該第二凹槽中。

【0009】 根據另一例示實施例，一種積體電路製造方法包括：提供覆於半導體基板上之介電層，該介電層具有第一凹槽和第二凹槽；在該第一凹槽和該第二凹槽中形成閘極介電層；形成覆於該閘極介電層上之第一阻障金屬層；沉積覆於該第一阻障層上之第二阻障金屬層；形成圖案化遮罩，使得該圖案化遮罩部分地填充該第一凹槽以及覆於該第二阻障金屬層之第一部分上，以及其中，暴露該第二阻障金屬層之第二部分；移除該第二阻障金屬層之該第二部分；移除該圖案化遮罩；在該第一凹槽和該第二凹槽內形成功函數材料層；在該第一凹槽和該第二凹槽內形成遮罩材料；蝕刻該遮罩材料，使得該遮罩材料填充該第一凹槽之一部分和該第二凹槽之一部分；非等向性蝕刻該功函數材料層之一部分和該第一阻障金屬層之一部分；蝕刻該閘極介電層之一部分；從該第一凹槽和該第二凹槽移除該遮罩材料；沉積導電閘極材料覆於該第一凹槽和該第二凹槽中之該功函數材料層上；以及移除該第一凹槽和該第二凹槽內之該導電閘極材料之一部分。

【0010】 根據例示實施例，一種具有金屬閘極結構之積體電路，包括：閘極介電層，係具有兩個相對構件以及接合構件，該接合構件覆於半導體基板上以及接合該兩個相對構件；第一阻障金屬層，係覆於該閘極介電層上；功函數材料層，係覆於該第一阻障金屬層上；導電閘極電極，係具有直線部分和剖面部分，其中，該直線部分覆於該功函數材料層上，其中，該剖面部分係垂直於該直線部

分以及覆於該閘極介電層、該第一阻障金屬層和該功函數材料層上，以及其中，該第一阻障金屬層和該功函數材料層具有凹形表面。

【圖式簡單說明】

【0011】

以下將配合隨附圖式描述各種實施例，其中相同的元件符號代表相似的元件，以及其中：

第 1 圖係先前技術中已知的單閘極 FinFET 之斜面圖；

第 2 至 5 圖係先前技術中已知用於形成 FinFET 之步驟的剖面圖；

第 3 至 11 圖係根據例示實施例之提供具有改善的閾值電壓表現的取代金屬閘極的積體電路及其製造方法的剖面圖。

【實施方式】

【0012】 下列實施方式在本質上僅為例示且無意限制各種實施例或其應用和用途。再者，無意受到前述先前技術或後述實施方式中所提之任何理論的限制。在此提出具有改善的閾值電壓表現的取代金屬閘極的積體電路及其製造方法的各種實施例。NFET 和 PFET 之實施例分別採用 TiN/TaN/TiAl 和 TiN/TaN/TiN/TiAl 之新穎的功函數佈局設計。以現有的功函數組構所達成之傳統閾值電壓裝置讀出被認為不良，其中裝置導通時之高閾值電壓測量值達到 0.8V。此處所可考慮之各種實施例增加 RMG 填充能力，維持後續金屬填充步驟之低長寬比並因而改善閘極電極金屬

凹陷製程穩定性。另外，NFET 佈局係藉由導入凹角(chamfer angle)而最佳化，該凹角將閘極電極沉積中可能產生的孔洞最小化或消除。整體而言，此新穎的佈局包括得以驅動閾值電壓表現的改良，其具有典型裝置設計規格所需的可接受限度(亦即，0.3V)。

【0013】 第 6 至 10 圖顯示一種具有改善的閾值電壓的取代金屬閘極的積體電路(IC)100 的製造方法。製造 IC 的各種步驟眾所周知，故為求簡潔，許多傳統步驟在此將僅簡略提及或完全省略而不提供已知的製程細節。如第 6 圖所示之 IC 100 的一部分係在製造的早期階段。該方法包含提供覆於由半導體材料形成之半導體基板 102 上的介電層 104。如在此所使用者，用語「覆於…上」意指直接置於其上或置於上方，使得中間材料至於其間。例如，介電層 104 可直接置於半導體基板 102 上或可覆於該半導體基板上，使得介電層或其他層置於該介電層 104 與該半導體基板 102 之間。在例示實施例中，半導體基板 102 為塊體矽基板，而半導體材料包含矽。例如，塊體矽基板能由相當純之矽、與銻或碳混合之矽或與某些其他常用於製造積體電路之半導體材料混合之矽形成。或者，塊體矽基板 102 之半導體材料可為銻、銻砷化物等等。半導體材料不需要被摻雜，但其可被極輕濃度摻雜為 N 型或 P 型，而不影響在此所述之製程。或者，半導體基板 102 可被設在支撐基板上之絕緣體上矽(SOI)晶圓支撐。SOI 晶圓包含矽氧化物層和覆於該矽氧化物層上之含矽材料層。半導體基板 102

可為含矽材料層。在另一實施例中，半導體基板 102 是由半導體材料形成之 FinFET 的鰭片結構。介電層 104 是由絕緣材料(例如，矽氧化物)形成。

【0014】 第一凹槽 106 和第二凹槽 108 係形成於介電層 104 中。PFET 110 將隨後形成在第一凹槽 106 中，以及 NFET 112 將隨後形成在第二凹槽 108 中，如下詳述。雖然於第 6 圖中圖示兩個凹槽，但應瞭解在介電層 104 中可形成超過兩個凹槽。該等凹槽具有大約 20 奈米至大約 500 奈米之寬度。該等凹槽可使用例如 $N_2/H_2/CH_4$ 化學品以電漿蝕刻法進行蝕刻。雖然第 6 圖圖示在介電層 104 中形成兩個凹槽，但應了解到在此所述之取代金屬閘極可形成在兩個間隔件之間。就此而言，如第 7 圖所示，已知在先前技術中，虛擬閘極(dummy gate)係例如由多晶矽形成，接著在該虛擬閘極周圍形成側壁間隔件 220。介電層 222 係沉積覆於虛擬閘極和側壁間隔件上。介電層平坦化係藉由例如化學機械平坦化(CMP)而暴露虛擬閘極，然後移除虛擬閘極，留下側壁間隔件之間的兩個凹槽 106 和 108。如在此使用者，用語「凹槽」是指開口或未佔用的空間。

【0015】 在一個實施例中，閘極介電層 114 係已沉積之絕緣體，例如矽氧化物、矽氮化物、任何種類的高介電常數(高 k)材料，其中介電常數是大於二氧化矽之介電常數(3.9)，例如鉛氧化物等等。已沉積之絕緣體可藉由例如化學氣相沉積(CVD)、原子層沉積(ALD)、低壓化學氣相沉積(LPCVD)或電漿增強化學氣相沉積(PECVD)進行沉積。在

一個實施例中，閘極介電層 114 係具有大約 10 埃(Å)至大約 20 埃之厚度範圍的鉛氧化物，但該閘極介電層 114 之實際厚度可依據所實施之積體電路中所應用的 FinFET 來決定。

【0016】 該方法繼續，形成 PFET 110 之金屬閘極和 NFET 112 之金屬閘極。就此而言，阻障金屬係形成覆於閘極介電層 114 上。適合用作為阻障金屬之金屬包含那些避免閘極電極(將在後面討論)之金屬離子遷移進入閘極介電層 114 和介電層 104 中者。此外，係針對黏附閘極電極(後面討論)和閘極介電層 114 的能力來選擇金屬。在實施例中，鈦氮化物層係形成在凹槽內以及覆於閘極介電層 114 上。鈦氮化物層可藉由例如物理氣相沉積(PVD)進行沉積。鈦氮化物層之厚度係例如在大約 5 埃至大約 15 埃的範圍內。鉭氮化物係在暴露凹槽中沉積覆於鈦氮化物上以形成鉭氮化物層。鉭氮化物層係藉由例如 PVD 沉積。在實施例中，鉭氮化物層具有例如在大約 3 奈米至大約 5 奈米的範圍內的厚度。覆於閘極介電層 114 上之鈦氮化物層以及覆於鈦氮化物層上之鉭氮化物層係在圖式中標示為雙層(bilayer)116。

【0017】 另一鈦氮化物層 118 係如上所述藉由沉積鈦氮化物而形成在鉭氮化物層上。鈦氮化物層能沉積至例如在大約 3 奈米至大約 5 奈米的範圍內的厚度。遮罩材料 120 係沉積、填充第一凹槽 106 和第二凹槽 108，而光阻層 122 係形成覆於該遮罩材料 120 上。遮罩材料 120 可以是

對鈦氮化物具有蝕刻選擇性的任何適合材料，以下將詳細討論。適合的遮罩材料範例包含(但不限於)可從紐澤西的莫里斯敦的 Honeywell International 股份有限公司取得的 DUO™ 248。遮罩材料 120 係藉由旋轉塗佈、滾輪塗佈、噴霧等等形成覆於鈦氮化物層 118 上。遮罩材料 120 係沉積至例如在大約 130 奈米至大約 180 奈米的範圍內的厚度。

【0018】 參考第 8 圖，光阻層 122 被圖案化，遮罩材料 120 被蝕刻成在 PFET 110 之第一凹槽 106 中覆蓋鈦氮化物層 118 之一部分 124，然後移除該光阻層 122。若遮罩材料是 Honeywell 的 DUO 248，則遮罩材料 120 可使用例如 $N_2/H_2/CH_4$ 化學品以電漿蝕刻法進行蝕刻。鈦氮化物層 118 之暴露部分係從第一和第二凹槽移除，留下該第一凹槽 106 中的未暴露部分 124。鈦氮化物藉由例如 SPN(硫酸和過氧化物)之化學品而被選擇性移除，其中鈦氮化物對鉬氮化物之選擇性超過 100 奈米。然後，移除遮罩材料 120 之剩餘部分。

【0019】 接著，如第 9 圖所示，沉積功函數材料(鈦鋁)以形成覆於鈦氮化物層 118 之部分 124 以及鉬氮化物與鈦氮化物雙層 116 上的鈦鋁層 126。鈦鋁將裝置閾值電壓表現有效地穩定在大約 0.3V 的中心目標。在先進的半導體製造中，根據特定的佈局設計來可靠控制閾值電壓參數的能力很重要，用以保證有效的裝置導通表現。在實施例中，鈦鋁層能藉由例如 ALD 沉積並具有在大約 4 奈米至大約 8 奈米的範圍內的厚度。在沉積鈦鋁層之後，第二遮罩材料

層 128 係在凹槽 106 和 108 內共形地沉積覆於鈦鋁層 126 上。第二遮罩材料層 128 係沉積至大約 130 奈米至大約 180 奈米的範圍內的厚度。第二遮罩材料層可以是與遮罩材料 120 相同的材料，並且可以使用與用來蝕刻遮罩材料 120 相同的化學品來進行蝕刻。

【0020】 該方法繼續，參考第 10 圖，第二遮罩材料 128 被蝕刻，直到凹入凹槽 106 和 108 中。在實施例中，第二遮罩材料 128 被蝕刻成該第二遮罩材料 128 之暴露表面 130 比鈦氮化物層 118 中最接近凹槽 106 之開口 133 的表面 132 還靠近凹槽 106 之開口 133。鈦鋁層 126 之一部分、暴露之阻障金屬鈦氮化物與鉭氮化物 116 以及閘極介電層 114 係從凹槽 106 和 108 移除。阻障金屬材料和閘極介電層(例如鉛氧化物)能藉由乾電漿蝕刻法(例如使用 BCl_3/Cl_2 的反應性離子蝕刻(RIE))移除。第二遮罩材料 128 保護鈦鋁層 126 和阻障金屬鈦氮化物與鉭氮化物免於受到乾電漿蝕刻。由於蝕刻是非等向性的，所以金屬會相對於半導體基板 102 之平坦表面 101 形成靠近凹槽之開口 133 的傾斜形或「V」形表面 131。

【0021】 參考第 11 圖，在蝕刻各種金屬層和閘極介電質之後，移除第二遮罩材料 128 之剩餘部分。執行鈦氮化物沉積以全面性地形成鈦氮化物層(未圖示)。在實施例中，鉭氮化物具有在大約 2 奈米至大約 4 奈米的範圍內的厚度，例如 2.5 奈米。在沉積鈦氮化物之後，在 PFET 電晶體 110 之凹槽 106 以及 NFET 電晶體 112 之凹槽 108 內沉積

導電閘極電極層 134 以填充該等凹槽。導電閘極電極 134 可由任何適合導電材料形成，例如鋁或鎢。由於阻障金屬材料和功函數材料層之凹形表面 131，導電閘極電極 134 係以「由下往上(bottom-up)」減少或消除其中之孔洞的方式沉積在凹槽內。執行 CMP 製程以移除覆於介電層 104 上的覆蓋層(overburden)。在實施例中，導電閘極電極 134 之一部分係在凹槽內被移除，以在該凹槽內提供空間供絕緣蓋層(未圖示)覆蓋該導電閘極電極 134。若導電閘極電極為鎢，則此鎢能藉由使用氫氟酸化學的反應性離子蝕刻(RIE)而被蝕刻。

【0022】 之後，以進一步的處理步驟繼續積體電路的製造，能執行這些步驟完成積體電路，如技術領域中所熟知者。傳統上，進一步的步驟包含，例如，在對齊取代金屬閘極(藉由移除介電層以及植入導電率決定性離子至半導體基板中而形成者)的半導體基板中形成源極和汲極區域、形成接觸件(藉由在絕緣層之上沉積光阻材料層、微影圖案化、蝕刻形成接觸孔洞、以及在該孔洞中沉積導電材料而形成接觸件所形成者)、以及在該絕緣層上方對整個裝置形成一層或多層圖案化導電層等等。在此所揭露之主題並非意圖排除任何後續形成及測試本技術領域中熟知之完成電路的處理步驟。此外，就上述之任何製程步驟而言，能在沉積一層之後，採用一道或多道加熱處理及/或退火程序，如本技術領域中廣為人知者。

【0023】 因此，已描述具有改善的閾值電壓表現的

取代金屬閘極的積體電路的製造方法以及具有改善的閾值電壓表現的取代金屬閘極的積體電路。取代金屬閘極係形成有金屬層，該金屬層具有允許以最少孔洞或毫無孔洞的情形形成導電閘極電極的凹形或「V」形表面。因此，得以避免回蝕閘極電極以移除孔洞，並且得以最小化閘極電極變化。此外，因為在導電閘極電極中形成的孔洞都被最小化或消除，所以可以不必進行不想要的導電閘極電極蝕刻，而可讓更多的導電閘極電極材料停留在凹槽中。這可大幅改善接觸電阻。再者，在取代金屬閘極中使用鈦鋁功函數材料以穩定閾值電壓。閘極介電質桁條也被移除，因為凹槽中的金屬層受到第二遮罩材料層保護，該第二遮罩材料層係在功函數材料沉積之後以及閘極電極材料沉積之前沉積。就此而言，提供一種新穎佈局，其包括得以驅動典型裝置設計規格所需的閾值電壓表現的改良。

【0024】 雖然已在本發明之前述實施方式中提出至少一個例示實施例，但應了解仍存在大量變體。也應了解到，例示實施例係僅為範例，係無意以任何方式限制本發明之範圍、應用性或組構。相反地，前述實施方式將提供本技術領域中具有通常知識者用於實施本發明之例示實施例的方便藍圖。應了解到，在不背離所附申請專利範圍中所提出之本發明範圍的情形下，可對例示實施例中所述之功能及元件配置做出各種改變。

【符號說明】

【0025】

10、100	積體電路		
12	P 型通道場效電晶體、PFET		
14	N 型通道場效電晶體、NFET		
16	介電材料層	18	半導體材料
20、106	第一凹槽	22、108	第二凹槽
24、114	閘極介電層		
26	第一阻障材料層或其組合		
28	第二阻障材料層或其組合		
30、120	遮罩材料	32	光阻
34	功函數材料	36	閘極電極材料
40	閘極介電質桁條	102、214	半導體基板
104、222	介電層	110	PFET
112	NFET	116	雙層
118	鈦氮化物層	122	光阻層
124	部分、未暴露部分	126	鈦鋁層
128	第二遮罩材料層	130	暴露表面
131	凹形、V 形表面	132	表面
133	開口	134	導電閘極電極
200	鰭式場效電晶體	212	鰭片
216	閘極	218	側壁
220	側壁間隔件		

申請專利範圍

1. 一種製造積體電路之方法，該方法包括：

提供覆於半導體基板上之介電層，該介電層具有第一凹槽和第二凹槽；

在該第一凹槽和該第二凹槽中形成閘極介電層；

形成覆於該閘極介電層上之第一阻障層；

在該第一凹槽和該第二凹槽內形成功函數材料層；

將該功函數材料層和該第一阻障層凹陷至該第一凹槽和該第二凹槽中，其中，該功函數材料層和該第一阻障層相對於該半導體基板之平坦表面形成斜形表面；

將該閘極介電層凹陷至該第一凹槽和該第二凹槽中；

沉積導電閘極電極材料，使得該導電閘極電極材料填充該第一凹槽和該第二凹槽；以及

將該導電閘極電極材料凹陷至該第一凹槽和該第二凹槽中。

2. 如申請專利範圍第 1 項所述之方法，更包括在形成該第一阻障層之後形成第二阻障層，其中，該第二阻障層在該第一凹槽中覆於該第一阻障層之一部分上，但該第二凹槽中沒有該第二阻障層。

3. 如申請專利範圍第 2 項所述之方法，其中，形成該第二阻障層包括：

形成該第二阻障層覆於該第一阻障層上；

在該第二阻障層上形成遮罩；

在該遮罩上形成光阻；

圖案化該光阻以形成圖案化光阻；

使用該圖案化光阻作為蝕刻遮罩而蝕刻該遮罩；

從該第二凹槽和該第一凹槽之一部分移除該第二阻障層。

4. 如申請專利範圍第 3 項所述之方法，其中，形成該第二阻障層包括形成氮化鈦層。
5. 如申請專利範圍第 1 項所述之方法，其中，提供該介電層包括提供氧化鉛層，以及其中，凹陷該閘極介電層包括使用乾電漿蝕刻法蝕刻閘極介電層桁條。
6. 如申請專利範圍第 1 項所述之方法，其中，沉積該第一阻障層包括沉積氮化鈦層。
7. 如申請專利範圍第 6 項所述之方法，其中，沉積該第一阻障層包括沉積覆於該氮化鈦層上之氮化鉬層。
8. 如申請專利範圍第 1 項所述之方法，其中，形成該功函數材料層包括形成鈦鋁層。
9. 如申請專利範圍第 1 項所述之方法，其中，凹陷該功函數材料層和該第一阻障層包括：

在形成該功函數材料層之後，沉積覆於該功函數材料層上之遮罩材料；

在該遮罩材料上形成圖案化光阻；

使用該圖案化光阻作為蝕刻遮罩而蝕刻該遮罩材料，其中，該遮罩材料保留在該第一凹槽和該第二凹槽中；

使用該遮罩材料、該第一阻障層和該閘極介電層作為蝕刻遮罩而移除該功函數材料層之一部分；

使用該遮罩材料、該功函數材料層和該閘極介電層作為蝕刻遮罩而移除該第一阻障層之一部分。

10. 如申請專利範圍第 1 項所述之方法，其中，沉積該導電閘極電極材料包括沉積鎢。

11. 如申請專利範圍第 1 項所述之方法，其中，提供覆於半導體基板上之該介電層包括提供覆於後續形成之 FinFET 裝置之鰭片結構上的該介電層。

12. 如申請專利範圍第 1 項所述之方法，其中，該閘極介電層係與側壁間隔件實際接觸。

13. 一種製造積體電路之方法，該方法包括：

提供覆於半導體基板上之介電層，該介電層具有第一凹槽和第二凹槽；

在該第一凹槽和該第二凹槽中形成閘極介電層；

形成覆於該閘極介電層上之第一阻障金屬層；

沉積覆於該第一阻障層上之第二阻障金屬層；

形成圖案化遮罩，使得該圖案化遮罩部分地填充該第一凹槽以及覆於該第二阻障金屬層之第一部分上，以及其中，暴露該第二阻障金屬層之第二部分；

移除該第二阻障金屬層之該第二部分；

移除該圖案化遮罩；

在該第一凹槽和該第二凹槽內形成功函數材料層；

在該第一凹槽和該第二凹槽內形成遮罩材料；

蝕刻該遮罩材料，使得該遮罩材料填充該第一凹槽之一部分和該第二凹槽之一部分；

非等向性蝕刻該功函數材料層之一部分和該第一阻障金屬層之一部分；

蝕刻該閘極介電層之一部分；

從該第一凹槽和該第二凹槽移除該遮罩材料；

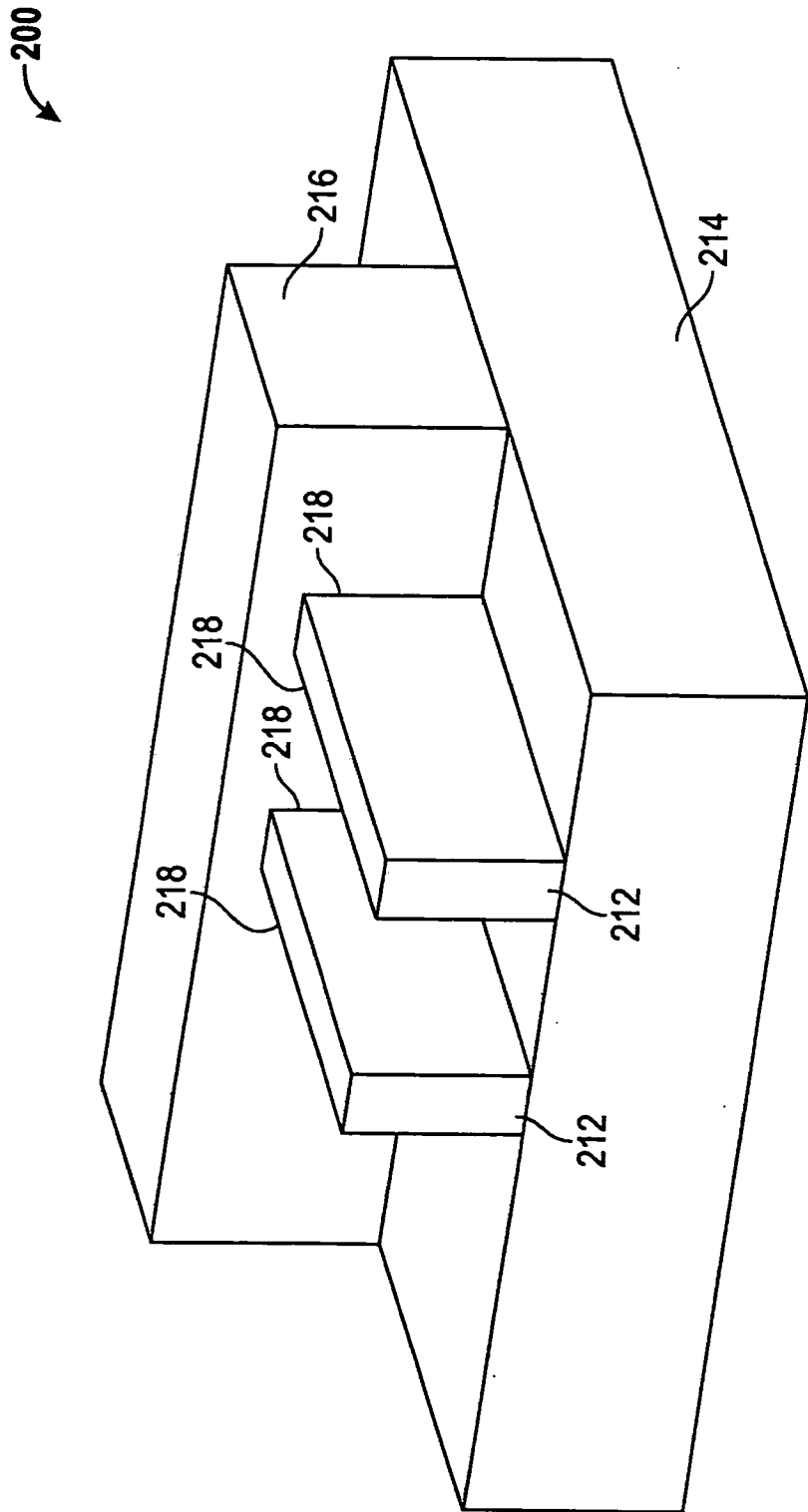
沉積導電閘極材料覆於該第一凹槽和該第二凹槽中之該功函數材料層上；以及

移除該第一凹槽和該第二凹槽內之該導電閘極材料之一部分。

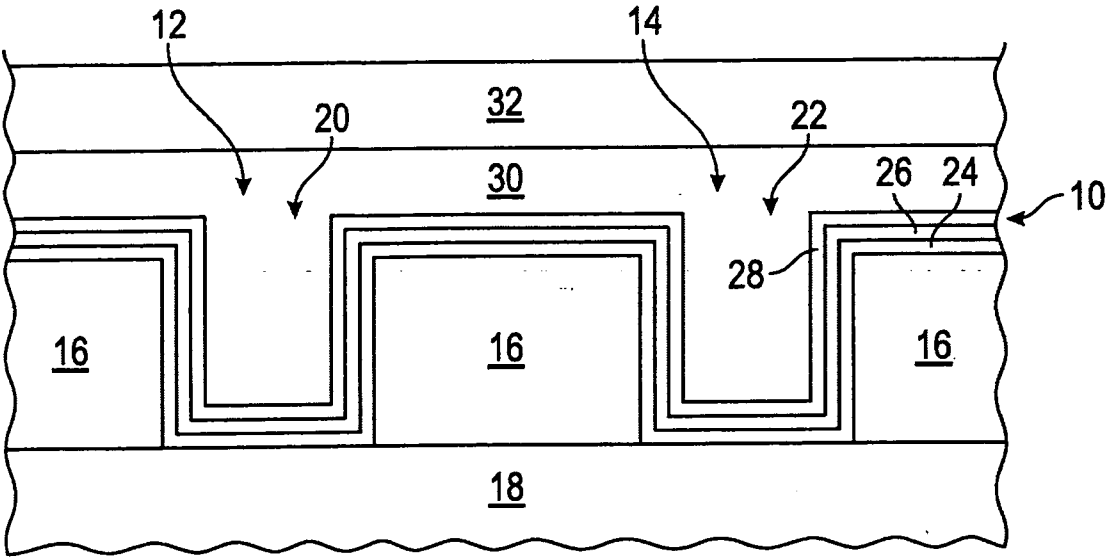
14. 如申請專利範圍第 13 項所述之方法，其中，蝕刻該閘極介電層之一部分包括使用乾電漿製程蝕刻該閘極介電層之一部分。
15. 如申請專利範圍第 13 項所述之方法，其中，非等向性蝕刻該功函數材料層之一部分和該第一阻障金屬層之一部分包括形成該第一阻障金屬層和該功函數材料層之斜形表面。
16. 如申請專利範圍第 13 項所述之方法，其中，形成該閘極介電層包括形成氧化鉛層。
17. 如申請專利範圍第 13 項所述之方法，其中，形成該第一阻障金屬層包括沉積氮化鈦層以及沉積氮化鉭層覆於該氮化鈦層上。
18. 如申請專利範圍第 13 項所述之方法，其中，形成該功函數材料層包括形成鈦鋁層。

19. 如申請專利範圍第 13 項所述之方法，其中，沉積該第二阻障金屬層包括沉積氮化鈦層。

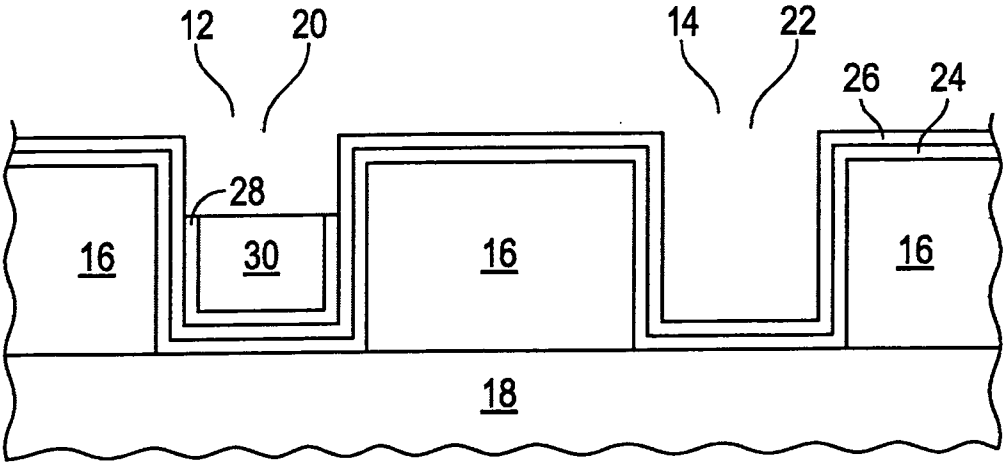
圖式



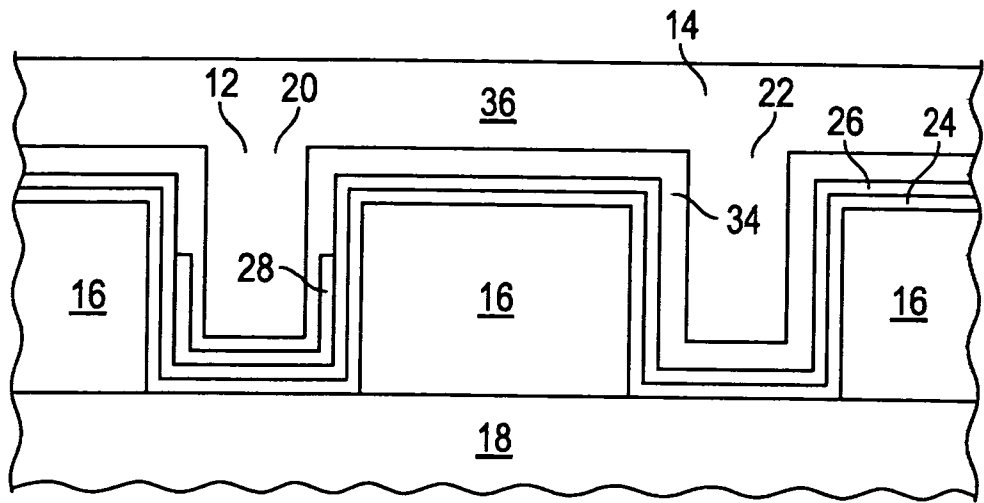
第1圖
(先前技術)



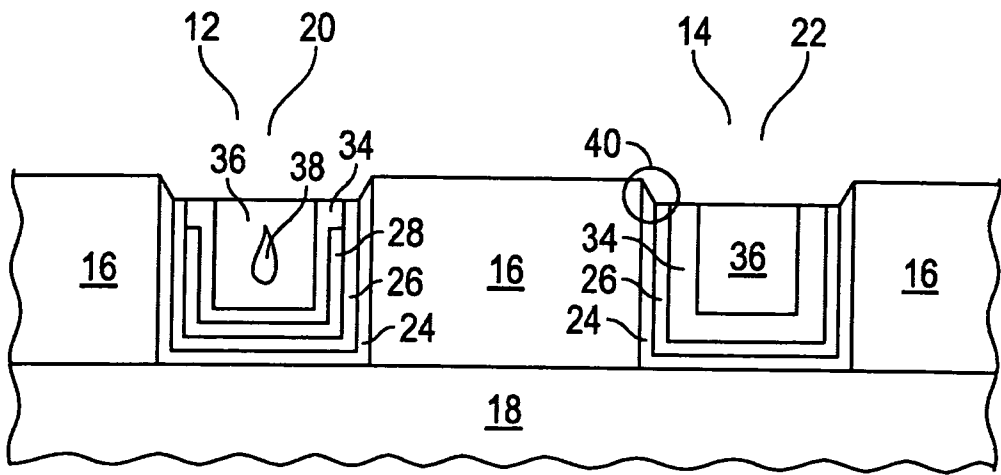
第2圖
(先前技術)



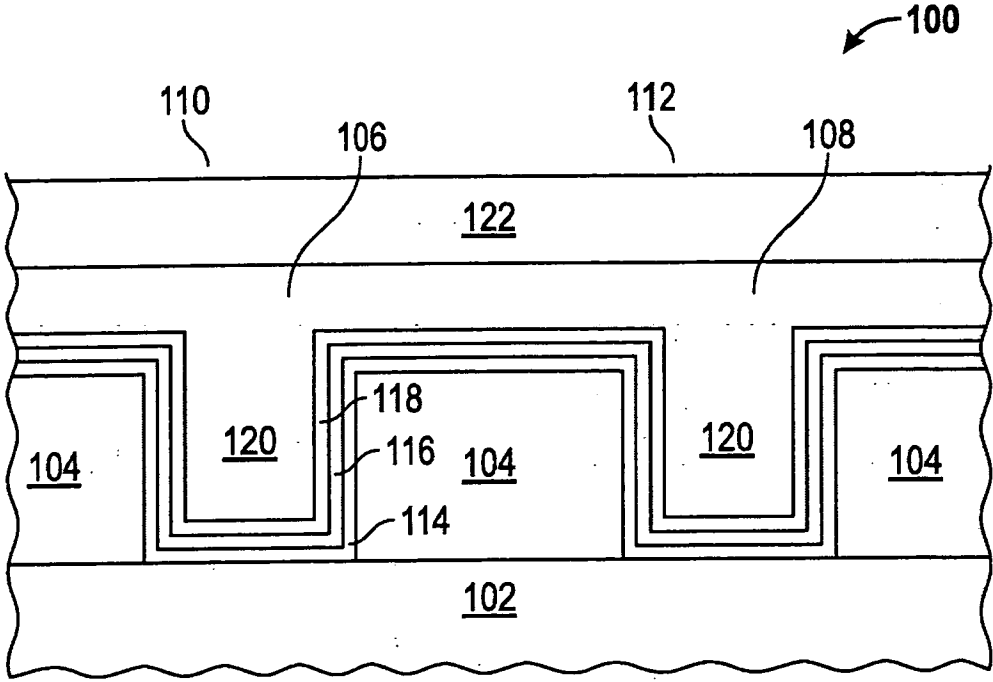
第3圖
(先前技術)



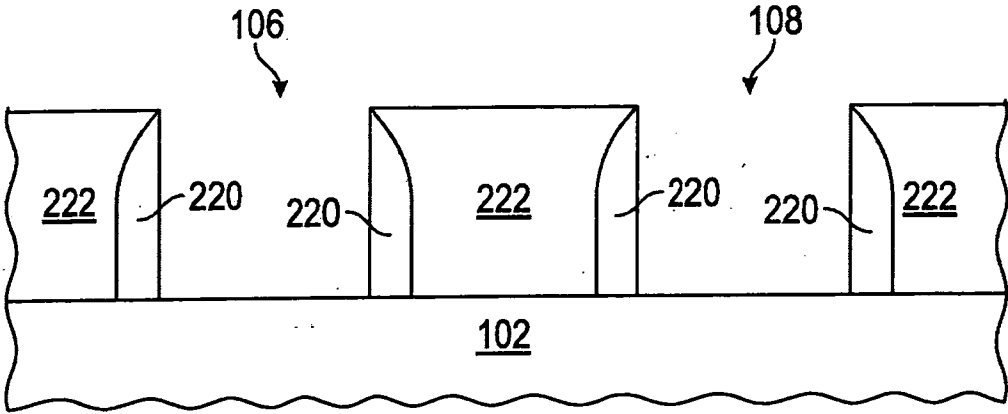
第4圖
(先前技術)



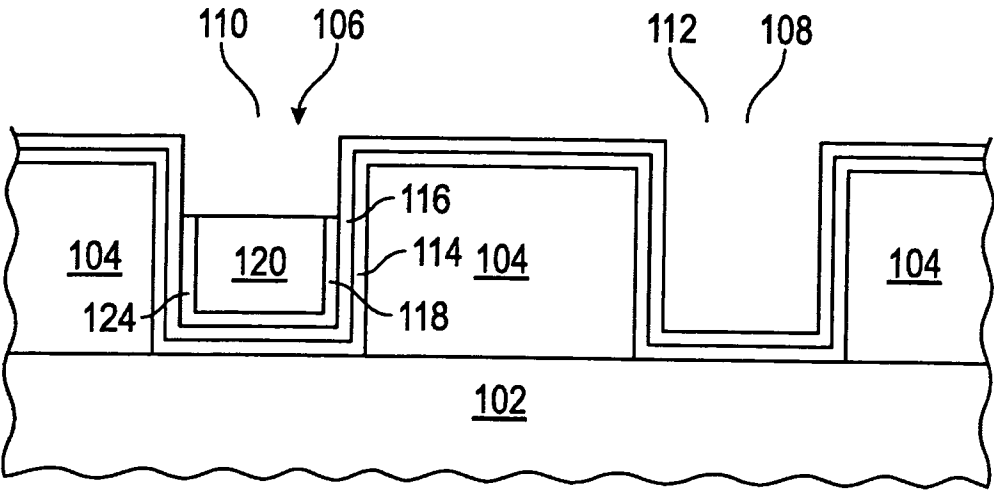
第5圖
(先前技術)



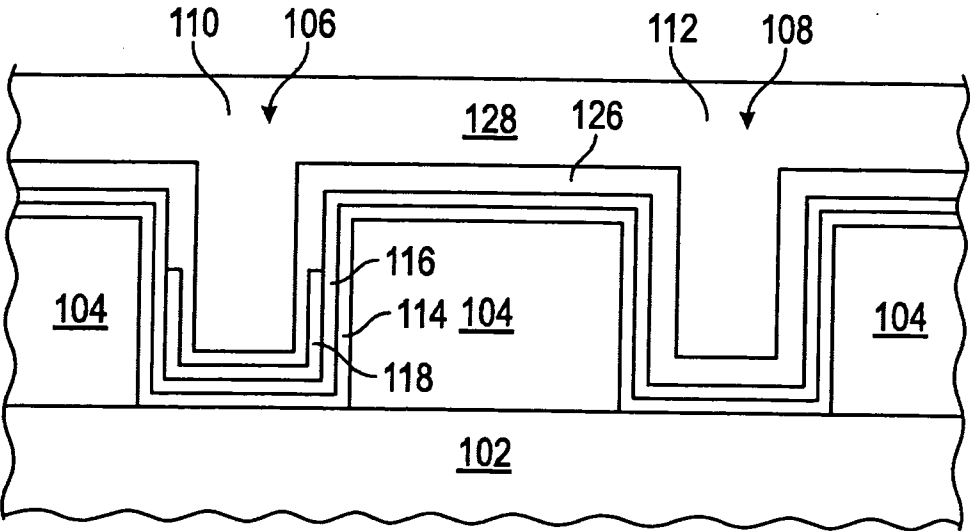
第6圖



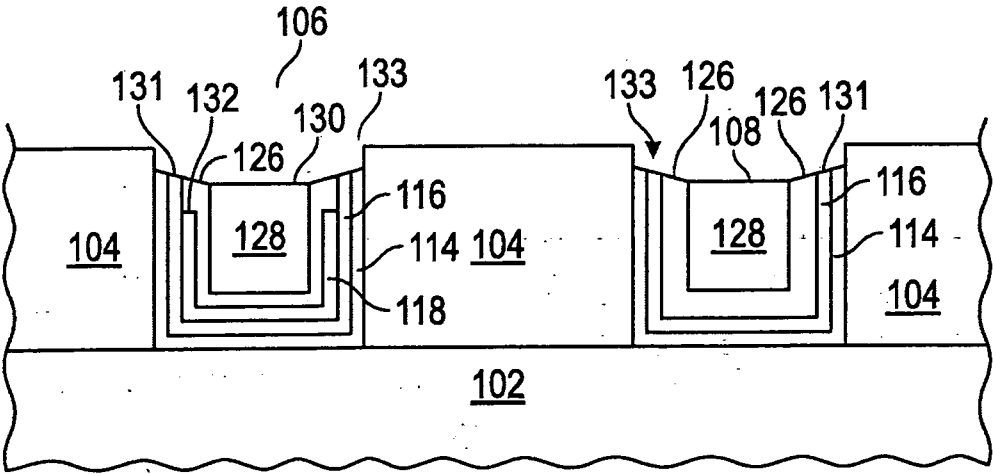
第7圖



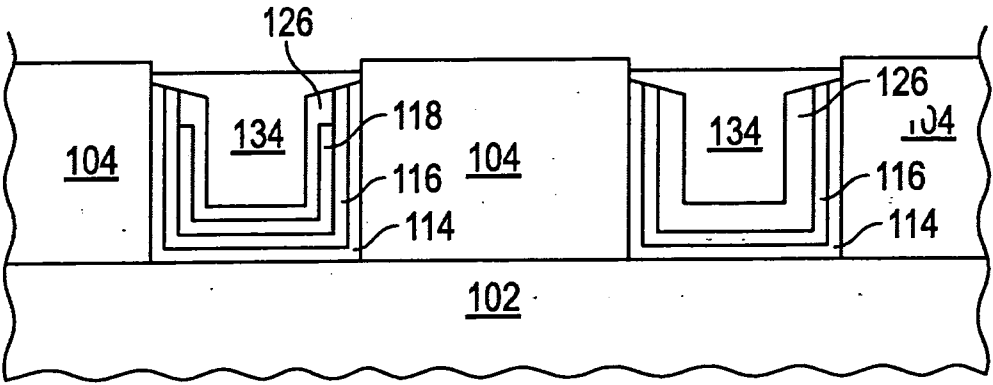
第8圖



第9圖



第10圖



第11圖