



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월02일
(11) 등록번호 10-1088639
(24) 등록일자 2011년11월25일

(51) Int. Cl.

G09G 3/20 (2006.01) G09G 3/30 (2006.01)

G09G 3/36 (2006.01) G11C 7/00 (2006.01)

(21) 출원번호 10-2004-0055519

(22) 출원일자 2004년07월16일

심사청구일자 2009년07월16일

(65) 공개번호 10-2005-0009692

(43) 공개일자 2005년01월25일

(30) 우선권주장

JP-P-2003-00277068 2003년07월18일 일본(JP)

(56) 선행기술조사문헌

JP평성02003171 A

전체 청구항 수 : 총 15 항

(73) 특허권자

가부시키키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

코야마준

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키키가이샤 한도오파이 에네루기 켄큐쇼내

아즈미토모아키

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키키가이샤 한도오파이 에네루기 켄큐쇼내

(74) 대리인

장훈

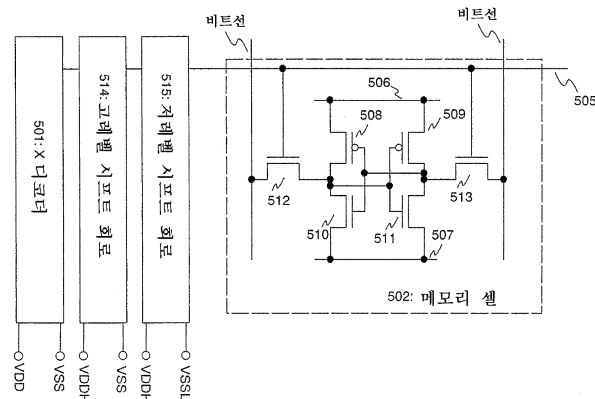
심사관 : 양기성

(54) 메모리 회로, 각각이 이를 포함한 표시 장치 및 전자 기기

(57) 요약

박막 트랜지스터를 사용한 메모리 회로는 트랜지스터들 내의 변동들로 인한 메모리 회로의 수율(yield)의 중단 및 응답 속도의 감소와 같은 문제점을 가지고 있었다. 본 발명의 목적은 메모리 셀의 논리적 진폭과는 상이한 전압에 의해 워드선을 구동함으로써 메모리 셀의 수율 및 응답 속도를 개선하는 것이다. 본 발명은 SRAM, DRAM, 마스크 ROM 등에 적용될 수 있다. 본 발명의 메모리 회로는 다기능 표시 장치를 실현하기 위한 표시 장치와 일체로 형성된다.

대표도



특허청구의 범위

청구항 1

SRAM 회로에 있어서,

워드선, 복수의 메모리 셀들, 및 상기 워드선을 구동하기 위한 구동 회로를 포함하고,

상기 복수의 메모리 셀들의 각각은 상기 워드선에 전기적으로 접속된 게이트를 갖는 스위칭 트랜지스터를 포함하고,

상기 워드선을 구동하기 위한 상기 구동 회로는 상기 스위칭 트랜지스터를 온으로 하는 신호의 전위를 변경하는 레벨 시프트 회로를 포함하는, SRAM 회로.

청구항 2

SRAM 회로에 있어서,

워드선, 복수의 메모리 셀들, 및 상기 워드선에 접속된 구동 회로를 포함하고,

상기 복수의 메모리 셀들의 각각은 상기 워드선에 전기적으로 접속된 게이트를 갖는 스위칭 트랜지스터를 포함하고,

상기 구동 회로는 상기 스위칭 트랜지스터를 온으로 하는 신호의 전위를 변경하는 레벨 시프트 회로를 포함하고,

상기 레벨 시프트 회로의 출력 진폭은 상기 메모리 셀의 출력 진폭보다 큰, SRAM 회로.

청구항 3

SRAM 회로에 있어서,

워드선, 복수의 메모리 셀들, 및 상기 워드선에 접속된 구동 회로를 포함하고,

상기 복수의 메모리 셀들의 각각은 상기 워드선에 전기적으로 접속된 게이트를 갖는 스위칭 트랜지스터를 포함하고,

상기 구동 회로는 상기 스위칭 트랜지스터를 온으로 하는 신호의 전위를 변경하는 레벨 시프트 회로를 포함하고,

상기 레벨 시프트 회로의 출력 진폭은 상기 메모리 셀의 출력 진폭보다 작은, SRAM 회로.

청구항 4

SRAM 회로에 있어서,

워드선, 복수의 메모리 셀들, 및 상기 워드선에 접속된 구동 회로를 포함하고,

상기 복수의 메모리 셀들의 각각은 상기 워드선에 전기적으로 접속된 게이트를 갖는 스위칭 트랜지스터를 포함하고,

상기 구동 회로는 상기 스위칭 트랜지스터를 온으로 하는 신호의 전위를 변경하는 레벨 시프트 회로를 포함하고,

상기 레벨 시프트 회로는 출력 진폭을 변화하기 위한 수단을 구비하는, SRAM 회로.

청구항 5

SRAM 회로에 있어서,

워드선, 복수의 메모리 셀들, 및 상기 워드선에 접속된 구동 회로를 포함하고,

상기 복수의 메모리 셀들의 각각은 상기 워드선에 전기적으로 접속된 게이트를 갖는 스위칭 트랜지스터를 포함

하고,

상기 구동 회로는 상기 스위칭 트랜지스터를 온으로 하는 신호의 전위를 변경하는 레벨 시프트 회로를 포함하고,

상기 레벨 시프트 회로는 기록 및 판독할 때 출력 진폭을 변화하기 위한 수단을 구비하는, SRAM 회로.

청구항 6

제 4 항에 있어서,

상기 레벨 시프트 회로의 출력 진폭은 CPU에 의해 제어되는, SRAM 회로.

청구항 7

SRAM 회로에 있어서,

워드선, 복수의 메모리 셀들, 및 상기 워드선에 접속된 구동 회로를 포함하고,

상기 복수의 메모리 셀들의 각각은 상기 워드선에 전기적으로 접속된 게이트를 갖는 스위칭 트랜지스터를 포함하고,

상기 구동 회로는 상기 스위칭 트랜지스터를 온으로 하는 신호의 전위를 변경하는 레벨 시프트 회로를 포함하고,

기록시 상기 레벨 시프트 회로의 출력 진폭은 판독시 출력 진폭보다 큰, SRAM 회로.

청구항 8

SRAM 회로에 있어서,

워드선;

비트선;

스위칭 트랜지스터, 제 1 인버터 및 제 2 인버터를 포함하는 메모리 셀;

상기 워드선에 전기적으로 접속된 출력 단자를 갖는 레벨 시프트 회로를 포함하는 상기 워드선을 구동하는 구동 회로를 포함하고,

상기 제 1 인버터의 입력 단자는 상기 제 2 인버터의 출력 단자에 전기적으로 접속되고, 상기 제 2 인버터의 입력 단자는 상기 제 1 인버터의 출력 단자에 전기적으로 접속되고,

상기 스위칭 트랜지스터의 게이트는 상기 워드선에 전기적으로 접속되고, 상기 스위칭 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 인버터의 상기 입력 단자에 전기적으로 접속되고, 상기 스위칭 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 비트선에 전기적으로 접속되고,

상기 레벨 시프트 회로는 기록 동작을 수행하기 위해 상기 워드선에 제 1 신호를 출력하고, 판독 동작을 수행하기 위해 상기 워드선에 제 2 신호를 출력하도록 구성되고, 상기 제 1 신호의 진폭은 상기 제 2 신호의 진폭보다 큰, SRAM 회로.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

제 1 항, 제 2 항, 제 3 항, 제 4 항, 제 5 항, 제 7 항 또는 제 8 항 중 어느 한 항에 있어서,
상기 SRAM 회로는 표시 장치 내에 내장되는, SRAM 회로.

청구항 13

제 12 항에 있어서,

상기 표시 장치의 표시부는 박막 트랜지스터를 포함하고, 상기 SRAM 회로는 상기 표시부와 일체로 형성되는, SRAM 회로.

청구항 14

제 12 항에 있어서,

상기 표시 장치는 액정 표시 장치인, SRAM 회로.

청구항 15

제 12 항에 있어서,

상기 표시 장치는 EL 표시 장치인, SRAM 회로.

청구항 16

제 12 항에 있어서,

상기 표시 장치는 서브프레임을 사용함으로써 계조들(gray scales)을 표시하기 위한 수단을 구비한 EL 표시 장치인, SRAM 회로.

청구항 17

제 12 항에 있어서,

상기 표시 장치는 디지털 카메라, 퍼스널 컴퓨터, 휴대 정보 단말, 화상 재생 장치, 접이식 휴대 표시 장치(folding portable display device), 시계형 커뮤니케이터, 및 휴대 전화로 이루어진 그룹으로부터 선택된 적어도 하나에 내장되는, SRAM 회로.

청구항 18

워드선, 스위칭 트랜지스터를 포함하는 메모리 셀, 제 1 인버터 및 제 2 인버터, 및 레벨 시프트 회로를 포함하는 상기 워드선을 구동하는 구동 회로를 포함하는 SRAM 회로의 구동 방법에 있어서,

기록 동작을 수행하기 위해 상기 레벨 시프트 회로로부터 상기 워드선에 제 1 신호를 출력하는 단계;

판독 동작을 수행하기 위해 상기 레벨 시프트 회로로부터 상기 워드선에 제 2 신호를 출력하는 단계를 포함하고,

제 1 신호의 진폭은 제 2 신호의 진폭보다 큰, SRAM 회로의 구동 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0021] 본 발명은 메모리 회로에 관한 것이며, 특히 박막 반도체 소자들과 함께 구성된 메모리 회로에 관한 것이다. 또한, 본 발명은 메모리 회로를 포함하는 표시 장치에 관한 것이다.

[0022] 최근에, 이동 전화기들은 통신 기술의 발달로 광범위하게 사용되었다. 미래에, 동영상들의 전송 및 대량의 정보 전송이 기대된다. 반면, 개인용 컴퓨터들의 중량을 감소시킴으로써, 이동 통신에 적응된 것들이

생산되었다. 또한, 전자 노트북들에서 비롯된 PDA들이라 불리는 정보 단말기들은 대량으로 생산되었고 널리 사용되었다. 그 외에도, 그러한 휴대용 정보 기기의 대부분은 표시 장치들의 개발로 인한 플랫 패널 디스플레이를 포함한다.

- [0023] 특히, 능동 매트릭스 표시 장치들 중에서, 저온 폴리-실리콘 박막 트랜지스터(이후, 박막 트랜지스터는 TFT라 칭한다)를 사용하는 표시 장치의 제조는 최근에 촉진되었다. 저온 폴리-실리콘 TFT를 사용함으로써, 신호선 구동 회로는 픽셀뿐만 아니라 픽셀부 주변에 일체로(integrally) 형성될 수 있다. 따라서, 저온 폴리-실리콘 TFT는 표시 장치의 소형화 및 고선명을 허용하며 미래에 보다 널리 사용될 것이 기대된다.
- [0024] 저온 폴리-실리콘 TFT를 사용함에 따라, 픽셀 및 신호선 구동 회로 외에도 제어 회로, CPU 및 메모리 회로가 생산되었다(예를 들어, 비-특허 문서 1)
- [0025] [비-특허 문서 1]
- [0026] 니케이 일렉트로닉스(Nikkei Electronics), 제 841호, 123 내지 130쪽, 2003년 2월 17일
- [0027] TFT를 사용함으로써, 그러한 논리 회로를 픽셀과 일체로 형성하는 것은 유리 기관 상의 디스플레이 시스템의 형성에 기여한다.
- [0028] 메모리 회로는 시스템을 형성하기 위해 요구되는 통상적 회로이다. 메모리 회로는 SRAM 및 DRAM과 같은 휘발성 메모리 회로와, 플래시 메모리 및 마스크 ROM과 같은 비휘발성 메모리 회로를 포함한다.
- [0029] 메모리 회로는 도 2에 도시된 바와 같이 Y 디코더(201), Y 선택기(202), X 디코더(203), 및 메모리 셀 어레이(204)를 포함한다. X 디코더(203)는 입력된 어드레스 신호에 기초하여 워드선을 선택한다. Y 디코더(201)는 유사하게 입력된 어드레스 신호에 기초하여, Y 선택기(202) 내에 있고 비트선에 접속된 스위치를 선택한다. 어드레스는, 메모리 셀 어레이(204) 내의 한 메모리 셀이 특정될 수 있고 데이터가 특정 메모리 셀 내에 기록될 수 있거나 그로부터 판독될 수 있도록, Y 디코더(201) 및 X 디코더(203)에 입력된다.
- [0030] X 디코더 및 디코더가 어떤 경우들에 있어서 로우 디코더 및 컬럼 디코더 각각으로 칭해질 수 있음을 주지한다. 그들은 이러한 명세에서 X 디코더 및 Y 디코더로 표시된다. 그 외에도, 메모리 셀 어레이(204) 내에 포함되는 X 방향으로의 배선 및 Y 방향으로의 배선이 워드 K인 및 비트선으로 각각 표시된다. 워드선은 도 2에서 X 디코더(203)에 의해 구동된다. X 디코더(203), Y 디코더(201), Y 선택기(202) 및 메모리 셀 어레이(204)는 일반적으로 공통 전원, 도 2에서 VDD로 표시된 고전위 전원 및 VSS로 표시된 저전위 전원에 의해 구동된다.
- [0031] 메모리 소자는 큰 메모리 용량을 위해 가능한 한 작은 메모리 셀을 갖는 것이 좋다. 그것은 메모리 셀을 구성하는 트랜지스터들의 수를 감소시켜야 한다. 마스크 ROM 및 DRAM 각각은 하나의 트랜지스터로 구성된 메모리 셀을 갖는 반면, SRAM은 6개의 트랜지스터들로 구성된 메모리 셀을 갖는다. 그 외에도, 그러한 트랜지스터는 기록 및 판독 모두를 위해 작동한다. 이후 SRAM의 경우에 대한 설명이 이루어진다.
- [0032] 도 3 종래의 SRAM의 메모리 셀을 도시한 것이다. 간단하게 하기 위해 도 3에는 1개의 메모리 셀(302)만이 도시되어 있지만, 메모리 셀의 수가 1개에 제한되지 않는다. SRAM의 메모리 셀(302)은 TFT(308) 및 TFT(310)로 구성된 인버터 회로와, TFT(309) 및 TFT(311)로 구성된 인버터 회로와, 스위칭 트랜지스터들(312 및 313)을 포함한다.
- [0033] SRAM 메모리 셀의 기록 동작은 하기에 설명된다. 특정 워드선(305)의 전위가 X 디코더(301)에 의해 하이(Hi)가 되면, 스위칭 트랜지스터들(312 및 313)이 온으로되어 데이터는 TFT들(308 내지 311)로 구성된 한 쌍의 인버터 회로들에 기록된다. 기록이 종료되면, 스위칭 트랜지스터들(312 및 313)이 턴오프되어 한 쌍의 인버터들 내에 기록된 데이터는 유지된다.
- [0034] 판독 동작이 다음에 설명된다. 처음에, 비트선들(303 및 304)은 메모리 셀 어레이의 외부로부터 특정 전위에서 프리차지된다. 일반적으로, 프리차지 전위는 메모리 셀 내의 한 쌍의 인버터들 전원의 거의 중간에 설정된다. 프리차지의 완료 후에, 비트선들(303 및 304)은 프리차지 전위로부터 해제되어 비트선들(303 및 304)은 부동 상태(floating state)에 있다. 다음, 워드선(305)의 전위가 하이가 되고 스위칭 트랜지스터들(312 및 313)이 온으로되면, 비트선들(303 및 304)은 한 쌍의 인버터들에 의해 반대 방향으로 각각 구동되고, 그들 사이의 전압차는 감지 증폭기(도시되지 않음)에 의해 검출되어 데이터가 불러내어진다(called out).

발명이 이루고자 하는 기술적 과제

- [0035] 상술된 박막 반도체들로 구성된 메모리 회로는 다음의 문제점들을 가진다. 즉, 박막 반도체를 사용하는, 특히

다결정 실리콘을 사용하는 트랜지스터는, 단결정 실리콘을 사용하는 트랜지스터에 비해 이동성(mobility) 및 임계값과 같은 트랜지스터 특성들의 큰 변동을 가져온다.

- [0036] 도 4는 SRAM의 메모리 셀을 도시한 것이다. 데이터를 기록할 때, 메모리 셀 내에 기록될 데이터의 역 데이터(reverse data), 즉 기록될 H(이후 하이를 의미)에 대응하는 L(이후 로우를 의미) 또는 기록될 L에 대응하는 H가 저장되는 경우에, 논리적 충돌이 발생한다. 이러한 점에서, 한 쌍의 인버터 회로들의 유지 용량(holding capability)보다 더 강한 스위칭 트랜지스터의 기록 용량이 요구된다.
- [0037] 여기에서, TFT(404) 및 TFT(406)로 구성된 인버터 회로와, TFT(405) 및 TFT(407)로 구성된 인버터 회로에서 각각, TFT(406)의 드레인이 L을 유지하는 동안 TFT(407)의 드레인이 H를 유지하는 것이 가정된다. 기록동안, H 및 L이 비트선들(402 및 403) 각각에 공급되며, TFT(408) 및 TFT(409)가 온으로된다. 그 다음, 비트선(402), TFT(408) 및 TFT(406) 및 저전위 전원(411)을 통해, 및 고전위 전원(410), TFT(405), TFT(409) 및 비트선(403)을 통해 각각 전류가 흐른다.
- [0038] 여기에서, TFT(408)가 TFT(406)보다 더 큰 전류 용량을 갖는 경우에, TFT(406)의 드레인 전위는 기록할 수 있도록 H로 증가된다. 더욱이, TFT(409)가 TFT(405)보다 더 큰 전류 용량을 갖는 경우에, TFT(407)의 드레인 전위는 기록할 수 있도록 L로 감소된다. TFT(406)이 TFT(408)보다 더 큰 전류 용량을 가지면, TFT(405)가 TFT(409)보다 더 큰 전류 용량을 가지는 경우에도 기록은 수행될 수 없다.
- [0039] 트랜지스터 특성들에서의 큰 변동들은 상기 문제를 야기한다. 그러한 문제를 해결하기 위해, 전류 용량을 증가 시키기에 충분히 큰 스위칭 트랜지스터의 크기를 만드는 것이 효과적이지만, 그러나 메모리 셀 자체 크기를 크게 하고, 메모리 회로의 집적 밀도가 개선된 상술된 발명에 불리한 결과를 가져온다.
- [0040] 그 외에도, 메모리 셀의 데이터는 데이터를 판독할 때 실제로 비트선에 출력된다. 그러나, 스위칭 트랜지스터가 너무 큰 전류 용량을 가지는 경우에, 프리차지 전위는 판독할 때 메모리 셀 내에 기록되고 따라서 데이터는 가변한다. 문제를 해결하기 위하여, 한 쌍의 인버터 회로들을 구성하는 트랜지스터들의 크기를 크게 하는 것이 효과적일 수 있지만, 메모리 셀의 크기를 크게 하고 높은 집적화(integration)에 불리한 결과를 가져온다.
- [0041] 집적화 정도의 감소로 인한 메모리 소자의 그러한 동작 실패 및 수율의 중단은 비용을 증가시킨다. 특히, 메모리 회로를 집적화하는 표시 장치의 경우에, 전체 표시 장치를 다루기 위해 비용이 크게 증가된다.
- [0042] 상술된 문제들을 해결하기 위하여, 본 발명에 따라, 워드선의 신호 진폭과 메모리 셀 내의 신호 진폭 사이의 차를 만듦으로써 기록 또는 판독 트랜지스터의 전류 용량이 가변된다. 따라서, 기록 및 판독시의 동작 실패는 메모리 셀의 크기를 크게 만들지 않고 감소될 수 있다.
- [0043] 본 발명의 메모리 회로는 워드선, 복수의 메모리 셀들, 및 워드선을 구동하기 위한 구동 회로를 포함한다. 워드선을 구동하기 위한 구동 회로는 레벨 시프트 회로를 포함하며, 메모리 셀의 출력 진폭 및 레벨 시프트 회로의 출력 진폭은 서로 상이하다.
- [0044] 본 발명의 메모리 회로는 워드선, 복수의 메모리 셀들, 및 워드선에 접속된 구동 회로를 포함한다. 구동 회로는 레벨 시프트 회로를 포함하며, 레벨 시프트 회로의 출력 진폭은 메모리 셀의 출력 진폭보다 더 크다.
- [0045] 본 발명의 메모리 회로는 워드선, 복수의 메모리 셀들, 및 워드선에 접속된 구동 회로를 포함한다. 구동 회로는 레벨 시프트 회로를 포함하며, 레벨 시프트 회로의 출력 진폭은 메모리 셀의 출력 진폭보다 더 작다.
- [0046] 본 발명의 메모리 회로는 워드선, 복수의 메모리 셀들, 및 워드선에 접속된 구동 회로를 포함한다. 구동 회로는 레벨 시프트 회로를 포함하며, 레벨 시프트 회로는 출력 진폭을 가변하기 위한 수단을 구비한다.
- [0047] 본 발명의 메모리 회로는 워드선, 복수의 메모리 셀들, 및 워드선에 접속된 구동 회로를 포함한다. 구동 회로는 레벨 시프트 회로를 포함하며, 레벨 시프트 회로는 기록 및 판독할 때 출력 진폭을 가변하기 위한 수단을 포함한다.
- [0048] 상술된 구성들에 따른 본 발명의 메모리 회로에서, 레벨 시프트 회로의 출력 진폭은 CPU에 의해 제어된다.
- [0049] 본 발명의 메모리 회로는 워드선, 복수의 메모리 셀들, 및 워드선에 접속된 구동 회로를 포함한다. 워드선 구동 회로는 레벨 시프트 회로를 포함한다. 레벨 시프트 회로의 출력 진폭에 대해, 기록시 진폭은 판독시 출력 진폭보다 더 크다.
- [0050] 상술된 구성들에 따라, 본 발명의 메모리 회로는 SRAM 회로이다.

- [0051] 상술된 구성들에 따라, 본 발명의 메모리 회로는 DRAM 회로이다.
- [0052] 상술된 구성들에 따라, 본 발명의 메모리 회로는 마스크 ROM이다.
- [0053] 상술된 구성들에 따라, 본 발명의 메모리 회로는 박막 트랜지스터들로 구성된다.
- [0054] 본 발명의 표시 장치는 상술된 메모리 회로가 제공된다.
- [0055] 상술된 구성들에 따른 본 발명의 표시 장치에서, 표시부는 박막 트랜지스터로 구성되며, 메모리 회로는 표시부의 박막 트랜지스터들과 일체로 형성된다.
- [0056] 본 발명의 표시 장치는 상술된 구성들을 가진 액정 표시 장치이다.
- [0057] 본 발명의 표시 장치는 상술된 구성들을 가진 EL 표시 장치이다.
- [0058] 상술된 구성들에 따라, 본 발명의 표시 장치는 서브프레임을 사용함으로써 계조들(gray scales)을 디스플레이 하기 위한 수단을 구비하는 EL 표시 장치이다.
- [0059] 본 발명의 전자 기기들은 상술된 구성들을 가진 표시 장치가 제공된다.
- [0060] 상술된 바와 같이, 본 발명의 메모리 회로에 따라, 워드선의 구동 진폭은 X 디코더 및 메모리 셀의 신호 진폭들을 벗어나서, 메모리 셀의 기록 실패 및 판독 실패는 그 크기를 크게 하지 않고 감소될 수 있다. 더욱이, 워드선의 구동 진폭은 기록과 판독 사이에서 가변되어 전력 소비가 감소될 수 있다.
- [0061] 본 발명의 메모리 회로를 포함하는 일체화된 표시 장치에서, 표시 장치의 수율은 개선될 수 있고 그 비용은 감소될 수 있다.

발명의 구성 및 작용

- [0062] [실시에 모드 1]
- [0063] 도 1은 본 발명의 실시예 모드를 도시한 도면이다. 도 1에 도시된 바와 같이, 본 발명의 실시예 모드는 Y 디코더(101), Y 선택기(102), X 디코더(103), 메모리 셀 어레이(104) 및 레벨 시프트 회로(105)를 포함한다. X 디코더(103) 및 레벨 시프트 회로(105)는 워드선 구동 회로를 구성한다. 메모리 셀 어레이(104) 및 X 디코더(103)의 출력 진폭과는 상이한 출력 진폭을 출력하는 레벨 시프트 회로(105)는 종래 메모리 회로에 부가적으로 제공된다. X 디코더(103)의 출력 신호는 레벨 시프트 회로(105)에 의해 진폭이 가변된 후에 메모리 셀 어레이(104)에 입력된다. 전원들은 종래 회로에서의 고전위 전원 VDD 및 저전위 전원 VSS로부터 X 디코더(103), Y 디코더(101), Y 선택기(102) 및 메모리 셀 어레이(104)에 공급된다. 고전위 전원 VDDH 및 저전위 전원 VDDL과 같은 다른 전원 시스템은 레벨 시프트 회로(105)에 제공되어서, 레벨 시프트 회로(105)는 X 디코더(103), Y 디코더(101), Y 선택기(102) 및 메모리 셀 어레이(104)의 상이한 출력 진폭을 갖는다. 따라서, 메모리 셀 어레이(104) 내의 워드선은 메모리 셀의 고전위 전원보다 높은 전위를 갖는 신호나 또는 메모리 셀의 저전위 전원보다 낮은 전위를 갖는 신호에 의해 구동될 수 있다. 그 외에도, 워드선은 메모리 셀의 고전위 전원보다 낮은 전위를 갖는 신호 또는 메모리 셀의 저전위 전원보다 높은 전위를 갖는 신호에 의해 구동될 수 있다. 달리 말하면, 메모리 회로의 기록 실패는 메모리 셀의 신호 진폭보다 더 큰 진폭에 의해 워드선을 구동함으로써 감소될 수 있고, 메모리 회로의 판독 실패는 메모리 셀의 신호 진폭보다 더 작은 진폭에 의해 기록선을 구동함으로써 감소될 수 있다.
- [0064] 메모리 셀의 고전위 전원보다 높은 전위를 갖는 신호에 의해 워드 신호를 구동함으로써, 메모리 셀 내의 스위칭 트랜지스터의 게이트는 고전위에서 구동될 수 있다. 메모리 셀 내의 N-형 스위칭 트랜지스터의 경우에, 스위칭 트랜지스터의 전류 용량은 그 게이트 폭의 증가 없이 증가될 수 있다. 따라서, 기록시의 동작 실패는 제거될 수 있다.
- [0065] 메모리 셀의 고전위 전원보다 낮은 전위를 갖는 신호에 의해 워드선을 구동함으로써, 메모리 셀 내의 스위칭 트랜지스터의 게이트는 저전위에서 구동될 수 있다. 메모리 셀 내의 N-형 스위칭 트랜지스터의 경우에, 스위칭 트랜지스터의 전류 용량은 감소될 수 있다. 따라서, 판독시의 동작 실패는 제거될 수 있다.
- [0066] 메모리 셀의 저전위 전원보다 낮은 전위를 갖는 신호에 의해 워드선을 구동함으로써, 메모리 셀 내의 스위칭 트랜지스터의 게이트는 저전위에서 구동될 수 있다. 메모리 셀 내의 P-형 스위칭 트랜지스터의 경우에, 스위칭 트랜지스터의 전류 용량은 게이트 폭의 증가 없이 증가될 수 있다. 따라서, 기록시의 동작 실패는 제거될 수

있다.

- [0067] 메모리 셀의 고전위 전원보다 높은 전위를 갖는 신호에 의해 워드선을 구동함으로써, 메모리 셀 내의 스위칭 트랜지스터의 게이트는 고전위에서 구동될 수 있다. 메모리 셀 내의 P-형 스위칭 트랜지스터의 경우에, 스위칭 트랜지스터의 전류 용량은 감소될 수 있다. 따라서, 판독시의 동작 실패는 제거될 수 있다.
- [0068] 상기 도시된 기록 실패 및 판독 실패에 대한 대책들은 동시에 또는 별도로 수행될 수 있다. 기록 실패에 대한 대책만이 수행되는 경우에, 메모리 셀의 신호 진폭과 레벨 시프트 회로의 신호 진폭은 판독시 서로 같을 수 있다. 판독 실패에 대한 대책만이 수행되는 경우에, 메모리 셀의 신호 진폭과 레벨 시프트 회로의 신호 진폭은 기록시 서로 같을 수 있다.
- [0069] [실시에 모드 2]
- [0070] 도 7은 본 발명의 제 2 실시예 모드를 도시한 것이다. 도 7에서, 본 실시예 모드의 메모리 회로는 Y 디코더(701), Y 선택기(702), X 디코더(703), 메모리 셀 어레이(704) 및 가변 레벨 시프트 회로(705)를 포함한다. 변경 신호는 변경 신호 입력 단자(706)에서 가변 레벨 시프트 회로(705)로 입력된다. 가변 레벨 시프트 회로(705)는 변경 신호에 대응하는 진폭을 갖는 출력 신호를 출력하기 위한 수단을 구비한다. 그 수단은 필요시 출력 진폭이 최적화되도록 허용한다. 출력 진폭은 기록 및 판독 사이에서 가변될 수 있다.
- [0071] 즉, 워드선은 기록할 때 메모리 셀의 출력 진폭보다 더 큰 진폭에 의해 구동되고, 워드선은 판독될 때 메모리 셀의 출력 진폭보다 더 작은 진폭에 의해 구동되어, 문제가 된 기록 실패 및 판독 실패는 감소될 수 있다. 더욱이, 워드선은 각 조건에 따라 필요한 진폭에 의해 구동되어 과도하게 큰 진폭에 의해 구동되는 워드선으로 인한 전력 소비의 증가를 방지할 수 있다.
- [0072] 도 8에서, 도 7에 도시된 가변 레벨 시프트 회로는 CPU(806)에 의해 제어된다. Y 디코더(801), Y 선택기(802), X 디코더(803), 메모리 셀 어레이(804) 및 가변 레벨 시프트 회로(805)는 Y 디코더(701), Y 선택기(702), X 디코더(703), 메모리 셀 어레이(704) 및 가변 레벨 시프트 회로(705)에 각각 대응한다. 메모리의 모드는 CPU(806)에 의해 제어되고, 소프트웨어에 의해 제어되어 메모리 셀의 응답 속도는 필요시 가변될 수 있다.
- [0073] [실시에 1]
- [0074] 도 5는 본 발명의 제 1 실시예를 도시한 것이다. 본 실시예에서, X 디코더(501)의 출력의 신호 진폭은 2개의 레벨 시프터들, 고레벨 시프트 회로(514) 및 저레벨 시프트 회로(515)를 사용함으로써 증폭되어, SRAM 메모리 셀(502)의 워드선(505)이 구동된다. 고전위 전원 VDD 및 저전위 전원 VSS는 X 디코더(501)에 인가되고, 고전위 전원 VDDH 및 저전위 전원 VSSL은 고레벨 시프트 회로(514)에 인가되고, 고전위 전원 VDDH 및 저전위 전원 VSSL은 저레벨 시프트 회로(515)에 인가된다. 고전위 전원 VDD 및 저전위 전원 VSS는 메모리 셀(502)에 인가된다. 여기에서, $VDD \leq VDDH$ 및 $VSS \geq VSSL$ 가 만족된다.
- [0075] 스위칭 트랜지스터들(512 및 513)의 게이트 전극들에 인가된 것은 TFT들(508 내지 511)로 구성된 한 쌍의 인버터들의 고전위 전원(506) 및 저전위 전원(507)에 인가된 신호 전압보다 더 크다. 따라서, 스위칭 트랜지스터들(512 및 513)의 전류 용량은 인버터들의 쌍의 전류 용량보다 더 크게 만들어질 수 있다. 이러한 방식으로, 스위칭 트랜지스터들(512 및 513)의 전류 용량은 본 실시예에 따라 크기를 크게 만들지 않고 증가될 수 있다. 그 것은 TFT들의 변동들로 인한 메모리 회로의 기록 실패에 대한 대책으로 역할한다.
- [0076] 레벨 시프트 회로는 본 실시예에 따라 고레벨 시프트 회로 및 저레벨 시프트 회로로 구성되었지만, 본 발명은 이에 제한되지 않는다. 그 외에도, 저레벨 시프트 회로는 N-형 스위칭 트랜지스터의 경우에 제공될 필요가 없으며, 고레벨 시프트 회로는 P-형 스위칭 트랜지스터의 경우에 제공될 필요가 없다.
- [0077] [실시에 2]
- [0078] 도 17은 본 발명의 제 2 실시예를 도시한 것이다. 이 실시예에서, 도 17에 도시된 바와 같이, X 디코더(1701)의 출력의 신호 진폭은 2개의 레벨 시프터들, 고레벨 시프트 회로(1714) 및 저레벨 시프트 회로(1715)를 사용함으로써 감소되어, SRAM 메모리 셀(1702)의 워드선(1705)이 구동된다. 고전위 전원 VDD 및 저전위 전원 VSS는 X

디코더(1701)에 인가되고, 고전위 전원 VDDL 및 저전위 전원 VSS는 고레벨 시프트 회로(1714)에 인가되고, 고전위 전원 VDDL 및 저전위 전원 VSSH는 저레벨 시프트 회로(1715)에 인가된다. 고전위 전원 VDD 및 저전위 전원 VSS는 메모리 셀(1702)에 인가된다. 여기에서, $VDD \leq VDDL$ 및 $VSS \geq VSSH$ 가 만족된다.

[0079] 스위칭 트랜지스터들(1712 및 1713)의 게이트 전극들에 인가된 것은 TFT들(1708 내지 1711)로 구성된 한 쌍의 인버터들의 고전위 전원(1706) 및 저전위 전원(1707)에 인가된 신호 전압보다 더 작다. 따라서, 스위칭 트랜지스터들(1712 및 1713)의 전류 용량은 인버터들의 쌍의 전류 용량보다 더 작게 만들어질 수 있다. 이러한 방식으로, 스위칭 트랜지스터들(1712 및 1713)의 전류 용량은 본 실시예에 따라 크기를 크게 만들지 않고 감소될 수 있다. 그것은 TFT들의 변동들로 인한 메모리 회로의 관독 실패에 대한 대책으로 역할한다.

[0080] 레벨 시프트 회로는 본 실시예에 따라 고레벨 시프트 회로 및 저레벨 시프트 회로로 구성되었지만, 본 발명에는 제한되지 않는다. 그 외에도, 저레벨 시프트 회로는 N-형 스위칭 트랜지스터의 경우에 제공될 필요가 없으며, 고레벨 시프트 회로는 P-형 스위칭 트랜지스터의 경우에 제공될 필요가 없다.

[0081] [실시예 3]

[0082] 도 6은 레벨 시프트 회로의 실시예이다. 이 실시예에서, 실시예 1에 기술된 고레벨 시프트 회로 및 저레벨 시프트 회로는 상세히 기술된다. X 디코더(601)의 출력은 TFT들(608 내지 613)로 구성된 고레벨 시프트 회로(602)에 입력된다. 먼저, X 디코더(601)의 출력은 TFT들(608 및 609)로 구성된 인버터에 의해 반전된다. 이 인버터의 고전위 전원(604) 및 저전위 전원(605)은 X 디코더(601)의 것과 같고, 따라서 이 인버터의 신호 진폭은 X 디코더(601)의 출력 진폭과 같다. 그 다음, X 디코더(601)의 출력과 인버터의 출력은 TFT들(613 및 612)의 게이트들에 각각 입력된다.

[0083] TFT(613)의 드레인은 TFT(610)의 게이트 및 TFT(611)의 드레인에 각각 접속된다. TFT(612)의 드레인은 TFT(611)의 게이트 및 TFT(610)의 드레인에 접속된다. TFT(613 및 612)의 게이트들에 입력된 신호들의 위상들은 서로 반대이다. 따라서, TFT(613)이 온으로되면, TFT(610)은 온으로되고, TFT(611)는 턴오프된다. TFT(612)는 이때 오프된다. 따라서, TFT(611)의 드레인 전위는 저전위 전원(605)과 같게되고, TFT(610)의 드레인 전위는 고전위 전원(606)과 같게 된다. 고전위 전원(604)보다 E 높은 고전위 전원(606)을 설정함으로써 고레벨 시프트는 수행될 수 있다.

[0084] TFT들(610 및 611)의 드레인들은 TFT들(615 및 614)의 게이트들에 각각 접속된다. TFT(615)의 드레인은 TFT(616)의 게이트 및 TFT(617)의 드레인에 접속된다. TFT(614)의 드레인은 TFT(617)의 게이트 및 TFT(616)의 드레인에 접속된다. TFT들(615 및 614)의 게이트들에 입력된 신호들의 위상들은 서로 반대이다. 따라서, TFT(615)가 온으로되면, TFT(616)는 온으로되고 TFT(617)는 턴오프된다. TFT(614)는 이때 오프된다. 따라서, TFT(615)의 드레인 전위는 고전위 전원(606)과 같게 되고, TFT(614)의 드레인 전위는 저전위 전원(607)과 같게 된다. 저전위 전원(605)보다 더 낮은 저전위 전원(607)을 설정함으로써, 저레벨 시프트가 수행될 수 있다. TFT(615)의 드레인은 메모리 셀을 구동하기 위해 메모리 셀의 워드선에 접속된다.

[0085] 본 발명의 레벨 시프트 회로는 이 실시예에 도시된 것에 제한되지 않으며, 다른 구성을 가진 레벨 시프트 회로가 마찬가지로 사용될 수 있다.

[0086] [실시예 4]

[0087] 도 9는 본 발명을 사용하는 마스크 ROM의 실시예를 도시한 것이다. 도 9의 마스크 ROM은 스위칭 TFT들(912 및 913), 고전위 배선들(908 및 909), 저전위 배선들(910 및 911) 및 비트선들(906 및 907) 각각으로 구성된 메모리 셀들(903 및 904)을 포함한다. X 디코더(901)는 공지된 것이며, 레벨 시프트 회로(902)는 실시예 2에 기술된 것이거나 공지된 것 중 어느 하나이다. X 디코더(901)의 고전위 전원 및 저전위 전원은 VDD 및 VSS 각각으로 표시되고, 레벨 시프트 회로(902)의 고전위 전원 및 저전위 전원은 VDDH 및 VSSL 각각으로 표시된다. 고전위 배선들(908 및 909)은 VDD에 접속되고 저전위 배선들(910 및 911)은 VSS에 접속된다. 저레벨 시프트 회로(915)는 N-형 스위칭 TFT들(912 및 913)의 경우에 제공될 필요가 없으며, 고레벨 시프트 회로(914)는 P-형 스위칭 TFT들(912 및 913)의 경우에 제공될 필요가 없다.

[0088] N-형 스위칭 TFT들의 동작은 하기에 설명된다. X 디코더(901)의 출력이 하이가 되면, 저레벨 시프트 회로(915)의 출력은 따라서 하이가 되고, 워드선(905)이 구동된다. 스위칭 TFT(912)의 소스 또는 드레인 중 어느 하나

는 비트선(906)에 접속되고, 다른 하나는 고전위 배선(908)에 접속된다. 스위칭 TFT(912)가 온으로되면, 비트선(906)의 전위는 고전위 배선(908)의 전위로 상승하며, 그것은 VDD가 된다. 반면, 스위칭 TFT(913)의 소스 또는 드레인 중 어느 하나는 비트선(907)에 접속되고, 다른 하나는 저전위 배선(911)에 접속된다. 스위칭 TFT(913)이 온으로되면, 비트선(907)의 전위는 저전위 배선(911)의 전위로 강하되며, 그것은 VSS가 된다.

[0089] 레벨 시프트 회로(902)가 제공되지 않는 경우에, 워드선(905)의 전위는 기껏해야 VDD로 상승한다. 따라서, 메모리 셀(903)과 같이 스위칭 TFT가 고전위 배선에 접속되는 메모리 셀에서, 비트선의 전위는 스위칭 TFT의 임계값만큼 기껏해야 VDD보다 낮은 전위로 상승한다. 이러한 경우에 비트선과 저전위 배선 사이의 전위 차는 매우 작으며, 따라서 저장된 값은 정확하게 취해지지 않을 수 있고, 비트선의 전위 증가를 완료하기까지 더 긴 시간이 요구될 수 있다. 본 발명에 따라, 워드선의 전위는 고전위 배선의 전위보다 더 크게 설정되어서, 레벨 시프트 회로를 부가적으로 제공함으로써 비트선의 전위가 고전위 배선의 전위로 상승될 수 있다. 또한, 비트선의 전위 증가를 완료하기까지 요구되는 시간은 짧아질 수 있다.

[0090] [실시예 5]

[0091] 도 10은 본 발명을 사용하는 DRAM의 실시예를 도시한 것이다. 도 10의 DRAM은 스위칭 TFT들(1010 및 1011), 저장 커패시터들(1012 및 1013), 저전위 배선들(1008 및 1009) 및 비트선들(1006 및 1007) 각각으로 구성된 메모리 셀들(1003 및 1004)을 포함한다. X 디코더(1001)는 공지된 것이며, 레벨 시프트 회로(1002)는 실시예 2에 기술된 것 또는 공지된 것 중 어느 하나이다. X 디코더(1001)의 고전위 전원 및 저전위 전원은 VDD 및 VSS 각각으로 표시되고 레벨 시프트 회로(1002)의 고전위 전원은 VDDH 및 VSSL 각각으로 표시된다.

[0092] N-형 스위칭 TFT들의 동작은 하기에 설명된다. 기록 동작에서, X 디코더(1001)의 출력이 하이이면, 레벨 시프트 회로(1002)의 출력은 따라서 하이로 되고, 워드선(1005)이 구동된다. 스위칭 TFT들(1010 및 1011) 각각의 소스 또는 드레인 중 어느 하나는 비트선들(1006 및 1007)에 각각 접속되고, 다른 하나는 저장 커패시터들(1012 및 1013) 각각에 접속된다. 스위칭 TFT들(1010 및 1011)이 온으로되면, 비트선들(1006 및 1007)의 데이터는 저장 커패시터들(1012 및 1013) 각각에 기록된다. 후속적으로, 워드선(1005)의 전위가 로우가 되면, 스위칭 TFT들(1010 및 1011)은 턴오프되고, 저장 커패시터들(1012 및 1013) 내에 축적된 전하들이 유지된다. 기록 동작에서, 비트선들(1006 및 1007)은 특정 전위에 접속되어 프리차지된다. 그 다음에, 이러한 접속이 해제되어 비트선들(1006 및 1007)은 유동 상태에 된다. 워드선(1005)의 전위가 하이가 되면, 스위칭 TFT들(1010 및 1011)이 온으로되고 저장 커패시터들(1012 및 1013)이 방전되어 비트선들(1006 및 1007)의 전위가 가변된다. 이러한 변동은 데이터 기록을 위해 감지 증폭기(도시되지 않음)에 의해 검출된다.

[0093] 레벨 시프트 회로(1002)가 제공되지 않는 경우에, 워드선(1005)의 전위는 기껏해야 VDD로 상승한다. 따라서, 메모리 셀(903)과 같이 스위칭 TFT가 고전위 배선에 접속되는 메모리 셀에서, 비트선의 전위는 스위칭 TFT의 임계값만큼 기껏해야 VDD보다 적은 전위로 상승한다. 이러한 경우에 비트선과 저전위 배선 사이의 전위 차는 작고, 따라서 저장된 값은 정확하게 취해지지 않을 수 있으며, 비트선의 전위 상승을 완료하기까지 긴 시간이 요구될 수 있다. 본 발명에 따라, 워드선의 전위는 고전위 배선의 전위보다 더 높게 설정될 수 있어서 레벨 시프트 회로를 부가로 제공함으로써 비트선의 전위가 고전위 배선의 전위로 증가할 수 있다. 또한, 비트선의 전위 증가를 완료하기까지 요구된 시간은 짧아질 수 있다.

[0094] [실시예 6]

[0095] 도 11의 a 및 b는 본 발명의 메모리 회로를 사용하는 표시 장치(1101)의 실시예를 도시한 것이다. 도 11의 a에서, TFT들은 절연 기판(1107) 상에 형성되고, TFT들을 사용함으로써, 신호선 구동 회로들(1102 및 1103), 픽셀부(1104) 및 논리 회로부(1105)가 구성된다. 논리 회로부(1105)는 본 발명의 메모리 회로(1109), CPU(1110), 제어기(1111) 및 이미지 처리 회로(1112)를 포함한다. 클럭, 전원 소스 등과 같은 외부 신호들은 FPC(1106)를 통해 공급된다. 대향 기판(counter substrate; 1108)은 절연 기판(1107)에 부착되고 그 주변부는 도 11b에 도시된 바와 같이 밀봉 부재(1113)를 사용함으로써 밀봉된다.

[0096] 액정 재료, EL(전자 발광) 재료 및 전기 이동 재료(electrophoresis material)는 디스플레이 재료로서 사용될 수 있다. 디스플레이 재료는 절연 기판(1107)과 대향 기판(1108) 사이에 주입 또는 형성되어 표시 장치를 형성한다. 표시 장치는 유리, 플라스틱, 수정 등과 같은 절연 기판으로 형성될 수 있다.

[0097] 그 외에도, 상술된 메모리 회로(1109)는 SRAM, DRAM 및 마스크 ROM에 제한되지 않으며, 다른 메모리 소자가 사용될 수 있다. 대안적으로, 메모리 회로(1109)는 2개 이상의 SRAM, DRAM 및 마스크 ROM을 사용함으로써 형성될 수 있다. CPU(1110)는 메모리 회로(1109) 내에 저장된 데이터 또는 프로그램을 처리하고, 제어기(1111) 및 이

이미지 처리 회로(1112)를 제어한다. 제어기(1111)는 신호선 구동 회로들(1102 및 1103)에 요구되는 클럭, 동기 신호, 제어 펄스 등을 형성한다. 이미지 처리 회로(1112)는 CPU(1110)로부터의 명령에 따라 이미지 데이터를 형성한다.

[0098] 이 실시예는 실시예 모드 1 및 실시예 모드 2, 또는 실시예 1 내지 실시예 4와 협력하여 사용될 수 있다.

[0099] [실시예 7]

[0100] 도 14는 본 발명을 사용하는 EL 표시 장치의 예를 도시한 것이다. 시간 계조 방법은 EL 표시 장치에서 계조 디스플레이를 수행하기 위한 방법으로서 제안되었다. 시간 계조 스케일 방법에서, 일본 특허공개 제 2001-343933 호에 개시된 바와 같이, 한 프레임 기간이 복수의 상이한 서브프레임 기간들로 나누어지고, 발광 기간(lighting period)이 픽셀들 사이에서 상이하게 설정되어 계조 디스플레이가 수행된다.

[0101] 시간 계조 방법을 사용하는 표시 장치에서, 비디오 신호의 하나의 대응하는 서브프레임으로의 변환이 요구된다. 그러한 특정 방법은 도 14를 참조하여 설명된다. 도 14의 EL 표시 장치는 복수의 EL 픽셀들을 포함하는 픽셀부(1401), 픽셀부(1401)내의 복수의 신호선들을 구동하기 위한 신호선 구동 회로들(1402 및 1403), 메모리 회로들(1404 및 1405), 외부 클럭들과 동기하는 기본 클럭을 발생하기 위한 PLL 회로(1406), 신호선 구동 회로들(1402 및 1403)에 클럭 등을 공급하기 위한 클럭 발생기(1407), 및 클럭 발생기(1407)를 제어하기 위한 제어 논리 회로(1408)를 포함한다.

[0102] 그 동작 방법은 다음에 설명된다. 먼저, 한 프레임에 대해 디지털 비디오 신호는 메모리 회로(1404)에 저장된다. 4비트 비디오 신호의 경우에, 예를 들면, 4비트 비디오 신호는 바람직하게 한 비트씩 저장된다. 후속 프레임에 대한 디지털 비디오 신호는 메모리 회로(1405) 내에 저장된다. 디지털 비디오 신호가 메모리 회로(1405) 내에 저장되면, 메모리 회로(1404) 내에 저장된 디지털 비디오 신호는 신호선 구동 회로(1403)에 출력된다. 이때, 비디오 신호는 한 비트씩 출력된다. 즉, 제 1 비트의 비디오 신호가 완전히 출력되면, 그 다음 제 2 비트의 비디오 신호가 완전히 출력된다. 이미지 신호의 한 비트씩의 출력에 따라, 서브프레임 변환이 수행될 수 있다.

[0103] 본 발명은 상기 수단이 TFT들을 사용함으로써 일체로 형성되는 EL 표시 장치 내에 적용될 수 있다. SRAM 또는 DRAM은 메모리 회로들(1404 및 1405)의 각각으로서 사용된다. 본 발명에 따라, 픽셀부(1401)와 일체로 형성되는 메모리 회로들(1404 및 1405)의 동작 실패들이 방지되고 따라서 수율이 개선될 수 있다. 표시 장치가 유리 기판, 플라스틱 기판 등 상에 일체로 형성될 수 있음을 주지한다.

[0104] 이 실시예는 실시예 모드 1 및 실시예 모드 2, 또는 실시예 1 내지 실시예 4와 협력하여 사용될 수 있다.

[0105] [실시예 8]

[0106] 도 15는 본 발명을 사용하는 통합 PDA(integrated PDA)의 예를 도시한 것이다. 도 15의 통합 PAD는 동일 기판 상에, 픽셀부(1501), CPU(1502), 이미지 처리 회로(1503), 아날로그 증폭기(1504), 플래시 메모리(1505), DRAM(1506), VRAM(1507) 및 마스크 ROM(1508)을 포함한다. 그 외에도, 터치 센서(1509) 및 메모리 카드 인터페이스(1510)는 기판에 외부적으로 접속된다. SRAM은 DRAM(1506) 대신에 사용될 수 있음을 주지한다.

[0107] 픽셀부(1501)는 액정, EL(전자 발광) 및 전기 이동 소자와 같은 디스플레이 재료를 사용함으로써 이미지들을 디스플레이한다. CPU(1502)는 각 메모리 회로의 데이터, 명령, 터치 센서(1509)의 신호에 기초하여 데이터를 처리한다. 이미지 처리 회로(1503)는 CPU(1502)의 제어 하에 특정 이미지 데이터를 형성한다. 플래시 메모리(1505)는 전원이 오프되면 데이터를 파일링하고 VRAM(1507) 및 DRAM(1506)은 임시 데이터를 파일링한다. 마스크 ROM(1508)은 변경할 필요가 없는 OS와 같은 프로그램을 파일링한다. 터치 센서(1509)는 사용자에게 의해 펜 등으로 데이터를 입력하기 위해 제공되고, 데이터의 신호는 아날로그 증폭기(1504) 및 A/D 변환기 회로(1511)를 통해 다른 블록에 전송된다. 메모리 카드 인터페이스(1510)는 외부 신호가 접속되거나 메모리 카드가 사용될 때 인터페이싱된다.

[0108] 본 발명은 그러한 통합 PDA가 구성된 TFT 기판 상에 적용될 수 있다. 특히, 본 발명이 플래시 메모리(1505), DRAM(1506), VRAM(1507) 및 마스크 ROM(1508)에 적용되면, 픽셀부(1501)와 일체로 형성되는 메모리 회로들의 동작 실패는 방지되고 따라서 수율이 개선될 수 있다. 표시 장치가 유리 기판, 플라스틱 기판 등에 일체로 형

성될 수 있음을 주지한다.

[0109] 이 실시예는 실시예 모드 1 및 실시예 모드 2, 실시예 1 내지 실시예 4와 협력하여 사용될 수 있다.

[0110] [실시예 9]

[0111] 도 16은 가변 레벨 시프트 회로의 실시예를 도시한 것이다. 도 16의 가변 레벨 시프트 회로는 X 디코더(1601), 레벨 시프트 회로들(1602, 1603 및 1607), 스위치들(1604 및 1605), 변경 입력 신호 단자(1606) 및 인버터들(1608 및 1609)을 포함한다. X 디코더(1601)의 출력 신호는 레벨 시프트 회로들(1602 및 1603)에 입력되고, 서로 상이한 진폭으로 출력된다. 반면, 변경 신호 입력 단자(1606)에 입력된 변경 신호는 레벨 시프트 회로(1607)에서 시프트된다. 스위칭 신호가 충분히 큰 진폭을 갖는 경우에는 레벨 시프트 회로(1607)가 불필요하다는 것을 주지한다. 레벨 시프트 회로(1607)의 출력은 인버터(1608)에 입력되고 그 출력은 인버터(1609) 및 스위치들(1604 및 1605)의 각 제어 단자에 입력된다. 인버터(1609)의 출력은 스위치들(1604 및 1605)의 다른 제어 단자들에 입력된다.

[0112] 레벨 시프트 회로(1607)의 출력이 하이가 되면, 스위치(1605)는 온으로되고, 스위치(1604)는 턴오프된다. 따라서, 레벨 시프트 회로(1603)의 출력은 워드선에 접속된다. 레벨 시프트 회로(1607)의 출력이 로우가 되면, 스위치(1605)는 턴오프되고 스위치(1604)는 온으로된다. 따라서, 레벨 시프트 회로(1602)의 출력은 워드선에 접속된다.

[0113] 여기에서, 공지된 회로가 레벨 시프트 회로로서 사용될 수 있다. 그 외에도, 가변 레벨 시프트 회로의 구성은 이 실시예 도시된 것에 제한되지 않고, 다른 회로들이 대안적으로 사용될 수 있다.

[0114] [실시예 10]

[0115] 전술한 실시예들에 따른 표시 장치는 다양한 전자 기기의 표시부로서 사용될 수 있다. 본 발명에 따른 표시 장치를 내장하는 그러한 전자 기기는 디스플레이 매체로서 하기에 기술되었다.

[0116] 전자 기기의 예들은 비디오 카메라들, 디지털 카메라들, 헤드 장착형 디스플레이들(고글형 디스플레이들), 게임 머신들, 차량 네비게이션 시스템들, 개인용 컴퓨터들, 휴대용 정보 단말기들(이동 컴퓨터들, 이동 전화기들, 전자 북들, 등)을 포함한다. 전자 기기의 특정 예들은 도 12의 a 내지 g에 도시되어 있다.

[0117] 12의 a는 본체(3101), 표시부(3102), 이미지 수신부(3103), 동작키들(3104), 외부 접속부(3105), 셔터(3106) 등을 포함하는 디지털 카메라이다. 소형 및 경량의 디지털 카메라는 표시부(3102)에서 본 발명의 표시 장치를 사용함으로써 얻어질 수 있다.

[0118] 도 12의 b는 본체(3201), 하우징(3202), 표시부(3203), 키보드(3204), 외부 접속 포트(3205), 포인팅 마우스(3206) 등을 포함하는 노트북 개인용 컴퓨터이다. 소형 및 경량의 노트북 개인용 컴퓨터는 표시부(3203)에서 본 발명의 표시 장치를 사용함으로써 얻어질 수 있다.

[0119] 도 12의 c는 본체(3301), 표시부(3302), 스위치(3303), 동작키들(3304), 적외선 포트(3305) 등을 포함하는 휴대 정보 단말기이다. 소형 및 경량의 휴대 정보 단말기는 표시부(3303)에서 본 발명의 표시 장치를 사용함으로써 얻어질 수 있다.

[0120] 도 12의 d는 본체(3401), 하우징(3402), 기록 매체(CD, LD 및 DVD와 같은) 판독 입력부(3405), 동작키(3406), 표시부 A(3403), 표시부 B(3404) 등을 포함하는 기록 매체(특히, DVD 재생 디바이스)가 제공된 임지 재생 디바이스이다. 표시부 A(3403)는 주로 이미지 데이터를 디스플레이하는 반면, 표시부 B(3404)는 주로 문자 데이터를 디스플레이하고, 본 발명의 표시 장치는 표시부 A(3403) 및 표시부 B(3404)에서 사용될 수 있다. 소형 및 경량의 이미지 재생 디바이스가, CD 재생 디바이스들 및 게임 머신들과 같은 기록 매체가 제공된 이미지 재생 디바이스들에서 본 발명을 사용함으로써 얻어질 수 있음을 주지한다.

[0121] 도 12의 e는 접기식 휴대용 표시 장치이다. 소형 및 경량의 접기식 휴대용 표시 장치가, 본체(3501) 상에 장착된 표시부(3502)에서 본 발명을 사용함으로써 얻어질 수 있다.

[0122] 도 12의 f는 표시부(3602), 밴드들(3601), 동작 스위치(3603) 등을 포함하는 시계형 커뮤니케이터이다. 소형 및 경량의 시계형 커뮤니케이터가, 표시부(3602)에서 본 발명의 표시 장치를 사용함으로써 얻어질 수 있다.

- [0123] 도 12의 g는 본체(3701), 하우징(3702), 표시부(3703), 오디오 입력부(3704), 안테나(3705), 동작키(3706), 외부 접속부(3707) 등을 포함하는 이동 전화기이다. 소형 및 경량의 이동 전화기가, 표시부(3702)에서 본 발명의 표시 장치를 사용함으로써 얻어질 수 있다.
- [0124] 상술한 바와 같이, 본 발명의 적용 범위는 너무 넓어서 본 발명은 다양한 분야들의 전자 기기에 적용될 수 있다. 이 실시예의 전자 기기는 실시예 모드 1 및 실시예 모드 2와, 실시예 1의 임의의 조합을 사용함으로써 얻어질 수 있다.
- [0125] 본 출원은 2003년 7월 18일 일본 특허청에 출원된 일본 특허 출원 번호 제 2003-277068호에 기초하며, 그 개시 내용은 본 명세서에 참조로서 포함되었다.
- [0126] 본 발명이 첨부 도면들을 참조하고 실시예 모드들에 의해 완전히 기술되었지만, 다양한 변경들 및 수정들이 당업자에게 명백함을 이해한다. 따라서, 그러한 변경들 및 수정들이 이후 규정된 본 발명의 범위를 벗어나지 않는다면, 그들은 본 발명에 포함되는 것으로 구성되어야 한다.

발명의 효과

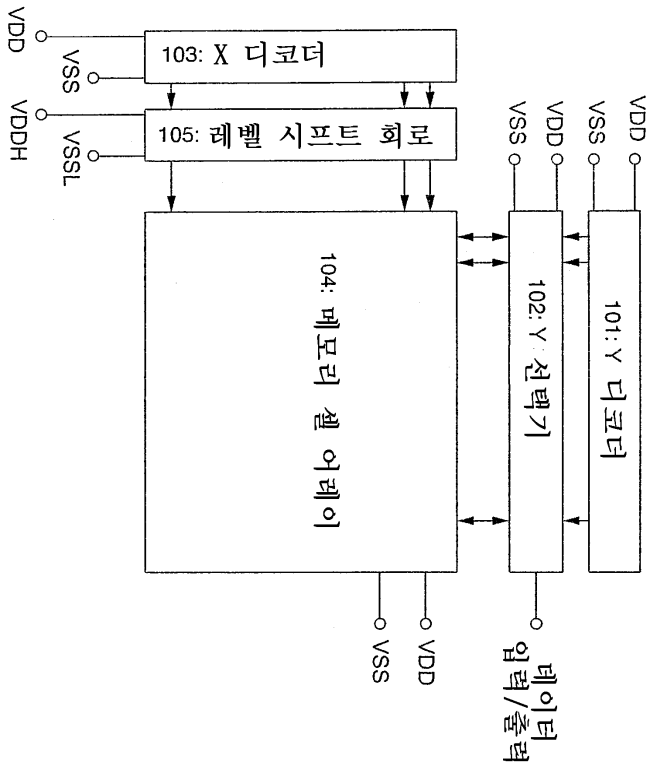
- [0127] 본 발명에 의하면, 워드선의 신호 진폭과 메모리 셀 내의 신호 진폭 사이의 차를 만듦으로써, 기록 또는 판독 트랜지스터의 전류 용량이 가변되며, 따라서 기록 및 판독시의 동작 실패는 메모리 셀의 크기를 크게 만들지 않고 감소될 수 있다.

도면의 간단한 설명

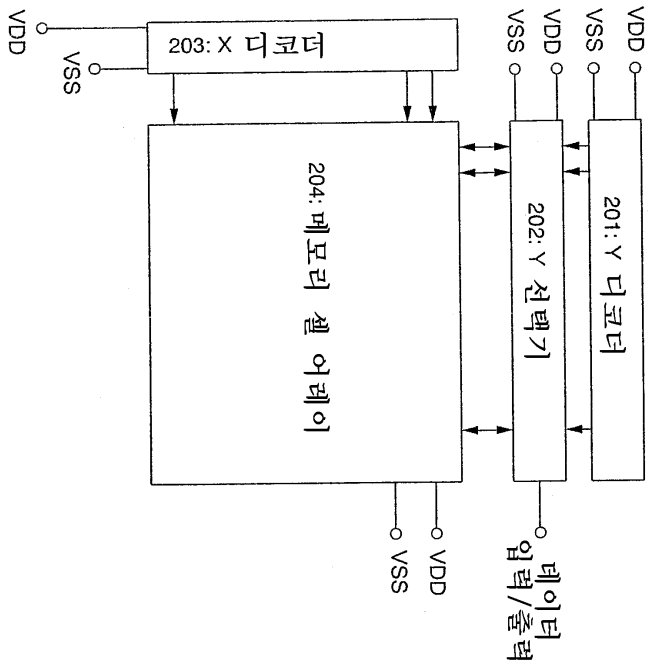
- | | | |
|--------|--|------------------|
| [0001] | 도 1은 본 발명의 메모리 회로의 실시예 모드를 도시한 도면. | |
| [0002] | 도 2는 종래의 메모리 회로를 도시한 도면. | |
| [0003] | 도 3은 종래의 SRAM을 도시한 도면. | |
| [0004] | 도 4는 SRAM의 메모리 셀을 도시한 도면. | |
| [0005] | 도 5는 본 발명의 메모리 회로의 실시예를 도시한 도면. | |
| [0006] | 도 6은 본 발명의 메모리 회로의 실시예를 도시한 도면. | |
| [0007] | 도 7은 본 발명의 메모리 회로의 실시예 모드를 도시한 도면. | |
| [0008] | 도 8은 본 발명의 메모리 회로의 실시예 모드를 도시한 도면. | |
| [0009] | 도 9는 본 발명이 적용된 마스크 ROM의 실시예를 도시한 도면. | |
| [0010] | 도 10은 본 발명이 적용된 마스크 DRAM의 실시예를 도시한 도면. | |
| [0011] | 도 11의 a 및 b는 본 발명의 메모리 회로가 일체로 형성된 표시 장치를 도시한 도면들. | |
| [0012] | 도 12의 a 내지 g는 본 발명을 각각 사용하는 전자 기기를 도시한 도면들. | |
| [0013] | 도 13은 마스크 ROM의 메모리 셀을 도시한 평면도. | |
| [0014] | 도 14는 본 발명의 메모리 회로가 일체로 형성된 EL 표시 장치를 도시한 도면. | |
| [0015] | 도 15는 본 발명의 메모리 회로가 일체로 형성된 PDA를 도시한 도면. | |
| [0016] | 도 16은 본 발명의 메모리 회로의 실시예를 도시한 도면. | |
| [0017] | 도 17은 본 발명의 메모리 회로의 실시예를 도시한 도면. | |
| [0018] | *도면의 주요 부분에 대한 부호의 설명* | |
| [0019] | 501 : X 디코더 | 502 : SRAM 메모리 셀 |
| [0020] | 514 : 고레벨 시프트 회로 | 515 : 저레벨 시프트 회로 |

도면

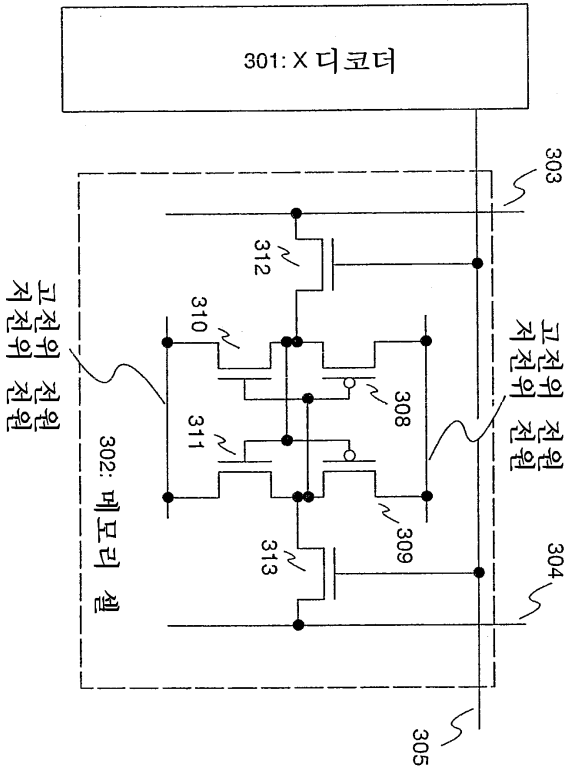
도면1



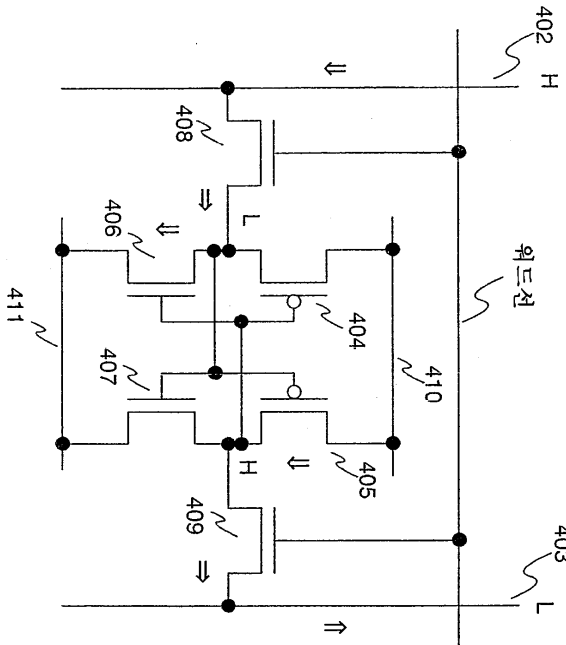
도면2



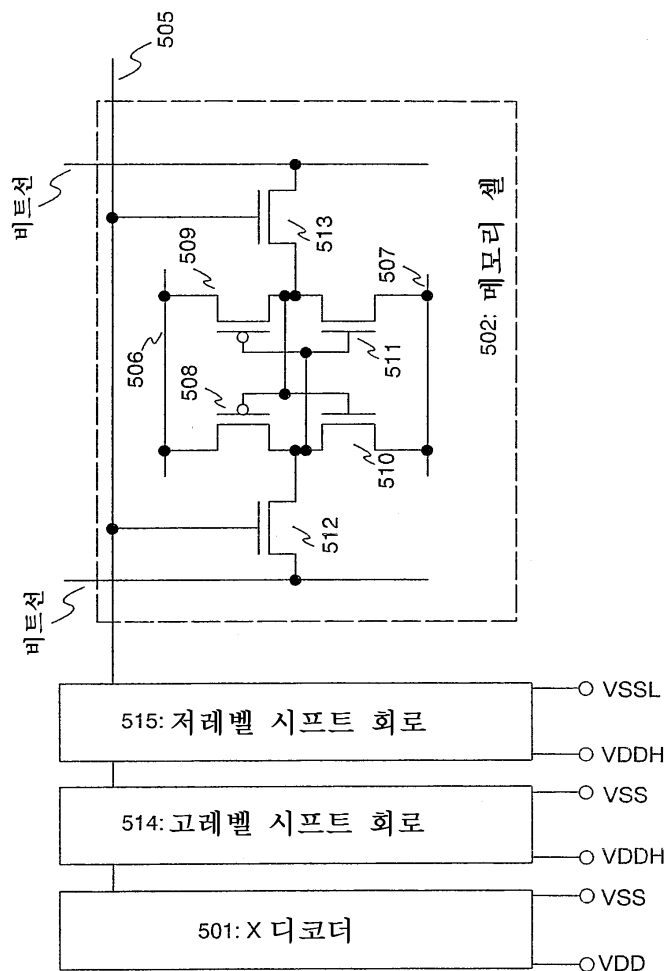
도면3



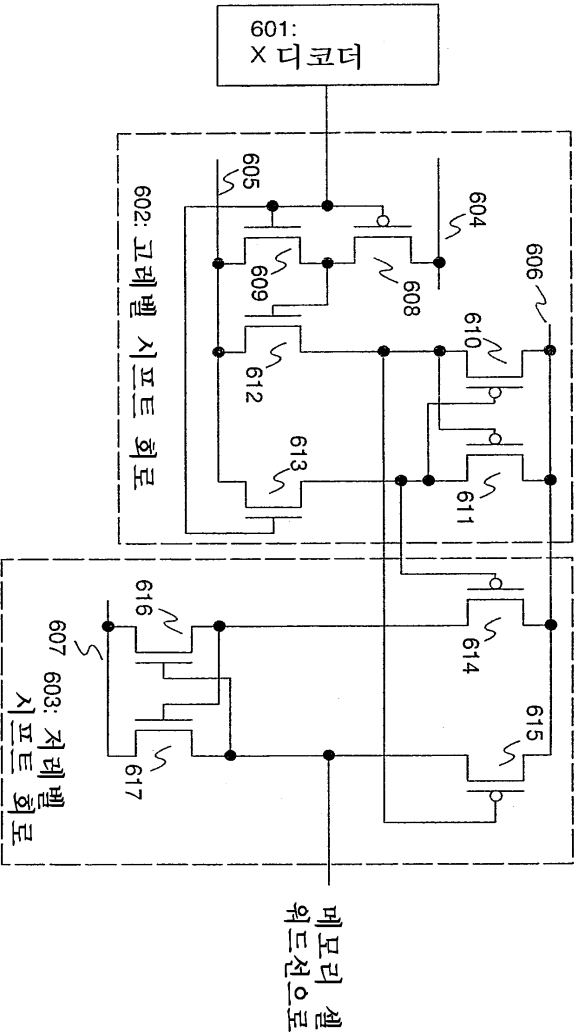
도면4



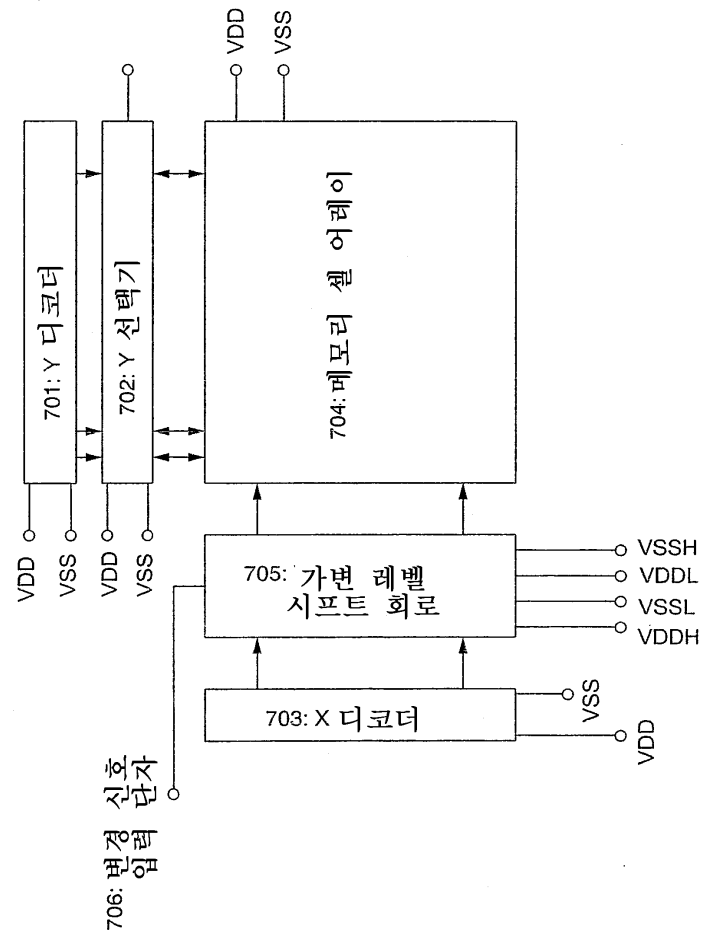
도면5



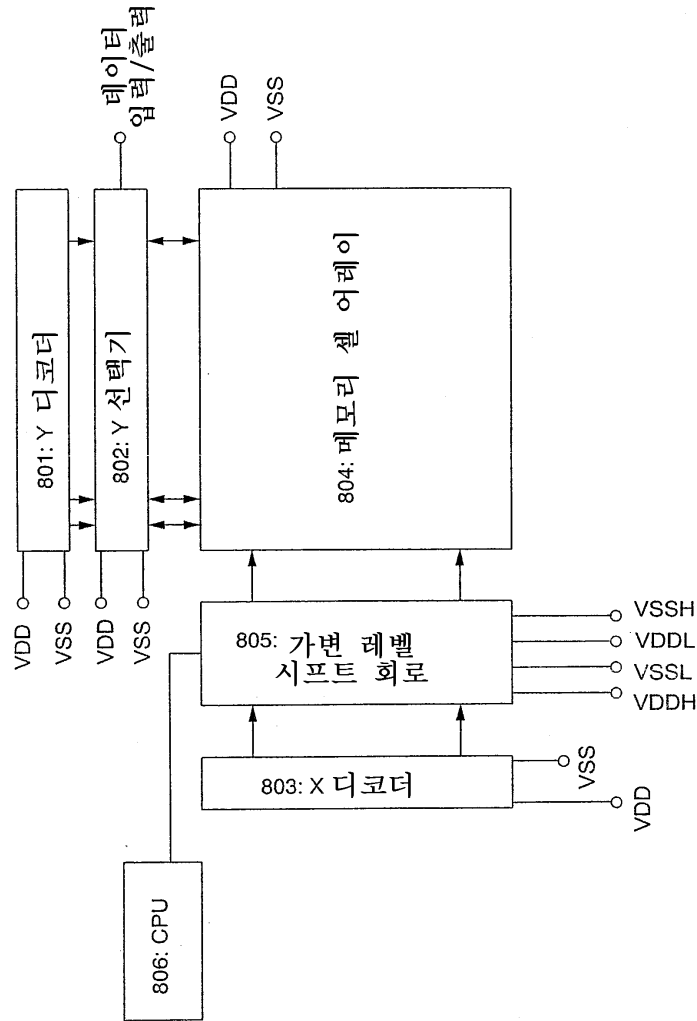
도면6



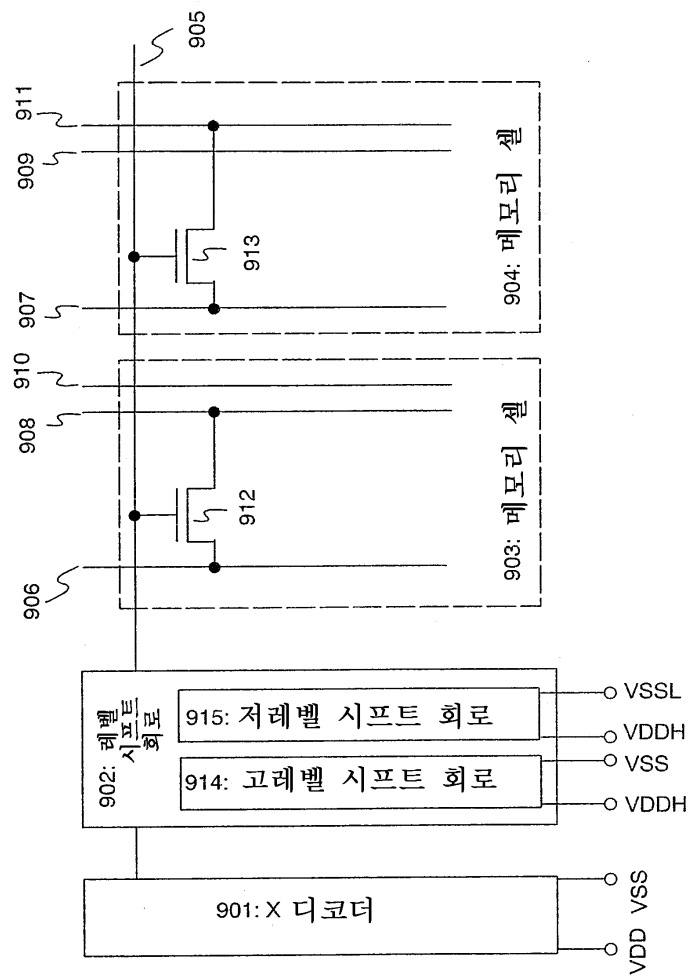
도면7



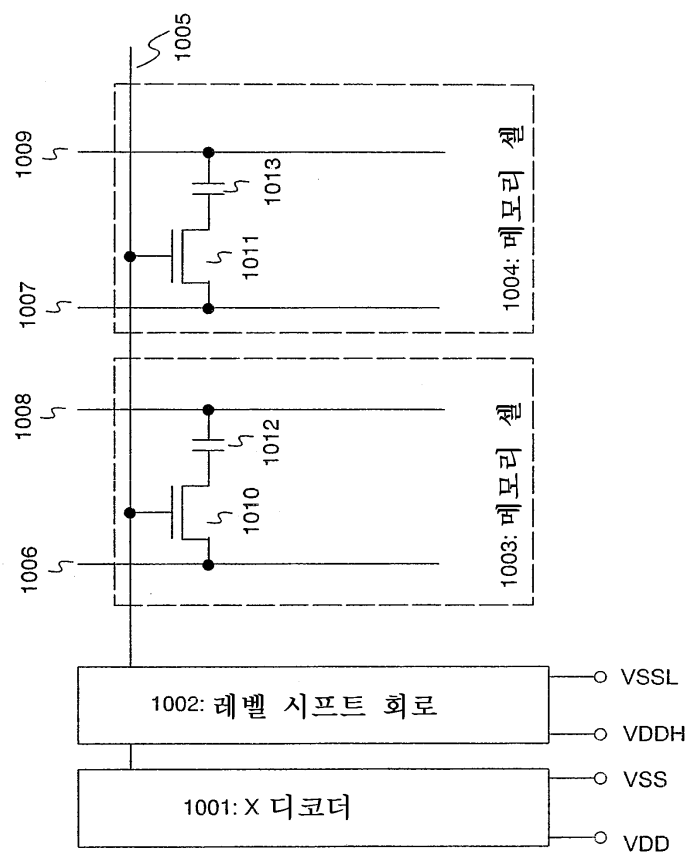
도면8



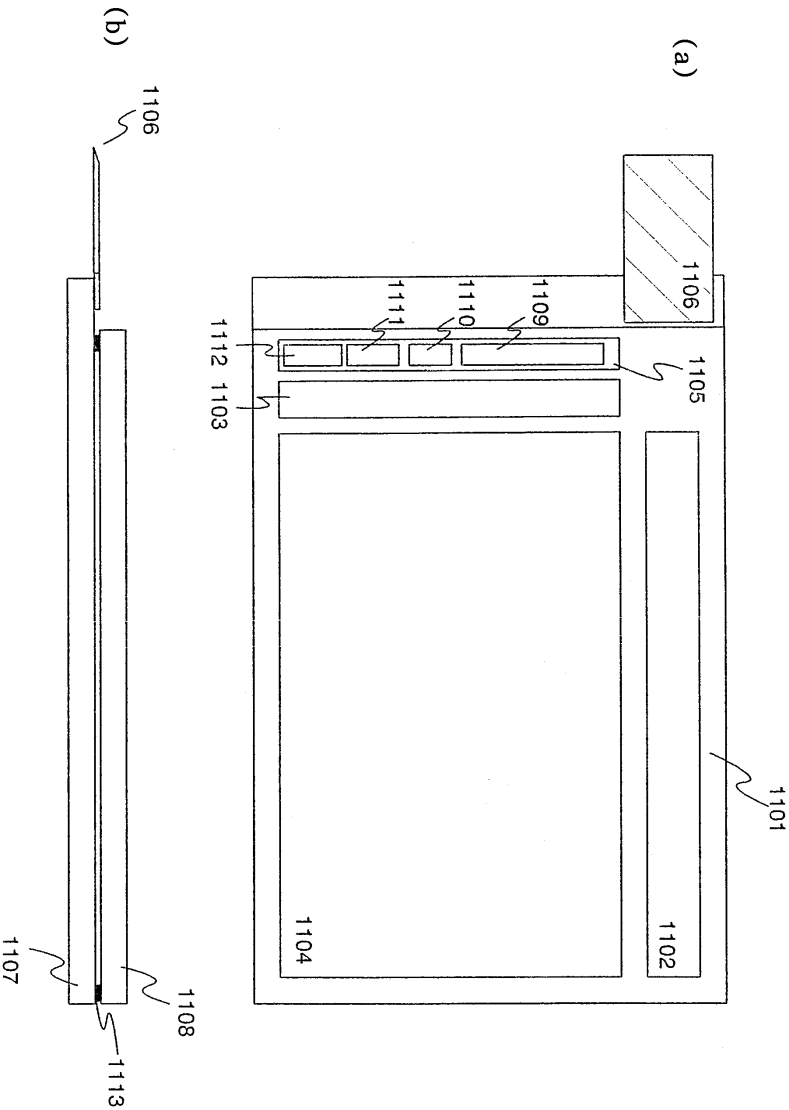
도면9



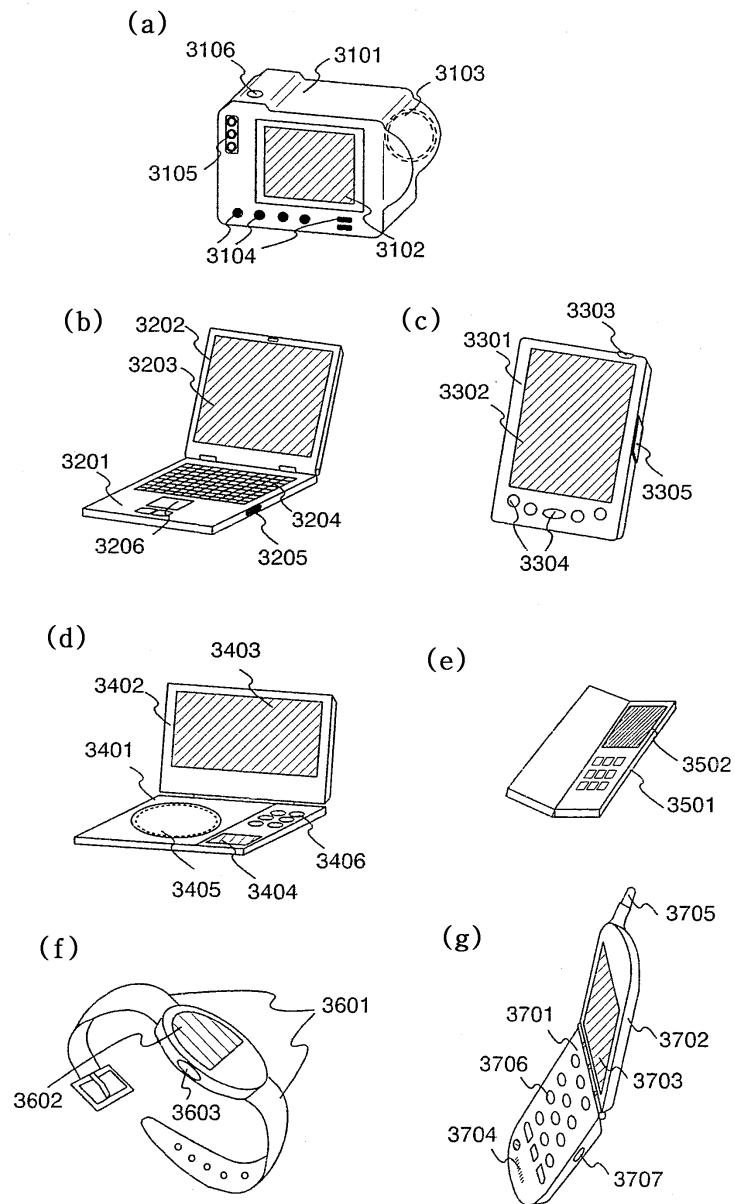
도면10



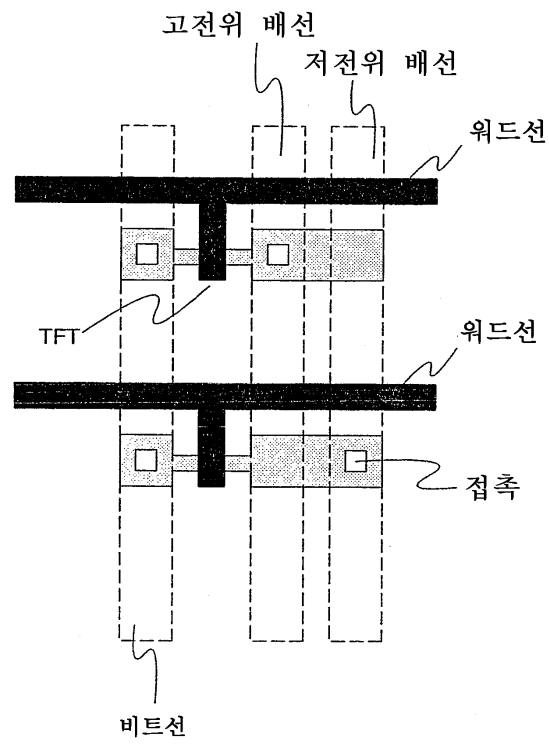
도면11



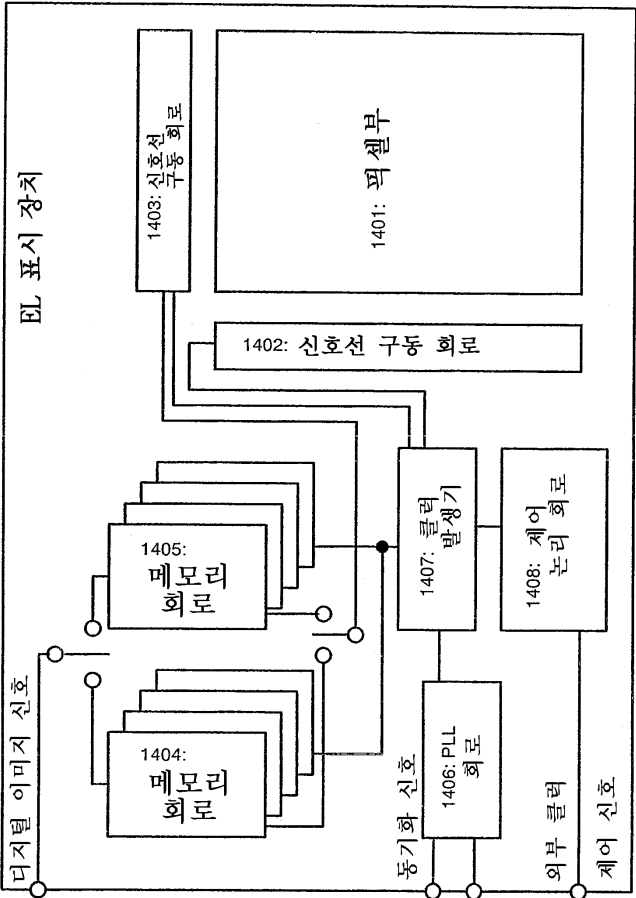
도면12



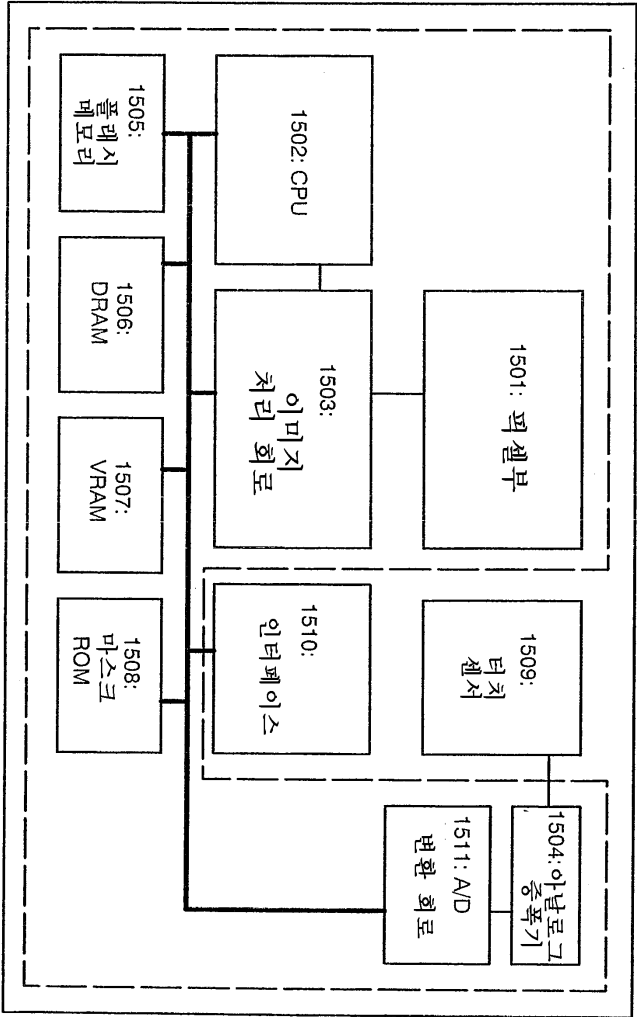
도면13



도면14

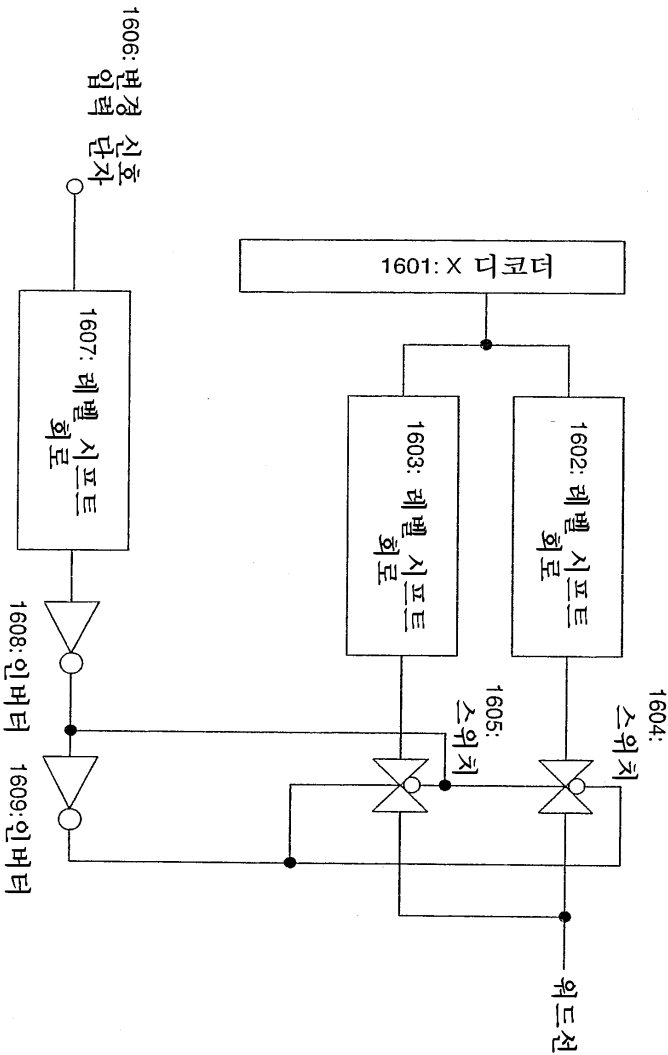


일체로 형성된 PDA(점선내 일체로 형성)의 블록도



도면15

도면16



도면17

