



(12) 发明专利

(10) 授权公告号 CN 1864228 B

(45) 授权公告日 2012.06.13

(21) 申请号 200480029115.8

(22) 申请日 2004.10.01

(30) 优先权数据

03103682.5 2003.10.06 EP

(85) PCT申请进入国家阶段日

2006.04.05

(86) PCT申请的申请数据

PCT/IB2004/051941 2004.10.01

(87) PCT申请的公布数据

W02005/034132 EN 2005.04.14

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 金·潘励

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

G11C 11/16 (2006.01)

(56) 对比文件

CN 1341967 A, 2002.03.27, 全文.

US 2001/0050859 A1, 2001.12.13, 说明书第
1 页 [0003]、[0011], 第 4 页 [0052]–[0053], 图
1a.

审查员 姚梦琦

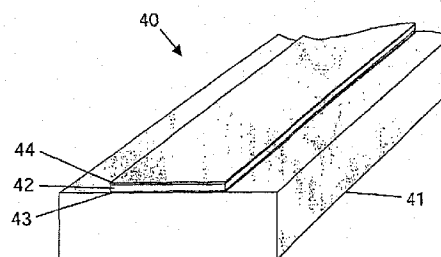
权利要求书 1 页 说明书 9 页 附图 7 页

(54) 发明名称

包含磁场整形导体的集成电路及其制造方法

(57) 摘要

本发明提供至少有一个电导体 (40) 的一种集成电路布局, 当电流流过该电导体时产生磁场, 该磁场作用于所述电路布局的至少另外一部分。这个电导体 (40) 具有第一侧面朝向所述电路布局的至少另外一部分, 并且包括一导电材料主线 (41), 以及连接到它的第一侧面用磁性材料制成的至少一条场整形带 (42)。由于这条场整形带 (42), 减小了所述电导体 (40) 之上磁场分布的不均匀性。



1. 一种集成电路,具有至少一个电导体(40),当电流流过该电导体时产生磁场,该磁场用于在该集成电路的至少另外一部分上存储数据,所述至少另外一部分包括 MRAM 器件,该电导体(40)具有朝向所述集成电路的所述至少另外一部分的第一侧面,其中所述电导体(40)包括导电材料主线(41),该集成电路的特征在于由磁性材料制成的至少一条场整形带(42)设置在该电导体的第一侧面和所述至少另外一部分之间并连接到所述电导体的第一侧面。

2. 如权利要求1所述的集成电路,其中所述场整形带(42)用导磁率为100或更高的材料制成。

3. 如权利要求1所述的集成电路,其中所述场整形带(42)用具有1kA/m或更低矫顽磁力的材料制成。

4. 如权利要求1所述的集成电路,其中所述磁性材料是透磁合金。

5. 如权利要求1所述的集成电路,所述电导体(40)在它的纵向具有一长度,其中所述磁性带(42)延伸到所述电导体(40)的大部分长度上。

6. 如权利要求1所述的集成电路,所述电导体(40)在它的纵向具有一长度,其中所述至少一条场整形带(42)包括所述电导体(40)长度上多个分离的磁性材料段(42a、42b、42c、42d)。

7. 如权利要求1所述的集成电路,所述电导体(40)在它的横向具有一宽度,其中所述磁性的场整形带(42)相对于所述电导体的宽度基本上放置在所述电导体(40)的中间。

8. 如权利要求1所述的集成电路,其中提供至少两个电导体,将它们放置在两个不同的平面内,以一个角度互相交叉,所述另外一部分放置在这两个不同的平面之间,并且所述另外一部分放置在两个电导体的交叉点上。

9. 如权利要求8所述的集成电路,其中所述至少两个电导体全部配置了磁性的场整形带(42)。

10. 一种制造具有至少一个电导体(40)的集成电路的方法,当电流流过所述电导体时产生磁场,该磁场用于在所述集成电路的至少另外一部分上存储数据,所述至少另外一部分包括 MRAM 器件,该方法包括:

- 提供一条导电材料主线(41),形成所述电导体(40)的一部分,所述电导体(40)具有朝向所述集成电路的所述至少另外一部分的第一侧面,该方法的特征在于:

- 通过提供附着在所述电导体(40)的第一侧面和所述至少另外一部分之间的至少一条磁性带(42),对邻近所述第一侧面的所述磁场整形。

11. 如权利要求10所述的方法,其中所述至少一条磁性带是用导磁率为100或更高的材料制成的。

12. 如权利要求10所述的方法,其中所述磁性带是用具有1kA/m或更低矫顽磁力的材料制成的。

13. 如权利要求10所述的方法,其中所述导电材料的主线(41)是通过金属镶嵌工艺提供的。

14. 如权利要求10所述的方法,还包括在所述电导体(40)的长度上形成多个分离段(42a)。

包含磁场整形导体的集成电路及其制造方法

技术领域

[0001] 本发明涉及至少有一个电导体的一种集成电路及其制造方法,当电流流过这一电导体时产生作用于该集成电路至少另外一部分的磁场。

[0002] 背景技术

[0003] 这种集成电路布局公知的:它具有至少一个电导体,当电流流过这一电导体时产生作用于这一电路布局的至少另外一部分的磁场,这种集成电路布局例如采用磁耦(magnetocouplers)或者电流传感器的形式。在这种布局中,有电流流过的导体产生磁场,在电路布局中通过另外一部分检测到这个磁场,这另外一部分是例如形成用于测量产生的磁场的测量元件。

[0004] 最近开发的一种集成电路布局是一种磁性或磁阻的随机存取存储器(MRAM)单元。目前,MRAM许多公司看作快闪存储器的替代品。它具有替代除最快的静态RAM(SRAM)存储器以外所有存储器的潜力。这使得MRAM非常适合作为片上系统(SoC)的嵌入式存储器。它是一种非易失性的存储器(NVM)器件,这意味着不需要电力就可保持存储的信息。相对于大多数其它类型的存储器来说,这一点被看作是一个优点。

[0005] MRAM概念最初是在美国的Honeywell公司发展起来的,它将磁多层器件中的磁化方向用作信息存储器,而将得到的阻值差用于读出信息。与所有的存储器器件一样,MRAM阵列中的每个单元都必须能够保存代表“1”或“0”,的至少两个二进制状态。

[0006] 存在不同种类的磁阻(MR)效应,其中巨型磁阻(GMR)和隧道磁阻(TMR)目前是最重要的。GMR效应和TMR或者磁隧道结(MTJ)或者自旋相关隧道(SDT)效应提供了实现只添加(a.o.)非易失性磁存储器的可能性。这些器件包括一叠薄膜,其中至少两层是铁磁性的或亚铁磁性的薄膜,且由一层非磁性中间层分隔开。GMR是具有导体中间层结构的磁阻,TMR是具有电介质中间层结构的磁阻。如果在两个铁磁性或亚铁磁性膜中间放上非常薄的导体(GMR),那么,这种复合多层结构的有效平面电阻(in-plane resistance),在这些膜的磁化方向平行的时候最小,在这些膜的磁化方向反平行的时候最大。如果在两个铁磁性或亚铁磁性膜中间放上薄电介质中间层(TMR),那么,当这些膜的磁化方向平行的时候,将观测到膜之间的隧道电流最大(或者因此阻值最小),当这些膜的磁化方向反平行的时候,膜之间的隧道电流最小(或者因此阻值最大)。

[0007] 通常用上述结构从平行变到反平行磁化强度状态时阻值的百分比增量来测量磁阻。TMR器件比GMR结构能提供更高百分比的磁阻,与GMR器件相比,能够形成非常小的尺寸并且只需要非常小的传感电流,因此,具有以更高的局部分辨率(partial resolution)和低功耗测量小信号的潜力。与好的GMR单元中10~14%的磁阻相比,新近的结果表明TMR给出了超过40%的磁阻。

[0008] 典型的MRAM器件包括多个磁阻存储器元件,例如排列在阵列中的磁隧道结(MTJ)元件。MTJ存储器元件一般包括一个分层结构,这种结构包括定位(或固定(pinned))层、自由层和它们之间的电介质隔层。磁性材料的固定层具有总是指向同一方向的磁化强度矢量。自由层的磁化强度矢量相对自由,但是在外界磁场为零时,它被限制在该层的易磁化轴

之内,易磁化轴主要是由元件的物理尺寸决定的。在没有外界磁场时,自由层的磁化强度矢量指向两个方向之 $\sim$:与固定层的磁化强度方向平行或反平行,该磁化强度方向和所述易磁化轴一致。MRAM 的基本原理是以剩磁磁化强度方向为基础来存储二进制数据信息,例如“0”和“1”。这就是为什么磁数据是非易失性的,不会改变,直到受到外部磁场的影响。

[0009] MRAM 的存储原理基于例如磁隧道结 (MTJ) 单元中自由磁层的剩磁磁化强度方向,也就是当磁化力(外部磁场)已经减小到零时,材料中保持的磁化强度。

[0010] 存储数据是通过施加磁场,从而导致自由层中的磁性材料磁化成两种可能的存储态之一完成的。当 MRAM 单元分层结构的自由层被磁化为与固定层的磁化强度方向相同时(这些磁化强度方向是平行的),数据是两个二进制数值中的一个,例如“0”,相反,如果两个铁磁性层的磁化强度方向是反平行的,那么这个数据是另一个二进制数值,例如“1”。这些磁场是通过使电流流过在这些磁结构外部的带线(字线和位线)而产生的。在包括多个 MRAM 单元的 MRAM 阵列中,基本正交的线在每个存储位的下面和上面通过,用来承载产生切换场 (switching field) 的电流。因此,信息的写入是通过在所选单元的区域交叉的数字线和位线上同时发送电流脉冲完成的。数字线和位线也叫作字线和位线。电流脉冲按照以下方式在交叉点上产生得到的磁场,即:使得只有被寻址的单元暴露在能够切换自由层磁化强度的足够强的场中,而其它单元不受影响。每个单元都被设计成只有一条线有电流时不会切换,但是当电流同时流过在所选单元处交叉的两条线时,根据该电流线上的电流方向和存储单元的状态,该单元发生切换。

[0011] 存储在 MRAM 存储器单元中的信息的读出是建立在隧道磁阻 (TMR) 效应基础之上的。数据的读出是在没有施加任何磁场时,通过检测单元中的阻值变化来实现的。利用分层结构的阻值随着取向是否平行而改变这一事实,该系统能够区别数据的两个二进制值,例如“0”或者“1”。最普通的 MRAM 设计是 1T1MTJ(每个 MTJ 单元 1 个晶体管)类型的,如图 1 所示。存储器阵列 10 包括正交的位线 BL1、BL2、BL3 和数字线 DL1、DL2、DL3,位线和数字线分别在磁隧道结 (MTJ) 叠层 11 上、下各自构图成两个金属层。位线 BL1、BL2、BL3 与这些单元的难磁化轴平行,它在易磁化轴方向上产生磁场,而数字线 DL1、DL2、DL3 则在难磁化轴方向上产生磁场。在某些设计中这种关系可以相反,即,位线可以产生难磁化轴磁场,而数字线可以产生易磁化轴磁场。对所选单元 11_s 的写入是通过同时施加电流脉冲通过在单元 11_s 处交叉的相应位线 BL2 和数字线 DL1 来完成的。得到的场的方向与单元 11_s 的自由层的易磁化轴成 45° 角。在这个角度上,自由层的切换场最小,因而可以用最小的电流完成写入。

[0012] MRAM 的一个问题是在写操作期间,直导体线 20(即数字线 DL1、DL2、DL3 或位线 BL1、BL2、BL3) 产生的磁场是相当不均匀的。图 2A 给出了场分布 21 的示意图,这个场分布 21 是沿着一条线测量出来的,这条线垂直于导体线 20 比如数字线 DL1 跨过 MTJ。当导体线 20 承载沿纵向也就是根据图 1 所示轴的 Z 方向的电流时,沿导体线横向的磁场分量具有钟形分布,该横向与自由层的平面也就是 X 方向的 H_x 场平行。这个场在导体 20 的中间最强,朝向边缘急剧减弱。减弱的量取决于导体和测量面之间的距离,可以是大约 30%,如图 2A 中的实例所示。在图 2A 所示的实例中,例如,导体 20 在 X 方向的宽度是 1000nm,在 Y 方向的高度是 300nm。在这个实例中从导体 20 的顶面到计算磁场的平面的距离是 170nm,它对应于 MRAM 阵列中数字线的顶面与 MTJ 元件之间的典型距离。假设有 10mA 的电流流过导体

20。

[0013] 很明显,写入磁场的均匀性不利于 MRAM 元件自由层的磁化强度在写入期间一致转动 (coherent rotation),这是因为该层的不同部分会有不同的磁场强度。这会给磁切换带来困难。因而,为了较好地切换 MRAM 单元自由层的磁化强度方向,需要更大的电流,因为更大的电流通过导体 20 会产生更强的磁场。钟形的另外一个缺点是它不利于元件的切换顺序。这一点在下文将详细说明。

[0014] 从微磁仿真和磁力显微镜 (MFM) 这种微磁观察可知,在 MRAM 单元中自由层这种小铁磁元件 30 里,在剩磁状态下,由于元件 30 自身去磁场的作用,在元件 30 的末端仍有一些磁化方向的偏离。在矩形元件 30 中有两个常见的磁化模式,它们是图 3A 所示的 C 型和图 3B 所示的 S 型。图 3A 和图 3B 所示的元件 30 的尺寸是 $320 \times 160 \text{nm}^2$,图示模式是利用 Landau-Lifshitz-Gibert 微磁仿真器计算出来的。当方向与图 3A 和图 3B 中箭头指示的当前磁化强度方向相反的一个均匀场施加在元件 30 这种元件上时,首先,接近元件 30 末端部分 31 的磁矩会转动,这个末端部分朝着中心部分 32 扩展,随后是中心部分 32 的磁矩完全切换。显然,这种钟形场分布不利于这种顺序,因为必须首先转动的末端部分 31 与中心部分 32 相比是暴露在相当弱的磁场中的,而中心部分 32 只有在末端部分 31 完全转动后才能切换。这种结果是与更均匀的场相比,元件 30 仅仅在较强的平均磁场下才会切换。

[0015] 减小磁场不均匀性的一个简单方法是加大导线 20 的宽度,同时将元件 30 放在线 20 的中心区域,这是因为两个原因:(1) 实际只使用钟形分布的中心部分时场的不均匀性较小,(2) 从元件 30 到导体 20 的距离固定时,导体 20 越宽,场分布变得就越平坦。当导体 20 的宽度比到元件 30 的距离大很多(或相当多)时,例如导体的宽度比距离大 10 倍或更多时,分布不再是钟形的,而是在中心区域有相当平坦的一个台地。这一点在图 2B 中说明,图 2B 中示出了两条曲线 22、23。曲线 22 对应于图 2A 中的曲线 21,也就是导体 20 的尺寸和导体 20 与测量平面之间的距离与图 2A 中的相同。曲线 23 说明的情形是导体 20 和测量平面之间的距离保持相同,但这时导体 20 的宽度是曲线 22 对应的导体 20 宽度的 6 倍。对于曲线 22 和 23 两种情形,导体 20 的高度一样。在曲线 22 的情形中,10mA 的电流流过导体 20。为了产生足以与第一种情况相比的磁场,41mA 的电流流过导体 20。能够看出第二种情况下在曲线 23 中得到了相当平坦的一部分。但是,扩大导体 20 的宽度不是所需要的,因为除了丧失比如 MRAM 阵列 10 的可伸缩性外,用同样的电流流过导体 20,随着导体 20 宽度增加,场强按照双曲线方式下降。实际上,元件 30 的宽度一般是导体 20 宽度的 50 ~ 80%。在这种几何形状下,在导体 20 中心部分上面第一距离处的位置与 MTJ 元件边缘之上第一距离处的位置之间,仍然存在大约 15 ~ 20% 的场强变化。

[0016] 在 EP-1195820 中描述了减小由电流流过导体所产生的磁场的均匀性的另一种可能。根据这份文献,在面向受到产生的磁场作用的电路部分的那一面,导体上有一个凹口或凹陷,或者一个减小了电导率的区域。该文献规定了指定区域内有效导体几何形状的变化,从而规定了要改变的要在其中传输电流的区域。这是通过与相邻部分的厚度或直径相比,用凹口减小导体的部分或中心区域的厚度或直径来实现的。凹口区域影响了场分布,所以在中心区域场分布稍微平坦一些。但是,在所述解决方案中,这点改善并不明显,并且实现过程相当复杂。此外,在相同的外形尺寸和电流情况下,凹口导体产生的平均磁场比正常导体产生的强度要低。

发明内容

[0017] 本发明的一个目的是提供一种方法和装置,用于获得更加均匀的磁场,该磁场由流过导体的电流产生。

[0018] 上述目的是通过本发明的方法和设备实现的。

[0019] 第一方面,本发明提供一种集成电路,具有至少一个电导体的一种集成电路,当电流流过该电导体时产生磁场,该磁场作用于在该集成电路的至少另外一部分上存储数据,所述至少另外一部分包括 MRAM 器件,该电导体具有第一侧面,该侧面朝向所述集成电路的所述至少另外一部分的第一侧面,其中所述电导体包括导电材料主线,以及该集成电路的特征在于由磁性材料制成的至少一条场整形带在第一侧面和所述至少另外一部分之间连接到它的所述电导体的第一侧面。由于这一场整形带,使得所述电导体上磁场分布的不均匀性得以减小。

[0020] 所述至少一条场整形带可以用导磁率为 100 或更高的材料制成。铁磁材料的导磁率能够达到数十万。导磁率越高,场整形带的场整形特性越好。此外,这一材料还可以用具有 1kA/m 或更低矫顽磁力的材料制造。

[0021] 所述导电材料可以是金属,比如铜,或者是合金。所述磁性材料可以是例如透磁合金。

[0022] 在所述导电材料主线和磁性带之间的分界面上,所述电导体还可以包括第一附着层。在磁性带一个侧面,所述电导体还可以包括第二附着层,这个侧面和附着所述电导体第一侧面的那一面相对。所述第一和 / 或第二附着层可以用比如 Ta 这种金属制造,尽管在它能够附着良好的情况下这种材料不是真的很重要。

[0023] 所述电导体在它的纵向有一长度,所述磁性带可以伸展到所述电导体的大部分长度。所述至少一个磁性材料带在所述电导体的长度上也可 以换成包括多个分离的磁性材料段,以便减小形状各向异性,于是当横向施加磁场时,会导致该带较高的导磁率。在这种情况下,这些段可以具有低的纵横比,即比 1 大但是大得不太多。

[0024] 所述电导体在它的横向有一宽度,相对于它的宽度,所述磁性带基本上可以位于所述电导体的中心。

[0025] 可以提供至少两个电导体,它们位于两个不同的平面上,以一个角度互相交叉,所述另一部分位于这两个平面之间,并且所述另一部分位于两个电导体的交叉点。于是,所述另一部分只会受到所述两个电导体产生的合成磁场的影响;单个导体的磁场不是强到会对所述另外部分有明显影响。

[0026] 所述至少两个电导体的一些或全部可以有一磁性带。

[0027] 所述另外部分可以是例如 MRAM 器件。由于存在所述场整形带而重新整形了的场分布,改善了 MRAM 器件随切换磁场方向的切换或转动。

[0028] 第二方面,本发明提供一种制造具有至少一个电导体的集成电路的方法,当电流流过所述电导体时产生磁场,该磁场用于在所述集成电路的至少另外一部分上存储数据,所述至少另外一部分包括 MRAM 器件,该方法包括:

[0029] - 提供一条导电材料主线,形成所述电导体的一部分,所述电导体具有朝向所述集成电路的所述至少另外一部分的第一侧面,该方法的特征在于:

[0030] - 通过提供附着在所述电导体的第一侧面和所述至少另外一部分之间的至少一条磁性带,对邻近所述第一侧面的所述磁场整形。

[0031] 至少一条磁性带可以用具有 100 或更高导磁率的材料制成。所述磁性带的材料具有 1kA/m 或更低的矫顽磁力。

[0032] 所述导电材料的主线可以通过金属镶嵌工艺 (damascene process) 提供。

[0033] 本发明的方法还可以包括在所述主线和所述带之间提供第一附着层。这种方法还可以包括在所述带背离所述电导体第一侧面的一个侧面上提供第二附着层。

[0034] 本发明的方法还可以包括在所述电导体的长度上形成带的多个分离段。

[0035] 通过以下详细说明,同时结合附图,本发明的这些和其它特征、功能和优点将显而易见,这些附图用举例的方法说明本发明的原理。这里的描述只是用作实例,并不是要限制本发明的范围。以下引用的标号涉及附图。

[0036] 附图说明

[0037] 图 1 是一个普通 1T1 MTJ MRAM 设计的透视图,包括多个存储器单元和正交的位线与数字线。磁隧道结 (MTJ) 放置在位线和数字线的交叉区域。MTJ 的底部电极用过孔 V 连接到用于读取这些存储器单元的选择晶体管上。

[0038] 图 2A 说明作为与电流垂直的方向上位置的函数,由电流流过直导体所产生的与电流方向垂直的方向上的磁场分量。

[0039] 图 2B 示出了导体宽度对磁场曲线形状的影响。

[0040] 图 3A 和 3B 示出了小铁磁元件在剩磁状态下的两个普通磁化模式。图 3A 的情况叫做 C 型,图 3B 的情况叫做 S 型。

[0041] 图 4 是一个透视图,示出了本发明一个实施例中的一个复合导体,它包括一主导体,主导体上附着一个高导磁率软磁材料的薄带。

[0042] 图 5A 和 5B 是示意图,分别示出了在传统导体和本发明一个具体实施例中的导体情况下的磁通量线和场分布。由于在主导体顶部的高导磁率材料带,钟形分布被重新整形为 M 形分布。

[0043] 图 6A 和 6B 示出了仿真得到的 2 维 X 分量磁场图像,分别对应于纯铜导体以及相同的导体上面附着 2nm Ta/10nm Py/2nm Ta 组成的夹层带,其中的 Py 是指透磁合金。

[0044] 图 7 示出了纯铜导体与本发明的实施例中具有不同 Py 厚度的复合导体的场分布比较。

[0045] 图 8 示出了本发明第二个实施例中复合导体的透视图,该复合导体包括一主导体,主导体上附着有一高导磁率的软磁材料带,这个带被分段,用来减小沿着带方向的形状各向异性。

[0046] 图 9A ~ 9D 示出了本发明中用于生产本发明一个实施例中的复合导体 (数字线) 的一个方法实施例的不同步骤。其中的尺寸不是按比例画的。

[0047] 图 10A ~ 10D 示出了本发明中用于生产本发明另一个实施例中的复合导体 (位线) 的第二个实施例的不同步骤。其中的尺寸不是按比例画的。

[0048] 在不同的图中,相同的标号指的是相同或类似的元件。

具体实施方式

[0049] 现在结合具体实施例并参考特定的附图来描述本发明,但是本发明不受它们的限制,而是仅仅由权利要求来限定。所述附图只是示意性的,而不是限制性的。在这些附图中,为了进行说明,可能把有些元件的尺寸放大了,没有按比例画出。在本说明书和权利要求中用到术语“包括”,它并不排除其它的元件或步骤。当涉及单数名词时所用的不定冠词或定冠词,例如“一”或“一个”,“这个”,也包括多个该名词,除非有其它具体说明。

[0050] 另外,在本说明书和权利要求中的术语第一、第二等等,是用来区别相似元件,不是必须按所述顺序排列。需要明白的是所用的那些术语在适当的情况下是可以互换的,这里描述的本发明的实施例可以按其它的次序工作,不只是按这里的描述或图示。

[0051] 此外,在本说明书和权利要求中的术语顶部、底部、上面、下面等等,只是用于描述,未必是描述相对位置。需要明白的是所用的那些术语在适当的情况下是可以互换的,这里描述的本发明的实施例可以按其它的方向工作,不只是按这里的描述或图示。

[0052] 根据本发明,包括不同材料的复合导体 40 用于减小电流流过导体 40 产生的磁场例如 MRAM 阵列中写入场的不均匀性。

[0053] 如图 4 所示,本发明一个实施例中的导体 40 包括用导电材料例如 Cu 制造的主导体线 41,在它的表面有几 nm 厚,例如 1 ~ 10nm 厚,用高导磁率软磁材料比如透磁合金制造的薄带 42,所述透磁合金是用镍和铁制造的合金,在下文中用 Py 表示。典型的透磁合金组成是 80% 的 Ni 和 20% 的 Fe。另一个实例是超透磁合金,它的组成是 80% 的 Ni、15% 的 Fe 和 5% 的 Mo。这种材料的另一个实例是 CoFe 合金,它包含 90% 的 Co 和 10% 的 Fe。材料的(相对)导磁率是材料携带磁通量的能力与空气或真空相比的比率,按照定义,空气或真空的导磁率是 1。本发明所述的高导磁率材料是指具有至少 100 的导磁率的材料。软磁材料是指那些具有小于 ~ 1kA/m(12.50e) 低矫顽磁力的铁磁材料。磁性材料的矫顽磁力是在正方向上饱和之后,材料的磁化强度减小为 0 所需要的负磁场的值。

[0054] 导体 40 是电路布局,特别是集成电路布局的一部分,当电流流过导体 40 时产生磁场,该磁场作用于电路布局的至少另外一部分。高导磁率软磁材料的薄带 42 放置在导体线 41 的表面上,朝向受磁场作用的电路布局的另外一部分。为了提高高导磁率软磁带 42 和导体线 41 之间的附着力,在高导磁率软磁带 42 和导体线 41 之间的界面上可以施加第一附着层 43。为了提高高导磁率软磁带 42 和绝缘体材料之间的附着力,可以在高导磁率软磁带 42 的顶部施加第二附着层 44,该绝缘材料将在下一步骤中沉积在整个结构上。这些附着层可以用耐热金属制成,比如 Ta、Mo、W、Ti,或者用它们的化合物,比如 TiN 制成,根据附着层两边要附着的材料而定,并且这些附着层可以有几个 nm 厚。但是也可以将合适的其它金属、合金或化合物作为附着层。

[0055] 由于带 42 的高导磁率,它可充当场整形器来改变导体线 41 在带 42 那侧的空间磁场分布。如图 5B 所示,带 42 将一部分磁通量线 50 拖进它的内部,给刚好在它上方的区域留下较少的磁通量线 50(较小的通量密度),从而在带 42 的边缘外释放这些通量线 50。结果是在导体线 41 的中心部分磁场受到了抑制,而靠近带 42 的边缘,磁场得到了增强。在图 5B 的底部说明这一点。高导磁率带 42 只是重新分配了导体线 41 顶部表面之上的磁通量密度,并没有减少总的通量线。由于在图 5B 中场分布 51 与图 5A 中相比呈相对的形状,因此用相同磁场分布宽度内最大的场变化量 ΔH 表示的磁场分布的不均匀性明显地减小了。带 42 具有低矫顽磁力(磁性柔度)是优选的,以便确保复合导体产生的磁场精确地跟随导体

中流过的电流变化而没有明显的磁滞效应。

[0056] 图 6A 和图 6B 示出了两种情况下导体产生的磁场图像(X 场分量)的一个仿真实例:(a) 纯铜导体 20 和 (b) 相同的导体线 41,上面附着有 2nm Ta/10nm Py/2nm Ta 组成的夹层 43、42、44。在仿真过程中还将导电性和 Ta/Py/Ta 叠层产生的自身场也考虑在内。带箭头的线表明集成电路布局的另一部分例如 MRAM 元件要放在上面的平面,产生的磁场将作用于所述另一部分。仅仅作为一个实例,从这个平面到导体表面的距离是 170nm。导体 20、41 的横截面是 $1000 \times 300 \text{nm}^2$ 。

[0057] 即使高导磁率软磁带 42 只有几 nm 厚,它的作用也是非常显著的。图 7 示出了本发明中具有不同 Py 厚度的几个情形的场分布。这些分布是在图 6 中带箭头的线所表明的平面上计算出来的。说明中厚度的单位是 nm。这些曲线表明 Py 带 42 越厚,它的作用越明显。假设 MRAM 元件的宽度是 500nm(图 7 中用两条垂直的虚线表示),可以看出使用 5nm 厚的 Py 带 42,场的均匀性从用纯铜导体 20(曲线 70) 的 14.5%,降低到用复合导体 40(曲线 71) 的 7.1%。这些曲线表明,对于包括例如 MRAM 元件的空间中最佳的磁场均匀性,5nm 的 Py 是最佳厚度。取决于导体线 41 与产生的磁场所作用的元件之间的距离、导体 40 和元件的宽度以及高导磁率软磁带 42 的材料,可以选择带 42 合适的厚度和宽度。带 42 的宽度对磁场的形状有影响,所以当带 42 变宽时,场分布的两个尖峰距离更远,并且它们之间的谷变得更深。

[0058] 除了改善元件所在处磁场的均匀性以外,与中心区域相比,本发明中的场分布更加有利于元件末端区域的磁转动,如图 7 所示,元件末端区域的磁场比中心区域更强,这使得切换过程更容易了。

[0059] 上述图 6 的仿真是用 2D 模型完成的。实际上,高导磁率带 42 在导体线 41 的纵向延伸(如图 4 所示),从而沿着带 42 产生非常强的形状各向异性。显然,这个形状各向异性不是所希望的,因为在横向施加所述场时,它将导致带 42 的低导磁率,这里的情况就是这样。到此为止所提到的导磁率应该是接近大块值(bulk value),这个大块值是在大样(big sample)里测量得到的,它不会明显受到样品形状和尺寸影响。如果这个磁体变小,并且更重要的是具有大的纵横比,那么由于退磁作用,沿着不同的轴测量得到的 B-H 曲线也不同。举例来说,如果沿着纵向(易磁化轴)测量,磁化强度曲线比沿着横向(难磁化轴)测量得到的要陡。因此,作为 B-H 曲线斜率的所述导磁率随着磁化处理的方向和磁体的纵横比而改变。对于更高的导磁率,首选的是减小带的形状各向异性。因此,依照本发明的另一个实施例,带 42 可以分割成多个带区域 42a、42b、42c、42d,以减小形状各向异性。第一和第二附着层 43、44,如果存在,将被分段为第一和第二附着区:43a、43b、43c、43d、44a、44b、44c、44d。这一点在图 8 中说明。同理,附着层也与磁性带 42 一起分割,因为事实上分段是在做出带 42 的同时完成的。

[0060] 存在许多可能的处理方法来实现本发明的实施例中的复合导体。下面给出一些实例。

[0061] 制作方法的第一个实施例在图 9A ~ 9D 中说明。可以将它用于制作 MRAM 单元中的数字线,也就是在 MTJ 叠层下面的金属层中的那些导体。

[0062] 利用例如 Cu 制作的主导体线可以用图 9A 所示的金属镶嵌技术(damascene technique)制造。在这种情况下,首先提供基底 90。在本发明的实施例中,术语“基底”可

以包括能使用的在下面的,或者在它的上面可以形成器件、电路或者外延层的,任何材料或任意的多种材料。在其它的替换实施例中,这个“基底”可以包括半导体基底,比如掺杂硅、砷化镓 (GaAs)、磷砷化镓 (GaAsP)、磷化铟 (InP)、锗 (Ge) 或锗化硅 (SiGe) 基底。除半导体基底部分外,这个“基底”还可以包括像 SiO_2 或 Si_3N_4 层这种绝缘层。于是,基底这个术语还包括玻璃上的硅 (silicon-on-glass)、蓝宝石上的硅 (silicon-on-sapphire) 基底。于是将术语“基底”用来一般性地定义在所关心的层或者部分下面的那些层的元件。这个“基底”也可以是在上面形成一层的任何其它基础,例如玻璃或金属层。下面将参考硅处理,因为硅半导体是普遍采用的,但是,技术人员会明白本发明可以在其它半导体材料系统的基础上实现,并且技术人员能够选择合适的材料,作为下面描述的电介质和导电材料的等价物。另外,所述“基底”还可以是集成电路制造中途的一部分,例如,在生产线的前端处理之后的硅晶片,它已经包括晶体管 and 基于半导体的其它器件。对 MRAM 来说情况尤其如此,因为 MRAM 结构位于两个连续互连层之间,而它是在生产线的后端处理的。

[0063] 在基底的顶部,提供第一电介质层 91,比如 SiO_2 层。金属镶嵌工艺是用来将金属线刻划在使它们彼此隔离的电介质中的一种工艺,不是通过光刻和蚀刻,而是通过化学机械平面化或抛光 (CMP)。在这种工艺中,首先用光刻在电介质材料层中形成沟槽形状的金属线图案。然后沉积金属,填充得到的沟槽,然后通过 CMP 将多余的金属去掉。这样就形成了主导体 92,如图 9A 所示。

[0064] 其后,在主导体 92 和第一电介质层 91 的顶部提供一个高导磁率材料层 93。在图 9B 所示的实例中,这个高导磁率软磁材料层 93 包括一个 Ta/Py/Ta 叠层,但是这个层可以用任何其它合适的材料或材料叠层制成。附着层 (比如所给实例中的 Ta 层) 可以存在或不存在。通过使用抗蚀剂 94 的光刻步骤,将高导磁率软磁带 95 限定下来。然后利用湿或干蚀刻 (例如溅射蚀刻、离子束蚀刻、活性离子蚀刻等) 将层 93 蚀刻出来,如图 9C 所示,蚀刻在 Cu- SiO_2 表面停止。结果在图 9C 中说明。然后去掉抗蚀剂 94,用 SiO_2 这种绝缘层 96 覆盖晶片,接下来用 CMP 工艺打平表面,如图 9D 所示,以便能够进一步处理,比如在包含 MRAM 器件的集成电路布局情形中,提供 MTJ 叠层并构造 MTJ 元件。在绝缘层的顶部,或者其它选择,可以形成集成电路布局的其它部分。

[0065] 制造方法的第二个实施例在图 10A ~ 10D 中说明。可以将它用来制造 MRAM 单元中的位线,也就是位于 MTJ 叠层之上金属层中的那些导体。

[0066] 对于这种位线所述制造顺序是反过来的,即首先产生高导磁率软磁带,然后是主导体线。在下面的基底 90 上面构成了集成电路相关部分例如 MTJ 100,并且利用绝缘材料 101 例如 SiO_2 将集成电路相关部分例如 MTJ 100 隔离以后,对表面进行 CMP 处理,其中的基底 90 可以包括能够使用的在下面的任何一种或多种材料,或者包括所关心的层或者部分下面的那些层的元件,如图 10A 所示。

[0067] 然后,在集成电路相关部分例如 MTJ 100 的顶部提供一层高导磁率的软磁材料层 93。在图 10B 所示的实例中,这一高导磁率的软磁材料层 93 包括 Ta/Py/Ta 构成的一个叠层,但是这个高导磁率的层 93 也可以由任何其它合适的材料或材料叠层构成。附着层 (比如所给实例中的 Ta 层) 可以存在也可以不存在。通过使用抗蚀剂 94 的光刻步骤,做出高导磁率带 95。然后利用湿或干蚀刻 (例如溅射蚀刻、离子束蚀刻、活性离子蚀刻等) 蚀刻出层 93,如图 10C 所示,蚀刻在 SiO_2 表面停止 (图 10C)。

[0068] 然后去掉抗蚀剂 94, 用一个绝缘体层 102 比如 SiO_2 覆盖晶片。采用金属镶嵌工艺在电介质材料 102 中提供金属线。首先用光刻在电介质材料层 102 中做出金属线的沟槽图案。然后沉积金属, 填充所得沟槽, 接下来通过 CMP 去掉多余的金属。这样就得到了形成的主导体 92, 如图 10D 所示。

[0069] 根据没有在附图中示出的本发明的另一个实施例, 也可以给金属提供一个涂敷层 (cladding layer), 详见 WO 02/41367。这种涂敷层通常覆盖导体的 3 个侧面, 留下第 4 侧面外露。外露的侧面面对 MTJ 元件, 将所述带放置在这个第 4 侧面。涂敷层增强了导体平面上半空间的场, 例如大约使场强加倍。这是因为涂敷层将大部分通量线集中到导体线外露一侧之上的半个空间, 给下半个空间剩下很少的通量线。确切的增加量取决于涂敷层厚度。在最佳情况下, 这个数值接近于两倍。如果没有透磁合金带, 它的场分布仍是钟形的。通过增加透磁合金带, 场分布将按上述方法重新整形为 M 形。

[0070] 应该明白, 尽管在这里针对本发明的器件描述了优选实施例、具体结构和配置以及材料, 但是在不背离本发明的范围和精神的基础上, 可以对形式和细节进行各种改变和修改。

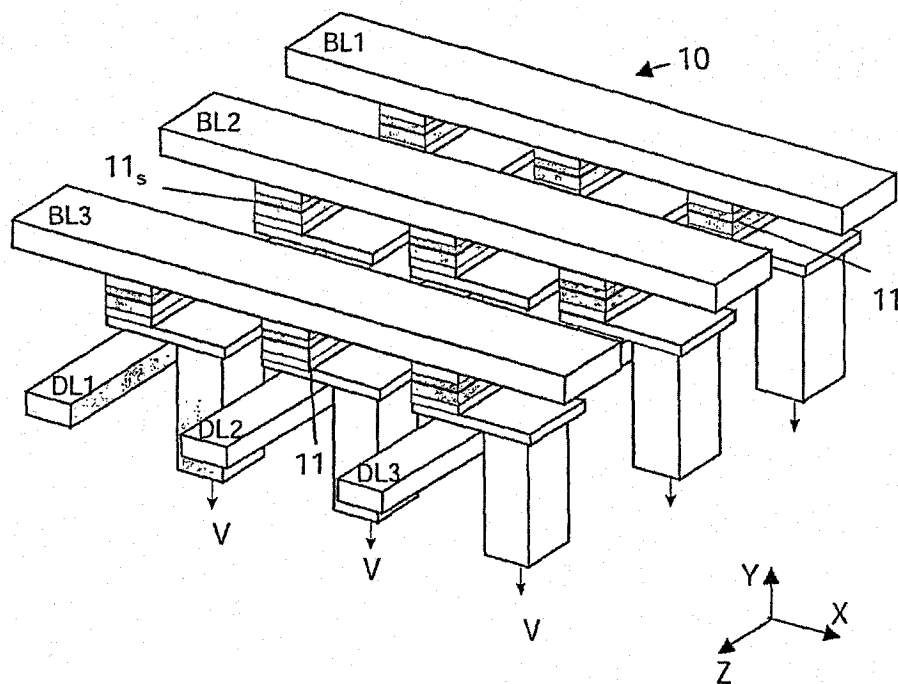


图 1

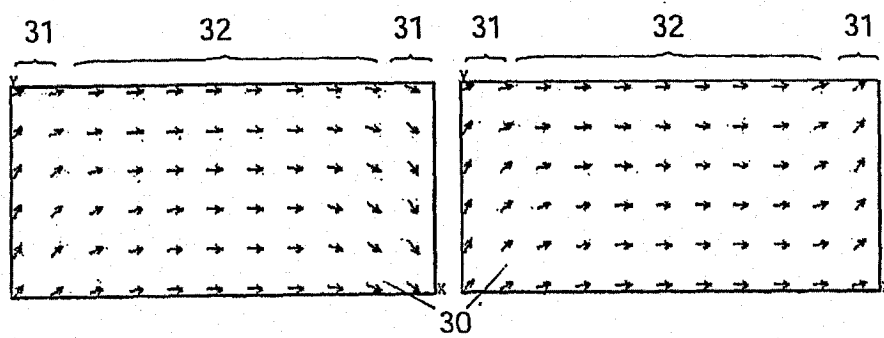


图 3A

图 3B

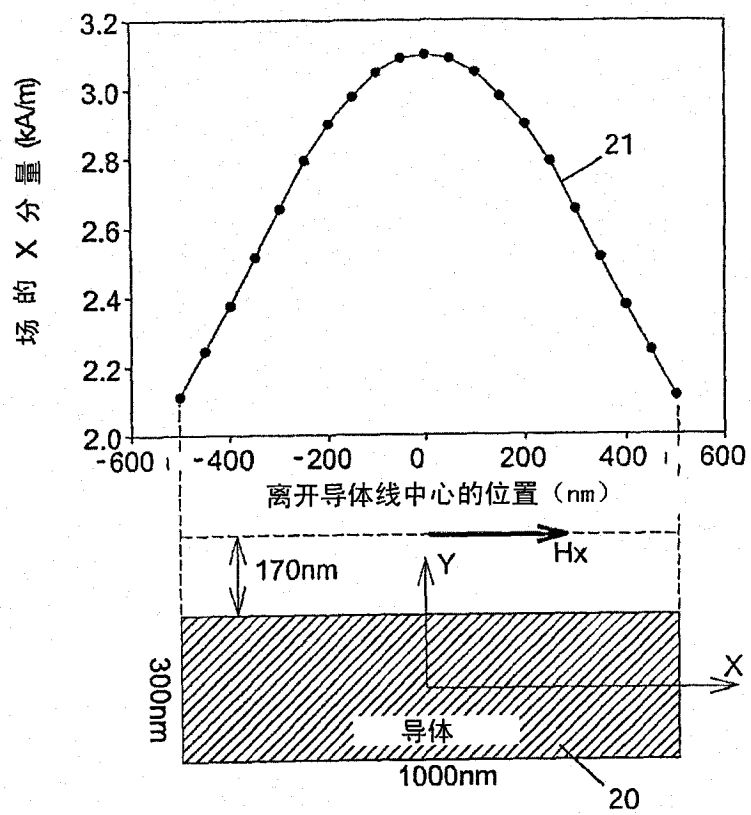


图 2A

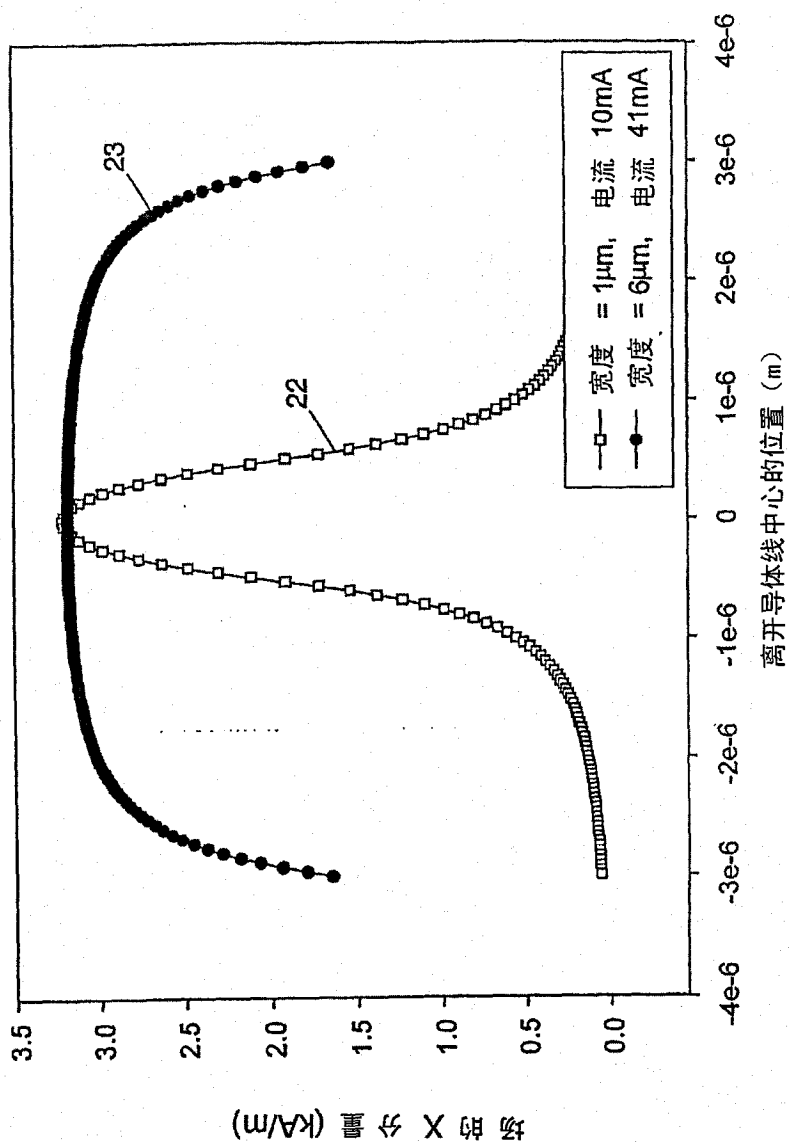


图2B

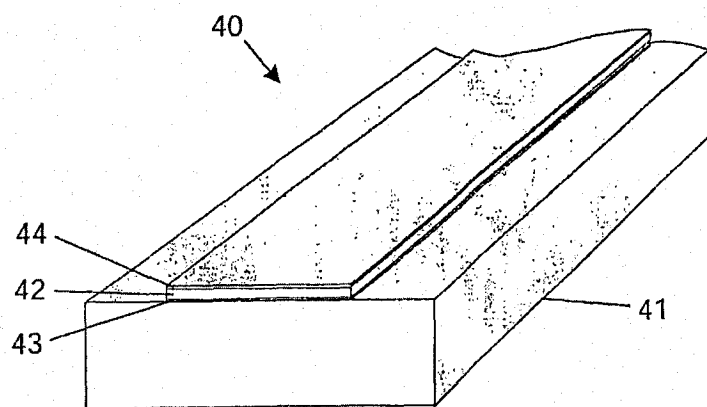


图 4

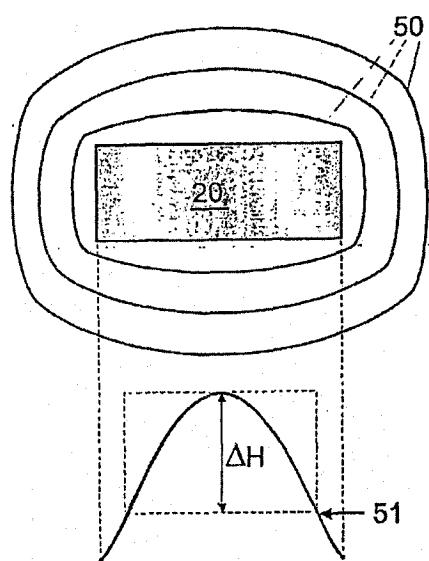


图 5A

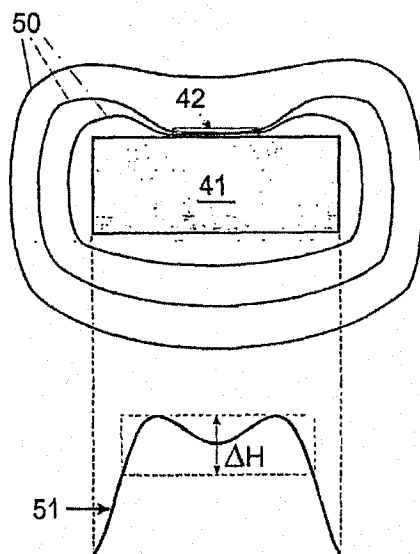


图 5B

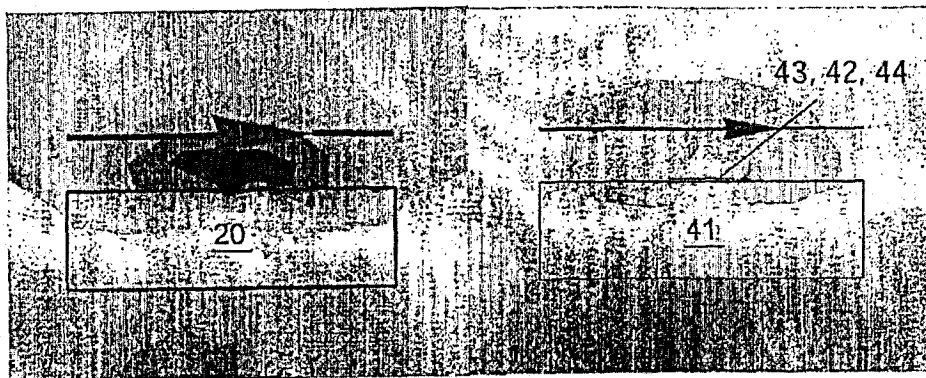


图 6A

图 6B

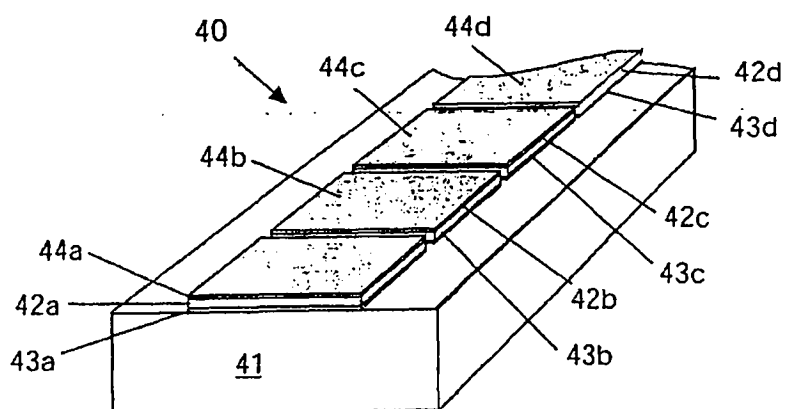


图 8

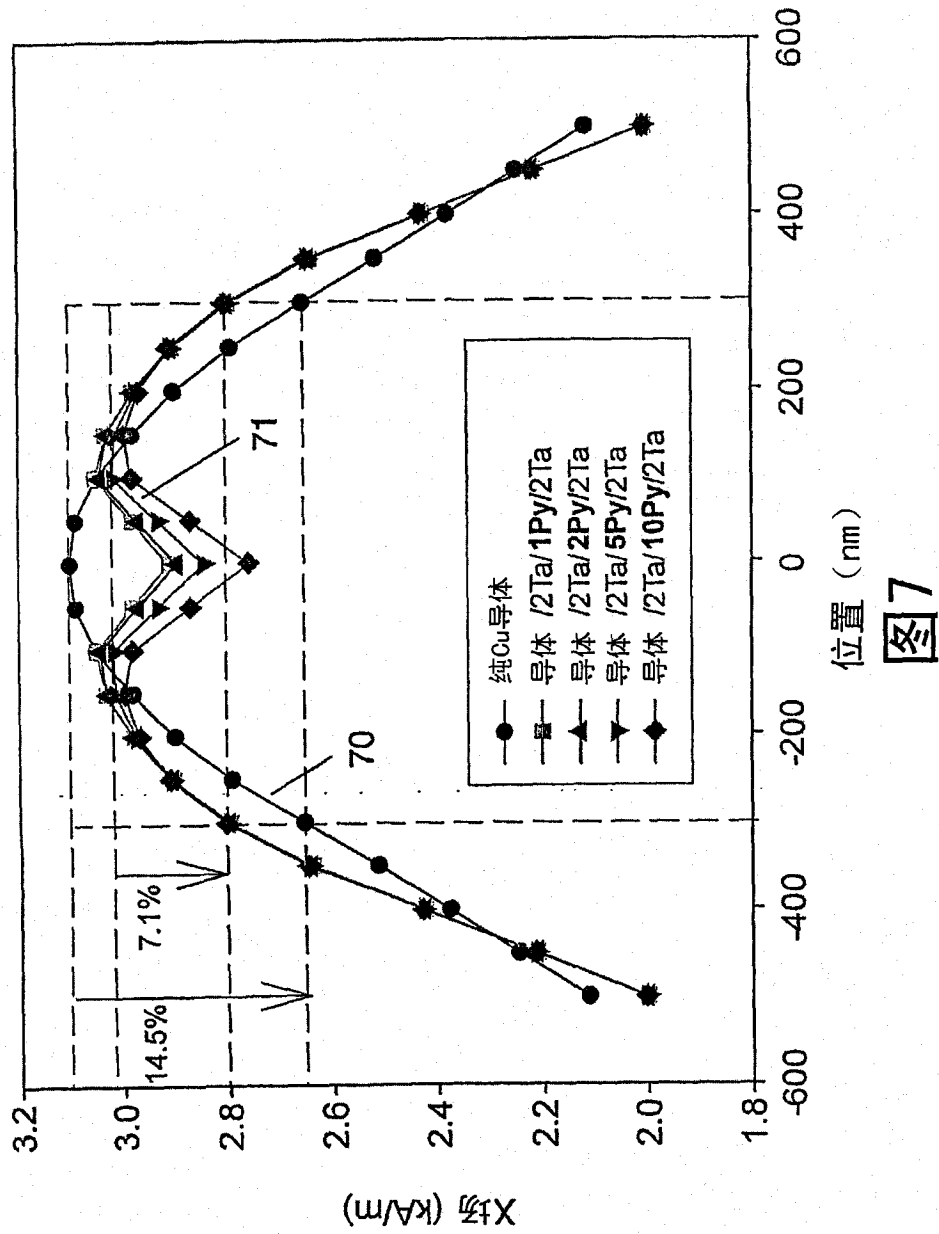


图7

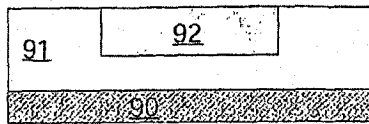


图 9A

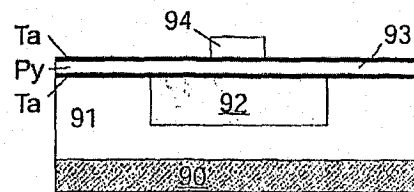


图 9B

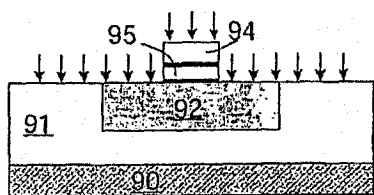


图 9C

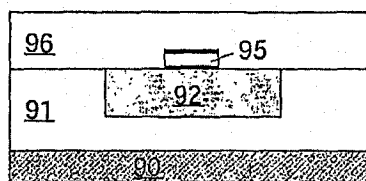


图 9D

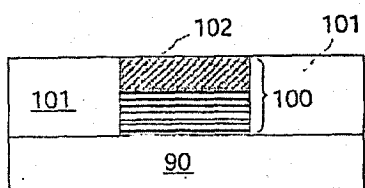


图 10A

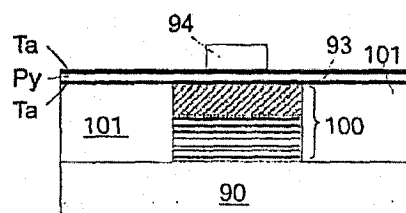


图 10B

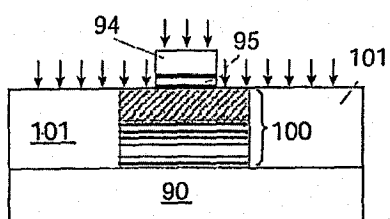


图 10C

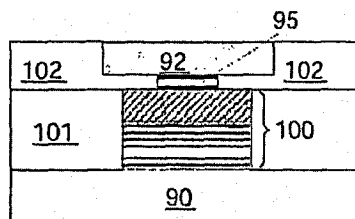


图 10D