

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 2 日 (02.11.2017)



(10) 国际公布号
WO 2017/185490 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) **H01L 21/336** (2006.01)
H01L 29/06 (2006.01)

(21) 国际申请号: PCT/CN2016/085489

(22) 国际申请日: 2016 年 6 月 12 日 (12.06.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610273749.2 2016年4月28日 (28.04.2016) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省

武汉市东湖开发区高新大道 666 号生物城 C5 栋谭玉, Hubei 430079 (CN)。

(72) 发明人: 涂望华 (TU, Wanghua); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋谭玉, Hubei 430079 (CN)。殷婉婷 (YIN, Wanting); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋谭玉, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD,

(54) Title: THIN FILM TRANSISTOR STRUCTURE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 薄膜晶体管结构及其制作方法

100

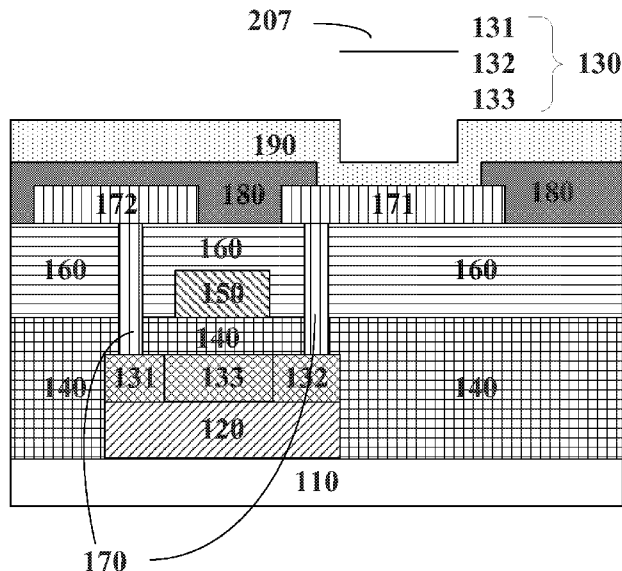


图 18

(57) Abstract: A thin film transistor structure (100), comprising a substrate (110), a shading resin (120), a polycrystalline silicon (130), a gate insulating layer (140), a gate (150), a dielectric layer (160), a source (172), and a drain (171). The shading resin (120) has both shading and insulating functions, and is doped by means of two ends of a through hole. Therefore, the present invention achieves the technical effects of simplifying the production process and the exposure process, shortening the production time, reducing the use of masks, and lowering costs.



GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种薄膜晶体管结构(100), 其包括一基板(110)、一遮光树脂(120)、一多晶硅(130)、一栅极绝缘层(140)、一栅极(150)、一间介电层(160)以及一源极(172)以及一漏极(171)。其中遮光树脂(120)同时具有遮光以及绝缘的功能, 通过两端过孔掺杂, 因此能简化生产工艺、简化曝光工艺、缩短生产时间、减少掩膜使用以及降低成本等技术效果。

说明书

发明名称：薄膜晶体管结构及其制作方法

技术领域

- [1] 一种薄膜晶体管结构及其制作方法，尤涉及低温多晶硅(Low Temperature Poly Silicon, LTPS)薄膜晶体管的领域。

背景技术

- [2] 习知技术中，LTPS的薄膜晶体管(Thin Film Transistor, TFT)的制作流程为：设置基板、遮光层(light shield, LS)、三层结构(SiNx, SiOx, 多晶硅)、通道掺杂(channel doping)、N型掺杂(N doping)、栅极绝缘层以及栅极(gate electrode, gate insulating layer)、P型掺杂(P Doping)、间绝缘层(interlayer dielectric, ILD)、源极及漏极(source electrode, drain electrode)、平坦层(planar, PLN)、底层氧化铟锡(bottom indium tin oxide, BITO)、钝化层(passivation layer, PV)、顶层氧化铟锡(top indium tin oxide, TITO)。过程中的遮光层在使用后也需要再次移除，增加了制作工艺、掩模的数量、生产时间以及生产成本。
- [3] 现有技术中，对所述多晶硅的两次掺杂都是使用掩模进行的，如何减少掩模的使用是一个需要解决的技术问题。
- [4] 参考中国专利公开号 CN 200710122171，其在基板上于TFT结构处设置遮光层，然而所述遮光层是由金属制成，因此所述遮光层与所述TFT结构之间仍旧需要增加绝缘层，仍旧增加了制作工艺、掩模的数量、生产时间以及生产成本。
- [5] 故，有必要提供一种薄膜晶体管结构及其制作方法，以解决上述问题。

对发明的公开

技术问题

- [6] 本发明的一目的在于提供一种薄膜晶体管结构，其包括一基板、一遮光树脂、一多晶硅、一栅极绝缘层、一栅极、一间介电层以及一源极以及一漏极。

问题的解决方案

技术解决方案

- [7] 所述遮光树脂, 设置于所述基板之上。所述多晶硅, 设置于所述遮光树脂之上。所述栅极绝缘层, 设置于所述基板以及所述多晶硅之上。所述栅极, 紧靠所述栅极绝缘层设置。所述间介电层, 设置于所述栅极绝缘层以及所述栅极之上。所述源极以及所述漏极, 设置于所述间介电层之上。所述源极以及所述漏极分别通过二过孔连接所述多晶硅。
- [8] 在一优选实施例中, 所述过孔贯通所述间介电层以及部份的所述栅极绝缘层。
- [9] 在一优选实施例中, 所述遮光树脂包括环氧树脂或聚氨脂。
- [10] 在一优选实施例中, 所述薄膜晶体管结构还包括一平坦层和一透明导电层, 平坦层设置于一部分的所述源极以及所述漏极之上, 同时覆盖所述间介电层; 所述透明导电层设置于所述平坦层以及另一部分的所述漏极以及所述源极之上。
- [11] 在一优选实施例中, 所述多晶硅包括通道掺杂区和二过孔掺杂区, 所述过孔掺杂区与所述二过孔连通并通过所述二过孔完成掺杂, 所述源极以及所述漏极分别通过二过孔与位于所述通道掺杂区的两端的所述过孔掺杂区连接。
- [12] 本发明的一目的在于提供一种薄膜晶体管结构的制作方法, 其包括: 首先, 设置一基板; 接着, 沉积一树脂层于所述基板之上, 并使用一第一掩膜形成一遮光树脂; 接着, 沉积一多晶硅层, 并使用一第二掩膜仅形成一多晶硅于所述遮光树脂之上; 对所述多晶硅进行第一次掺杂; 沉积一栅极绝缘层于所述基板以及所述多晶硅之上; 沉积一第一金属层, 并使用一第三掩膜形成一栅极于所述栅极绝缘层之上; 沉积一间介电层于所述栅极绝缘层以及所述栅极之上; 使用一第四掩膜形成二过孔于所述间介电层以及部份的所述栅极绝缘层; 接着, 沉积一第二金属层, 并使用一第五掩膜形成一源极以及一漏极于所述间介电层之上。所述源极以及所述漏极分别通过所述二过孔连接所述多晶硅。
- [13] 在一优选实施例中, 对所述多晶硅进行掺杂包括第一次掺杂和第二次掺杂: 所述第一次掺杂是在形成所述多晶硅后且在沉积所述栅极绝缘层之前对所述多晶硅掺杂; 所述第二次掺杂是在形成所述二过孔后通过所述二过孔对所述多晶硅掺杂。
- [14] 在一优选实施例中, 在所述第一次掺杂过程中, 所述多晶硅整体被均匀掺杂。
- [15] 在一优选实施例中, 在所述第一次掺杂过程中, 所述多晶硅的通道掺杂区被掺

杂，而位于所述通道掺杂区两端的过孔掺杂区在光罩制程中受到保护而未被掺杂。

- [16] 在一优选实施例中，所述过孔掺杂区与所述二过孔连通并通过所述二过孔完成所述第二次掺杂，通过所述第二次掺杂对所述过孔掺杂区掺杂，使所述多晶硅中形成了通道掺杂区和位于所述通道掺杂区两端的过孔掺杂区。

发明的有益效果

有益效果

- [17] 因此通过本发明的技术方案，产生的有益技术效果在于，藉由所述遮光树脂同时具有遮光以及绝缘的功能，减少了一层绝缘结构的设置；此外，对所述多晶硅进行通道掺杂使所述多晶硅通道（多晶硅与与栅极对应的区域）成为N型或P型，即，通过两端过孔掺杂进而简化生产工艺、简化曝光工艺、缩短生产时间、减少掩膜使用以及降低成本等技术效果。

对附图的简要说明

附图说明

- [18] 图1-图18绘示本发明的薄膜晶体管结构的在各个制作工艺的侧视图；
[19] 图19绘示本发明的薄膜晶体管结构的制作方法的流程图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [20] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。
- [21] 参考图18，图18是本发明的薄膜晶体管结构100的侧视图。薄膜晶体管结构100包括一基板110、一遮光树脂120、一多晶硅130、一栅极绝缘层140、一栅极150、一介电层160、一漏极171、一源极172、一平坦层180以及一透明导电层190。
- [22] 遮光树脂120设置于基板110之上。详细地，遮光树脂120包括环氧树脂或聚氨

脂。遮光树脂120不仅可以用于遮蔽光线，还可以作为绝缘层。

- [23] 多晶硅130设置于遮光树脂120之上。多晶硅130是用于提供电子以及空穴来导电。详细地，多晶硅130与遮光树脂120的面积大小相同(垂直光线的行进方向)。所述多晶硅130包括通道掺杂区133和二过孔掺杂区131,132，所述过孔掺杂区131,132与所述二过孔170连通并通过所述二过孔170完成掺杂，所述源极172以及所述漏极171分别通过二过孔170与位于所述通道掺杂区133的两端的所述过孔掺杂区131,132连接。
- [24] 栅极绝缘层140设置于基板以及多晶硅130之上。栅极150紧靠栅极绝缘层140设置。详细地，遮光树脂120设置于多晶硅130以及栅极150的区域，用于避免多晶硅130产生光漏电流。换句话说，遮光树脂120的面积大于或等于多晶硅130的面积(垂直光线的行进方向)。用于形成栅极150的第一金属层可以是钼。结合图8和图9，栅极150是利用第三掩膜203对第一金属层155作用所形成。栅极绝缘层140具有高介电系数。
- [25] 间介电层160设置于栅极绝缘层140以及栅极150之上。详细地，间介电层160完整的覆盖了栅极150以及其他区域。间介电层160是用于降低多层导线间之电容值。一般而言，会以氧化硅-氮化硅-氧化硅(ONO)堆栈层或氧化硅-氮化硅(ON)堆栈层的形式来作为闪存的多晶硅间介电层160。
- [26] 过孔170贯通间介电层160以及部份的栅极绝缘层140。详细地，因为在栅极绝缘层140以及间介电层160中形成了二过孔170。因为二过孔170与漏极171以及源极172沉积了相同的材料，源极171以及漏极172分别通过二过孔170连接多晶硅130的两端。
- [27] 在本优选实施例中，漏极171以及源极172设置于间介电层160之上。然而，在不同的优选实施例中，漏极171以及源极172的位置可以改变。用于形成漏极171以及源极172的第二金属层可以是钼/铝/钼。
- [28] 平坦层180设置于一部分的漏极171以及源极172之上，同时覆盖间介电层160。在本优选实施例中，平坦层180完整地覆盖源极172，然而，仅部分地覆盖漏极171。
- [29] 透明导电层190设置于平坦层180以及另一部分的漏极171以及源极172之上。在

本优选实施例中，透明导电层190直接覆盖了未被平坦层180所覆盖的漏极171。透明导电层190可以是氧化铟锡。

- [30] 对所述多晶硅130进行掺杂包括第一次掺杂和第二次掺杂。所述第一次掺杂是在形成所述多晶硅130后且在沉积所述栅极绝缘层140之前对所述多晶硅130掺杂。所述第二次掺杂是在形成所述二过孔170后通过所述二过孔170对所述多晶硅130内的二过孔掺杂区131,132掺杂。
- [31] 请参阅图1-图19，图1-图18绘示本发明的薄膜晶体管结构的在各个制作工艺的侧视图。图19绘示制作本实施例的薄膜晶体管结构100的方法流程图。制作方法包括：
- [32] 步骤S01：如图1所示，设置基板110，基板110可以为玻璃基材或透明塑料基材。
- [33] 步骤S02：如图2所示，沉积树脂层125于基板110之上。如图3所示，使用第一掩膜201对树脂层125进行曝光显影，以蚀刻出遮光树脂120。
- [34] 步骤S03：如图4所示，沉积多晶硅层135。如图5所示，使用第二掩膜202对多晶硅层135进行曝光显影，以仅蚀刻出多晶硅130于遮光树脂120之上。
- [35] 步骤S04：如图6-1所示，使用一第一掺杂掩膜208对多晶硅130进行第一次掺杂。在本较佳实施例中，所述多晶硅130整体被均匀掺杂。
- [36] 在另一较佳实施例中，如图6-2所示，使用一第二掺杂掩膜209对多晶硅130进行第一次掺杂。在本较佳实施例中，所述多晶硅130的通道掺杂区133被掺杂，而位于所述通道掺杂区两端的过孔掺杂区131,132在光罩制程中受到保护而未被掺杂。
- [37] 步骤S05：如图7所示，沉积栅极绝缘层140于基板110以及多晶硅130之上。栅极绝缘层140可以是SiO_x或SiN_x或是其混合物。
- [38] 步骤S06：如图8所示，以化学气相沉积或是真空蒸镀等方法沉积第一金属层155。如图9所示，使用第三掩膜203对第一金属层155进行曝光显影，以蚀刻出栅极150于栅极绝缘层140之上。第一金属层155一般采用钼(Mo)、铝(Al)以及铝合金、钛(Ti)、铜(Cu)或钨(W)等材料制作。
- [39] 步骤S07：如图10所示，沉积间介电层160于栅极绝缘层140以及栅极150之上。

- [40] 步骤S08: 如图11所示, 使用第四掩膜204对间介电层160以及栅极绝缘层140进行曝光显影, 以蚀刻出二过孔170于间介电层160以及部份的栅极绝缘层140。
- [41] 步骤S09: 如图12所示, 通过二过孔170对多晶硅130进行第二次掺杂。所述过孔掺杂区131,132与所述二过孔170连通并通过所述二过孔170完成所述第二次掺杂, 通过所述第二次掺杂对所述过孔掺杂区131,132掺杂, 使所述多晶硅130中形成了通道掺杂区133和位于所述通道掺杂区两端的过孔掺杂区131,132。
- [42] 步骤S10: 如图13所示, 以化学气相沉积或是真空蒸镀等方法沉积第二金属层175。如图14所示, 使用第五掩膜205对第二金属层175进行曝光显影, 以蚀刻出漏极171以及源极172于间介电层160之上。因为第二金属层175填满了二过孔170, 漏极171以及源极172分别通过二过孔170连接多晶硅130。
- [43] 步骤S11: 如图15所示, 沉积平坦层180。如图16所示, 使用第六掩膜206进行曝光显影, 以蚀刻所述平坦层180, 令平坦层180仅覆盖于一部分的漏极171以及源极172之上, 同时覆盖间介电层160。
- [44] 步骤S12: 如图17所示, 沉积透明导电层190于平坦层180以及另一部分的漏极171以及源极172之上。
- [45] 步骤S13: 如图18所示, 透明导电层190可以利用第七掩膜207对透明导电层190进行曝光显影, 以蚀刻出在漏极171之上的一个缺口。
- [46] 综上所述, 虽然本发明已以优选实施例揭露如上, 但上述优选实施例并非用以限制本发明, 本领域的普通技术人员, 在不脱离本发明的精神和范围内, 均可作各种更动与润饰, 因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种薄膜晶体管结构, 包括:
- 一基板;
 - 一遮光树脂, 设置于所述基板之上;
 - 一多晶硅, 设置于所述遮光树脂之上;
 - 一栅极绝缘层, 设置于所述基板以及所述多晶硅之上;
 - 一栅极, 紧靠所述栅极绝缘层设置;
 - 一间介电层, 设置于所述栅极绝缘层以及所述栅极之上; 以及
 - 一源极以及一漏极, 设置于所述间介电层之上;
- 其中所述源极以及所述漏极分别通过二过孔连接所述多晶硅, 所述多晶硅包括通道掺杂区和二过孔掺杂区, 所述过孔掺杂区与所述二过孔连通并通过所述二过孔完成掺杂, 所述源极以及所述漏极分别通过二过孔与位于所述通道掺杂区的两端的所述过孔掺杂区连接。
- [权利要求 2] 根据权利要求1的薄膜晶体管结构, 其中所述过孔贯通所述间介电层以及部份的所述栅极绝缘层。
- [权利要求 3] 根据权利要求1的薄膜晶体管结构, 其中所述遮光树脂包括环氧树脂或聚氨脂。
- [权利要求 4] 根据权利要求1的薄膜晶体管结构, 其中所述薄膜晶体管结构还包括一平坦层和一透明导电层, 平坦层设置于一部分的所述漏极以及所述源极之上, 同时覆盖所述间介电层; 所述透明导电层设置于所述平坦层以及另一部分的所述漏极以及所述源极之上。
- [权利要求 5] 一种薄膜晶体管结构, 包括:
- 一基板;
 - 一遮光树脂, 设置于所述基板之上;
 - 一多晶硅, 设置于所述遮光树脂之上;
 - 一栅极绝缘层, 设置于所述基板以及所述多晶硅之上;
 - 一栅极, 紧靠所述栅极绝缘层设置;

一间介电层，设置于所述栅极绝缘层以及所述栅极之上；以及
一源极以及一漏极，设置于所述间介电层之上；

其中，所述源极以及所述漏极分别通过二过孔连接所述多晶硅。

[权利要求 6] 根据权利要求5的薄膜晶体管结构，其中所述过孔贯通所述间介电层以及部份的所述栅极绝缘层。

[权利要求 7] 根据权利要求5的薄膜晶体管结构，其中所述遮光树脂包括环氧树脂或聚氨脂。

[权利要求 8] 根据权利要求5的薄膜晶体管结构，其中所述薄膜晶体管结构还包括一平坦层和一透明导电层，平坦层设置于一部分的所述漏极以及所述源极之上，同时覆盖所述间介电层；所述透明导电层设置于所述平坦层以及另一部分的所述漏极以及所述源极之上。

[权利要求 9] 根据权利要求5的薄膜晶体管结构，其中所述多晶硅包括通道掺杂区和二过孔掺杂区，所述过孔掺杂区与所述二过孔连通并通过所述二过孔完成掺杂，所述源极以及所述漏极分别通过二过孔与位于所述通道掺杂区的两端的所述过孔掺杂区连接。

[权利要求 10] 一种薄膜晶体管结构的制作方法，其中包括：

设置一基板；

沉积一树脂层于所述基板之上，并使用一第一掩膜形成一遮光树脂；

沉积一多晶硅层，并使用一第二掩膜仅形成一多晶硅于所述遮光树脂之上；

对所述多晶硅进行第一次掺杂；

沉积一栅极绝缘层于所述基板以及所述多晶硅之上；

沉积一第一金属层，并使用一第三掩膜形成一栅极于所述栅极绝缘层之上；

沉积一间介电层于所述栅极绝缘层以及所述栅极之上；

使用一第四掩膜形成二过孔于所述间介电层以及部份的所述栅极绝缘层；以及

沉积一第二金属层，并使用一第五掩膜形成一源极以及一漏极于所述间介电层之上；

其中所述源极以及所述漏极分别通过所述二过孔连接所述多晶硅。

[权利要求 11] 根据权利要求10的薄膜晶体管结构的制作方法，其中对所述多晶硅进行掺杂包括第一次掺杂和第二次掺杂：

所述第一次掺杂是在形成所述多晶硅后且在沉积所述栅极绝缘层之前对所述多晶硅层掺杂；

所述第二次掺杂是在形成所述二过孔后通过所述二过孔对所述多晶硅掺杂。

[权利要求 12] 根据权利要求11的薄膜晶体管结构的制作方法，其中在所述第一次掺杂过程中，所述多晶硅整体被均匀掺杂。

[权利要求 13] 根据权利要求11的薄膜晶体管结构的制作方法，其中在所述第一次掺杂过程中，所述多晶硅的通道掺杂区被掺杂，而位于所述通道掺杂区两端的过孔掺杂区在光罩制程中受到保护而未被掺杂。

[权利要求 14] 根据权利要求12薄膜晶体管结构的制作方法，其中所述过孔掺杂区与所述二过孔连通并通过所述二过孔完成所述第二次掺杂，通过所述第二次掺杂对所述过孔掺杂区掺杂，使所述多晶硅中形成了通道掺杂区和位于所述通道掺杂区两端的过孔掺杂区。

[权利要求 15] 根据权利要求13所述的薄膜晶体管结构的制作方法，其中所述过孔掺杂区与所述二过孔连通并通过所述二过孔完成所述第二次掺杂，通过所述第二次掺杂对所述过孔掺杂区掺杂，使所述多晶硅中形成了通道掺杂区和位于所述通道掺杂区两端的过孔掺杂区。

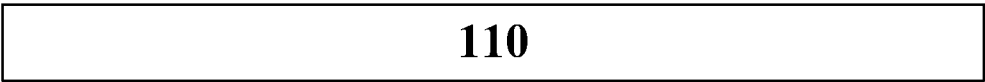


图 1

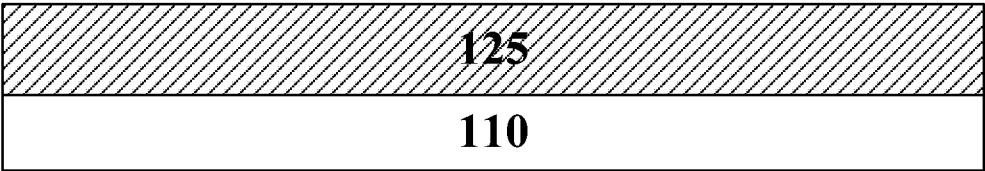


图 2

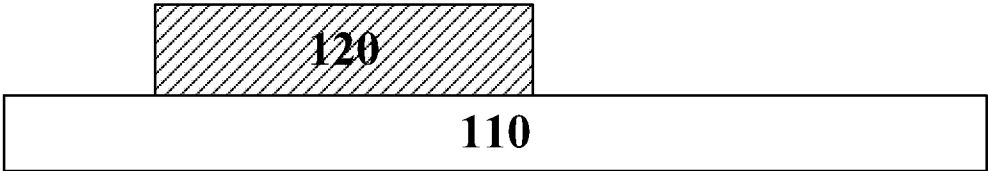


图 3

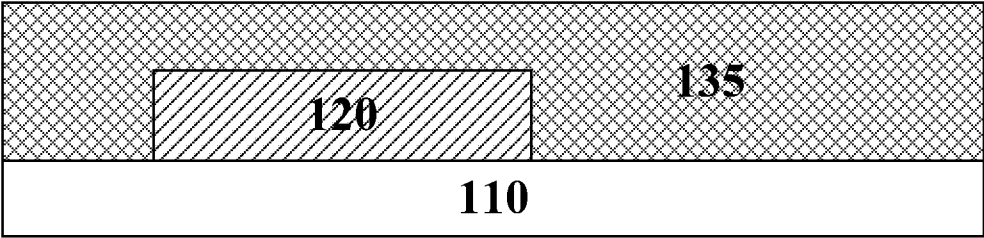


图 4

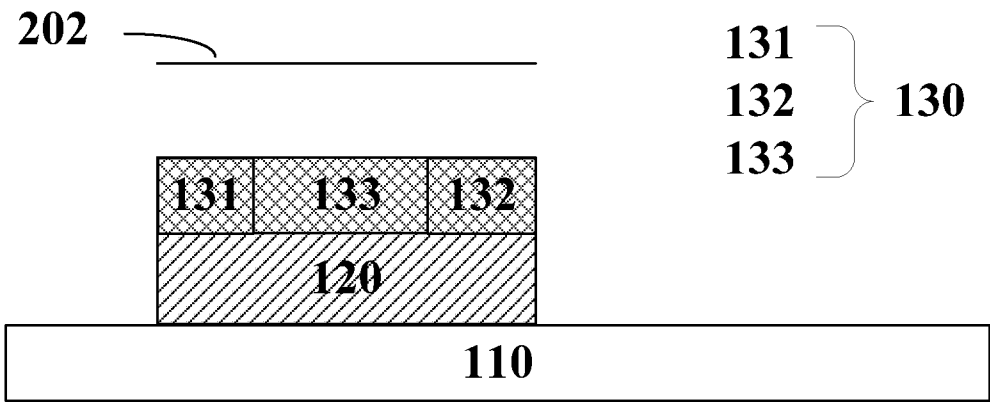


图 5

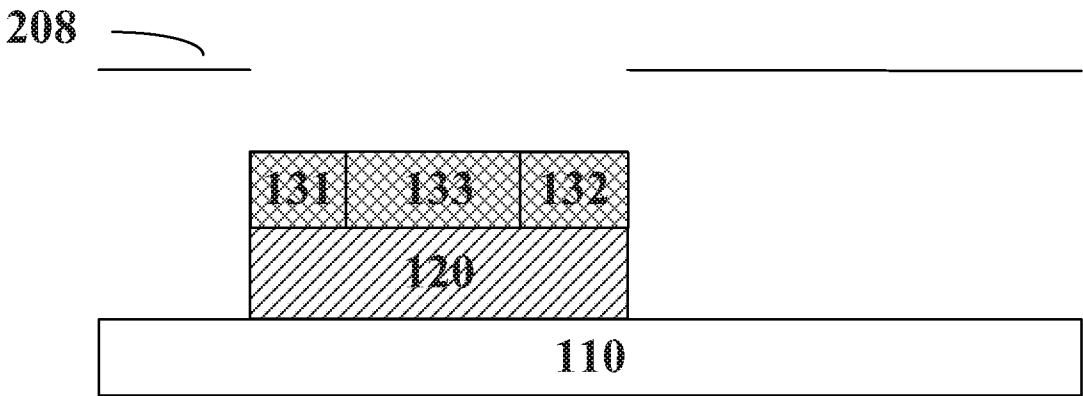


图 6-1

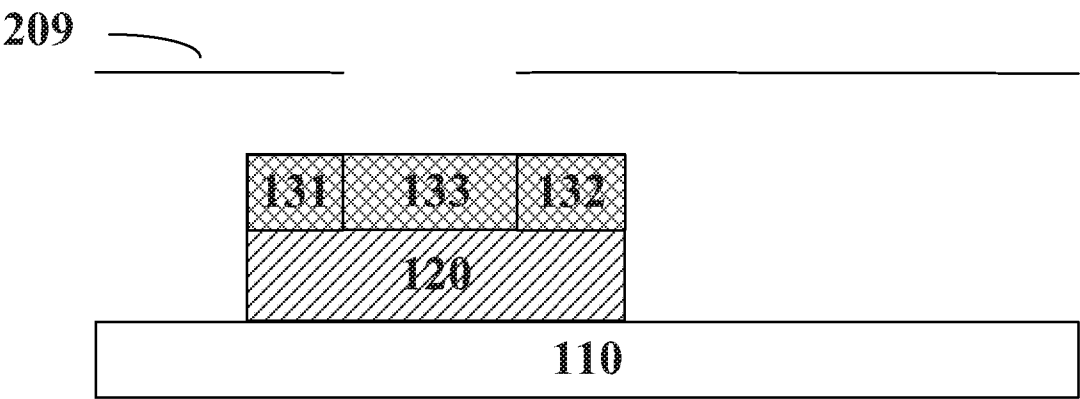


图 6-2

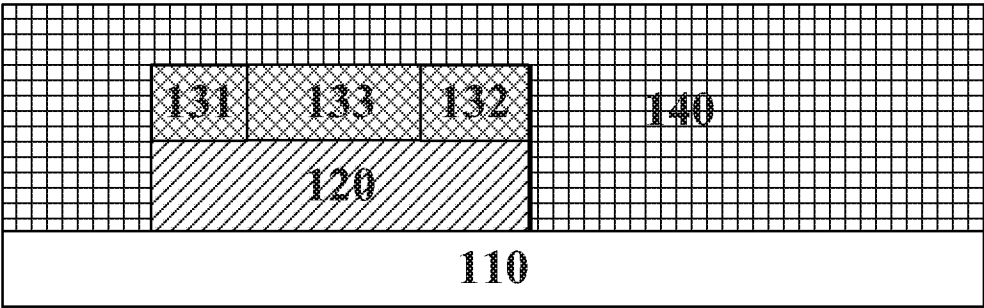


图 7

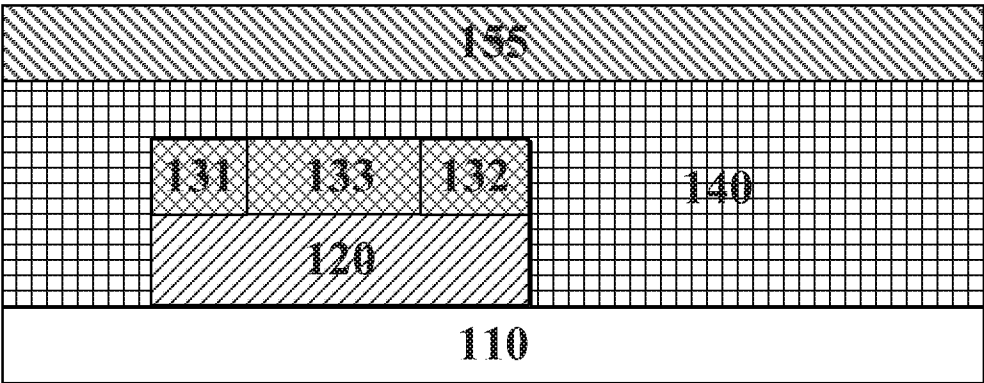


图 8

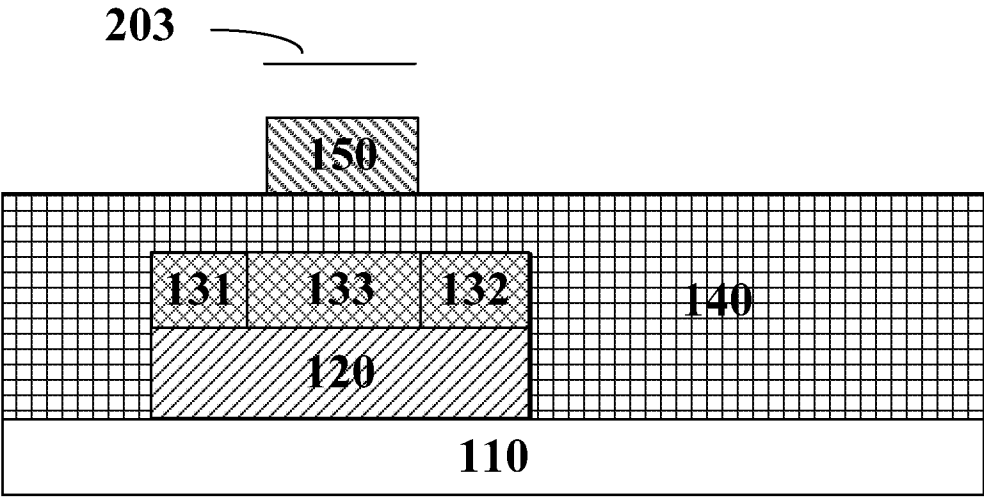


图 9

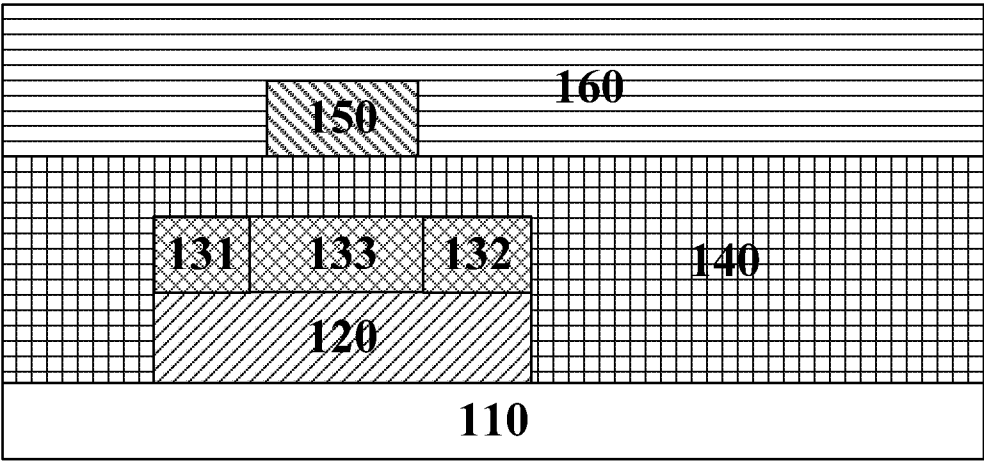


图 10

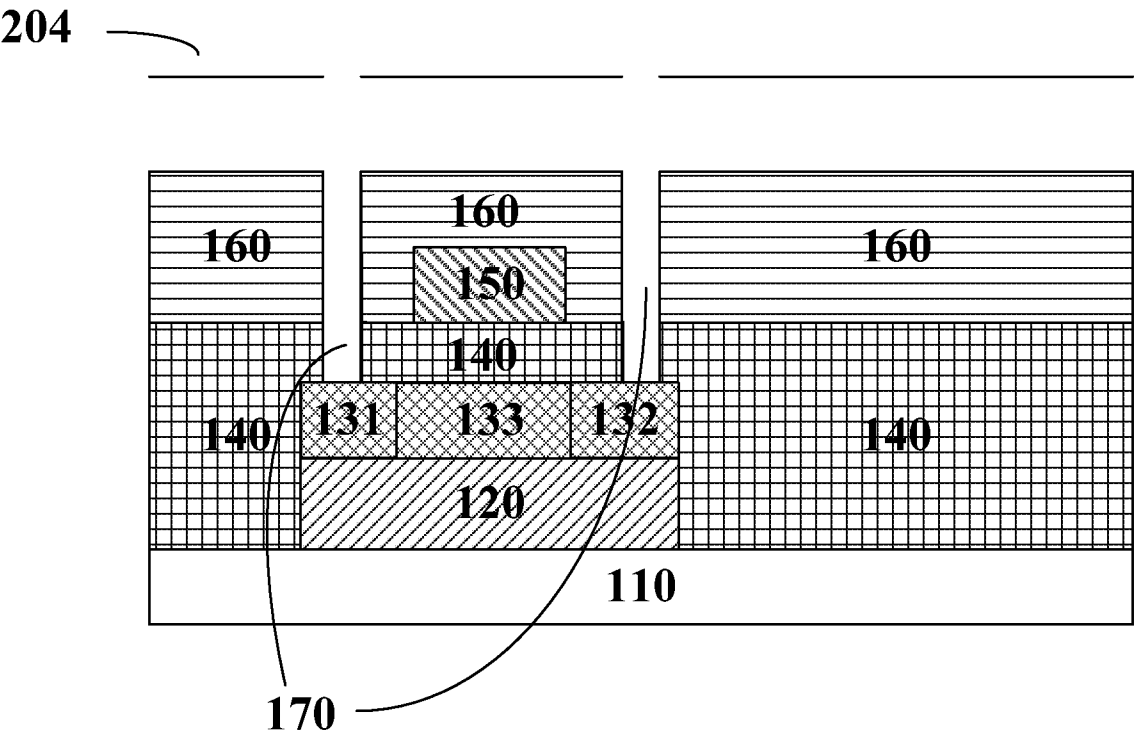


图 11

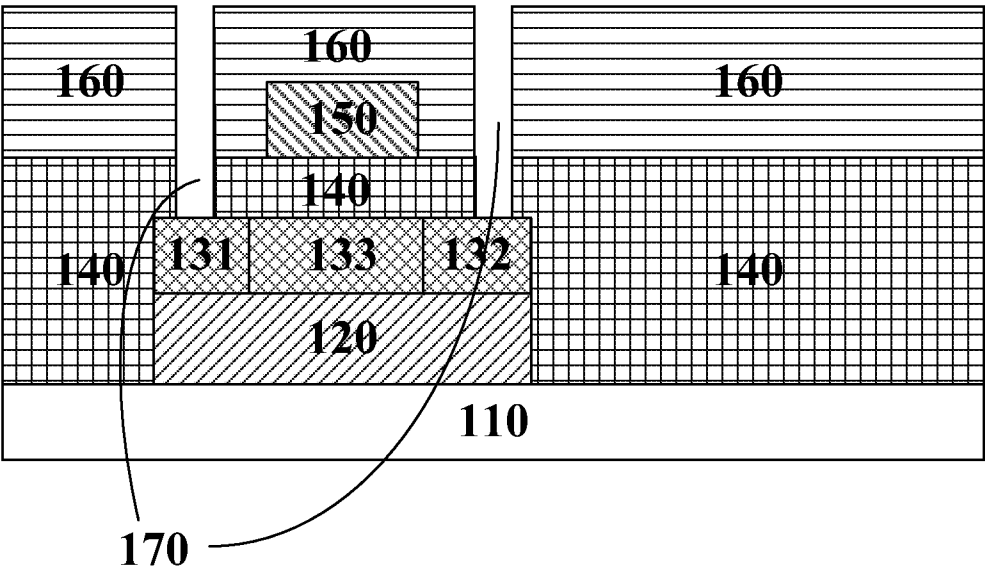


图 12

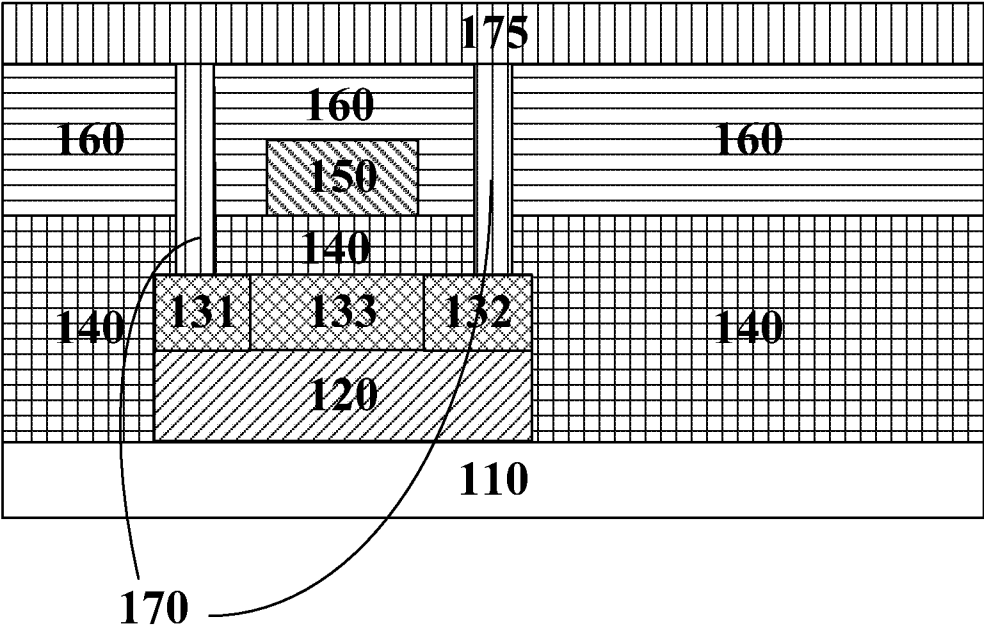


图 13

205

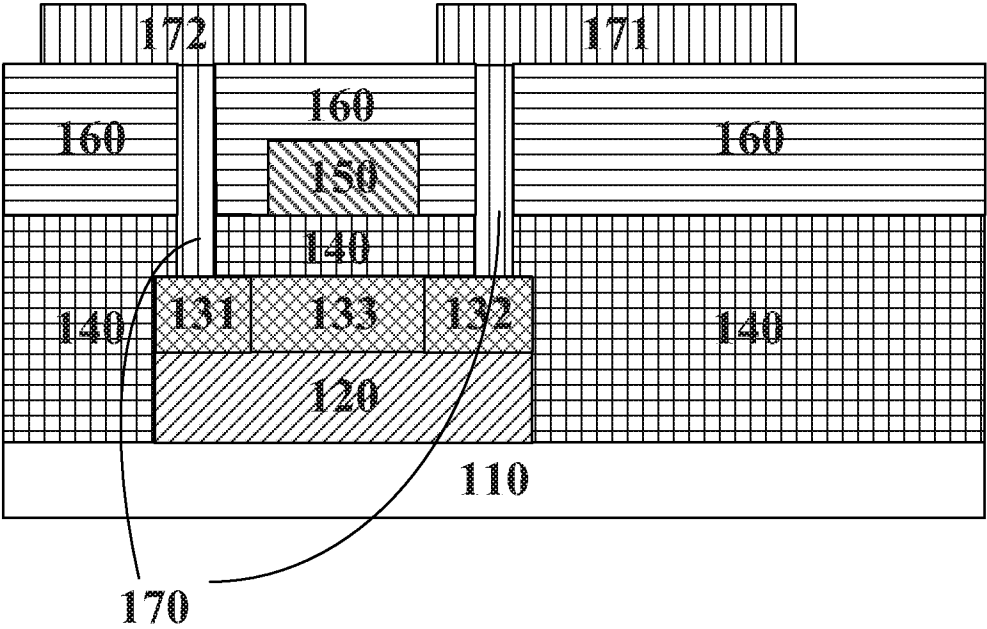


图 14

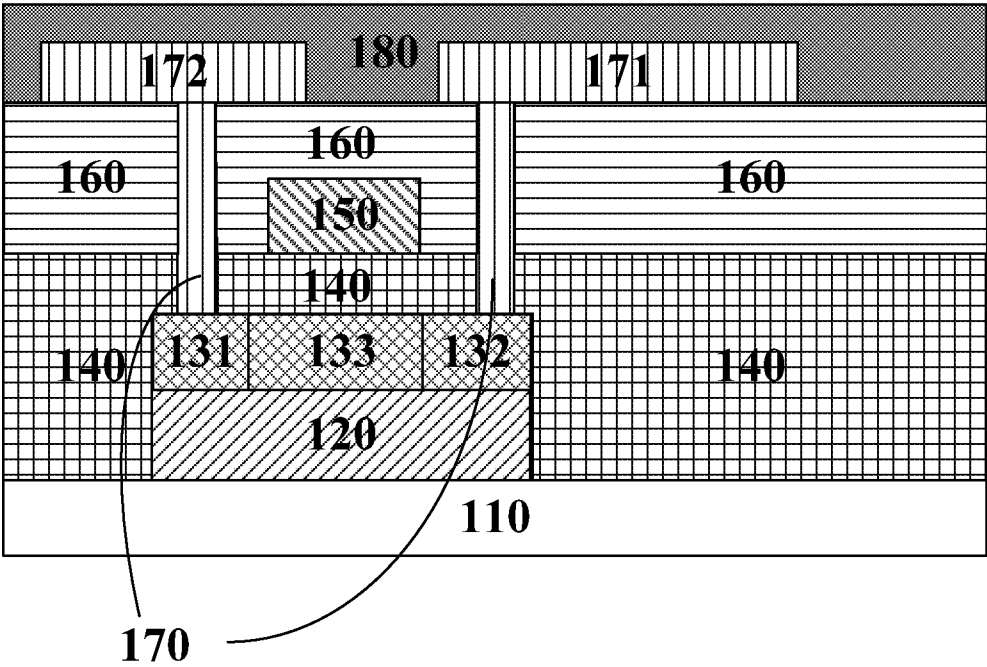


图 15

206

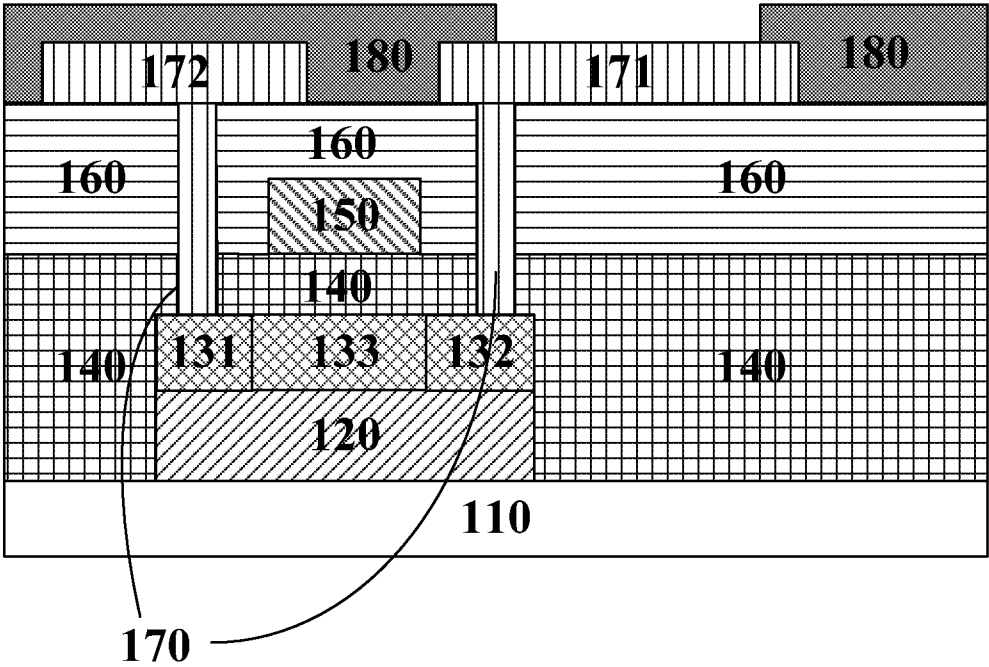


图 16

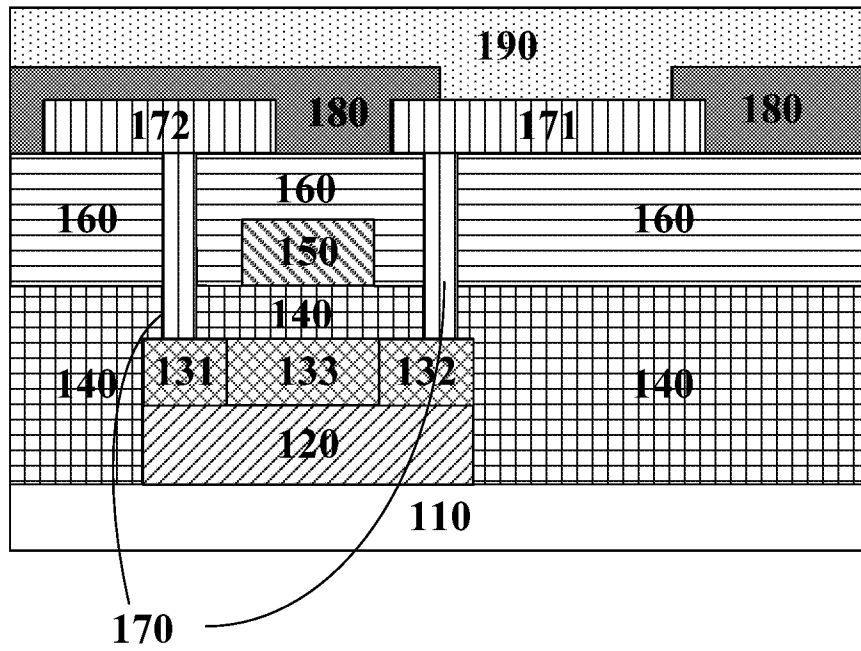


图 17

100

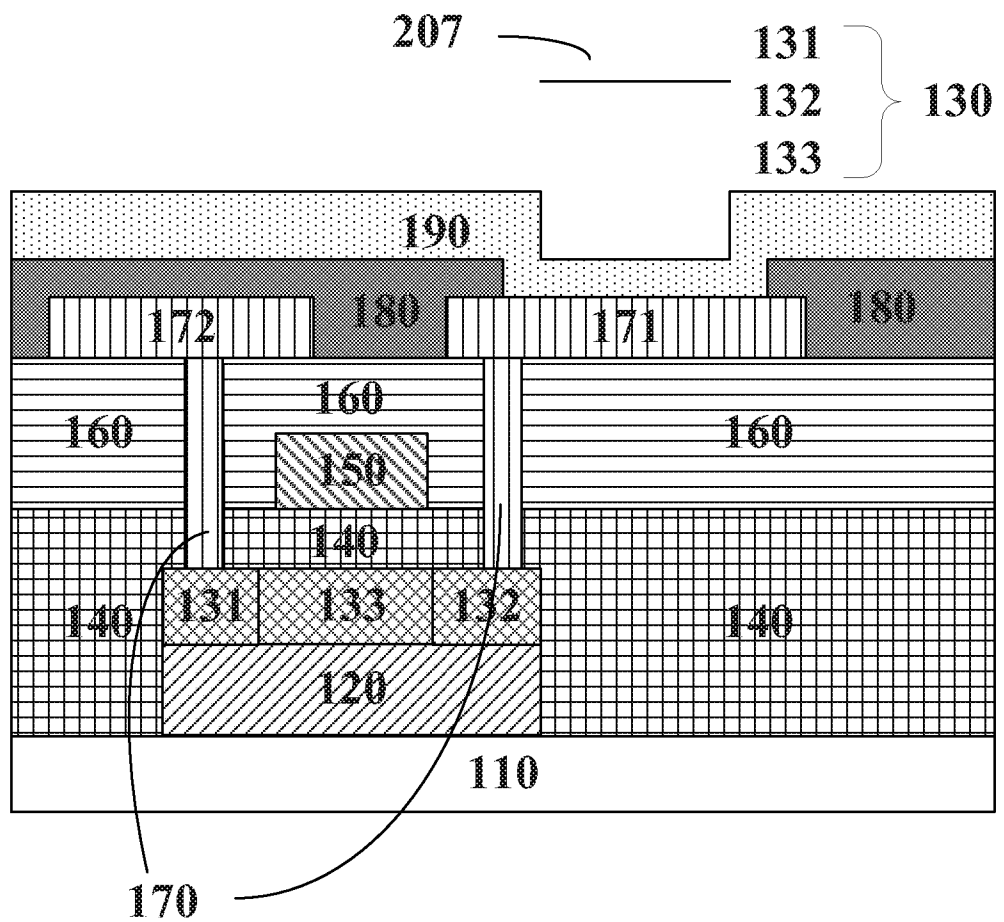


图 18

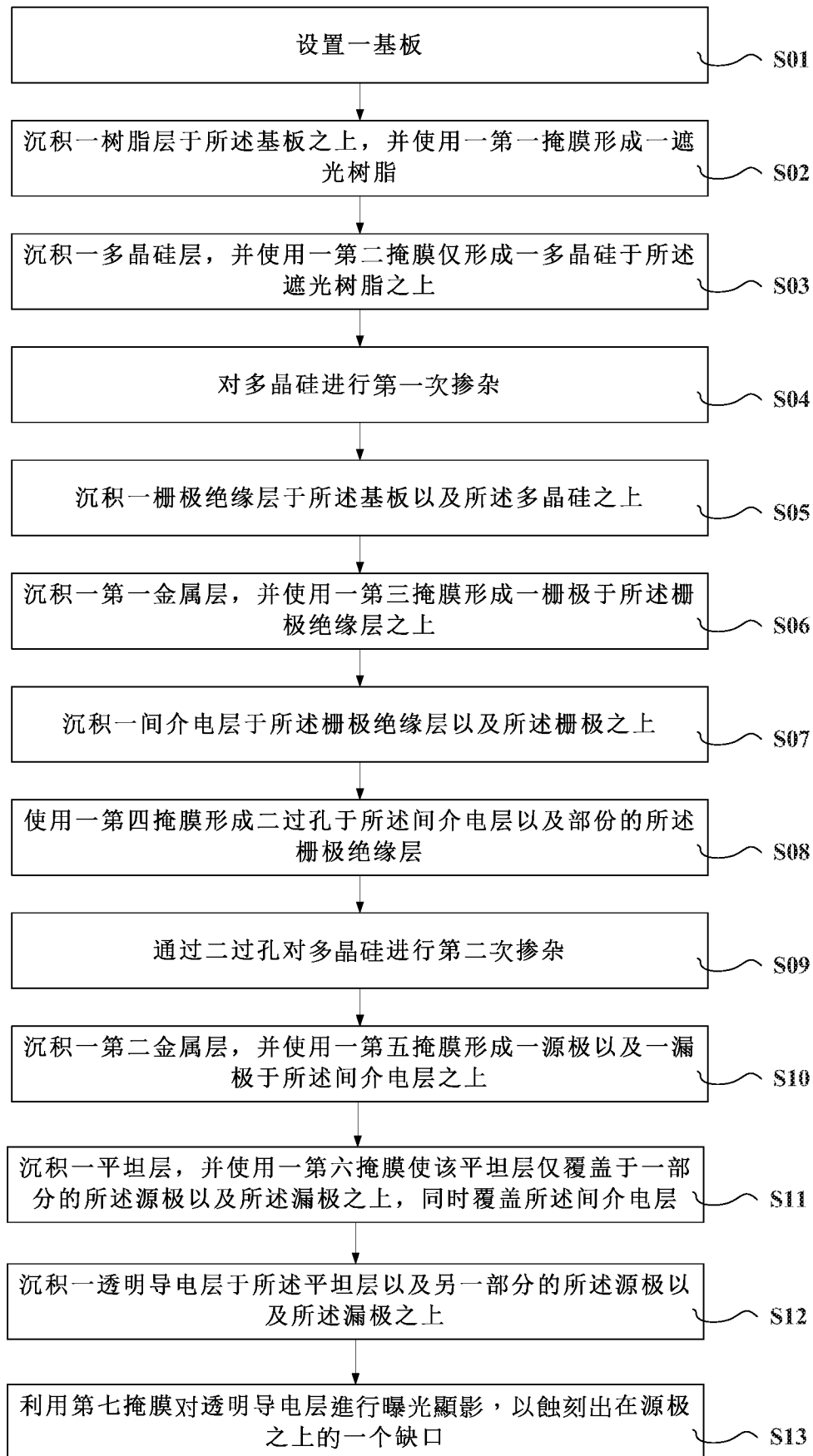


图 19

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/085489

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 29/06 (2006.01) i; H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, DWPI, SIPOABS, CNKI: polycrystalline silicon, insulating layer, grid, TFT, thin film transistor, substrate, shield, resin, poly,
silicon, insulate, gate, dielectric, source, drain, through hole, dope

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101067705 A (AU OPTRONICS, CORP.) 07 November 2007 (07.11.2007) description, page 3, paragraph 1 to page 6, paragraph 1, and figures 1A-7B	1-15
A	CN 1889253 A (AU OPTRONICS, CORP.) 03 January 2007 (03.01.2007) the whole document	1-15
A	KR 20000001679 A (LG PHILIPS LCD CO., LTD.) 15 January 2000 (15.01.2000) the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 January 2017	Date of mailing of the international search report 07 February 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Fang Telephone No. (86-10) 62411844

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/085489

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101067705 A	07 November 2007	CN 100464241 C	25 February 2009
CN 1889253 A	03 January 2007	CN 100426490 C	15 October 2008
KR 20000001679 A	15 January 2000	US 6459463 B2	01 October 2002
		US 2001050729 A1	13 December 2001
		KR 290922 B	12 July 2001

A. 主题的分类 H01L 29/786(2006.01)i; H01L 29/06(2006.01)i; H01L 21/336(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类														
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;DWPI;SIPOABS;CNKI:薄膜晶体管, 基板, 遮光, 树脂, 多晶硅, 绝缘层, 栅极, 介电, 源极, 漏极, 过孔, 掺杂, TFT, thin film transistor, substrate, shield, resin, poly, silicon, insulate, gate, dielectric, source, drain, through hole, dope														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 101067705 A (友达光电股份有限公司) 2007年 11月 7日 (2007 - 11 - 07) 说明书第3页第1段至第6页第1段, 图1A-7B</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 1889253 A (友达光电股份有限公司) 2007年 1月 3日 (2007 - 01 - 03) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>KR 20000001679 A (LG PHILIPS LCD CO LTD) 2000年 1月 15日 (2000 - 01 - 15) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 101067705 A (友达光电股份有限公司) 2007年 11月 7日 (2007 - 11 - 07) 说明书第3页第1段至第6页第1段, 图1A-7B	1-15	A	CN 1889253 A (友达光电股份有限公司) 2007年 1月 3日 (2007 - 01 - 03) 全文	1-15	A	KR 20000001679 A (LG PHILIPS LCD CO LTD) 2000年 1月 15日 (2000 - 01 - 15) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
X	CN 101067705 A (友达光电股份有限公司) 2007年 11月 7日 (2007 - 11 - 07) 说明书第3页第1段至第6页第1段, 图1A-7B	1-15												
A	CN 1889253 A (友达光电股份有限公司) 2007年 1月 3日 (2007 - 01 - 03) 全文	1-15												
A	KR 20000001679 A (LG PHILIPS LCD CO LTD) 2000年 1月 15日 (2000 - 01 - 15) 全文	1-15												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件														
国际检索实际完成的日期 2017年 1月 24日		国际检索报告邮寄日期 2017年 2月 7日												
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 章放 电话号码 (86-10)62411844												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/085489

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101067705	A	2007年 11月 7日	CN	100464241	C	2009年 2月 25日
CN	1889253	A	2007年 1月 3日	CN	100426490	C	2008年 10月 15日
KR	20000001679	A	2000年 1月 15日	US	6459463	B2	2002年 10月 1日
				US	2001050729	A1	2001年 12月 13日
				KR	290922	B	2001年 7月 12日