



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I448068 B

(45)公告日：中華民國 103 (2014) 年 08 月 01 日

(21)申請案號：099108523

(22)申請日：中華民國 99 (2010) 年 03 月 23 日

(51)Int. Cl. : H03F1/26 (2006.01)

(30)優先權：2009/04/07 歐洲專利局 09157505.0

(71)申請人：史華曲集團研發有限公司(瑞士) THE SWATCH GROUP RESEARCH AND DEVELOPMENT LTD. (CH)

瑞士

(72)發明人：維拉斯奎 卡洛斯 VELASQUEZ, CARLOS (AR)

(74)代理人：林志剛

(56)參考文獻：

US 2004/0251882A1

US 2008/0079491A1

Prior, C.A.; Vieira, F.C.B.; Rodrigues, C.R., "Instrumentation Amplifier using Robust Rail-to-Rail Operational Amplifiers with gm Control," Circuits and Systems, 2006. MWSCAS '06. 49th IEEE International Midwest Symposium on , vol.2, no., pp.148,152, 6-9 Aug. 2006.

Nauta, B.; Seevinck, E., "Automatic tuning of quality factors for VHF CMOS filters," Circuits and Systems, 1990., IEEE International Symposium on , vol., no., pp.1147,1150 vol.2, 1-3 May 1990.

Nauta, B., "A CMOS transconductance-C filter technique for very high frequencies," Solid-State Circuits, IEEE Journal of , vol.27, no.2, pp.142,153, Feb 1992.

Tsiatouhas, Y.; Arapoyanni, A., "High fan-in differential current mirror logic," Circuits and Systems, 2006. ISCAS 2006.

Proceedings. 2006 IEEE International Symposium on , vol., no., pp. 4 pp., 21-24 May 2006.

審查人員：鄭凱旭

申請專利範圍項數：9 項 圖式數：3 共 0 頁

(54)名稱

低相位雜訊放大器電路

LOW PHASE NOISE AMPLIFIER CIRCUIT

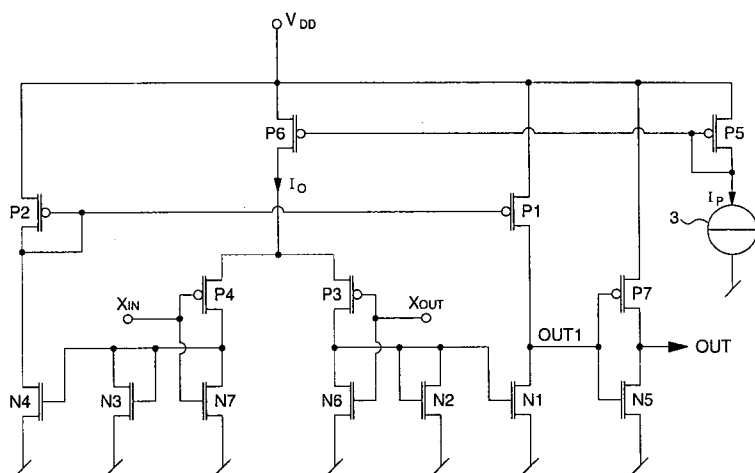
(57)摘要

放大器電路(1)在輸入(P3,P4)處包括一差動對的 PMOS(P 型金氧半導體)電晶體，其源極接收來自電流源(3)的電流。該對電晶體的第一電晶體(P3)之閘極界定一非反相輸入(X_{OUT})，及該對電晶體的第二電晶體(P4)之閘極界定一反相輸入(X_{IN})。該差動對電晶體的第一電晶體(P3)之汲極係連接到第一電流鏡(N1,N2)的二極體接法 NMOS(N 型金氧半導體)電晶體(N2)，及該差動對電晶體的第二電晶體(P4)之汲極係連接到第二電流鏡(N3,N4)的二極體接法 NMOS 電晶體(N3)。第三電流鏡的

二極體接法 PMOS 電晶體(P2)係連接到該二電流鏡的第二 NMOS 電晶體(N4)之汲極，同時第三電流鏡的第二 PMOS 電晶體(P1)之汲極係連接到第一電流鏡的第二 NMOS 電晶體(N1)之汲極，以界定第一輸出(OUT1)，該第一輸出係藉由反向器(N5,P7)而被反相，以供應能夠軌對軌改變之反相輸出信號(OUT)。第一互補 NMOS 電晶體(N6)與該差動對電晶體的第一 PMOS 電晶體(P3)以反向器的形式相連接。第二互補 NMOS 電晶體(N7)與該差動對電晶體的第二 MOS 電晶體(P4)以反向器的形式相連接。

The amplifier circuit (1) includes a differential pair of PMOS transistors at input (P3, P4), whose source receives a current from a current source (3). The gate of the first transistor (P3) of the pair defines a non-inverting input (X_{OUT}) and the gate of the second transistor (P4) of the pair defines an inverting input (X_{IN}). A drain of the first transistor (P3) of the differential pair is connected to a diode connected NMOS transistor (N2) of a first current mirror (N1, N2), and a drain of the second transistor (P4) of the differential pair is connected to a diode connected NMOS transistor (N3) of a second current mirror (N3, N4). A diode connected PMOS transistor (P2) of a third current mirror is connected to the drain of a second NMOS transistor (N4) of the second current mirror, while a drain of a second PMOS transistor (P1) of the third current mirror is connected to the drain of a second NMOS transistor (N1) of the first current mirror to define a first output (OUT1), which is inverted by a reverser (N5, P7) to supply an inverted output signal (OUT) capable of varying rail to rail. A first complementary NMOS transistor (N6) is connected in the form of a reverser with the first PMOS transistor (P3) of the differential pair. A second complementary NMOS transistor (N7) is connected in the form of a reverser with the second MOS transistor (P4) of the differential pair.

圖 2



3. . . 電流源

P1 . . . 第二 P 型金 氧半導體電晶體

P2 · · · 二極體接法

P 型金氧半導體電晶體

P3 . . . 第一 P 型金 氧半導體電晶體

P4 . . . 第二 P 型金 氧半導體電晶體

P5 · · · 第一二極體
接法 P 型金氧半導體
電晶體

P6 . . . 第二 P 型金
氧半導體電晶體

P7 . . . P 型金氧半
導體電晶體

X_{OUT} · · · 非反相輸出

X_{IN} . . . 反相輸入

OUT1 . . . 輸出信號

- OUT . . . 反相輸出
信號
- V_{DD} . . . 高電位端
子
- I_O . . . 恆電流
- I_p . . . 極化電流
- N1 . . . 第二 N 型金
氧半導體電晶體
- N2 . . . 二極體接法
N 型金氧半導體電晶
體
- N3 . . . 二極體接法
N 型金氧半導體電晶
體
- N4 . . . 第二 N 型金
氧半導體電晶體
- N5 . . . 反向器
- N6 . . . 互補 N 型金
氧半導體電晶體
- N7 . . . 互補 N 型金
氧半導體電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：099108523

※申請日：99年03月23日

※IPC分類：H03F 1/26 3006.00

一、發明名稱：(中文／英文)

低相位雜訊放大器電路

Low phase noise amplifier circuit

二、中文發明摘要：

放大器電路(1)在輸入(P3, P4)處包括一差動對的PMOS(P型金氧半導體)電晶體，其源極接收來自電流源(3)的電流。該對電晶體的第一電晶體(P3)之閘極界定一非反相輸入(X_{OUT})，及該對電晶體的第二電晶體(P4)之閘極界定一反相輸入(X_{IN})。該差動對電晶體的第一電晶體(P3)之汲極係連接到第一電流鏡(N1, N2)的二極體接法NMOS(N型金氧半導體)電晶體(N2)，及該差動對電晶體的第二電晶體(P4)之汲極係連接到第二電流鏡(N3, N4)的二極體接法NMOS電晶體(N3)。第三電流鏡的二極體接法PMOS電晶體(P2)係連接到該二電流鏡的第二NMOS電晶體(N4)之汲極，同時第三電流鏡的第二PMOS電晶體(P1)之汲極係連接到第一電流鏡的第二NMOS電晶體(N1)之汲極，以界定第一輸出(OUT1)，該第一輸出係藉由反向器(N5, P7)而被反相，以供應能夠軌對軌改變之反相輸出信號(OUT)。第一互補NMOS電晶體(N6)與該差動對電晶體的第一PMOS電晶體(P3)以反向器的形式相連接。第二互補NMOS電晶體(N7)與該差動對電晶體的第二MOS電晶體(P4)以反向器的形式相連接。

三、英文發明摘要：

The amplifier circuit (1) includes a differential pair of PMOS transistors at input (P3, P4), whose source receives a current from a current source (3). The gate of the first transistor (P3) of the pair defines a non-inverting input (X_{OUT}) and the gate of the second transistor (P4) of the pair defines an inverting input (X_{IN}). A drain of the first transistor (P3) of the differential pair is connected to a diode connected NMOS transistor (N2) of a first current mirror (N1, N2), and a drain of the second transistor (P4) of the differential pair is connected to a diode connected NMOS transistor (N3) of a second current mirror (N3, N4). A diode connected PMOS transistor (P2) of a third current mirror is connected to the drain of a second NMOS transistor (N4) of the second current mirror, while a drain of a second PMOS transistor (P1) of the third current mirror is connected to the drain of a second NMOS transistor (N1) of the first current mirror to define a first output (OUT1), which is inverted by a reverser (N5, P7) to supply an inverted output signal (OUT) capable of varying rail to rail. A first complementary NMOS transistor (N6) is connected in the form of a reverser with the first PMOS transistor (P3) of the differential pair. A second complementary NMOS transistor (N7) is connected in the form of a reverser with the second MOS transistor (P4) of the differential pair.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

3：電流源

P1：第二 P 型金氧半導體電晶體

P2：二極體接法 P 型金氧半導體電晶體

P3：第一 P 型金氧半導體電晶體

P4：第二 P 型金氧半導體電晶體

P5：第一二極體接法 P 型金氧半導體電晶體

P6：第二 P 型金氧半導體電晶體

P7：P 型金氧半導體電晶體

X_{OUT}：非反相輸入

X_{IN}：反相輸入

OUT1：輸出信號

OUT：反相輸出信號

V_{DD}：高電位端子

I_O：恆電流

I_P：極化電流

N1：第二 N 型金氧半導體電晶體

N2：二極體接法 N 型金氧半導體電晶體

N3：二極體接法 N 型金氧半導體電晶體

N4：第二 N 型金氧半導體電晶體

N5：反向器

N6：互補 N 型金氧半導體電晶體

N7：互補 N 型金氧半導體電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於低相位雜訊放大器電路，尤其是，用以供應至少一以時脈或時間為基礎的信號。此放大器電路可以是運算跨導放大器電路，在輸入處包括一差動對的MOS或雙極電晶體；連接到差動對的電晶體之第一和第二電流鏡；及第三電流鏡，其連接到供應電壓源的二端子之間的第一和第二電流鏡。第一和第三電流鏡之間的連接節點供應輸出信號，其位準可延伸過整個供應電壓範圍。

【先前技術】

本發明的放大器電路可被視為緩衝器電路。此類型的緩衝器電路為中間放大器電路，其係配置在例如遞送一或兩個相位相反之振盪信號的石英振盪器和頻率轉換或資料處理單元之間。此中間電路將可為正弦的低振幅振盪信號轉換成至少一輸出脈衝信號。輸出脈衝信號延伸過整個供應電壓範圍，且被界定成“軌對軌”。頻率轉換單元可包括頻率合成器或形成諸如GPS或藍芽等射頻信號用之接收器或發送器的一部分，及資料處理單元可以部分為類比數位轉換器或DC-DC轉換器。

當此類型的放大器電路連同石英振盪器一起被使用來在電子儀器中供應至少一以時脈或時間為基礎的信號時，通常會發生明顯的抖動降低或相位雜訊退化。此不利於電子儀器的適當運作，及需要使用高耗電電路以避免相位雜

訊退化。

圖 1 圖示已知的運算跨導放大器電路結構。此放大器電路 1 能夠供應軌對軌輸出信號 OUT1。CH 專利第 689088 號（圖 5）亦揭示具有反相結構之此類型的運算跨導放大器電路，其用作為石英振盪器中的主動極化機構。

圖 1 之放大器電路包括一差動對的 PMOS 電晶體 P3 及 P4，其中，兩個 PMOS 電晶體的源極皆被連接到電流源 2。連接到供應電壓源的高電位端子 V_{DD} 之電流源 2 供應恆電流 I_o 到差動對的 PMOS 電晶體。第一 PMOS 輸入電晶體 P3 的閘極形成非反相輸入 X_{OUT} ，而第二 PMOS 輸入電晶體 P4 的閘極形成放大器電路 1 的反相輸入 X_{IN} 。

第一 PMOS 輸入電晶體 P3 的汲極被連接到第一電流鏡的二極體接法 NMOS 電晶體 N2，而第一電流鏡係連接到供應電壓源的低電位端子，例如接地。二極體接法 NMOS 電晶體 N2 的閘極被連接到第一電流鏡之完全相同的第二 NMOS 電晶體 N1 之閘極，以鏡射通過第二 NMOS 電晶體 N1 中的 NMOS 電晶體 N2 之電流。第二 PMOS 輸入電晶體 P4 的汲極被連接到第二電流鏡的二極體接法 NMOS 電晶體 N3，而第二電流鏡係連接到供應電壓源的低電位端子，例如接地。二極體接法 NMOS 電晶體 N3 的閘極被連接到第二電流鏡之完全相同的第二 NMOS 電晶體 N4 之閘極，以鏡射通過第二 NMOS 電晶體 N4 中的 NMOS 電晶體 N3 之電流。

第二電流鏡之第二 NMOS 電晶體 N4 的汲極被連接到第三電流鏡的二極體接法 PMOS 電晶體 P2，第三電流鏡被連

接到供應電壓源的高電位端子 V_{DD} 。此二極體接法 PMOS 電晶體 P2 的閘極被連接到第三電流鏡之第二 PMOS 電晶體 P1 的閘極，以鏡射通過完全相同的第二 PMOS 電晶體 P1 中之二極體接法 PMOS 電晶體 P2 的電流。最後，第三電流鏡之第二 PMOS 電晶體 P1 的汲極被連接到第一電流鏡之第二 NMOS 電晶體 N1 的汲極，以界定用以供應輸出信號 OUT1 的輸出節點。

當施加在差動對的第二 PMOS 電晶體 P4 之反相輸入 X_{IN} 的電壓低於施加在差動對的第一 PMOS 電晶體 P3 之非反相輸入 X_{OUT} 的電壓時，來自電流源 2 的電流 I_o 通過第二和第三電流鏡。結果，輸出信號 OUT1 的位準接近供應電壓 V_{DD} 。相反地，當施加在第一 PMOS 電晶體 P3 之非反相輸入 X_{OUT} 的電壓低於施加到第二 PMOS 電晶體 P4 之反相輸入 X_{IN} 的電壓時，來自電流源 2 的電流通過第一電流鏡。以這些條件，輸出信號 OUT1 的位準接近接地。然而，在差動對的各個 PMOS 電晶體 P3 及 P4 之導通臨界中，當跨在各個輸入 X_{IN} 及 X_{OUT} 上的電壓位準接近時，通常具有明顯的相位雜訊退化。在具有分別施加跨在反相輸入 X_{IN} 和非反相輸入 X_{OUT} 上之相位相反的兩振盪、正弦信號之差動對的兩 PMOS 電晶體之間的導通過渡當時，此相位雜訊被退化。

在差動對的 PMOS 電晶體之間的導通過渡期間，連接到差動對的各自 PMOS 電晶體之各個電流鏡中的電流通常不會快速截斷。非零電流維持在一般應在非導電狀態之電流鏡中，因而減低放大器增益，且使電晶體中或諸如例如

供應源等外部電路中所產生的雜訊能夠隨機改變過渡時刻。這導致信號相位雜訊退化。因此，當將此放大器電路用於例如頻率合成器、射頻信號接收器、類比數位轉換器、或DC-DC轉換器中時，這構成此放大器電路的缺點。

可參照US專利第6,806,744號之用於運算型跨導放大器(OTA)的簡化實施例。此專利的放大器電路只具有一個差動對的PMOS電晶體，差動對的PMOS電晶體係連接到電流源，而電流源被連接到供應電壓源的高電位端子，且亦連接到單一NMOS電流鏡，單一NMOS電流鏡被接地。電流鏡的NMOS電晶體和差動對之PMOS電晶體的其中之一之間的連接節點供應放大器電路輸出信號。然而，利用此類型的結構，輸出信號無法軌對軌延伸，如同在本發明中一般。而且，沒有用以避免相位雜訊退化之設置，其構成另一缺點。

【發明內容】

如此，本發明之目的在於藉由提供低雜訊放大器電路來解決習知技術的缺點，此低雜訊放大器電路容易進行和確保將振盪輸入信號轉換成至少一軌對軌輸出脈衝信號。

因此，本發明係有關於上述類型的放大器電路，其特徵在於，其包括具有第二型導電性的第一互補電晶體，第一互補電晶體與第一電流鏡的二極體接法電晶體係並聯連接，並且以反向器的形式與差動對的第一電晶體相連接，其中，第一互補電晶體的閘極或基極被連接到差動對的第

一電晶體之閘極或基極；及其中，其包括具有第二型導電性的第二互補電晶體，第二互補電晶體與第二電流鏡的二極體接法電晶體係並聯連接，並且以反向器的形式與差動對的第二電晶體相連接，其中，第二互補電晶體的閘極或基極被連接到差動對的第二電晶體之閘極或基極。

依據本發明之放大器電路的一個優點在於其稍微降低相位雜訊，以將放大器輸入處的振盪信號轉換成至少一軌對軌輸出信號。在差動對的電晶體之間的導通過渡期間，尤其是MOS型電晶體，因為亦確保明顯的額外增益之互補電晶體，所以第一或第二電流鏡的閘極電壓主動且更快速地減少。此降低可產生相位雜訊期間的時間。結果，逐漸變成非導電狀態之各個電流鏡中的電流快速減少。

相位相反的振盪信號，例如正弦信號，可來自石英振盪器。放大器電路輸出信號因此構成時脈信號，用以為諸如頻率合成器、GPS（全球定位系統）或Bluetooth（藍芽）射頻信號接收器、類比數位轉換器、或DC/DC轉換器等電子儀器的操作計時（clocking）。

有利的是，電晶體可以是MOS型電晶體。因此，利用差動對的對應MOS電晶體，互補MOS電晶體各個形成一對反向器，以界定放大器電路的虛擬（pseudo）差動輸入。因為虛擬差動輸入的對稱，此亦提供良好的工作循環（duty cycle），用以轉換相位相反的振盪信號。

有利的是，第四電流鏡包括具有第一型導電性的二極體接法電晶體，二極體接法電晶體在供應電壓源的二端子

之間係直接連接到電流源。此二極體接法電晶體鏡射通過第四電流鏡的第二電晶體之電流。此第二電晶體的電流被供應到差動對電晶體的源極或射極，其供應良好的電力供應斥拒比（PSRR）。電晶體較佳為MOS電晶體。

有利的是，具有第一型導電性之差動對的MOS電晶體包含PMOS電晶體。第一和第二電流鏡為具有第二型導電性之NMOS電晶體。第三和第四電流鏡為PMOS電晶體。最後，兩互補電晶體為NMOS電晶體。

有利的是，反向器係設置在放大器電路輸出處，用以供應反相輸出信號。此反向器將第一和第三電流鏡的第二電晶體之汲極或集極的高阻抗連接節點轉換成低阻抗輸出信號。

有利的是，放大器電路的MOS電晶體被組構成接收輸入處之相位相反的振盪信號，其可以是在高於10 MHz的頻率處，例如16 MHz；且供應反相放大輸出信號，此信號可被使用作為用於電子儀器的操作之時脈或時序信號。從振盪輸入信號頻率位移之所測量和所產生的相位雜訊可以大於10 dB，其低於習知技術之放大器電路的相位雜訊。

【實施方式】

在下面的說明中，僅以簡化方式來講述習於本技藝之人士眾所皆知之放大器電路的那些元件，尤其是有關如何製作放大器電路的各個電晶體。本發明的放大器電路主要用於根據來自石英振盪器之相位相反的振盪信號，供應電

子儀器中至少一以時脈或時間為基礎的信號。雖然亦可設想使放大器電路具有雙極電晶體或MOS和雙極電晶體的組合，但是下面說明的電晶體為MOS電晶體較佳。就此點而言，需注意的是，雖然下面說明的各個PMOS電晶體界定具有第一型導電性的MOS電晶體，而各個NMOS電晶體界定具有第二型導電性的MOS電晶體，但是反之亦然。

圖2為低雜訊放大器電路1的第一實施例圖。此電路為運算跨導放大器電路（OTA）。本發明的放大器電路主要根據上述以及圖1所示之放大器電路的結構。

放大器電路1因此包括第一、差動對的PMOS電晶體P3及P4。差動對的PMOS電晶體之源極被連接，以接收透過電流源3所產生的恆電流 I_O 。差動對之第一PMOS電晶體P3的閘極界定非反相輸入 X_{OUT} ，而該差動對之第二PMOS電晶體P4的閘極界定反相輸入 X_{IN} 。差動對之第一PMOS電晶體P3的一汲極直接連接到第一電流鏡的第一二極體接法NMOS電晶體N2。第一二極體接法NMOS電晶體N2的源極直接連接到供應電壓源 V_{DD} 的低電位端子，尤其是接地。差動對之第二PMOS電晶體P4的汲極係直接連接到第二電流鏡的第一二極體接法NMOS電晶體N3。第一二極體接法NMOS電晶體N3的源極被直接接地。

第三電流鏡的第一二極體接法PMOS電晶體P2係連接到第二電流鏡之第二NMOS電晶體N4的汲極，第二電流鏡的閘極係連接到第一二極體接法NMOS電晶體N3的閘極和汲極。第二NMOS電晶體N4的源極係直接接地，而第三電

流鏡之第一二極體接法 PMOS 電晶體 P2 的源極係直接連接到供應電壓源的高電位端子 V_{DD} 。因此，在第二電流鏡的第二 NMOS 電晶體 N4 中可鏡射通過第一二極體接法 NMOS 電晶體 N3 的電流，以通過第三電流鏡的第一 PMOS 電晶體 P2。第三電流鏡亦包括第二 PMOS 電晶體 P1，第二 PMOS 電晶體 P1 的閘極係連接到第一二極體接法 PMOS 電晶體 P2 的閘極和汲極，第二 PMOS 電晶體 P1 的源極係連接到高電位端子 V_{DD} 。因此，可在第二 PMOS 電晶體 P1 中鏡射通過第一二極體接法 PMOS 電晶體 P2 的電流。

第三電流鏡之第二 PMOS 電晶體 P1 的汲極係連接到第一電流鏡之第二 NMOS 電晶體 N1 的汲極，以界定放大器電路的第一輸出 OUT1。第一電流鏡之第二 NMOS 電晶體 N1 的閘極係連接到第一二極體接法 NMOS 電晶體 N2 的閘極和汲極，而第二 NMOS 電晶體 N1 的源極係直接接地。因此，第三電流鏡與第一電流鏡和與第二電流鏡係串聯連接在供應電壓源 V_{DD} 的二端子之間。這讓第一輸出信號 OUT1 能夠軌對軌地改變。

接地的電流源 3 供應例如約幾微安培之定值的極化電流 I_P 。電流源 3 係串聯連接到第四電流鏡的第一二極體接法 PMOS 電晶體 P5。第一二極體接法 PMOS 電晶體 P5 的源極係連接到供應電壓源的高電位端子 V_{DD} 。第四電流鏡亦包括第二 PMOS 電晶體 P6，第二 PMOS 電晶體 P6 的閘極係連接到第一二極體接法 PMOS 電晶體 P5 的閘極和汲極，及第二 PMOS 電晶體 P6 的源極係連接到高電位端子 V_{DD} 。因此，可

在第二PMOS電晶體P6中鏡射通過第一二極體接法PMOS電晶體P5的電流 I_P ，以供應定值的恆電流 I_O 到差動對的PMOS電晶體之源極。因為具有第二PMOS電晶體P6的第四電流鏡，所以可獲得良好的電力供應斥拒比，第二PMOS電晶體P6供應恆電流 I_O 。此第二PMOS電晶體P6因而能夠與具有降低電力雜訊的作用之電力供應軌較少耦合。

爲了極度稍微地降低放大器電路相位雜訊，其爲本發明想要達成的，該放大器電路另外包括兩互補NMOS電晶體N6及N7。第一互補NMOS電晶體N6與第一電流鏡的第一二極體接法NMOS電晶體N2係並聯連接。此第一互補NMOS電晶體N6的源極因而被接地，且其汲極係連接到第一NMOS電晶體N2的閘極和汲極，以及連接到差動對的第一PMOS電晶體P3之汲極。第一互補NMOS電晶體N6的閘極係連接到差動對的第一PMOS電晶體P3之閘極，第一PMOS電晶體P3之閘極形成放大器電路1的非反相輸入 X_{OUT} 。因此，具有差動對的第一PMOS電晶體P3之此第一互補NMOS電晶體N6的組合（assembly）形成反向器電路。

第二互補NMOS電晶體N7與第二電流鏡的第一二極體接法NMOS電晶體N3係並聯連接。此第二互補NMOS電晶體N7的源極因此被接地，且其汲極係連接到第一NMOS電晶體N3的閘極和汲極，以及連接到差動對的第二PMOS電晶體P4之汲極。第二互補NMOS電晶體N7的閘極係連接到差動對的第二PMOS電晶體P4之閘極，第二PMOS電晶體P4之閘極形成放大器電路1的反相輸入 X_{IN} 。因此，具有差動

對的第二 PMOS 電晶體 P4 之此第二互補 NMOS 電晶體 N7 的組合構成另一反向器電路。

因為互補 NMOS 電晶體 N6 及 N7，所以此裝置防止放大器電路相位雜訊明顯退化或任何明顯的抖動。供應到放大器電路的輸入 X_{IN} 和 X_{OUT} 之相位相反的振盪信號因而可被轉換，以獲得能夠軌對軌延伸之至少一輸出脈衝信號 $OUT1$ 。因為成對反向器的輸入之對稱，所以亦能夠獲得良好的工作循環比（duty cycle ratio）。在差動對的 PMOS 電晶體 P3 及 P4 之間的導通過渡期間，第一或第二電流鏡的閘極電壓主動且更快速地減少。因此，必須進入到非導電狀態之各個電流鏡中的電流快速減少，其防止任何明顯的相位雜訊產生。這些互補 NMOS 電晶體 N6 及 N7 亦確保放大器電路 1 之明顯的額外增益。

放大器電路 1 可被可以是蓄電池之連續供應電壓源（未圖示出）所供電。此供應電壓源之高電位 V_{DD} 的值可被選定成在例如 1.5 和 2 V 之間。

為了在 P 矽基板中製造放大器電路 1 的 MOS 電晶體，差動對的 PMOS 電晶體 P3 及 P4 之井可例如被連接到源極端子。與當井直接連接到供應電壓 V_{DD} 的高電位端子時相比較，此進一步增加放大器電路增益。然而，NMOS 電晶體井係直接接地。

為了更清楚地展示具有 NMOS 電晶體 N6 及 N7 之放大器電路 1 的優點，可參照下面表格。此表格比較如圖 1 所示之習知技術的放大器電路和如圖 2 所示之依據本發明的放大

器電路之每赫茲 dBc 的相位雜訊（1 Hz 頻寬中的雜訊功率和以分貝表示之載波信號功率之間的比率）。來自石英振盪器的振盪信號之頻率高於 10 MHz，及等於 16 MHz 較佳，和相位雜訊與有關頻寬 1 Hz 內的振盪信號之中央頻率到各個移頻所位移的各種頻率比較。因此，能夠觀察到，依據本發明之放大器電路的相位雜訊通常大於 10 dB，其低於習知技術放大器電路的相位雜訊。就整合到電子儀器內以提供用以為該儀器的操作計時之時脈輸出信號而言，此非常清楚指出本發明的放大器電路 1 的有利點。

有關16MHz的移頻	相位雜訊	
	習知技術放大器	本發明的放大器
100 Hz	-100 dBc/Hz	-104 dBc/Hz
1 kHz	-108 dBc/Hz	-119 dBc/Hz
10 kHz	-110 dBc/Hz	-134 dBc/Hz
100 kHz	-115 dBc/Hz	-139 dBc/Hz

除了互補 NMOS 電晶體 N6 及 N7 之外，本發明的放大器電路在電路的輸出處包括反向器，用以供應反相輸出信號 OUT。此反向器係由與 PMOS 電晶體 P7 串聯連接在供應電壓 V_{DD} 的二端子之間的 NMOS 電晶體 N5 所形成。反向器的兩 MOS 電晶體之閘極係連接到第一和第三電流鏡的第二 NMOS 及 PMOS 電晶體 N1 及 P1 之汲極，且反向器的兩 MOS 電晶體之汲極供應反相輸入信號 OUT。此反向器將第一和第三電流鏡的第二 MOS 電晶體之汲極的高阻抗連接節點

OUT1轉換成低阻抗輸出信號。

各個電流鏡的各個MOS電晶體可以為相同尺寸的。然而，在一些電流鏡中，亦可設想使第一MOS電晶體與第二MOS電晶體的尺寸不同，以鏡射電流，此電流是電流鏡的MOS電晶體之尺寸的函數。通常，差動對的PMOS電晶體比放大器電路1的其他MOS電晶體尺寸大上很多。然而，亦可製作低電力放大器電路，但是其在高於10 MHz的頻率中操作。

圖3圖示低雜訊放大器電路1的第二實施例。因為放大器電路的此第二實施例非常類似於第一實施例，為了簡化，將不說明帶有與圖2所示之參考數字相同的參考數字之那些元件。

放大器電路1的此第二實施例唯一不同之處在於在放大器電路輸入處添加電容器C1及C2以及電阻器R1及R2。放大器電路輸入處之DC電壓位準必須不要太高，藉此，若可以的話，確保互補NMOS電晶體N6及N7以低反向的方式操作，以獲得最大增益。通常，若放大器電路輸入信號是來自Pierce石英振盪器的振盪信號，則DC位準接近於臨界NMOS電壓，且互補NMOS電晶體N6及N7以低反向的方式運作。結果，圖2的第一實施例是足夠的。然而，在其他應用中，必須說明明顯的DC電壓位準，所以需要添加電容器C1及C2以及電阻器R1及R2。

第一電阻器R1因而被配置在差動對的第一PMOS電晶體P3之閘極和汲極與第一互補NMOS電晶體N6之間。第一

電容器 C1 被配置在非反相輸入處，具有第一電極被連接到第一 PMOS 電晶體 P3 和第一互補 NMOS 電晶體 N6 的閘極，以及第二電極 X_{OUT} 係用以在第一非反相輸入處接收第一振盪信號。第二電阻器 R2 配置在差動對的第二 PMOS 電晶體 P4 之閘極和汲極與第二互補 NMOS 電晶體 N7 之間。第二電容器 C2 配置在反相輸入處，具有第一電極被連接到第二 PMOS 電晶體 P4 和第二互補 NMOS 電晶體 N7 的閘極，以及第二電極 X_{IN} 係用以在反相輸入處接收第二振盪信號，第二振盪信號與第一振盪信號的相位相反。各個電阻器 R1 及 R2 的電阻值通常必須具有比 PMOS 電晶體 P3 及 P4 的輸入阻抗還高的值。此電阻值可被選定成約 470 kOhms 或 1 MOhm。在理論上，各個電容器 C1 及 C2 的電容值必須具有相對於差動對之輸入阻抗為低的阻抗值。若在各個 PMOS 電晶體 P3 及 P4 的閘極中之電容值約 200 fF，則電容器 C1 及 C2 的電容值可以約 2 pF。此意謂差動對的 PMOS 電晶體之閘極各處的輸入信號電壓不會減少太多。這些電阻值和電容值亦被決定作為振盪信號頻率的函數，振盪信號頻率約為 16 MHz。

以 0.25 μm 、0.18 μm 、或其他 CMOS 技術於 p 摻雜矽基板中以整合形式來製作上述的放大器電路是有利的。這提供了低雜訊且低電力的放大器電路。

應注意的是，圖 2 及 3 所呈現的實施例亦可使用雙極電晶體或雙極和 MOS (BiCMOS) 電晶體的組合來予以製作。就利用雙極電晶體的實施例而言，若供應電壓太高，則

電流源可與輸出反向器的電晶體串聯連接。利用使用雙極電晶體所製造的放大器電路，該放大器電路所產生的相位雜訊通常低於利用 MOS 電晶體所製造之放大器電路所產生的相位雜訊。然而，利用雙極電晶體，放大器電路可能是高電力消耗品。

從已給予的說明來看，只要不違背申請專利範圍所界定之本發明的範疇，精於本技藝之人士可設計低相位雜訊放大器電路的各種變形。放大器電路亦可利用差動對 NMOS 電晶體、具有 PMOS 電晶體之第一和第二電流鏡、具有 NMOS 電晶體之第三和第四電流鏡、以及互補 PMOS 電晶體來製造。

【圖式簡單說明】

從下面基於非限制性實施例以及圖式所圖解之說明可更加清楚低雜訊放大器電路的目的、優點、和特徵，在圖式中：

圖 1 為已列舉出的依據習知技術之放大器電路的實施例圖，

圖 2 為依據本發明之放大器電路的第一實施例圖，及

圖 3 為依據本發明之放大器電路的第二實施例圖。

【主要元件符號說明】

1：放大器電路

2：電流源

3：電流源

P1：第二 P 型金氧半導體電晶體

P2：二極體接法 P 型金氧半導體電晶體

P3：第一 P 型金氧半導體電晶體

P4：第二 P 型金氧半導體電晶體

P5：第一二極體接法 P 型金氧半導體電晶體

P6：第二 P 型金氧半導體電晶體

P7：P 型金氧半導體電晶體

X_{OUT}：非反相輸入

X_{IN}：反相輸入

OUT1：輸出信號

OUT：反相輸出信號

V_{DD}：高電位端子

I_O：恆電流

I_P：極化電流

N1：第二 N 型金氧半導體電晶體

N2：二極體接法 N 型金氧半導體電晶體

N3：二極體接法 N 型金氧半導體電晶體

N4：第二 N 型金氧半導體電晶體

N5：反向器

N6：互補 N 型金氧半導體電晶體

N7：互補 N 型金氧半導體電晶體

C1：電容器

C2：電容器

R 1 : 電 阻 器

R 2 : 電 阻 器

七、申請專利範圍：

1. 一種放大器電路，其在輸入處包括具有第一型導電性的差動對電晶體，其中，該對電晶體各自之源極或射極被連接，以接收由電流源所產生的電流，該對電晶體的第一電晶體之閘極或基極界定一非反相輸入，而且該對電晶體的第二電晶體之閘極或基極界定一反相輸入，該差動對電晶體的該第一電晶體之汲極或集極被連接到第一電流鏡之具有第二型導電性的二極體接法電晶體，及該差動對電晶體的該第二電晶體之汲極或集極被連接到第二電流鏡之具有第二型導電性的二極體接法電晶體，第三電流鏡之具有第一型導電性的二極體接法電晶體被連接到該第二電流鏡之具有第二型導電性的第二電晶體的汲極或集極，同時該第三電流鏡之具有第一型導電性的第二電晶體的汲極或集極被連接到該第一電流鏡之具有第二型導電性的第二電晶體之汲極或集極，以界定該放大器電路的輸出，該第三電流鏡與該第一電流鏡以及與該第二電流鏡串聯連接在供應電壓源的二端子之間，以使該輸出信號能夠軌對軌地操作，

其中，其包括具有第二型導電性的第一互補電晶體，該第一互補電晶體與該第一電流鏡的該二極體接法電晶體並聯連接，且與該差動對電晶體的該第一電晶體以反向器的形式相連接，其中，該第一互補電晶體的閘極或基極被連接到該差動對電晶體的該第一電晶體之該閘極或基極，且其中，其包括具有第二型導電性的第二互補電晶體，該

第二互補電晶體與該第二電流鏡的該二極體接法電晶體並聯連接，且與該差動對電晶體的該第二電晶體以反向器的形式相連接，其中，該第二互補電晶體的閘極或基極被連接到該差動對電晶體的該第二電晶體之該閘極或基極。

2. 如申請專利範圍第1項之放大器電路，其中，該放大器電路包括第四電流鏡，該第四電流鏡包括具有第一型導電性的二極體接法電晶體，而該二極體接法電晶體在該供應電壓的該二端子之間被串聯連接到該電流源，及包括具有第一型導電性的第二電晶體，該第二電晶體係連接到該二極體接法電晶體，而以某種比例來鏡射該電流源的電流，且供應該鏡射的電流到該差動對電晶體之該等源極或射極。

3. 如申請專利範圍第1項之放大器電路，其中，該差動對電晶體的該第一和第二電晶體為PMOS電晶體，其中，該第一和第二電流鏡的該等電晶體為NMOS電晶體，其源極被連接到該供應電壓源的低電位端子；其中，該第三和第四電流鏡的該等電晶體為PMOS電晶體，其源極被連接到該供應電壓源的高電位端子，且其中，該第一和第二互補電晶體為NMOS電晶體。

4. 如申請專利範圍第1項之放大器電路，其中，該放大器電路包括反向器，其係由在該供應電壓源的該二端子之間與PMOS電晶體串聯連接之NMOS電晶體所形成，其中，該反向器的該二MOS電晶體之閘極被連接到該第一和第三電流鏡的該等第二電晶體之該等汲極或集極，及該反向

器的該二電晶體之汲極供應反相的輸出信號。

5. 如申請專利範圍第1項之放大器電路，其中，該放大器電路包括第一電阻器，其係配置在該差動對電晶體的該第一MOS電晶體之該等閘極和汲極與該第一互補電晶體之間，和包括第二電阻器，其係配置在該差動對電晶體的該第二MOS電晶體之該等閘極和汲極與該第二互補電晶體之間，以確保該等互補電晶體以低反向的方式操作。

6. 如申請專利範圍第5項之放大器電路，其中，該放大器電路包括第一電容器，其第一電極被連接到該差動對電晶體的該第一MOS電晶體之該閘極，和第二電極被設置用以接收第一振盪信號，及包括第二電容器，其第一電極被連接到該差動對電晶體的該第二MOS電晶體之該閘極，和第二電極被設置用以接收第二振盪信號，該第二振盪信號與該第一振盪信號的相位相反。

7. 如申請專利範圍第1項之放大器電路，其中，該電路的該MOS電晶體被組構成使二振盪、正弦信號能夠轉換成至少一軌對軌輸出脈衝信號，該二振盪、正弦信號在高於10 MHz的頻率處相位相反，且將分別被供應到該電路的該反相輸入和該非反相輸入。

8. 如申請專利範圍第1項之放大器電路，其中，該電路的該等MOS電晶體被組構成，對約16 MHz的該電路輸入中之振盪信號頻率而言，與由不具有任何互補MOS電晶體之結構所產生的雜訊相比較，降低至少10 dB的相位雜訊。

9. 如申請專利範圍第1項之放大器電路，其中，該差動對的該等MOS電晶體為PMOS電晶體，其井被電連接到該源極，以增加放大器電路增益。

