

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 3 月 10 日(10.03.2011)

PCT

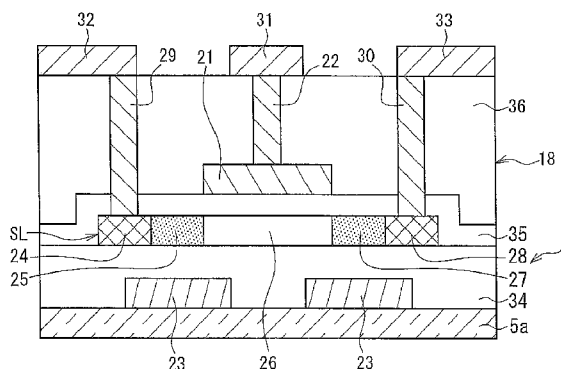
(10) 国際公開番号
WO 2011/027705 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/28 (2006.01)
G02F 1/1368 (2006.01) H01L 29/41 (2006.01)
- (21) 国際出願番号: PCT/JP2010/064447
- (22) 国際出願日: 2010 年 8 月 26 日(26.08.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-201367 2009 年 9 月 1 日(01.09.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 金子 誠二
(KANEKO Seiji).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜 1 丁目
4 番 1 6 号 アクア堂島西館 インテリクス
国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE, ACTIVE MATRIX SUBSTRATE, AND DISPLAY DEVICE

(54) 発明の名称: 半導体装置、アクティブマトリクス基板、及び表示装置

[図4]



(57) Abstract: Disclosed is a semiconductor device wherein an on-current is increased and a leak current is reduced. An active matrix substrate using the semiconductor device and the display device using the semiconductor device are also disclosed. The switching element (semiconductor device) (18) having a top gate electrode (21) and a bottom gate electrode (23) is provided with a silicon layer (semiconductor layer) (SL), which is provided between the top gate electrode (21) and the bottom gate electrode (light shielding film) (23), and has a source region (24), a drain region (28), a channel region (26), and lightly doped impurity regions (25, 27). The bottom gate electrode (23) is provided below a silicon layer (SL) region to be a depleted region, and the bottom gate electrode (23) is controlled such that the gate electrode has a predetermined potential.

(57) 要約:

[続葉有]

WO 2011/027705 A1



オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができる半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置を提供する。トップゲート電極（２１）及びボトムゲート電極（２３）を有するスイッチング素子（半導体装置）（１８）において、トップゲート電極（２１）とボトムゲート電極（遮光膜）（２３）との間に設けられるとともに、ソース領域（２４）、ドレイン領域（２８）、チャネル領域（２６）、及び低濃度不純物領域（２５、２７）を有するシリコン層（半導体層）（ＳＬ）を備えている。また、ボトムゲート電極（２３）は、シリコン層（ＳＬ）のうち、空乏化領域となる領域の下方に設けられ、ボトムゲート電極（２３）では、その電位が所定の電位となるように、制御される。

明 細 書

発明の名称：

半導体装置、アクティブマトリクス基板、及び表示装置

技術分野

[0001] 本発明は、トランジスタを備えた半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置に関する。

背景技術

[0002] 近年、例えば液晶表示装置は、在来のブラウン管に比べて薄型、軽量などの特長を有するフラットパネルディスプレイとして、液晶テレビ、モニター、携帯電話などに幅広く利用されている。このような液晶表示装置では、複数のデータ配線（ソース配線）及び複数の走査配線（ゲート配線）をマトリクス状に配線するとともに、データ配線と走査配線との交差部の近傍に薄膜トランジスタ（TFT：Thin Film Transistor、以下、“TFT”と略称する。）などのスイッチング素子と、このスイッチング素子に接続された画素電極を有する画素をマトリクス状に配置したアクティブマトリクス基板を、表示パネルとしての液晶パネルに用いたものが知られている。

[0003] また、上記のようなアクティブマトリクス基板では、一般的に、上述のスイッチング素子としての画素駆動用の薄膜トランジスタ以外に、周辺回路用の薄膜トランジスタが一体的に設けられている。さらに、アクティブマトリクス基板には、当該アクティブマトリクス基板がタッチパネル付きの液晶表示装置や照度センサー（アンビニエントセンサー）付きの液晶表示装置などに用いられる場合、上記画素駆動用及び周辺回路用の薄膜トランジスタに加えて、光センサーとしてのフォトダイオード（薄膜ダイオード；TFD）を一体的に設けることが提案されている。このように、アクティブマトリクス基板には、複数の薄膜トランジスタやフォトダイオードを備えた半導体装置が用いられている。

[0004] また、上記のような半導体装置では、近年、例えば上述の光センサーを内

蔵した液晶パネルや画素メモリーを内蔵した液晶パネルなどにおいて、低消費電力化の要求に対応するために、薄膜トランジスタ（トランジスタ）のリーク電流の低減が求められてきている。

- [0005] そこで、従来の半導体装置には、例えば特開平 8－6 2 5 7 9 号公報に記載されているように、トランジスタの下方に遮光膜を設けて、バックライト装置からの照明光を遮光することによってリーク電流を低減することが提案されている。また、この従来の半導体装置では、遮光膜を導電性材料にて構成することにより、当該遮光膜をボトムゲート電極として用いる。さらに、この従来の半導体装置では、上記ボトムゲート電極（遮光膜）に対して、ゲート選択電位より低く、かつ、ゲート非選択電位より高い電位を印加することにより、シリコン層（半導体層）のチャネル裏面側（チャネル領域のボトムゲート電極側）の寄生容量に起因するリーク電流も低減可能とされていた。

発明の開示

- [0006] しかしながら、上記のような従来の半導体装置では、ボトムゲート電極がシリコン層の下方で当該シリコン層の全面を覆うように、設けられていた。このため、この従来の半導体装置では、ボトムゲート電極の電位がチャネル領域に対してだけでなく、シリコン層に設けられたソース領域及びドレイン領域に対しても、影響を与えた。この結果、この従来の半導体装置では、そのオン状態及びオフ状態の各々の状態において、シリコン層の各領域に適切な電圧印加を行うことができずに、オン電流（電流駆動力）の増加を行えなかったり、（オフ）リーク電流の低減を行えなかったりするという問題点を生じた。
- [0007] 上記の課題を鑑み、本発明は、オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができる半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置を提供することを目的とする。
- [0008] 上記の目的を達成するために、本発明にかかる半導体装置は、トップゲート電極及びボトムゲート電極を有する薄膜トランジスタを備えた半導体装置

であって、前記トップゲート電極と前記ボトムゲート電極との間に設けられるとともに、ソース領域、ドレイン領域、及びチャネル領域を有する半導体層を備え、前記ボトムゲート電極は、前記半導体層のうち、空乏化領域となる領域の下方に設けられ、前記ボトムゲート電極の電位が所定の範囲となるように制御されることを特徴とするものである。

[0009] 本発明によれば、オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができる半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置を提供することが可能となる。

図面の簡単な説明

[0010] [図1]図1は、本発明の第1の実施形態にかかる液晶表示装置を説明する図である。

[図2]図2は、図1に示した液晶パネルの構成を説明する図である。

[図3]図3は、図2に示したスイッチング素子の要部構成を示す平面図である。

[図4]図4は、上記スイッチング素子の具体的な構成を示す断面図である。

[図5]図5は、上記スイッチング素子の製造工程を説明する図であり、図5（a）～図5（d）は、一連の主な製造工程を説明している。

[図6]図6は、上記スイッチング素子の製造工程を説明する図であり、図6（a）～図6（c）は、図5（d）に示した工程の終了後に行われる、一連の主な製造工程を説明している。

[図7]図7は、上記スイッチング素子の製造工程を説明する図であり、図7（a）～図7（c）は、図6（c）に示した工程の終了後に行われる、一連の主な製造工程を説明している。

[図8]図8は、上記スイッチング素子の製造工程を説明する図であり、図8（a）及び図8（b）は、図7（c）に示した工程の終了後に行われる、一連の主な製造工程を説明している。

[図9]図9は、本実施形態品と従来品における、トップゲート電圧とドレイン電流との関係を示すグラフである。

[図10] 図10は、本発明の第2の実施形態にかかるスイッチング素子の要部構成を示す平面図である。

発明を実施するための形態

- [0011] 本発明の一実施形態に係る半導体装置は、トップゲート電極及びボトムゲート電極を有する薄膜トランジスタを備えた半導体装置であって、前記トップゲート電極と前記ボトムゲート電極との間に設けられるとともに、ソース領域、ドレイン領域、及びチャネル領域を有する半導体層を備え、前記ボトムゲート電極は、前記半導体層のうち、空乏化領域となる領域の下方に設けられ、前記ボトムゲート電極の電位が所定の範囲となるように制御されることを特徴とする（第1の構成）。
- [0012] 第1の構成においては、半導体層のうち、空乏化領域となる領域の下方に設けられたボトムゲート電極の電位が所定の範囲となるように制御される。これにより、上記従来例と異なり、オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができる半導体装置を構成することができる。
- [0013] また、第1の構成において、前記ボトムゲート電極が遮光性を有していることが好ましい（第2の構成）。
- [0014] この場合、遮光性を有するボトムゲート電極が、上記従来例と異なり、光電効果による（オフ）リーク電流を引き起こす接合領域（キャリア生成領域）だけの下方に設けられる。その結果、光照射によるリーク電流を低減することができる。また、遮光膜を別途設ける場合に比して、半導体装置の構造が複雑で大型化するのを防ぐことができる。また、製造が簡単な半導体装置を容易に構成することができる。
- [0015] また、第1又は第2の構成において、前記半導体層には、前記ソース領域と前記チャネル領域との間及び前記チャネル領域と前記ドレイン領域との間に、低濃度不純物領域が設けられ、前記ボトムゲート電極は、前記空乏化領域としての前記低濃度不純物領域、前記ソース領域の一部、前記ドレイン領域の一部、及び前記チャネル領域の前記低濃度不純物領域側の一部の下方に

設けられていてもよい（第3の構成）。

[0016] 特に第2の構成と組み合わせれば、遮光性を有するボトムゲート電極が空乏化領域としての低濃度不純物領域、ソース領域の一部、ドレイン領域の一部、及びチャネル領域の低濃度不純物領域側の一部の下方に設けられることになる。これにより、これらの空乏化領域に光が照射されるのを防ぐことが可能となる。その結果、リーク電流を確実に低減することができる。

[0017] また、第3の構成において、前記ボトムゲート電極では、前記薄膜トランジスタがオフ状態である場合には、前記低濃度不純物領域が空乏化されるように、当該ボトムゲート電極の電位が制御され、かつ、前記薄膜トランジスタがオン状態である場合には、前記低濃度不純物領域が蓄積化されるように、当該ボトムゲート電極の電位が制御されることが好ましい（第4の構成）。

[0018] この場合、オン電流の増加を確実に図ることができるとともに、リーク電流の低減を確実に図ることができる。

[0019] また、第1～第4の構成の何れか一つにおいて、前記トップゲート電極では、該トップゲート電極の電位が該トップゲート電極に接続された第1の信号配線からのゲート信号によって制御され、前記ボトムゲート電極では、該ボトムゲート電極の電位が前記トップゲート電極との容量結合によって制御されてもよい（第5の構成）。

[0020] この場合、ボトムゲート電極の電位がトップゲート電極との容量結合によって制御されている。これにより、ボトムゲート電極に所定の電位を印加するための信号配線などの設置を省略することができる。その結果、構造が簡単な半導体装置を容易に構成することができる。

[0021] また、第1～第4の構成の何れか一つにおいて、前記トップゲート電極では、該トップゲート電極の電位が該トップゲート電極に接続された第1の信号配線からのゲート信号によって制御され、前記ボトムゲート電極では、該ボトムゲート電極の電位が該ボトムゲート電極に接続された第2の信号配線からのボトムゲート信号によって制御されてもよい（第6の構成）。

[0022] この場合、ボトムゲート電極の電位がボトムゲート電極に接続された第2の信号配線からのボトムゲート信号によって制御される。これにより、当該ボトムゲート電極の電位に関して、より自由度の高い制御を行うことができる。その結果、オン電流の増加、及びリーク電流の低減をより容易に図ることが可能となる。

[0023] また、本発明の一実施形態に係るアクティブマトリクス基板は、上記いずれかの半導体装置を用いたことを特徴とするものである（第7の構成）。

[0024] 上記のように構成されたアクティブマトリクス基板では、オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができる半導体装置が用いられている。その結果、高性能で、低消費電力化されたアクティブマトリクス基板を容易に構成することができる。

[0025] また、本発明の一実施形態に係る表示装置は、上記いずれかの半導体装置を用いたことを特徴とするものである（第8の構成）。

[0026] 上記のように構成された表示装置では、オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができる半導体装置が用いられている。その結果、高性能で、低消費電力化された表示装置を容易に構成することができる。

[0027] 以下、本発明の半導体装置、アクティブマトリクス基板、及び表示装置の好ましい実施形態について、図面を参照しながら説明する。尚、以下の説明では、本発明を、アクティブマトリクス基板に用いられる画素電極用のスイッチング素子に適用した場合を例示して説明する。また、各図中の構成部材の寸法は、実際の構成部材の寸法及び各構成部材の寸法比率等を忠実に表したのではない。

[0028] [第1の実施形態]

図1は、本発明の第1の実施形態にかかる液晶表示装置を説明する図である。図1において、本実施形態の液晶表示装置1は、図1の上側が視認側（表示面側）として設置される液晶パネル2と、液晶パネル2の非表示面側（図1の下側）に配置されて、当該液晶パネル2を照明する照明光を発生する

バックライト装置 3 とを備えている。

- [0029] 液晶パネル 2 は、一对の基板を構成するカラーフィルタ基板 4 及びアクティブマトリクス基板 5 と、カラーフィルタ基板 4 及びアクティブマトリクス基板 5 の各外側表面にそれぞれ設けられた偏光板 6、7 とを備えている。カラーフィルタ基板 4 とアクティブマトリクス基板 5 との間には、図示を省略した液晶層が挟持されている。また、カラーフィルタ基板 4 及びアクティブマトリクス基板 5 には、平板状の透明なガラス材またはアクリル樹脂などの透明な合成樹脂が使用されている。偏光板 6、7 には、TAC（トリアセチルセルロース）またはPVA（ポリビニルアルコール）などの樹脂フィルムが使用されている。偏光板 6、7 は、液晶パネル 2 に設けられた表示面の有効表示領域を少なくとも覆うようにして、対応するカラーフィルタ基板 4 またはアクティブマトリクス基板 5 に貼り合わせられている。
- [0030] また、アクティブマトリクス基板 5 は、上記一对の基板の一方の基板を構成するものである。アクティブマトリクス基板 5 では、液晶パネル 2 の表示面に含まれる複数の画素に応じて、画素電極や薄膜トランジスタ（TFT：Thin Film Transistor）などが上記液晶層との間に形成されている（詳細は後述。）。また、このアクティブマトリクス基板 5 では、後に詳述するように、上記薄膜トランジスタを含んだ本発明のスイッチング素子（半導体装置）が、画素単位に設けられている。一方、カラーフィルタ基板 4 は、一对の基板の他方の基板を構成するものである。カラーフィルタ基板 4 には、カラーフィルタや対向電極などが上記液晶層との間に形成されている（図示せず）。
- [0031] また、液晶パネル 2 では、当該液晶パネル 2 の駆動制御を行う制御装置（図示せず）に接続されたFPC（Flexible Printed Circuit）8 が設けられている。液晶パネル 2 においては、上記液晶層を画素単位で動作させる。これにより、表示面が画素単位で駆動する。その結果、当該表示面上に所望画像を表示するようになっている。
- [0032] 尚、液晶パネル 2 の液晶モードや画素構造は任意である。また、液晶パネ

ル２の駆動モードも任意である。すなわち、液晶パネル２としては、情報を表示できる任意の液晶パネルを用いることができる。それ故、図１においては液晶パネル２の詳細な構造を図示せず、その説明も省略する。

[0033] バックライト装置３は、光源としての発光ダイオード９と、発光ダイオード９に対向して配置された導光板１０とを備えている。また、バックライト装置３では、断面Ｌ字状のベゼル１４により、導光板１０の上方に液晶パネル２が設置された状態で、発光ダイオード９及び導光板１０が挟持されている。また、カラーフィルタ基板４には、ケース１１が載置されている。これにより、バックライト装置３は、液晶パネル２に組み付けられて、液晶パネル２と一体化されている。その結果、当該バックライト装置３からの照明光が液晶パネル２に入射される透過型の液晶表示装置１が構成されている。

[0034] 導光板１０には、例えば透明なアクリル樹脂などの合成樹脂が用いられている。導光板１０には、発光ダイオード９からの光が入光される。導光板１０の液晶パネル２と反対側（対向面側）には、反射シート１２が設置されている。また、導光板１０の液晶パネル２側（発光面側）には、レンズシートや拡散シートなどの光学シート１３が設けられている。それによって、導光板１０の内部を所定の導光方向（図１の左側から右側への方向）に導かれた発光ダイオード９からの光が均一な輝度をもつ平面状の上記照明光に変えられて液晶パネル２に与えられる。

[0035] 尚、上記の説明では、導光板１０を有するエッジライト型のバックライト装置３を用いた構成について説明した。しかしながら、本実施形態はこれに限定されるものではない。バックライト装置３として、直下型のバックライト装置を用いてもよい。また、発光ダイオード以外の冷陰極蛍光管や熱陰極蛍光管などの他の光源を有するバックライト装置も用いることができる。

[0036] 次に、図２も参照して、本実施形態の液晶パネル２について具体的に説明する。

[0037] 図２は、図１に示した液晶パネルの構成を説明する図である。

[0038] 図２において、液晶表示装置１（図１）には、パネル制御部１５と、ソー

スドライバ１６及びゲートドライバ１７が設けられている。パネル制御部１５は、文字や画像等の情報を表示する上記表示部としての液晶パネル２（図１）の駆動制御を行う。ソースドライバ１６及びゲートドライバ１７は、パネル制御部１５からの指示信号を基に動作する。

[0039] パネル制御部１５は、上記制御装置内に設けられたものである。パネル制御部１５には、液晶表示装置１の外部からの映像信号が入力されるようになっている。また、パネル制御部１５は、画像処理部１５ａと、フレームバッファ１５ｂとを備えている。画像処理部１５ａは、入力された映像信号に対して所定の画像処理を行ってソースドライバ１６及びゲートドライバ１７への各指示信号を生成する。フレームバッファ１５ｂは、入力された映像信号に含まれた１フレーム分の表示データを記憶できる。そして、パネル制御部１５が、入力された映像信号に応じて、ソースドライバ１６及びゲートドライバ１７の駆動制御を行うことにより、入力された映像信号に応じた情報が液晶パネル２に表示される。

[0040] ソースドライバ１６及びゲートドライバ１７は、アクティブマトリクス基板５上に設置されている。具体的には、ソースドライバ１６は、アクティブマトリクス基板５の表面上において、表示パネルとしての液晶パネル２の有効表示領域Ａの外側領域で当該液晶パネル２の横方向に沿うように設置されている。また、ゲートドライバ１７は、アクティブマトリクス基板５の表面上において、上記有効表示領域Ａの外側領域で当該液晶パネル２の縦方向に沿うように設置されている。

[0041] また、ソースドライバ１６及びゲートドライバ１７は、液晶パネル２側に設けられた複数の画素Ｐを画素単位に駆動する駆動回路である。ソースドライバ１６及びゲートドライバ１７には、複数のソース配線Ｓ１～ＳＭ（Ｍは、２以上の整数、以下、“Ｓ”にて総称する。）及び複数のゲート配線Ｇ１～ＧＮ（Ｎは、２以上の整数、以下、“Ｇ”にて総称する。）がそれぞれ接続されている。これらのソース配線Ｓ及びゲート配線Ｇは、それぞれデータ配線及び走査配線を構成している。また、これらソース配線Ｓ及びゲート配

線Gは、アクティブマトリクス基板5に含まれた透明なガラス材または透明な合成樹脂製の基材（図示せず）上で互いに交差するように、マトリクス状に配列されている。すなわち、ソース配線Sは、マトリクス状の列方向（液晶パネル2の縦方向）に平行となるように上記基材上に設けられている。ゲート配線Gは、マトリクス状の行方向（液晶パネル2の横方向）に平行となるように上記基材上に設けられている。

[0042] また、このゲート配線Gは、第1の信号配線を構成するものである。このゲート配線Gにゲート信号が供給されることにより、上記スイッチング素子の後述のトップゲート電極の電位を制御するようになっている。

[0043] また、これらのソース配線Sと、ゲート配線Gとの交差部の近傍には、本発明の半導体装置を用いた画素電極用のスイッチング素子18と、スイッチング素子18に接続された画素電極19を有する上記画素Pが設けられている。また、各画素Pでは、共通電極20が液晶パネル2に設けられた液晶層を間に挟んだ状態で画素電極19に対向するように設けられている。すなわち、アクティブマトリクス基板5では、スイッチング素子18と画素電極19のそれぞれが画素単位で設けられている。共通電極20は、全ての画素に共通の電極として設けられている。

[0044] また、アクティブマトリクス基板5では、ソース配線Sと、ゲート配線Gとによってマトリクス状に区画された各領域に、複数の各画素Pの領域が形成されている。これら複数の画素Pには、赤色（R）、緑色（G）、及び青色（B）の画素が含まれている。また、これらのRGBの画素は、例えばこの順番で、各ゲート配線G1～GNに平行に順次配設されている。さらに、これらのRGBの画素は、カラーフィルタ基板4側に設けられた後述のカラーフィルタ層により、対応する色の表示を行えるようになっている。

[0045] また、アクティブマトリクス基板5では、ゲートドライバ17は、画像処理部15aからの指示信号に基づいて、ゲート配線G1～GNに対して、対応するスイッチング素子18のゲート電極31（図4参照）及びトップゲート電極21（図3及び図4参照）をオン状態にする走査信号（ゲート信号）

を順次出力する。また、ソースドライバ１６は、画像処理部１５aからの指示信号に基づいて、表示画像の輝度（階調）に応じたデータ信号（電圧信号（階調電圧））を対応するソース配線Ｓ１～ＳＭに出力する。

[0046] 次に、図３及び図４も参照して、本実施形態のスイッチング素子１８について具体的に説明する。

[0047] 図３は、図２に示したスイッチング素子１８の要部構成を示す平面図である。図４は、上記スイッチング素子１８の具体的な構成を示す断面図である。

[0048] スwitching素子１８は、図３の平面図において凸状に図示されているトップゲート電極２１と、このトップゲート電極２１の下方に設けられた半導体層としてのシリコン層ＳＬと、シリコン層ＳＬの下方に設けられるとともに、図３の平面図において凹状に図示されているボトムゲート電極２３を備えている。すなわち、スイッチング素子１８は、トップゲート電極２１及びボトムゲート電極２３を有するダブルゲート構造の薄膜トランジスタによって構成されている。

[0049] トップゲート電極２１は、ゲート配線Ｇと平行に延びる平行延出部２１aと、平行延出部２１aの長さ方向（図３の左右方向）中間部分において、平行延出部２１aの幅方向（図３の上下方向）、即ち、ゲート配線Ｇと垂直な方向へ延び出す垂直延出部２１bとを備えている。これにより、トップゲート電極２１は、凸形状、即ち、アルファベットの「Ｔ」を逆さまにしたような形状となっている。

[0050] ボトムゲート電極２３は、全体として矩形形状を呈しており、トップゲート電極２１の垂直延出部２１bと重なる位置において、垂直延出部２１bよりも小さな矩形形状の切欠部２３aを有している。これにより、ボトムゲート電極２３は、凹形状、即ち、アルファベットの「Ｕ」のような形状となっている。

[0051] また、スイッチング素子１８では、トップゲート電極２１とボトムゲート電極２３とが上下方向（アクティブマトリクス基板５の厚さ方向）で互いに

重なり合うように設けられている。これにより、トップゲート電極 2 1 とボトムゲート電極 2 3 とは容量結合されている。そして、スイッチング素子 1 8 では、そのオン状態及びオフ状態の各々の状態において、ゲート配線 G への電圧印加によってトップゲート電極 2 1 の電位が制御されたときに、ボトムゲート電極 2 3 の電位はトップゲート電極 2 1 との容量結合によって最適な所定の電位に設定されるようになっている（詳細は後述。）。

[0052] また、ボトムゲート電極 2 3 は、スイッチング素子 1 8 の下側からの光、例えばバックライト装置 3 からの照明光を遮光する遮光膜としても機能するように構成されている。さらに、このボトムゲート電極 2 3 は、後に詳述するように、シリコン層 S L のうち、空乏化領域となる領域の下方に設けられている。そして、ボトムゲート電極 2 3 は、オン状態で最適な電位に制御された場合に、スイッチング素子 1 8 のオン電流（電流駆動力）を増加させるようになっている。また、ボトムゲート電極 2 3 は、オフ状態で最適な電位に制御された場合に、スイッチング素子 1 8 の（オフ）リーク電流を低減させるようになっている。

[0053] また、図 4 に示すように、アクティブマトリクス基板 5 では、例えばガラス基板からなる基板本体 5 a 上にスイッチング素子 1 8 が画素単位で設けられている。つまり、スイッチング素子 1 8 では、上記ボトムゲート電極 2 3 が基板本体 5 a 上に形成されている。また、このボトムゲート電極 2 3 を覆うようにベースコート膜 3 4 が形成されている。尚、上記の説明以外に、石英基板やプラスチック基板を用いて、基板本体 5 a を構成することもできる。

[0054] また、スイッチング素子 1 8 では、上記シリコン層 S L がベースコート膜 3 4 上に形成されている。そして、このシリコン層 S L を覆うようにゲート絶縁膜 3 5 が形成されている。シリコン層 S L には、図 4 の左右方向に沿って、ソース領域 2 4、低濃度不純物領域（L D D 領域：Lightly Doped Drain 領域）2 5、チャネル領域 2 6、低濃度不純物領域 2 7、及びドレイン領域 2 8 が形成されている。また、このスイッチング素子 1 8 には、例えば N 型

のトランジスタが用いられている。それ故、シリコン層S Lでは、ソース領域24及びドレイン領域28は、例えばリンなどのN型の不純物が高濃度で注入された高濃度領域（図4にクロスハッチにて図示）で構成されている。低濃度不純物領域25、27は、N型の不純物が低濃度で注入された領域（図4にドットにて図示）で構成されている。また、チャネル領域26は、例えばボロンなどのP型の不純物が注入された領域で構成されている。

[0055] 尚、上記の説明以外に、P型のトランジスタを使用してスイッチング素子18を構成してもよい。P型のトランジスタを用いた場合、ソース領域24、低濃度不純物領域25、27、及びドレイン領域28は、P型の不純物が注入された領域で構成される。チャネル領域26は、N型の不純物が注入された領域で構成される。

[0056] また、上記の説明以外に、低濃度不純物領域25、27を、チャネル領域26と同じ濃度のP型の領域としてもよい。すなわち、低濃度不純物領域25、27及びチャネル領域26を、P型の不純物がドーピングされたオフセット領域としてもよい。

[0057] また、スイッチング素子18では、図4に示すように、ボトムゲート電極（遮光膜）23は、シリコン層S Lの上記空乏化領域としての低濃度不純物領域25、27、ソース領域24の一部、ドレイン領域28の一部、及びチャネル領域26の低濃度不純物領域25、27側の一部の下方に設けられている。詳細に言えば、図3の平面図において凹状に図示されているボトムゲート電極23において、2つの突起部分の一方がソース領域24の一部、低濃度不純物領域25、及びチャネル領域26の低濃度不純物領域25側の一部の下方に設けられている。2つの突起部分の他方がチャネル領域26の低濃度不純物領域27側の一部、低濃度不純物領域27、及びドレイン領域28の一部の下方に設けられている。

[0058] また、スイッチング素子18では、上記トップゲート電極21がチャネル領域26の真上の位置でゲート絶縁膜35上に形成されている。そして、トップゲート電極21を覆うように層間絶縁膜36が形成されている。さらに

、スイッチング素子 18 では、トップゲート電極 21 はコンタクトホール 22 及び層間絶縁膜 36 上に形成されたゲート電極 31 を介してゲート配線 G (図 3) に接続されている。また、ソース領域 24 はコンタクトホール 29 を介してソース電極 32 に接続されている。ドレイン領域 28 はコンタクトホール 30 を介してドレイン電極 33 に接続されている。これらのソース電極 32 及びドレイン電極 33 は、それぞれソース配線 S (図 2) 及び画素電極 19 (図 2) に接続されている。

[0059] 尚、上記の説明以外に、ゲート電極 31 を設けることなく、トップゲート電極 21 と同じ導電層を直接ゲート配線 G として用いる構成でもよい。

[0060] また、スイッチング素子 18 では、上述したように、トップゲート電極 21 の電位はゲート配線 G からのゲート信号によって制御される。ボトムゲート電極 23 の電位はトップゲート電極 21 との容量結合によって制御される。

[0061] また、ボトムゲート電極 23 では、スイッチング素子 (薄膜トランジスタ) 18 がオフ状態である場合には、低濃度不純物領域 25、27 が空乏化されるように、当該ボトムゲート電極 23 の電位が最適な所定の電位に制御される。具体的には、ボトムゲート電極 23 の電位は、トップゲート電極 21 の電位に対して、0.2~0.6 倍の比率となる電圧で制御される。これにより、スイッチング素子 18 では、チャネル領域 26 と低濃度不純物領域 25、27 とを用いて、リーク電流を確実に低減することができる。

[0062] また、ボトムゲート電極 23 では、スイッチング素子 18 がオン状態である場合には、低濃度不純物領域 25、27 が蓄積化されるように、当該ボトムゲート電極 23 の電位が最適な所定の電位に制御される。具体的には、ボトムゲート電極 23 の電位は、トップゲート電極 21 の電位に対して、0.2~0.6 倍の比率となる電圧で制御される。これにより、スイッチング素子 18 では、チャネル領域 26 と低濃度不純物領域 25、27 とを用いて、オン電流を確実に増加することができる。

[0063] また、スイッチング素子 18 がオン状態及びオフ状態の各々の状態におい

て、ボトムゲート電極 2 3 に設定される最適な所定の電位は、低濃度不純物領域 2 5、2 7 の不純物の濃度、ドレイン電極 3 3 での電位、トップゲート電極 2 1 での電位（ゲート配線 G への印加電圧）、ベースコート膜 3 4 の膜質及びその膜厚、及び／またはトップゲート電極 2 1 とボトムゲート電極 2 3 との容量結合している部分での容量結合比などに基づいて、適切に定められる。

[0064] ここで、図 5 乃至図 8 を参照して、スイッチング素子 1 8 の製造方法について、具体的に説明する。

[0065] 図 5 は、上記スイッチング素子 1 8 の製造工程を説明する図である。図 5（a）～図 5（d）は、一連の主な製造工程を説明している。図 6 は、上記スイッチング素子 1 8 の製造工程を説明する図である。図 6（a）～図 6（c）は、図 5（d）に示した工程の終了後に行われる、一連の主な製造工程を説明している。図 7 は、上記スイッチング素子 1 8 の製造工程を説明する図である。図 7（a）～図 7（c）は、図 6（c）に示した工程の終了後に行われる、一連の主な製造工程を説明している。図 8 は、上記スイッチング素子 1 8 の製造工程を説明する図である。図 8（a）及び図 8（b）は、図 7（c）に示した工程の終了後に行われる、一連の主な製造工程を説明している。

[0066] 図 5（a）及び図 5（b）に示すように、スイッチング素子 1 8 では、まず基板本体 5 a 上に、遮光膜を兼用したボトムゲート電極 2 3 が形成される。このボトムゲート電極 2 3 には、例えば TaN 膜と W 膜とを積層した導電膜が用いられている。すなわち、基板本体 5 a 上に対して、膜厚 50～150 nm の上記導電膜を形成し、フォトリソグラフィ法によってパターニングする、即ち、上記導電膜上に形成したレジストパターンをマスクにして上記導電膜をエッチングすることによって、アクティブマトリクス基板 5 の厚さ方向から見て凹状のボトムゲート電極 2 3 が形成される。

[0067] 尚、上記の説明以外に、Ta、W、Ti、Mo、Al、Cu、Cr、Nd などから選ばれた元素、あるいは上記元素を主成分とする合金材料もしくは

化合物材料により上記導電膜を形成してもよい。また、多結晶シリコンなどに代表される半導体膜にリン、ボロンなどの不純物をドーピングしたものにより上記導電膜を形成してもよい。

[0068] 次に、図5(c)に示すように、ボトムゲート電極23と基板本体5aの全面を覆うようにベースコート膜34が形成される。このベースコート膜34には、シリコン酸化膜、シリコン窒化膜、またはシリコン窒化酸化膜などの絶縁性無機物質からなる膜、あるいはこれらを適宜組み合わせた積層膜を用いることが可能である。本実施形態においては、シリコン酸化膜を用いた。また、ベースコート膜34を構成する上述の膜は、LPCVD法、プラズマCVD法、スパッタ法等により堆積させて形成することができる。さらに、ベースコート膜34の膜厚としては、シリコン層SLをできるだけ平坦化することが必要であること及び、ボトムゲート電極の電界効果が得られることを考慮した最適膜厚が必要である。具体的には、ベースコート膜34の膜厚は100～500nm程度に設定されている。

[0069] 続いて、図5(d)に示すように、ベースコート膜34の全面を覆うように非単結晶半導体薄膜37が形成される。この非単結晶半導体薄膜37は、LPCVD法、プラズマCVD法、スパッタ法等によって形成されている。非単結晶半導体薄膜37には、非晶質シリコン、多結晶シリコン、非晶質ゲルマニウム、多結晶ゲルマニウム、非晶質シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウム、非晶質シリコン・カーバイド、あるいは多結晶シリコン・カーバイドなどを用いることができる。本実施形態では、非単結晶半導体薄膜37には、非晶質シリコンを用いている。また、この非単結晶半導体薄膜37の膜厚は、薄膜トランジスタの特性に関係しており、例えば30～80nm程度に設定されている。

[0070] 次に、非単結晶半導体薄膜37に対して、レーザビーム、電子ビームなどを照射することにより、当該非単結晶半導体薄膜37を結晶化して多結晶半導体薄膜38を形成する。その後、図6(a)に示すように、当該多結晶半導体薄膜38に対して、ボトムゲート電極23の形成領域に応じてフォトリ

ソグラフィ法によってパターンニングを行う。

[0071] 続いて、図6（b）に示すように、多結晶半導体薄膜38及びベースコート膜34の全面を覆うようにゲート絶縁膜35が形成される。このゲート絶縁膜35は、シリコン酸化膜、シリコン窒化膜等の無機絶縁膜、またはそれらの積層膜により構成されている。また、ゲート絶縁膜35の膜厚は、例えば30～80nm程度に設定されている。

[0072] 次に、ゲート絶縁膜35の上方からボロンなどのP型の不純物をドーピングする。これにより、図6（c）に示すように、P型のチャネル領域39が形成される。その後、ゲート絶縁膜35上に対して、導電膜として、例えばTa₂N膜とW膜とを積層する。尚、本実施形態においては、上記導電膜としてTa₂N膜とW膜とが積層された膜を用いている。しかしながら、上記導電膜はTa₂N膜とW膜の積層構造に限定されない。Ta、W、Ti、Mo、Al、Cu、Cr、Ndなどから選ばれた元素、あるいは上記元素を主成分とする合金材料もしくは化合物材料により上記導電膜を形成してもよい。また、多結晶シリコンなどに代表される半導体膜にリン、ボロンなどの不純物をドーピングしたものにより上記導電膜を形成してもよい。

[0073] そして、図7（a）に示すように、上記導電膜を、フォトリソグラフィ法によってパターンニングする、即ち、上記導電膜状に形成したレジストパターンをマスクにして上記導電膜をエッチングすることによって、トップゲート電極21をゲート絶縁膜35上に形成する。このトップゲート電極21の膜厚は、例えば200～600nm程度に設定されている。

[0074] 続いて、トップゲート電極21に対して、セルフアラインとなるように、ゲート絶縁膜35の上方からリンなどのN型の不純物を比較的低濃度でドーピングする。これにより、図7（b）に示すように、P型のチャネル領域39を挟むように、低濃度不純物領域40が形成される。

[0075] 次に、フォトレジスト41をゲート絶縁膜35上に形成した後、ゲート絶縁膜35の上方からリンなどのN型の不純物をドーピングする。これにより、図7（c）に示すように、ソース領域24、ドレイン領域28、低濃度不

純物領域 25、27、及びチャネル領域 26 が形成される。

[0076] 続いて、図 8 (a) に示すように、トップゲート電極 21 及びゲート絶縁膜 35 の全面を覆うように層間絶縁膜 36 が形成される。この層間絶縁膜 36 は、シリコン酸化膜、シリコン窒化膜等の無機絶縁膜、またはそれらの積層膜により構成されている。また、層間絶縁膜 36 の膜厚は、例えば 500 ~ 1500 nm 程度に設定されている。

[0077] その後、図 8 (b) に示すように、ゲート絶縁膜 35 と層間絶縁膜 36 とを貫通するコンタクトホール 29 及び 30 が、ソース領域 24 及びドレイン領域 28 上にそれぞれ形成される。また、層間絶縁膜 36 を貫通するコンタクトホール 22 が、トップゲート電極 21 上に形成される。そして、層間絶縁膜 36 上に、スパッタ法などにより、導電膜が形成される。この導電膜としては、例えば、アルミニウム等からなる導電膜を用いることができるが、これに限定されることはない。Ta、W、Ti、Mo、Al、Cu、Cr、Nd などから選ばれた元素、あるいは前記元素を主成分とする合金材料もしくは化合物材料を用い、必要に応じてこれらの適宜組合せによる積層構造として形成してもよい。本実施形態では、アルミニウムを用いている。

[0078] 最後に、上記導電膜に対して、フォトリソグラフィ法によって所望の形状にパターニングを施すことにより、ゲート電極 31、ソース電極 32、及びドレイン電極 33 を層間絶縁膜 36 上に形成する。また、ゲート電極 31、ソース電極 32、及びドレイン電極 33 の各膜厚は、例えば 250 ~ 800 nm 程度に設定されている。

[0079] 以上のように構成された本実施形態のスイッチング素子（半導体装置）18 では、トップゲート電極 21 とボトムゲート電極（遮光膜）23 との間に、ソース領域 24、ドレイン領域 28、チャネル領域 26、及び低濃度不純物領域 25、27 を有するシリコン層（半導体層）SL が設けられている。また、ボトムゲート電極 23 が、シリコン層 SL のうち、空乏化領域となる領域の下方に設けられている。すなわち、本実施形態のスイッチング素子 18 では、ボトムゲート電極 23 は、上記従来例と異なり、光電効果による（

オフ）リーク電流を引き起こす接合領域（キャリア生成領域）だけの下方に設けられて、シリコン層SLを遮光するようになっている。さらに、ボトムゲート電極23では、ボトムゲート電極23の電位が所定の電位となるように、制御されている。これにより、本実施形態では、上記従来例と異なり、オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができるスイッチング素子18を構成することができる。

[0080] ここで、図9を用いて、本実施形態のスイッチング素子18での上記効果について具体的に説明する。

[0081] 図9は、本実施形態品と従来品における、トップゲート電圧とドレイン電流との関係を示すグラフである。

[0082] 本願発明の発明者は、本実施形態のスイッチング素子18での上記効果を検証するために、本実施形態品と上記従来例に相当した従来品を用意して、オン電流及びリーク電流を実測した。その検証試験の結果の一例を図9に示す。

[0083] 本実施形態品では、トップゲート電圧が0Vよりも大きい場合、つまりスイッチング素子18がオン状態である場合、ボトムゲート電極23の電位は、上述したように、トップゲート電極21との容量結合によって当該オン状態であるときの最適な電位とされている。それ故、本実施形態品では、図9に実線60にて示すように、図9に点線61にて示した従来品よりも、ドレイン電流、すなわちオン電流が増加されていることが確かめられた。

[0084] また、本実施形態品では、トップゲート電圧が0V以下である場合、つまりスイッチング素子18がオフ状態である場合、ボトムゲート電極23の電位は、上述したように、トップゲート電極21との容量結合によって当該オフ状態であるときの最適な電位とされている。それ故、本実施形態品では、図9に実線60にて示すように、図9に点線61にて示した従来品よりも、ドレイン電流、すなわちリーク電流が低減されていることが実証された。

[0085] また、本実施形態では、ボトムゲート電極23は、空乏化領域としての低濃度不純物領域25、27、ソース領域24の一部、ドレイン領域28の一

部、及びチャネル領域 26 の低濃度不純物領域 25、27 側の一部の下方に設けられている。これにより、当該空乏化領域に光が照射されるのを防ぐことが可能となる。その結果、リーク電流を確実に低減することができる。

[0086] また、本実施形態では、トップゲート電極 21 の電位がトップゲート電極 21 に接続されたゲート配線（第 1 の信号配線）G からのゲート信号によって制御され、ボトムゲート電極 23 の電位がトップゲート電極 21 との容量結合によって制御されている。これにより、本実施形態では、ボトムゲート電極 23 に所定の電位を印加するための信号配線などの設置を省略することができる。その結果、構造が簡単なスイッチング素子 18 を容易に構成することができる。

[0087] また、本実施形態では、ボトムゲート電極 23 では、スイッチング素子 18 がオフ状態である場合には、低濃度不純物領域 25、27 が空乏化されるように、当該ボトムゲート電極 23 の電位が制御され、かつ、スイッチング素子 18 がオン状態である場合には、低濃度不純物領域 25、27 が蓄積化されるように、当該ボトムゲート電極 23 の電位が制御されている。これにより、本実施形態では、リーク電流の低減を確実に図ることができるとともに、オン電流の増加を確実に図ることができる。

[0088] また、本実施形態では、オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができるスイッチング素子（半導体装置）18 が用いられているので、高性能で、低消費電力化されたアクティブマトリクス基板 5 及び液晶表示装置（表示装置）1 を容易に構成することができる。

[0089] [第 2 の実施形態]

図 10 は、本発明の第 2 の実施形態にかかるスイッチング素子の要部構成を示す平面図である。図 10 において、本実施形態と上記第 1 の実施形態との主な相違点は、ボトムゲート電極にボトムゲート配線（第 2 の信号配線）を接続するとともに、ボトムゲート配線からのボトムゲート信号によってボトムゲート電極の電位を制御した点である。なお、上記第 1 の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

- [0090] つまり、本実施形態のスイッチング素子では、図１０の平面図において凹状に図示されているボトムゲート電極４３が、図１０の平面図において凸状に図示されているトップゲート電極２１と図１０の上下方向で互いに対向するように設けられている。ボトムゲート電極４３は、全体として矩形形状を呈しており、トップゲート電極２１における垂直延出部２１ｂの下方に位置する部分において、垂直延出部２１ｂよりも小さな矩形形状の切欠部４３ａを有している。これにより、ボトムゲート電極４３は、アルファベットの「Ｕ」を逆さまにしたような形状を呈している。また、このボトムゲート電極４３は、第１の実施形態のものと異なり、トップゲート電極２１と上下方向（アクティブマトリクス基板５の厚さ方向）で極力互いに重なり合わないように設けられている。その結果、これらボトムゲート電極４３とトップゲート電極２１とは容量結合を生じないように形成されている。
- [0091] また、ボトムゲート電極４３には、コンタクトホール４４を介して第２の信号配線としてのボトムゲート配線Ｇ'が接続されている。このボトムゲート配線Ｇ'は、ゲート配線Ｇと平行となるように設けられたものであり、ゲート配線Ｇと同様に、ゲートドライバ１７に接続されている。そして、本実施形態のスイッチング素子では、そのオン状態及びオフ状態の各々の状態において、第１の実施形態のものと同様に、ボトムゲート電極４３の電位が最適な所定の電位となるように、ボトムゲート配線Ｇ'へのボトムゲート信号（印加電圧）が制御される。
- [0092] 以上の構成により、本実施形態では、上記第１の実施形態と同様な作用・効果を奏することができる。また、本実施形態では、ボトムゲート電極４３の電位が、ボトムゲート電極４３に接続されたボトムゲート配線（第２の信号配線）Ｇ'からのボトムゲート信号によって制御されている。これにより、当該ボトムゲート電極４３の電位に関して、より自由度の高い制御を行うことができる。その結果、オン電流の増加、及びリーク電流の低減をより容易に図ることが可能となる。
- [0093] 尚、上記の実施形態はすべて例示であって制限的なものではない。本発明

の技術的範囲は特許請求の範囲によって規定され、そこに記載された構成と均等の範囲内のすべての変更も本発明の技術的範囲に含まれる。

[0094] 例えば、上記の説明では、本発明を、液晶表示装置のアクティブマトリクス基板に用いられる画素電極用のスイッチング素子に適用した場合を例示して説明した。しかしながら、本発明の半導体装置は、前記トップゲート電極と前記ボトムゲート電極との間に設けられるとともに、ソース領域、ドレイン領域、及びチャネル領域を有する半導体層を備え、前記ボトムゲート電極は、前記半導体層のうち、空乏化領域となる領域の下方に設けられ、前記ボトムゲート電極の電位が所定の大きさとなるように制御されるものであれば何等限定されない。具体的にいえば、例えば半透過型や反射型の液晶パネルあるいは有機EL (Electronic Luminescence) 素子、無機EL素子、電界放出ディスプレイ (Field Emission Display) などの各種表示装置や、それに用いられるアクティブマトリクス基板などに適用することができる。また、画素電極用のスイッチング素子以外に、ドライバー回路などの周辺回路に用いられるスイッチング素子などに本発明の半導体装置を適用することができる。

[0095] また、上記の説明では、ボトムゲート電極が遮光膜として用いられている場合について説明したが、本発明はこれに何等限定されない。具体的にいえば、透明電極を用いてボトムゲート電極を構成するとともに、半導体層の下方でボトムゲート電極の下方に遮光膜を設ける構成でもよい。また、ボトムゲート電極と同じ電極材料を用いて、ボトムゲート電極とその下方に遮光膜とを設ける構成でもよい。

[0096] 但し、上記の各実施形態のように、ボトムゲート電極と遮光膜とを兼用する場合の方が、半導体装置の構造が複雑で大型化するのを防ぐことができるとともに、製造が簡単な半導体装置を容易に構成することができる点で好ましい。

[0097] また、上記の説明では、画素電極用のスイッチング素子として1個の薄膜トランジスタを用いた場合について説明したが、本発明はこれに限定される

ものではない。複数の薄膜トランジスタを直列に接続したものを、例えば上記画素電極用のスイッチング部として使用することもできる。

産業上の利用可能性

[0098] 本発明は、オン電流の増加を図ることができるとともに、リーク電流の低減を図ることができる半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置に対して有用である。

請求の範囲

- [請求項1] トップゲート電極及びボトムゲート電極を有する薄膜トランジスタを備えた半導体装置であって、
- 前記トップゲート電極と前記ボトムゲート電極との間に設けられるとともに、ソース領域、ドレイン領域、及びチャネル領域を有する半導体層を備え、
- 前記ボトムゲート電極は、前記半導体層のうち、空乏化領域となる領域の下方に設けられ、
- 前記ボトムゲート電極の電位が所定の範囲となるように制御される、
- ことを特徴とする半導体装置。
- [請求項2] 前記ボトムゲート電極が遮光性を有している請求項1に半導体装置。
- [請求項3] 前記半導体層には、前記ソース領域と前記チャネル領域との間及び前記チャネル領域と前記ドレイン領域との間に、低濃度不純物領域が設けられ、
- 前記ボトムゲート電極は、前記空乏化領域としての前記低濃度不純物領域、前記ソース領域の一部、前記ドレイン領域の一部、及び前記チャネル領域の前記低濃度不純物領域側の一部の下方に設けられている請求項1または2に記載の半導体装置。
- [請求項4] 前記ボトムゲート電極では、前記薄膜トランジスタがオフ状態である場合には、前記低濃度不純物領域が空乏化されるように、当該ボトムゲート電極の電位が制御され、かつ、
- 前記薄膜トランジスタがオン状態である場合には、前記低濃度不純物領域が蓄積化されるように、当該ボトムゲート電極の電位が制御される請求項3に記載の半導体装置。
- [請求項5] 前記トップゲート電極では、該トップゲート電極の電位が該トップゲート電極に接続された第1の信号配線からのゲート信号によって制

御され、

前記ボトムゲート電極では、該ボトムゲート電極の電位が前記トップゲート電極との容量結合によって制御される請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

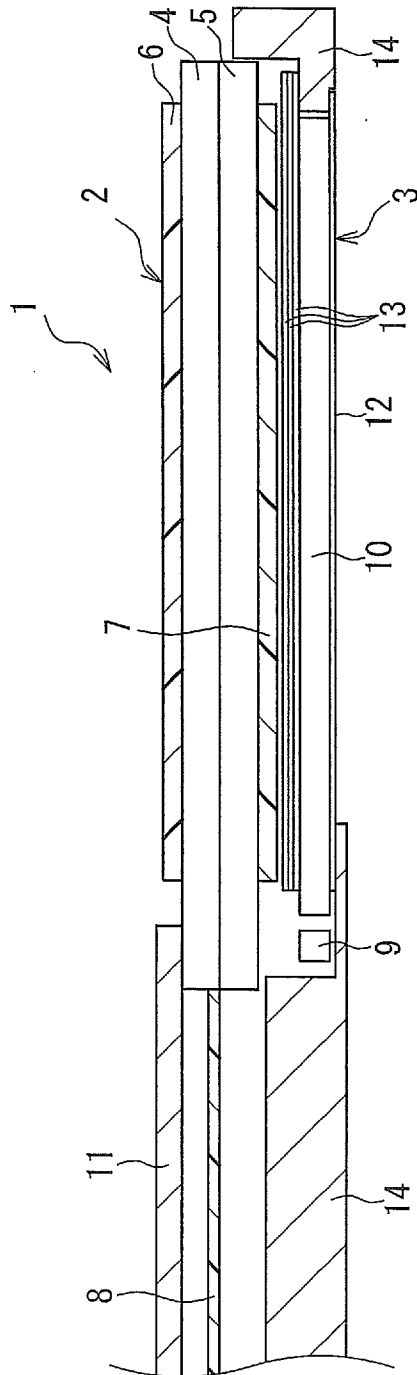
[請求項6] 前記トップゲート電極では、該トップゲート電極の電位が該トップゲート電極に接続された第 1 の信号配線からのゲート信号によって制御され、

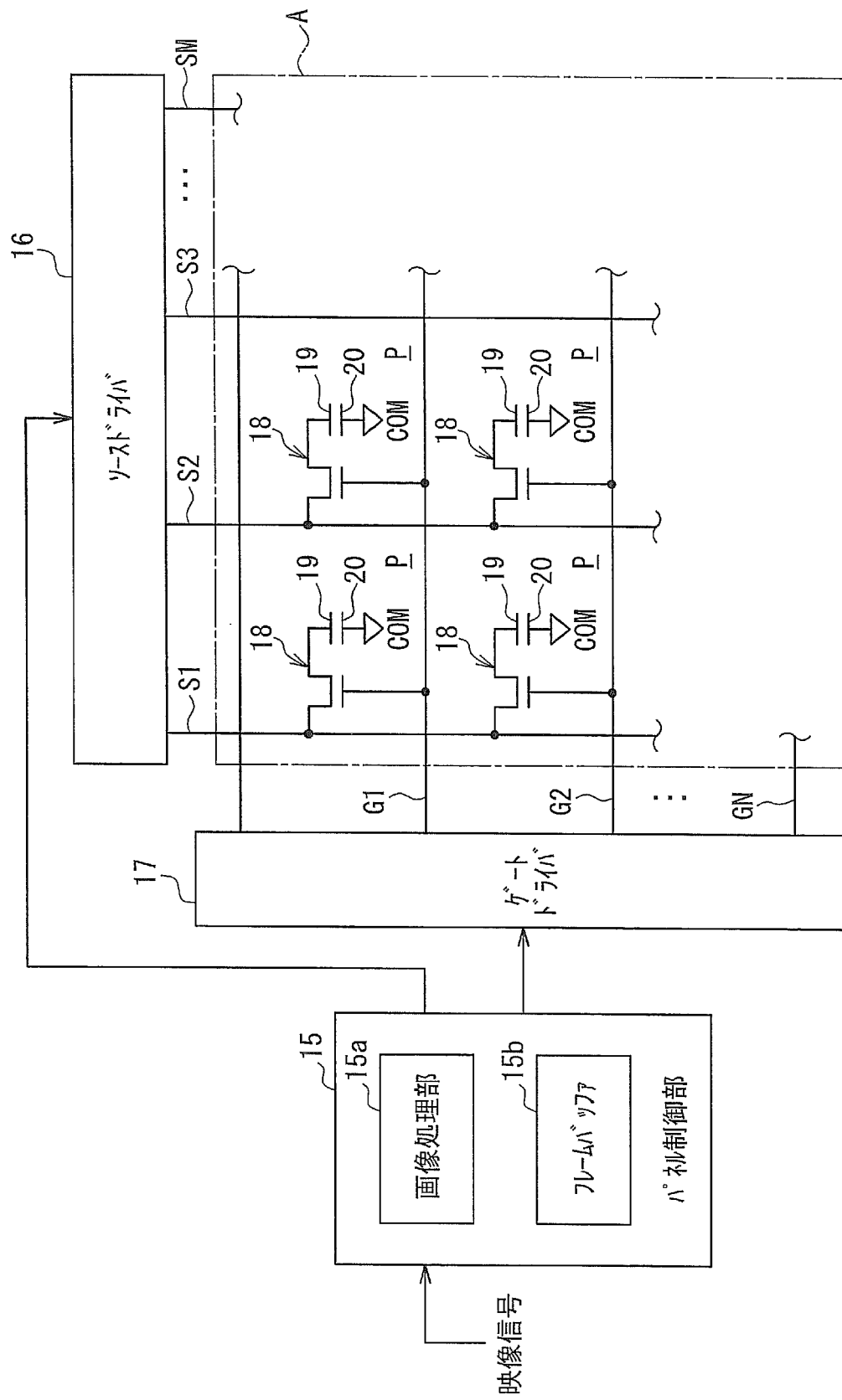
前記ボトムゲート電極では、該ボトムゲート電極の電位が該ボトムゲート電極に接続された第 2 の信号配線からのボトムゲート信号によって制御される請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

[請求項7] 請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置を用いたことを特徴とするアクティブマトリクス基板。

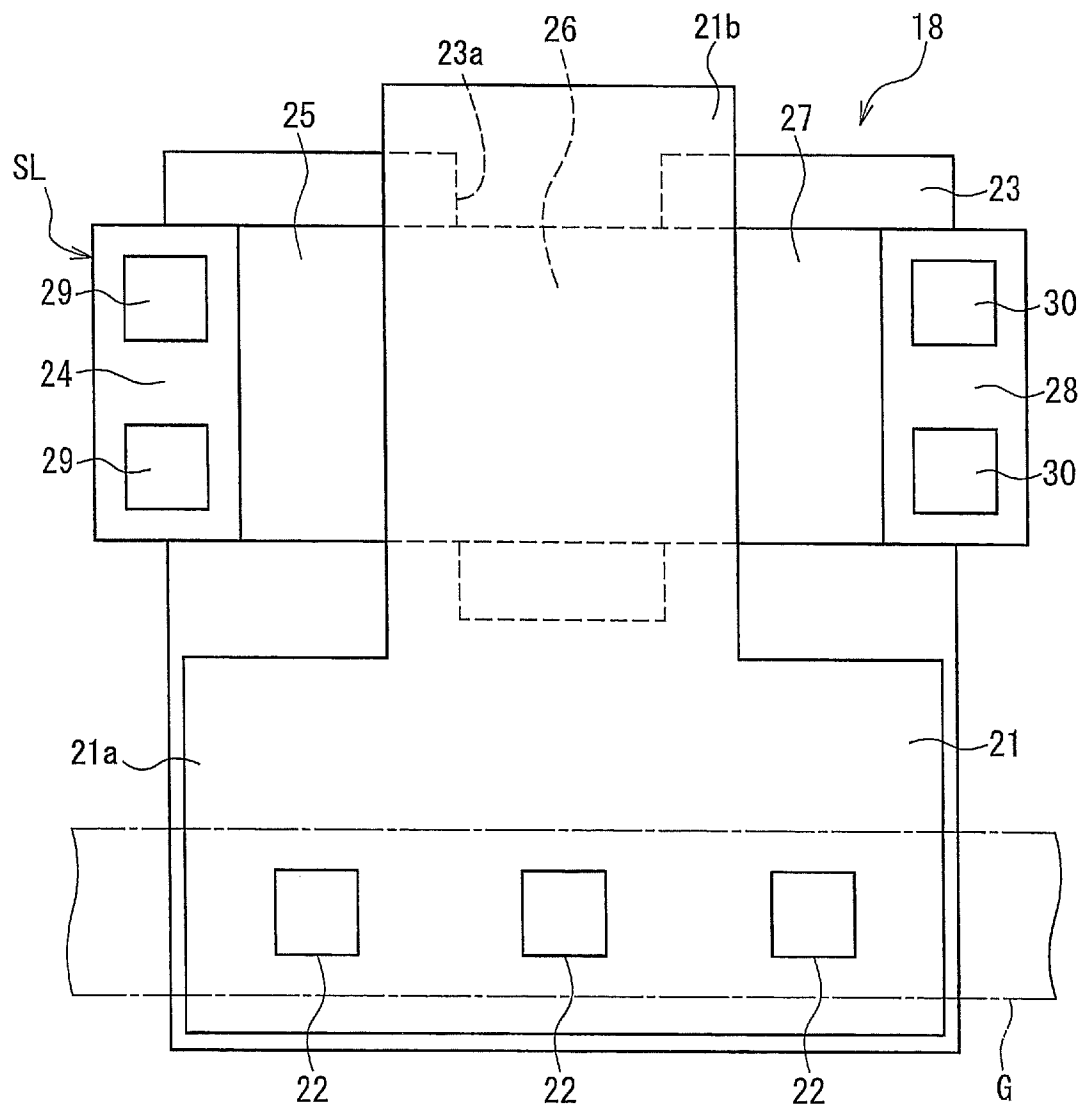
[請求項8] 請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置を用いたことを特徴とする表示装置。

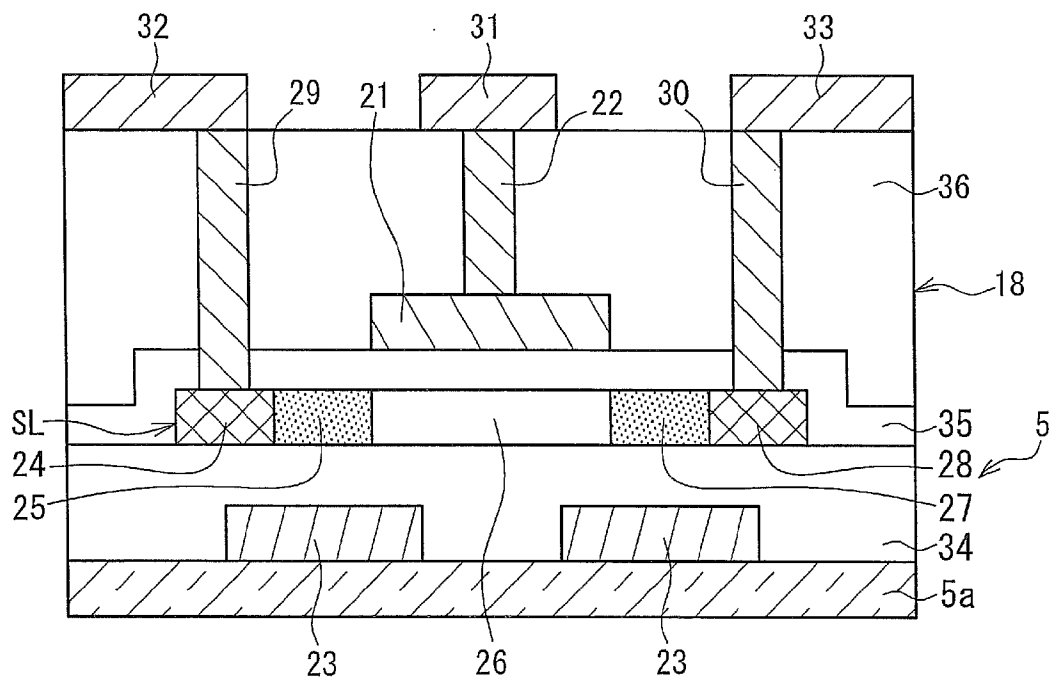
[図1]





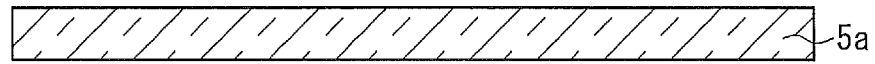
[図3]



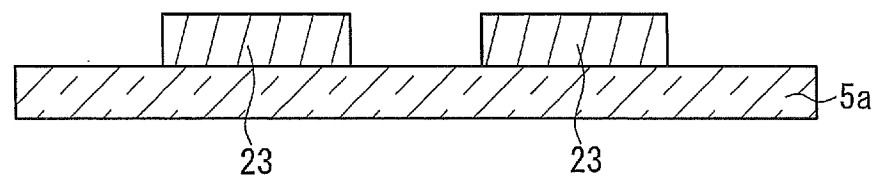


[図5]

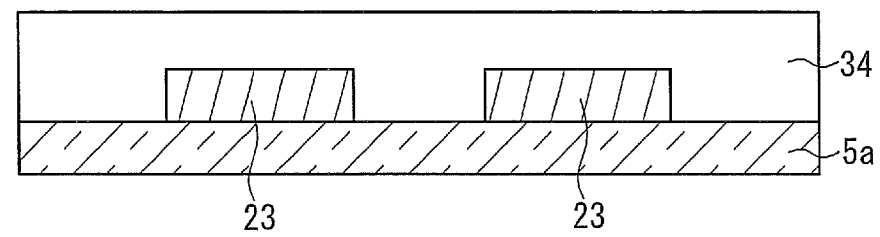
(a)



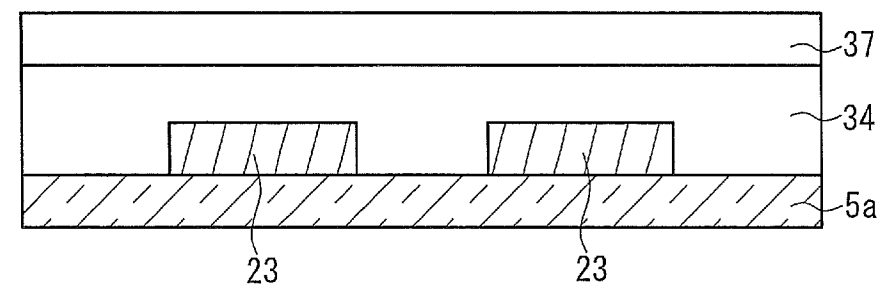
(b)



(c)

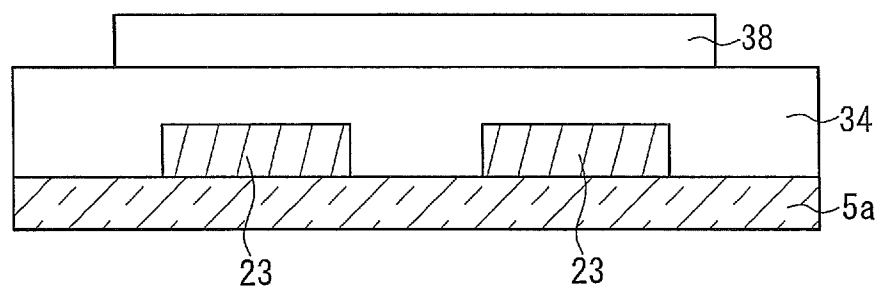


(d)

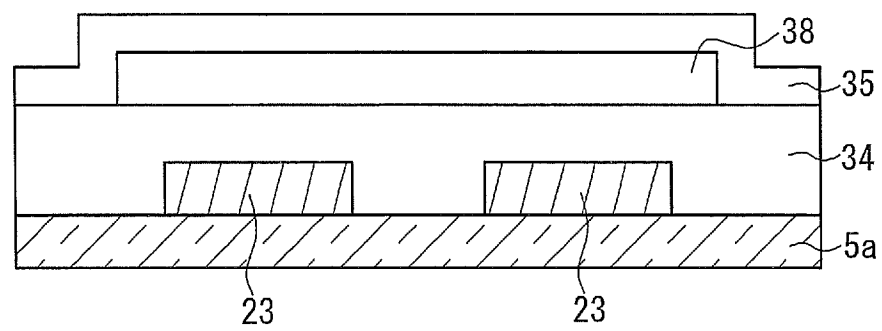


[図6]

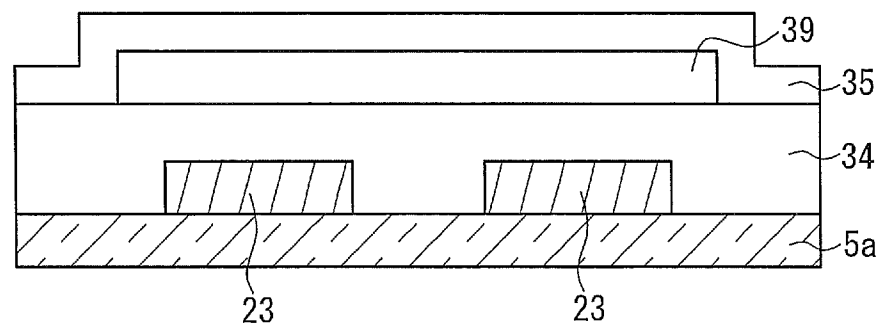
(a)



(b)

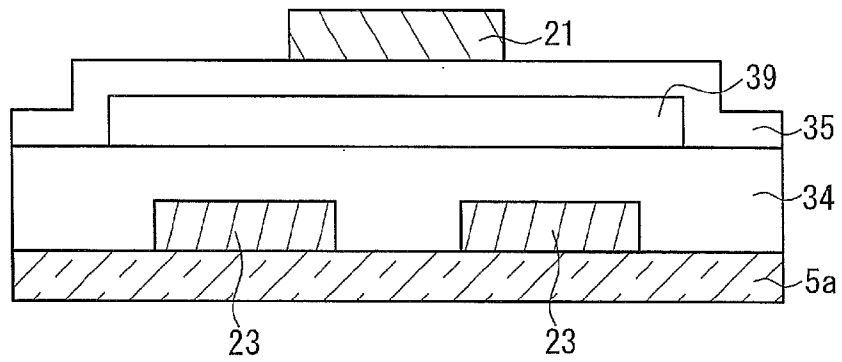


(c)

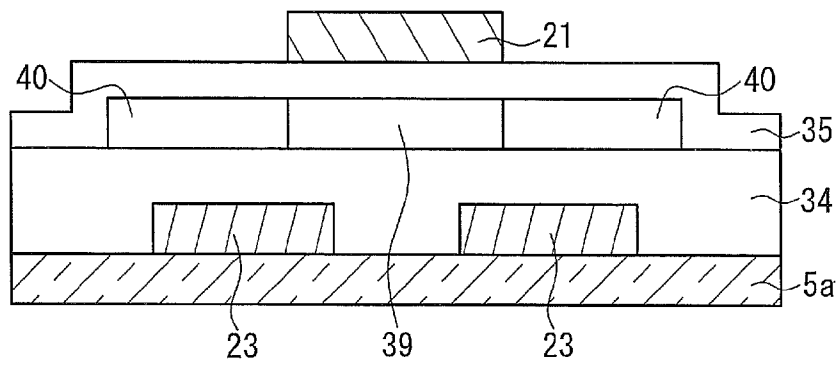


[図7]

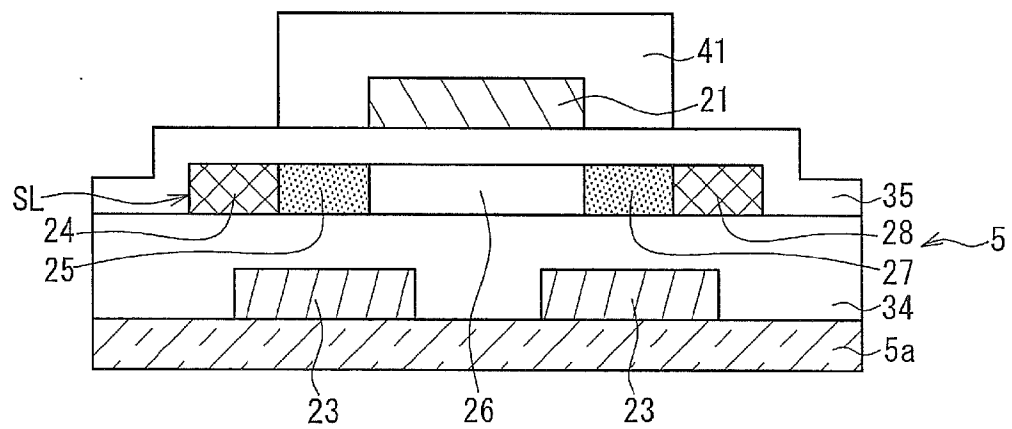
(a)



(b)

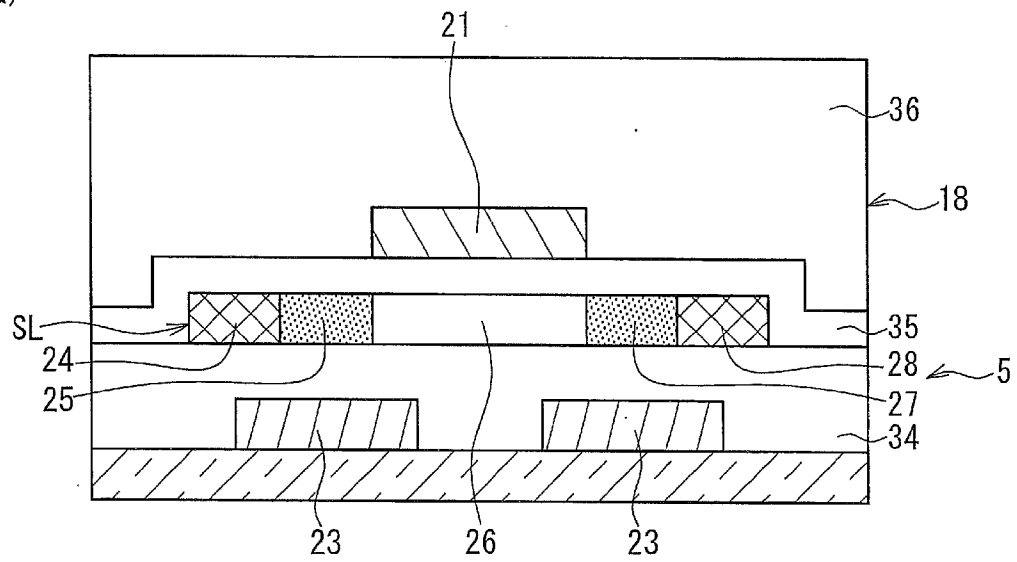


(c)

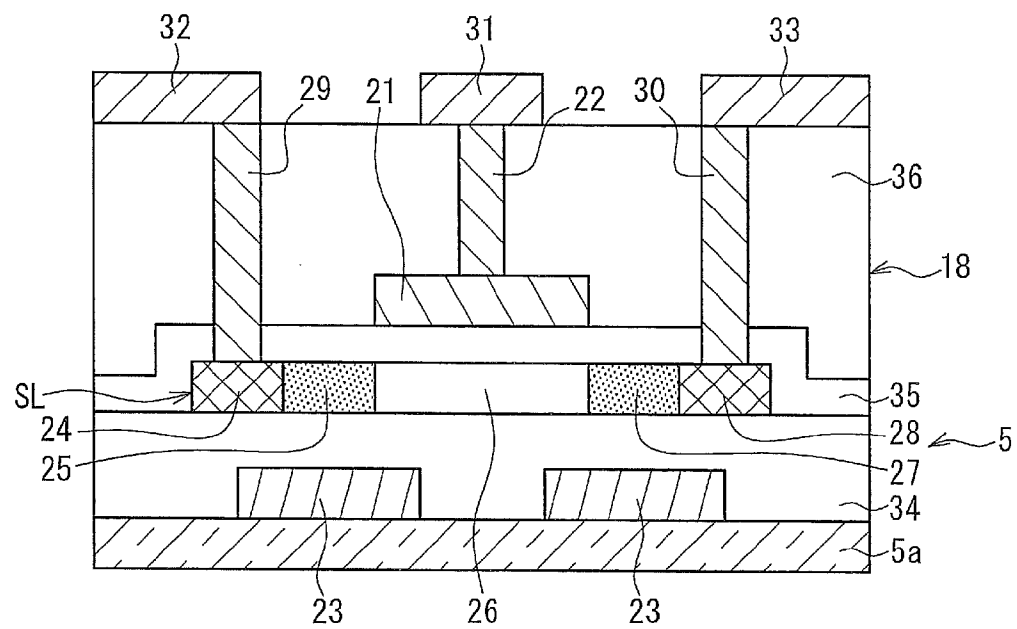


[図8]

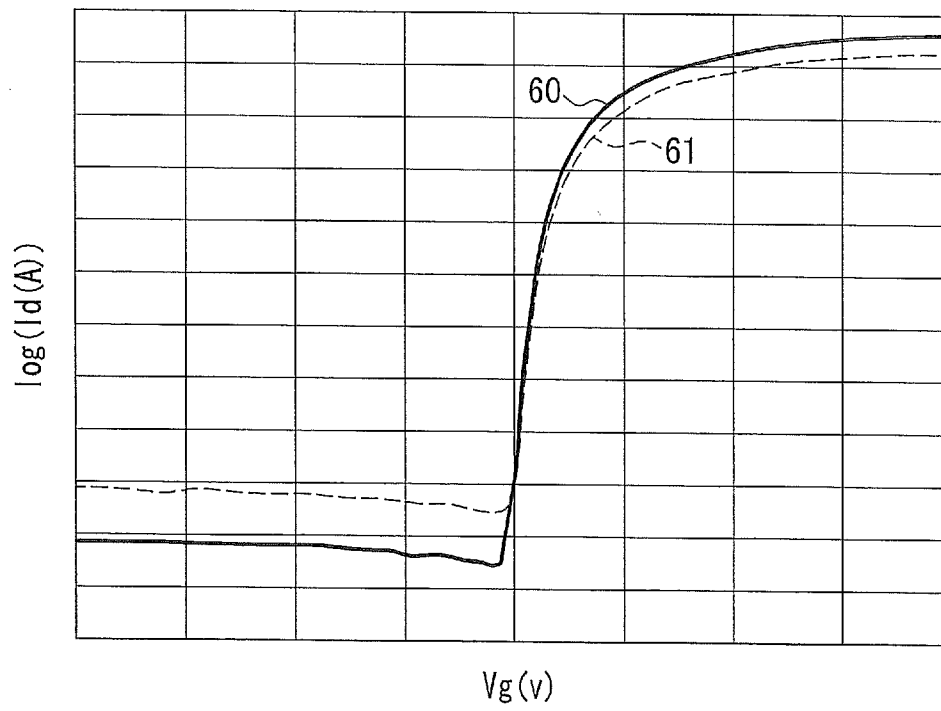
(a)



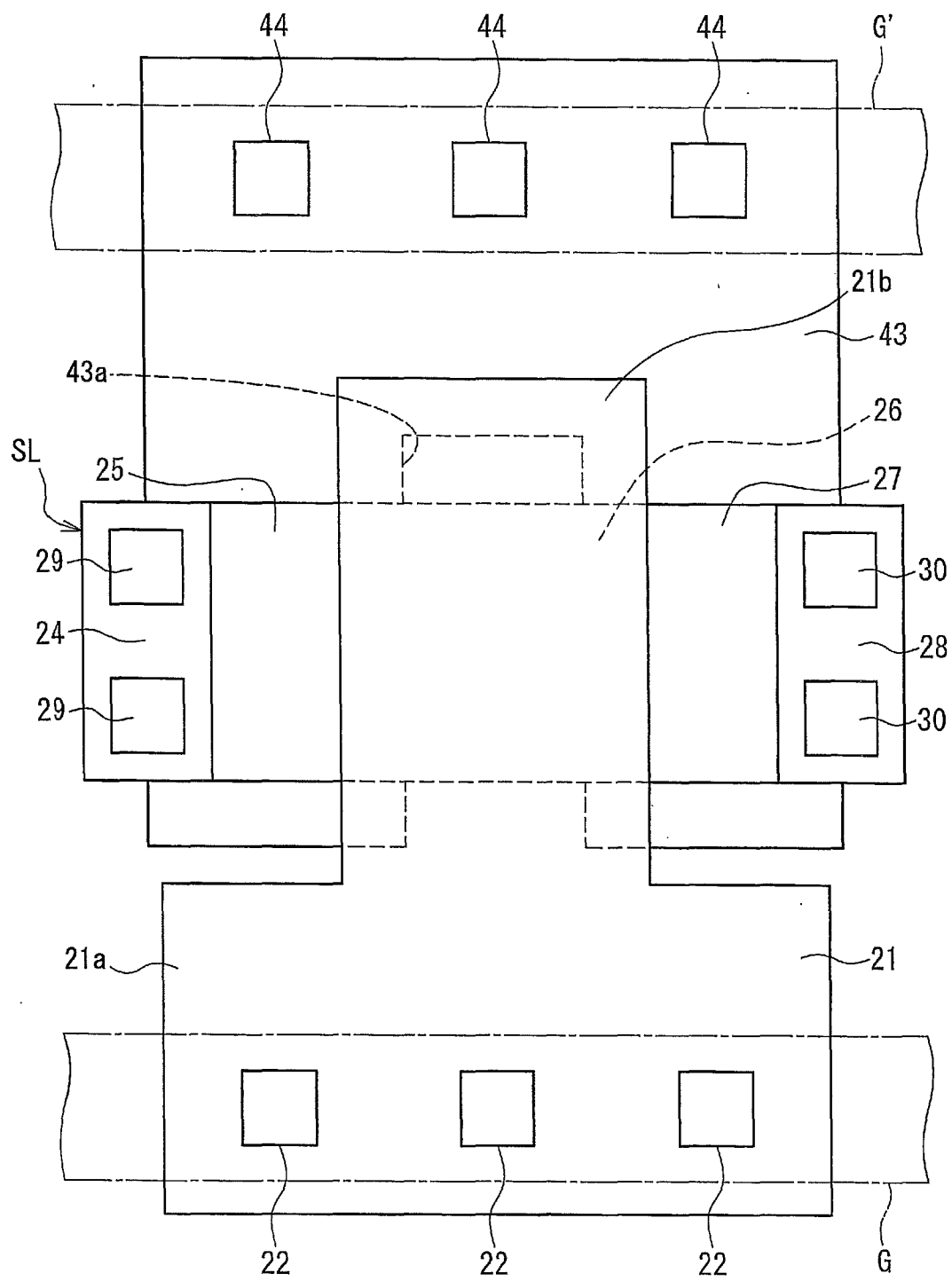
(b)



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064447

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, G02F1/1368(2006.01) i, H01L21/28(2006.01) i,
H01L29/41(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/28, H01L29/41

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 04-356966 A (Fujitsu Ltd.), 10 December 1992 (10.12.1992), paragraphs [0003] to [0027]; fig. 1 to 5 (Family: none)	1 2-8
X Y	JP 06-082834 A (Fuji Xerox Co., Ltd.), 25 March 1994 (25.03.1994), paragraphs [0007] to [0017]; fig. 1 to 5, 8, 9 (Family: none)	1 2-8
Y	JP 04-359569 A (Canon Inc.), 11 December 1992 (11.12.1992), paragraph [0038] (Family: none)	2-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 October, 2010 (12.10.10)

Date of mailing of the international search report

26 October, 2010 (26.10.10)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064447

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-070283 A (Seiko Epson Corp.), 10 March 1998 (10.03.1998), paragraphs [0008] to [0032] (Family: none)	2-8
Y	JP 06-310724 A (Goldstar Co., Ltd.), 04 November 1994 (04.11.1994), paragraphs [0013] to [0028]; fig. 1 & KR 10-0295450 B1	3-8
Y	JP 2003-017502 A (Semiconductor Energy Laboratory Co., Ltd.), 17 January 2003 (17.01.2003), paragraphs [0012] to [0153]; fig. 1 to 10 (Family: none)	3-8

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i, H01L29/41(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/786, G02F1/1368, H01L21/28, H01L29/41			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2－1 9 9 6年 日本国公開実用新案公報 1 9 7 1－2 0 1 0年 日本国実用新案登録公報 1 9 9 6－2 0 1 0年 日本国登録実用新案公報 1 9 9 4－2 0 1 0年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	JP 04-356966 A（富士通株式会社）1992.12.10, 0003 段落ないし 0027 段落、図1 ないし図5（ファミリーなし）	1 2-8	
X Y	JP 06-082834 A（富士ゼロックス株式会社）1994.03.25, 0007 段落 ないし 0017 段落、図1 ないし図5、図8 及び図9（ファミリーなし）	1 2-8	
Y	JP 04-359569 A（キヤノン株式会社）1992.12.11, 0038 段落 （ファミリーなし）	2-8	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 1 2 . 1 0 . 2 0 1 0		国際調査報告の発送日 2 6 . 1 0 . 2 0 1 0	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0－8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 棚田 一也 電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 4 6 2	4 M 9 3 6 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-070283 A (セイコーエプソン株式会社) 1998. 03. 10, 0008 段落ないし 0032 段落 (ファミリーなし)	2-8
Y	JP 06-310724 A (株式会社金星社) 1994. 11. 04, 0013 段落ないし 0028 段落、図 1 & KR 10-0295450 B1	3-8
Y	JP 2003-017502 A (株式会社半導体エネルギー研究所) 2003. 01. 17, 0012 段落ないし 0153 段落、図 1 ないし図 10 (ファミリーなし)	3-8