

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5736683号
(P5736683)

(45) 発行日 平成27年6月17日(2015.6.17)

(24) 登録日 平成27年5月1日(2015.5.1)

(51) Int.Cl.

F 1

H01L 29/78 (2006.01)
H01L 29/12 (2006.01)H01L 29/78 652C
H01L 29/78 652E
H01L 29/78 652J
H01L 29/78 652T

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2010-172368 (P2010-172368)
(22) 出願日	平成22年7月30日 (2010.7.30)
(65) 公開番号	特開2012-33731 (P2012-33731A)
(43) 公開日	平成24年2月16日 (2012.2.16)
審査請求日	平成24年10月5日 (2012.10.5)

前置審査

(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(74) 代理人	100112210 弁理士 稲葉 忠彦
(74) 代理人	100108431 弁理士 村上 加奈子
(74) 代理人	100153176 弁理士 松井 重明
(74) 代理人	100109612 弁理士 倉谷 泰孝
(72) 発明者	中田 修平 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】電力用半導体素子

(57) 【特許請求の範囲】

【請求項 1】

第1導電型の炭化珪素基板の第1主面に形成された第1導電型のエピタキシャル層と、前記炭化珪素基板の前記第1主面と対向する第2主面に形成されたドレイン電極と、前記エピタキシャル層に間隔を設けて埋設された複数の第2導電型のウエル領域と、前記ウエル領域に埋設された第1導電型のソース領域と、前記ウエル領域、前記エピタキシャル層および前記ソース領域を被覆するゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

前記ウエル領域と前記ソース領域に接続されるソース電極とを備えたMOSFETであつて、

前記ウエル領域は、表面付近は不純物濃度が低く前記炭化珪素基板の深さ方向に濃度が増大していくレトログレードの不純物濃度分布とし、

前記ウエル領域において第2導電型の不純物が最大濃度を示す深さをDとし、相対する前記ウエル領域の間隔をLとすると、Lは2D以下であり、

通常オン時には前記ウエル領域のチャネル部抵抗が電流を律速し、短絡発生時には前記ウエル領域の間のJFET部抵抗が前記チャネル部抵抗より大きくなることを特徴とする電力用半導体素子。

【請求項 2】

前記エピタキシャル層と前記ウエル領域と前記ソース領域の表層に、前記エピタキシャル層

10

20

ル層の下層部よりも第1導電型不純物の濃度が高いチャネルドープ領域が形成されていることを特徴とする請求項1に記載の電力用半導体素子。

【請求項3】

前記ウエル領域における第2導電型の不純物は、深さ方向に0.3μm以上にわたってフラットなプロファイルを有することを特徴とする請求項1に記載の電力用半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用半導体素子に関し、特に短絡耐量の向上を目的とした素子構造の改良に関する。 10

【背景技術】

【0002】

インバーターなどのパワーエレクトロニクス機器分野では、省エネのために、スイッチング素子の損失を低減する研究が進められている。損失はスイッチング素子のいわゆるON抵抗により決定される。ON抵抗を低減するためにSiCなどの新しい半導体材料が用いられるようになっている。短絡耐量は短絡事故時に発生する大電流に対する素子の耐量を指す。

【0003】

負荷短絡時に流れる電流値はON抵抗値に反比例して大きくなる。すなわちON抵抗値の小さい素子ほど、過大な電流が流れる。この結果、自己発熱により素子の破損が発生しやすくなるので、短絡時の耐量が低下する。このトレードオフの関係（損失の低減と短絡耐量の低下）を改善することが、低ON抵抗素子を実用化する際に求められている技術課題である。 20

【0004】

通常のインバーター制御システムには外部制御回路系に保護回路が設けられている。保護回路は負荷電流値をモニターし、一定電流以上になるとゲート電圧を低下させる。電流値が抑制される結果として素子の発生熱量が減少する。保護回路の動作には10μ秒程度の時間を必要とするため、IGBT(Insulated Gate Bipolar Transistor)、MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)等のスイッチング素子自身には短絡時に上述の時間以上の耐性が求められる。 30

【0005】

ワイドバンドギャップ半導体を用いたFET(Field Effect Transistor)では金属電極にアルミニウム(Al)を用いることが多い。半導体とアルミニウム電極の界面の温度がアルミニウムの融点(660℃)を超えると、素子破壊が生じなくても、アルミニウム電極の溶融が起こり、電極の信頼性を低下させる。従って、ワイドバンドギャップ半導体を用いる場合には、Siを用いる場合とは異なる放熱設計や損失制御を行う必要がある。負荷短絡時の発生損失と放熱条件は、金属電極と半導体の界面がある一定の温度以下になるように設定される。

【0006】

特許文献1はMOSFETの構造を開示している。この先行技術には、ワイドバンドギャップ半導体よりなる半導体素子部の表側の面（ソース電極面に相当）に50μm以上の厚さの金属電極を接触させて放熱効果を高めた縦型の主FETと、負荷短絡時に主FETを流れる飽和電流を制限する過電流制限手段が提案されている。過電流制限手段は、主FETと並列に接続された電流検出用トランジスタを備えており、電流検出用トランジスタを流れる電流が大きくなると主FETのゲート電圧を低くするように動作して、主FETを流れる電流量を制限する。 40

【0007】

縦型のパワーMOSFETは、ドレイン電極、支持基板、ドリフト層（第1の半導体層）、pベース層（第1の半導体層の上に積層された第2の半導体層）から構成されている。第2の半導体層には半導体素子の表面構造部が作製される。例えば、半導体材料としてS 50

i Cを用いて、絶対定格が1200VであるFETを作製する場合には、第1の半導体層の厚さ、支持基板の厚さ、半導体領域全体の厚さは、それぞれ、15μm、85μm、100μmとする。SiCに限らず、GaN(窒化ガリウム)やZnO(酸化亜鉛)やダイアモンドなどの他のワイドバンドギャップ半導体材料を用いる場合も、同様の構成とすることができる。

【0008】

第2の半導体層はp型の不純物層でできている。第2の半導体層の表面から第2の半導体層を貫通して、第1の半導体層に達するトレンチが形成されている。トレンチの底は、第1の半導体層と第2の半導体層の界面よりも深くなっている。トレンチの内面にはゲート絶縁膜が形成されており、さらにその内側はゲート電極で埋められている。

10

【0009】

ソース電極は、多層構造になっており、全体の厚さは50μm以上である。ソース電極の、少なくとも半導体素子部の表側の面と接触する部分は、AlまたはAl合金でできている。このAlまたはAl合金でできた層の上には、Ti、Ni、Cu、Ag、Au、WおよびMoのいずれか一つ、または二つ以上の組み合わせよりなる積層構造もしくは合金が、スパッタや真空蒸着法により形成されている。

【0010】

負荷短絡が発生すると、インバーター制御システムが異常を検出して、素子に流れる電流を制限したり、システムを遮断したりする。しかし負荷短絡時にその保護回路が動作するまでの短期間ににおいては、素子は高電圧、大電流のストレス状態に曝される。従って、各アーム部に用いられるIGBTやFETには、負荷短絡耐量と呼ばれる破壊耐量に高度なものが要求される。

20

【0011】

負荷短絡耐量は、負荷短絡時に保護回路が動作するまでの短期間ににおいて、素子が高電圧、大電流のストレス状態に耐えられる期間で表わされる。負荷短絡耐量の規格としては、素子の絶対定格の2/3の電源電圧において、通常オン状態のゲート電圧が印加されたときに、10μ秒以内に素子が破壊しないこと、というのが一般的である。

【0012】

上記公知発明によれば、ワイドバンドギャップ半導体でできている半導体素子部の表側の面に50μm以上の厚さを有する金属電極が接触していることによって、素子表面側の放熱効果が向上する。金属電極の、ワイドバンドギャップ半導体に接する部分の温度がその接する部分の金属の融点よりも低くなるので、金属電極の、ワイドバンドギャップ半導体に接する部分が溶融するのを防ぐことができる。

30

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2006-319213(図1~図3参照)

【発明の概要】

【発明が解決しようとする課題】

【0014】

背景技術で説明したように、スイッチング素子(半導体デバイス)の低ON抵抗化が進むことによりインバーター駆動時に発生する事故に対する耐量が低減する。短絡事故が発生した場合、素子抵抗が小さくなるにしたがって非常に大きな電流が素子に流れることになる。この結果として短時間の間に大きな発熱が発生し素子が破損する。

40

【0015】

上記公知先行例では素子のフロント面上に50μm以上の金属膜を形成することを要件としている。金属膜を形成することは不可能ではないが以下の課題が考えられる。

1) 厚膜形成は一般的には蒸着ないしはスパッタリング工程を用いて行う。膜の厚みが厚くなるにしたがって長い時間が必要となるため、成膜時に非常に長い時間が必要となり素子作製のスループットを低減する。

50

2) 積層構造を有している材料間には熱膨張率の差が存在する。素子使用時と非使用時では素子温度が異なるためにヒートサイクルが発生する。この影響によりAl膜と素子の熱膨張率の差により応力が発生する。応力は厚膜部の剥離を引き起こし、長期的な信頼性が低下する。

【0016】

本発明は、上記のような課題を解決することを目的になされたもので、電力用半導体素子において、短絡事故時の耐量を向上することを目的にする。

【課題を解決するための手段】

【0017】

本発明に關わる電力用半導体素子は、第1導電型の炭化珪素基板の第1主面に形成された第1導電型のエピタキシャル層と、炭化珪素基板の第1主面と対向する第2主面に形成されたドレイン電極と、エピタキシャル層に間隔を設けて埋設された複数の第2導電型のウエル領域と、ウエル領域に埋設された第1導電型のソース領域と、ウエル領域、エピタキシャル層およびソース領域を被覆するゲート絶縁膜と、ゲート絶縁膜の上に設けられたゲート電極と、ウエル領域とソース領域に接続されるソース電極とを備えたMOSFETであって、ウエル領域は、表面付近は不純物濃度が低く炭化珪素基板の深さ方向に濃度が増大していくレトログレードの不純物濃度分布とし、ウエル領域において第2導電型の不純物が最大濃度を示す深さをDとし、相対するウエル領域の間隔をLとすると、Lは2D以下であり、通常オン時にはウエル領域のチャネル部抵抗が電流を律速し、短絡発生時にはウエル領域の間のJFET部抵抗がチャネル部抵抗より大きくなることを特徴とするものである。

【発明の効果】

【0018】

本発明を用いることにより、半導体素子を用いた電力変換装置の短絡事故時の発熱による素子破壊を抑制することが可能となり、より信頼性の高い半導体電力変換装置を得ることが出来る。

【図面の簡単な説明】

【0019】

【図1】実施の形態1を説明するMOSFETの構成図である。

【図2】実施の形態1に關わるPウエル領域の不純物濃度分布を示す図である。

【図3】JFET幅と飽和電流値の関係を示す図である。

【図4】実施の形態2を説明するための試験結果を示す図である。

【図5】実施の形態3を説明するためのPウエル領域のプロファイルである。

【発明を実施するための形態】

【0020】

実施の形態1.

以下、本発明の実施例を図面に基づいて説明する。図1は本発明の実施の形態1に係るNチャネルMOSFETを示す断面図である。実施の形態1に係るMOSFET100では、炭化珪素基板2に、窒素(N)などを含むN型の低抵抗基板を使用する。炭化珪素基板2の第1の主面には、窒素(N)などを含むN-型のエピタキシャル層1が形成されている。本実施の形態では、炭化珪素基板2はN+型のドレイン領域2に相当する。エピタキシャル層1の内部にはPウエル領域4が形成されている。Pウエル領域4の内部にはN+型のソース領域5が形成されている。炭化珪素基板2の第2の主面にはドレイン領域2に接続されるドレイン電極6が形成されている。

【0021】

相対するウエル領域4の間隙はJFET領域9と呼ばれる。本実施の形態のMOSFET100では、N+型ソース領域5の表面からJFET領域9の表面にわたって、厚さおよそ50nmのゲート絶縁膜3が形成されている。Pウエル領域4とソース領域5に接続されるソース電極8に加えて、ゲート絶縁膜3の上にはゲート電極7が設けられている。層間絶縁膜11はゲート電極7とソース電極8の間に設けられる。

10

20

30

40

50

【0022】

Pウエル領域4は本発明の効果を実現するための特徴的な濃度分布を有している。本願のポイントは、Pウエル領域4の深さ方向の不純物濃度が最大となる深さの2倍を超えないように、MOSFETのJFET幅を設定することにある。これにより所定時間内に過電流が流れること制限して素子破壊を防止できる。縦型MOSFETのオン時の抵抗は、チャネル部抵抗(R_{CH})とJFET部抵抗(R_{JFET})に大別される。通常オン時にはドレイン電圧が低く、チャネル部抵抗が律速段階となり、JFET部抵抗がオン抵抗を制限しないようにしておく。

【0023】

これに対して、短絡発生時(またはその直前)には、電流電圧特性の非線形性により通常オン時と異なり、ドレイン電圧が高い。このため、チャネル部抵抗が短絡時抵抗を制限するようにJFET部抵抗を大きめにしておく。これにより、通常オン時のオン抵抗を増大させないで、短絡検知から保護回路による保護(ゲート電圧オフ等)の開始までの間に、素子が破壊することを防止できる。

10

【0024】

具体的には、Pウエル領域4を、表面付近は不純物濃度が低く、基板の深さ方向に濃度が増大していくレトログレードにする。電流経路をより上側(ゲート電極側)によせ、その出口であるJFET領域上部から、ドレイン電極にかけての電流経路の幅を狭くする。電流経路の幅(JFET領域の間隔:L)を、レトログレードの不純物濃度が最大値を示す深さ(D)の2倍以下にすることで、短絡発生時にはJFET部抵抗律速、通常オン時にはチャネル部抵抗律速にすることができる。

20

【0025】

次に本実施の形態にかかるMOSFET100の動作上の効果を説明する。一般的なMOSFETと同様に、ゲート電極7に正電圧を加えることによって、Pウエル領域4とゲート絶縁膜3の境界上に反転層が形成される。反転層の電荷は、JFET境界面の電位によって形成される水平方向の電界によって引き出されるため、チャンネル領域10に電流が流れる。電流はJFET領域9を通過し、ドレイン領域2を経てドレイン電極6に流れ込む。

【0026】

JFET領域9に流れる電流が大きくなるとチャンネル領域10でピンチオフ状態となり、それ以上の電流が流れにくくなる、いわゆる飽和状態に陥る。よく知られているように、この電流値はチャンネル領域10の抵抗値(もしくは移動度)に依存する。抵抗値が小さくなると大きな飽和電流が流れ、抵抗値が大きくなると飽和電流値は抑えられる(例えば「半導体デバイス」、S.M.ジィー著;産業図書1987)。

30

【0027】

次に短絡事故状態について考えてみる。短絡事故状態はドレイン電極6に非常に大きな電圧が印加されている状態になるため、飽和状態に等しい電流が流れることになる。飽和電流が流れることにより素子内部で発熱が発生し素子温度上昇、素子破壊につながっていく。一方で、JFET領域9の表面部分の電圧(チャンネル領域10の出口部分の電圧)とドレイン電圧の差が大きくなるとJFET領域9の両側にあるPウエル領域4の影響でJFET領域9が空乏化する。このとき流れる電流に対してMOSFETと同様に飽和特性が存在することはよく知られている。したがって飽和電流値を低減するには、チャンネル領域10の飽和電流値を低減する方法とJFET領域9の飽和電流値を低減する方法がある。

40

【0028】

前者の方法により飽和電流値を低減することはチャンネルの抵抗値を上げることに繋がるため、通常の用途には向かない。本発明は後者の方法を取り入れて飽和電流値の低減を実現するものである。しかしながら、通常のPウエル領域の濃度分布(深さ方向に一様に分布している)では短絡耐量を改善する程度に飽和電流値を抑制すべくJFET領域9の飽和特性を設計した場合、非飽和時のJFET領域9の抵抗が非常に大きな値となるため、

50

通常動作時に適さない。また、Pウエル領域4の濃度を低減してJFET領域9の抵抗を下げる場合には、耐圧が不足することになる。

【0029】

本実施の形態において望ましいPウエル領域4の不純物分布を図2に示す。縦軸は絶対値 $|N_a - N_d|$ を表している。 N_a はアクセプタ密度、 N_d はドナー密度を示していて、単位は(個/ cm^3)である。横軸は、Pウエル領域4における深さd(μm)を表している。図の実線が示すように深さ0.65 μm で最大値をとる分布となっている。不純物濃度の最大値は概略 1×10^{18} (個/ cm^3)であり、分布の半値幅は0.2~0.3 μm である。 N -型のエピタキシャル層1とゲート絶縁膜3の接合部分の不純物濃度が N -型のエピタキシャル層1の他の部分に対して高濃度になっていることを示している。

10

【0030】

本実施の形態では、JFET領域9において、ある程度深い領域にP濃度の濃い領域が狭い間隔を介して相対する構造としている。この構造をとることにより飽和特性を有する領域を局所的に形成できることとなり、通常動作条件下でのJFET領域9の抵抗値を低下させることのないMOSFETを実現できる。

【0031】

本実施の形態を持つMOSFETの動作を計算した結果を図3に示す。図3は、 L_{jfe} (JFET幅)と飽和電流密度の関係を示している。横軸の L_{jfe} は相対するJFET領域9の間隔を示している。縦軸は、ゲート電圧を15V、ドレン電圧を50Vとした時の電流密度を示している。Pウエル領域4の高濃度領域の深さDは0.65 μm としている。図に示されるようにJFET幅が狭くなると共に飽和電流値は徐々に下がり、電流値は1.3 μm 近傍で急激に低下している。

20

【0032】

Pウエル領域4において第2導電型の不純物が最大濃度を示す深さをDとし、JFET領域の間隔をLとする。深さDと間隔Lの間に、[L-2D]の関係が成立する場合に、飽和電流値は急激に減少することが一般的に成立することを見出した。以上のように本実施の形態により飽和電流値を十分低減できると共にMOSFETの抵抗値の劣化を抑えた動作の両立が可能となる。

【0033】

さらに、帰還容量を小さく出来ることを本願発明者は見出した。ここで、帰還容量とは、MOSFETのドレン電極6とゲート電極7の間の静電容量を指している。本実施の形態のようにJFET幅を短くすることによりドレン電極6からゲート電極7を見込む面積を小さくすることが出来、帰還容量の低減につながる。

30

【0034】

実施の形態2.

実施の形態2を図4に基づいて説明する。実施の形態2は実施の形態1で示したMOSFET構造を元に更に低抵抗を実現するものである。チャンネルドープ領域12はエピタキシャル層1とPウエル領域4とソース領域5の表面上のN型不純物濃度が濃くなっている領域を指している。チャンネルドープ領域12には、本実施の形態ではNを注入している。

40

【0035】

チャンネルドープにより、エピタキシャル層1とPウエル領域4とソース領域5では、ゲート絶縁膜3との境界面から深さ10~100nmの領域の不純物濃度をエピタキシャル層1の下層部(ドレン領域2との境界近傍)1aにたいして濃くする。エピタキシャル層1とゲート絶縁膜(酸化膜)3の近傍の表面部分の不純物濃度がエピタキシャル層1の他の部分に対して高濃度になっていることを示している。

【0036】

この構造を用いることによりチャンネル領域10の抵抗値が低減される。この結果としてよりオン抵抗の小さいMOSFET100を実現することができる。一方飽和電流値はJFET領域9で制限されるためにチャンネルドープの影響を受けて飽和電流値が増大する

50

ことはない。この結果として、低ON抵抗でありながら飽和電流値の小さいMOSFETを実現することが出来る。

【0037】

実施の形態3.

実施の形態3を図5に基づいて説明する。実施の形態3は実施の形態1で示したMOSFET構造を元に更に飽和電流値を低減できる構造を示している。本実施の形態によれば、Pウエル領域4で不純物プロファイルが図5に示されるように、ピーク部分にフラットな形状を入れた構造となっている。不純物濃度は、チャンネル領域10の近傍では 2×10^{16} (個/ cm^3)であるが、深度方向に徐々に濃くなり $0.4\mu\text{m}$ のところで、 3×10^{17} (個/ cm^3)となる。その後ほぼ一定値を $0.3\mu\text{m}$ の深さにわたって取ることになる。実施の形態3では、Pウエル領域4において第2導電型の不純物が最大濃度を示す深さをDは、フラット部分の中間点と定義する。10

【0038】

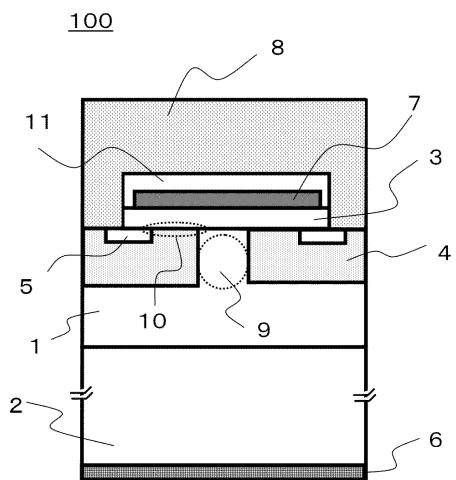
本実施の形態をとることによりJFET領域9の飽和特性をより強くすることが可能となり飽和電流値の低減と短絡大量の改善が期待できる。本実施の形態では、深度の深い領域の不純物濃度を薄くした場合でも実施の形態1、2に示されるのと同じ効果が期待できる。通常の不純物注入時には、不純物エネルギーを高めることで深度の深いところへの注入を行っている。しかしながらイオン注入機の特性として高エネルギーのイオン電流値は低エネルギーに比べて小さくなる。本実施の形態では、もっとも深い領域の不純物濃度は実施の形態1、2に対して低いため、イオン注入時のドーズ量も少なくてすむ。高エネルギーのイオンを注入する場合、注入イオン電流値は小さくなるために実施の形態1、2に対して実施の形態3では注入に必要となる時間が短縮できる効果を有する。20

【符号の説明】

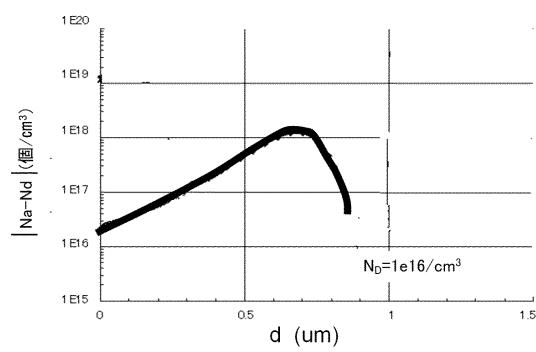
【0039】

1 エピタキシャル層、2 ドレイン領域、3 ゲート絶縁膜、4 Pウエル領域、5 ソース領域、6 ドレイン電極、7 ゲート電極、8 ソース電極、9 JFET領域、
10 チャンネル領域、12 チャンネルドープ領域、100 MOSFET

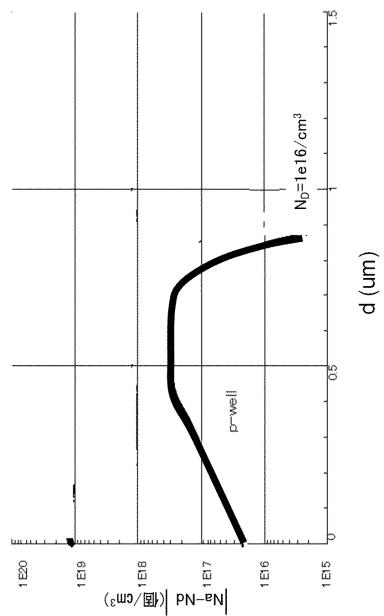
【図1】



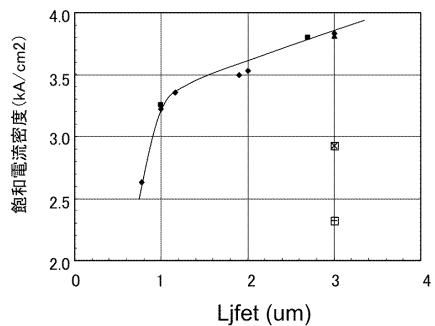
【図2】



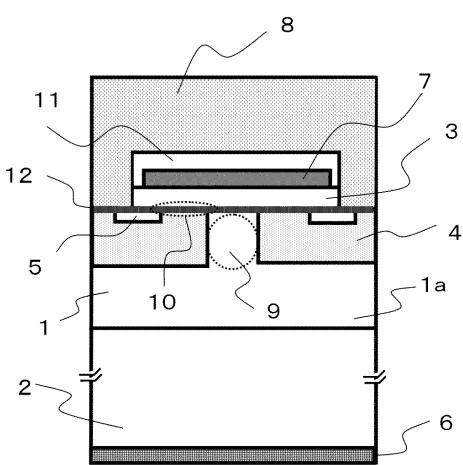
【図5】



【図3】



【図4】



フロントページの続き

(72)発明者 三浦 成久
東京都千代田区丸の内二丁目 7番 3号 三菱電機株式会社内
(72)発明者 酒井 景子
東京都千代田区丸の内二丁目 7番 3号 三菱電機株式会社内
(72)発明者 大塚 健一
東京都千代田区丸の内二丁目 7番 3号 三菱電機株式会社内

審査官 工藤 一光

(56)参考文献 特表2004-537162(JP,A)
特表2006-511961(JP,A)
特開2010-80786(JP,A)
国際公開第2007/046254(WO,A1)
特開2006-319213(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L29/12
H01L29/78-29/792