

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5779511号
(P5779511)

(45) 発行日 平成27年9月16日(2015.9.16)

(24) 登録日 平成27年7月17日(2015.7.17)

(51) Int.Cl. F I
H03M 1/10 (2006.01) H03M 1/10 A

請求項の数 12 (全 55 頁)

(21) 出願番号	特願2012-9657 (P2012-9657)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成24年1月20日 (2012.1.20)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2013-150184 (P2013-150184A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成25年8月1日 (2013.8.1)	(72) 発明者	松浦 達治 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
審査請求日	平成26年8月28日 (2014.8.28)	(72) 発明者	中根 秀夫 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
		(72) 発明者	笠原 真澄 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

第一アナログ信号と第一アナログ信号と位相の異なる第二アナログ信号とを出力する第一アナログ回路と、

前記第一アナログ回路からの前記第一アナログ信号を受けて第一デジタル信号を出力する第一AD変換器と、

前記第一アナログ回路からの前記第二アナログ信号を受けて第二デジタル信号を出力する第二AD変換器と、

前記第一及び第二AD変換器からの前記第一及び第二デジタル信号を受けてデジタル処理を行うデジタル処理回路と、

モード情報を格納するためのモード設定情報格納回路と、

前記第一及び第二AD変換器のための補正係数を格納する補正係数格納回路とを有し、

前記モード設定情報格納回路に第一モードが設定された時、前記第一及び第二AD変換器に共通に第一テスト信号が入力されることにより、第一デジタル補正処理のための第一補正係数と第二デジタル補正処理のための第二補正係数とが算出され、

前記モード設定情報格納回路に第二モードが設定された時、前記第一アナログ回路から前記第一及び第二アナログ信号が出力され、前記第一AD変換器が前記補正係数格納回路に格納された前記第一補正係数を用いて前記第一デジタル補正処理を行うことで前記第一アナログ信号を前記第一デジタル信号に変換し、前記第二AD変換器が前記補正係数格納回路に格納された前記第二補正係数を用いて前記第二デジタル補正処理を行うことで前記

第二アナログ信号を前記第二デジタル信号に変換し、

前記第一アナログ信号及び前記第一テスト信号を受け、前記第一アナログ信号の出力と、前記第一テスト信号の出力とを切り替える第一切り替え回路と、

前記第二アナログ信号及び前記第一テスト信号を受け、前記第二アナログ信号の出力と、前記第一テスト信号の出力とを切り替える第二切り替え回路とを更に有し、

前記第一アナログ回路は外部からの通信信号を受けて前記第一及び第二アナログ信号を出力し、

前記第一 A D 変換器は前記第一アナログ信号が入力され第三デジタル信号を出力する第一 A D 変換部と、第三デジタル信号を受けて前記第一デジタル信号を出力する第一デジタル補正部とを有し、

前記第二 A D 変換器は前記第二アナログ信号が入力され第四デジタル信号を出力する第二 A D 変換部と、第四デジタル信号を受けて第二デジタル信号を出力する第二デジタル補正部とを有し、

前記第一モードにおいては、前記第一及び第二切り替え回路から前記第一テスト信号が出力されて、前記第一及び第二 A D 変換部に共通に前記第一テスト信号が入力されることにより、前記第一デジタル補正部からの前記第一デジタル信号と前記第二デジタル補正部からの前記第二デジタル信号との間の差分に基づく差分出力が算出され、この前記差分出力に基づいて前記第一デジタル補正部のための前記第一補正係数と前記第二デジタル補正部のための前記第二補正係数とが算出され、

前記第二モードにおいては、前記第一切り替え回路から前記第一アナログ信号が出力されかつ前記第二切り替え部から前記第二アナログ信号が出力され、前記第一補正係数を用いて前記第三デジタル信号に対して前記第一デジタル補正処理を行うことで前記第一デジタル補正部が前記第一デジタル信号を出力し、前記第二補正係数を用いて前記第四デジタル信号に対して前記第二デジタル補正処理を行うことで前記第二デジタル補正部が前記第二デジタル信号を出力する半導体集積回路装置。

【請求項 2】

前記第一モードにおいては、前記第一テスト信号に加えて前記第一 A D 変換器に第一所定電圧が印加され、更に前記第一テスト信号に加えて前記第二 A D 変換器に第二所定電圧が印加される請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記第一アナログ信号は I 信号であり、前記第二アナログ信号は Q 信号であり、前記通信信号は外部からの変調された高周波信号であり、前記第一アナログ回路が前記高周波信号を第一変換処理することにより前記 I 信号を生成し、前記第一アナログ回路が前記高周波信号を第二変換処理することにより前記 Q 信号を生成する請求項 1 に記載の半導体集積回路装置。

【請求項 4】

前記第一アナログ回路は、

前記高周波信号を受けて増幅する第一アンプと、

前記第一アンプからの第一出力と所定の周波数を持つ第一高周波信号とをミキシングしてダウンコンバートする第一ミキサと、

前記第一ミキサからの第二出力のうちの所定の第一範囲の周波数を通して出力する第一フィルタと、

前記第一フィルタからの第三出力を可変倍率にて増幅して前記 I 信号を出力する第一可変増幅アンプと、

前記第一アンプからの前記第一出力と前記所定の周波数を持ち前記第一高周波信号と位相が 90°ずれた第二高周波信号とをミキシングしてダウンコンバートする第二ミキサと、

前記第二ミキサからの第四出力のうちの所定の第二範囲の周波数を通して出力する第二フィルタと、

前記第二フィルタからの第五出力を可変倍率にて増幅して前記 Q 信号を出力する第二可

10

20

30

40

50

変増幅アンプと、

前記第一及び第二高周波信号を生成する発振回路とを有し、

前記第一切り替え回路は前記第一可変増幅アンプと前記第一 A D 変換器との間に存在し、前記第二切り替え回路は前記第二可変増幅アンプと前記第二 A D 変換器との間に存在する請求項 3 に記載の半導体集積回路装置。

【請求項 5】

半導体集積回路装置自身の各種初期設定を行い前記第一アナログ回路のキャリブレーションを行う初期シーケンス期間の後に、前記第二モードに対応し前記高周波信号をベースバンド信号に変換する通常動作期間が発生する請求項 3 に記載の半導体集積回路装置。

【請求項 6】

前記第一テスト信号が前記第一及び第二 A D 変換部に共通に入力される前記第一モードに対応するテスト動作期間は、前記初期シーケンス期間に割り当てられ、

前記通常動作期間は前記初期シーケンス期間の後に設けられる請求項 5 に記載の半導体集積回路装置。

【請求項 7】

前記テスト動作期間は、外部からの前記高周波信号の入力が中断される無信号期間にも割り当てられ、

前記無信号期間と前記通常動作期間は定期的に交互に繰り返される請求項 6 に記載の半導体集積回路装置。

【請求項 8】

前記差分出力に基づいて、前記第一補正係数及び前記第二補正係数を算出するため演算を行う係数探索部を更に有し、

前記モード設定情報格納回路に前記第一モードが設定された時、前記第一 A D 変換器のためのものでありそれぞれがタイミングが異なる時間に前記係数探索部から出力された複数の第三補正係数を受け、前記複数の第三補正係数を足し合わせて平均化することで前記第一補正係数を出力する第一補正係数平均化回路と、

前記モード設定情報格納回路に前記第一モードが設定された時、前記第二 A D 変換器のためのものでありそれぞれがタイミングが異なる時間に前記係数探索部から出力された複数の第四補正係数を受け、前記複数の第四補正係数を足し合わせて平均化することで前記第二補正係数を出力する第二補正係数平均化回路とを有する請求項 3 に記載の半導体集積回路装置。

【請求項 9】

所定のデジタル波形を出力するデジタル波形生成回路と、前記所定のデジタル波形を受けて D A 変換して前記第一テスト信号を出力する第一 D A 変換器とを有する請求項 3 に記載の半導体集積回路装置。

【請求項 10】

所定のクロック信号を受けて所定の駆動信号を出力するチャージポンプと、前記所定の駆動信号を受けて三角波である前記第一テスト信号を出力するアナログ積分器とを有する請求項 3 に記載の半導体集積回路装置。

【請求項 11】

前記チャージポンプは、電源電圧を一端に受ける第一電流源と、

第一ソース端子及び第一ドレイン端子を有し、前記第一電流源の他端と前記第一ソース端子が接続された P M O S と、

第二ソース端子及び第二ドレイン端子を有し、前記第一ドレイン端子と前記第二ドレイン端子が接続された N M O S と、

前記第二ソース端子と一端が接続され、他端に接地電圧を受ける第二電流源とを有し、

前記 P M O S と前記 N M O S のゲートに共通に所定のクロック信号が入力されることで、前記第一及び第二ドレイン端子から前記所定の駆動信号が出力され、

前記アナログ積分器は、一方の入力端子には所定の電圧が入力され、他方の入力端子には前記所定の駆動信号が入力され、三角波である前期第一テスト信号を出力するオペアン

10

20

30

40

50

プと、

一端が前記オペアンプの他方の入力端子と接続され、他端が前記オペアンプの出力端子と接続されている所定のコンデンサと、

前記所定のコンデンサと並列接続されている所定の抵抗とを有する請求項 10 に記載の半導体集積回路装置。

【請求項 12】

前記所定のクロック信号を受けて前記所定の駆動信号を出力する前記チャージポンプと、前記所定の駆動信号を受けて三角波である前期第一テスト信号を出力する前記アナログ積分器と、前記第一テスト信号を受けて第一所定デジタル信号を出力する前記第一 A/D 変換器と、前記第一テスト信号を受けて第二所定デジタル信号を出力する前記第二 A/D 変換器と、前記第一及び第二所定デジタル信号を受けてこれら前記第一及び第二所定デジタル信号を平均化して平均化出力信号を生成して出力する平均化回路と、前記平均化出力信号を受け前記平均化出力信号が第一閾値に到達したら第一レベル信号を生成し前記平均化出力信号が第一閾値と異なる第二閾値に到達したら第一レベル信号と異なる第二レベル信号を生成することで、前記平均化出力信号が前記第一閾値と前記第二閾値との間で変動するように前記所定のクロック信号を生成するチャージポンプ制御回路で構成された第一ループ回路を更に有する請求項 11 に記載の半導体集積回路装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

20

半導体集積回路装置に関し、特に通信処理用半導体集積回路装置、更に A/D 変換器 (Analog Digital Converter) を有する通信処理用半導体集積回路装置に関する。

【背景技術】

【0002】

非特許文献 1 ~ 4 それぞれには、A/D 変換器 (ADC) の開示がある。ADC は、アナログ信号を受ける A/D 変換部 (ADCU) と、ADCU の出力を受けるデジタル補正部 (DCU) により構成される。このように ADCU と DCU を用いることにより高速高精度で低消費電力な ADC となる。

【先行技術文献】

【非特許文献】

30

【0003】

【非特許文献 1】T. Oshima, et al., "Fast nonlinear deterministic calibration of pipelined A/D converters," IEEE 2008 Midwest Symposium on Circuits and Systems, Session C2L-C-1, Aug. 2008.

【非特許文献 2】T. Oshima, et al., "23-mW 50-MS/s 10-bit pipeline A/D converter with nonlinear LMS foreground calibration," 2009 International Symposium on Circuits and Systems, pp. 960 - 963, May 2009.

40

【非特許文献 3】J. Mcneill, et al., "A split-ADC architecture for deterministic digital background calibration of a 16b 1MS/s ADC," IEEE 2005 International Solid-State Circuits Conference, pp. 276 - 277, Feb. 2005.

【非特許文献 4】W. Liu et al., "A 12b 22.5/45MS/s 3.0mW 0.059mm² CMOS SAR ADC achieving over 90dB SFDR," IEEE 2010 International Solid-State Circuits Conference, pp. 380 - 381

50

, Feb. 2010.

【発明の概要】

【発明が解決しようとする課題】

【0004】

非特許文献1～非特許文献4に関して、発明者は、それらに開示されているADCの構成及び動作について検討した。まず、検討に先立ち、発明者は、非特許文献1～非特許文献4に記載されたADCを理解しやすいように、図1～図4の構成図のように書き直した。すなわち、図1～図4は従来技術の図面ではなく、参考図面である。以下、図1～図4をそれぞれ参考図1～参考図4という。

【0005】

参考図1に示すADC11は、参照用AD変換部(RADC)13と、ADCU12と、DCU14と、誤差演算部(ECU)15とにより構成される。

【0006】

アナログ信号(Input)がRADC12と、ADCU12との両方に入力される構成となっている。ここでRADC13はADCU12に比べて低速高精度なアナログ・デジタル変換(AD変換)処理を行い、ADCU12はRADC13に比べて高速低精度なAD変換処理を行う。

【0007】

ADCU12にはAD変換処理の基準となるための所定のクロック(CK)が入力され、RADC13にはAD変換処理の基準となるための所定のクロック(CK)が分周器(DIV)18にて分周されたクロックが入力される。ADC12でAD変換処理された結果であるデジタル出力はDCU14に入力される。DCU14は補正係数を用いてデジタル出力をデジタル補正することにより、アナログ信号(Input)に対するADC11のAD変換処理結果としてのデジタル信号(Output)を出力する。

【0008】

DCU14からのデジタル信号と、RADC13からのデジタル出力信号との差分をECU15が計算して変換誤差(e)としてDCU14に出力する。この変換誤差(e)に基づいてLMSアルゴリズムによりDCU14が補正係数を探索する。ここで、LMSアルゴリズムはLeast Means Squareアルゴリズムの略称であり、適応制御方式の一つである。LMSアルゴリズムは入力データを D_i 、出力を A 、係数を W_i としたとき、 $A = W_i \cdot D_i$ が成り立つことが分かっているものに関して、 D_i と A の多数サンプルから W_i を推定するものである。

【0009】

ADC11においてはバックグラウンド補正が可能である。ここで、バックグラウンド補正とは、デジタル補正処理用の補正係数の算出と、この算出された補正係数を用いたAD変換処理とが同時に行われることで、補正係数が算出されることをいう。更に高速低精度なADCU12の出力結果がDCU14によりデジタル補正されることにより高速高精度なデジタル出力信号(Output)が得られる。

【0010】

しかしながら、ADC12とRADC13との両方を半導体集積回路装置内に設ける必要があり、設計工数の増大や設計コストの増大、面積の増大に伴うコストの増大や半導体集積回路装置の小型化の妨げという問題点が発生する。

【0011】

参考図2に示すADC21は、切替回路SCと、参照用デジタル・アナログ(DA)変換部(RDAC)23と、ADCU22と、DCU24と、誤差演算部(ECU)25とにより構成される。

【0012】

切替回路SCのスイッチSW1がオフ、スイッチSW2がオンのとき、デジタルテスト信号(Test Input)が、RDAC23に入力されてDA変換処理され、RDACU23からのDA変換結果としてのアナログテスト信号がADCU22に入力されてA

10

20

30

40

50

D変換処理される。ここでR D A C U 2 3はA D C 2 2に比べて低速高精度なD A変換処理を行い、A D C 2 2はR D A C 2 3に比べて高速低精度なA D変換処理を行う。A D C U 2 2にはA D変換処理の基準となるための所定のクロック(C K)が入力され、R D A C U 2 3にはD A変換処理の基準となるための所定のクロック(C K)が分周器(D I V) 2 8にて分周されたクロックが入力される。D C U 2 4がデジタル補正処理を行った結果であるデジタル信号と、デジタルテスト信号(T e s t I n p u t)との差分をE C U 2 5が計算して変換誤差(e)としてD C U 2 4に出力する。この変換誤差(e)に基づいてL M SアルゴリズムによりD C U 2 4が補正係数を探索する。

【0013】

切替回路S CのスイッチS W 1がオン、スイッチS W 2がオフのとき、アナログ信号(I n p u t)がA D C U 2 4に入力される構成となっている。A D C U 2 2でA D変換処理された結果であるデジタル出力はD C U 2 4に入力される。D C U 2 4は補正係数を用いてデジタル出力をデジタル補正することにより、アナログ信号(I n p u t)に対するA D C 2 1のA D変換処理結果としてのデジタル信号(O u t p u t)を出力する。ここでD C U 2 4は補正係数として切替回路S CのスイッチS W 1がオフ、スイッチS W 2がオンのとき求められたものを用いる。

10

【0014】

A D C 2 1においてはフォアグラウンド補正が実施される。ここで、フォアグラウンド補正とは、デジタル補正処理用の補正係数を算出する第一モードと、この算出された補正係数を用いてA D変換処理を行う第二モードとが時間的に分かれている態様にて補正係数の算出が行われることをいう。切替回路S CのスイッチS W 1がオフ、スイッチS W 2がオンのときが第一モードであり、切替回路S CのスイッチS W 1がオン、スイッチS W 2がオフのときが第二モードである。更に高速低精度なA D C U 2 2の出力結果がD C U 2 4によりデジタル補正されることにより高速高精度なデジタル出力信号(O u t p u t)が得られる。

20

【0015】

しかしながら、A D C U 2 2とR D A C U 2 3との両方を半導体集積回路装置内に設ける必要があり、設計工数の増大や設計コストの増大、面積の増大に伴うコストの増大や半導体集積回路装置の小型化の妨げという問題点が発生する。

【0016】

参考図3に示すA D C 3 1は、第一A D変換部(A D C U (1)) 3 2 aと、第二A D変換部(A D C U (2)) 3 2 bと、第一デジタル補正部(D C U (1)) 3 4 aと、第二デジタル補正部(D C U (2)) 3 4 bと、誤差演算部(E C U) 3 5と、出力信号足し合わせ平均化部(O A A U) 3 6により構成される。

30

【0017】

アナログ信号(I n p u t)がA D C U (1) 3 2 a及びA D C U (2) 3 2 b両方に入力される。A D C U (1) 3 2 aに第一ディザ信号(D i t h e r 1)が入力され、A D C U (2) 3 2 bにD i t h e r 1と符号が異なり絶対値が等しい第二ディザ信号(D i t h e r 2)が入力される。ここでディザ信号とは、直流的なオフセット印加電圧であり、補正係数を効果的に算出するためのものである。A D C U (1) 3 2 a及びA D C U (2) 3 2 bそれぞれにおいて、A D変換処理された結果であるデジタル出力はD C U (1) 3 4 a及びD C U (2) 3 4 bそれぞれに入力される。

40

【0018】

D C U (1) 3 4 a及びD C U (2) 3 4 bそれぞれは補正係数を用いてデジタル出力をデジタル補正した結果をO A A U 3 6に出力する。O A A U 3 6がD C U (1) 3 4 a及びD C U (2) 3 4 bからの出力を足し合わせて2で割って平均化し、アナログ信号(I n p u t)に対するA D C 3 1のA D変換処理結果としてのデジタル信号(O u t p u t)を出力する。

【0019】

D C U (1) 3 4 aからのデジタル信号と、D C U (2) 3 4 bからのデジタル信号と

50

の差分をECU35が計算してディザ差分部(DDU)37に出力する。DDU37において、ECU35からの出力から2を引いたものを変換誤差(e)としてDCU(1)34a及びDCU(2)34bに出力する。ここで、 $2 = Dither1 - Dither2$ である。この変換誤差(e)に基づいてLMSアルゴリズムによりDCU(1)34a及びDCU(2)34bが補正係数を探索する。

【0020】

ADC31においてはバックグラウンド補正が可能である。Dither1及びDither2が互いに符号が異なり、絶対値が等しいものとなっているため、OAAU36にてディザ信号成分がキャンセルされるのが理由である。更に高速低精度なADCU(1)32a、ADCU(2)32bの出力結果がDCU(1)34a、DCU(2)34bによりデジタル補正されることにより高速高精度なデジタル出力信号(Output)が得られる。

10

【0021】

しかしながら、ADCU(1)32a及びADC(2)U32bとDCU(1)34a及びDCU(2)34bのようにAD変換部及びデジタル補正部がペアで必要であり、AD変換部とデジタル補正部が1つずつしかない構成に比べて面積の増大に伴うコストの増大や半導体集積回路装置の小型化の妨げという問題点が発生する。

【0022】

参考図4に示すADC41は、ADCU42と、DCU(1)44a及びDCU(2)44bと、遅延部(Delay)49と、誤差演算部(ECU)45と、出力信号足し合わせ平均化部(OAAU)46と、ディザ差分部(DDU)47により構成される。

20

【0023】

アナログ信号(Input)がADCU42に入力される。更にAD変換部ADCU42に第一ディザ信号(Dither1)及びDither1と符号が異なり絶対値が等しい第二ディザ信号(Dither2)が入力される構成となっている。

【0024】

ADCU42の動作を参考図4のAD変換部シーケンス(ADCUSequence)を用いて説明する。サンプリング期間(S)にてアナログ信号(Input)をサンプリングする。その後の第一AD変換期間(A/D1)にてサンプリングされたアナログ信号(Input)とADCU42に加えられたDither1とをADCU42にてAD変換処理を行い、デジタル信号として第一AD変換結果(A/D1R)を出力する。更にその後の第二AD変換期間(A/D2)にてサンプリングされたアナログ信号(Input)とADCU42に加えられたDither2とをADCU42にてAD変換処理を行い、デジタル信号として第二AD変換結果(A/D2R)を出力する。Delay49は第二AD変換期間(A/D2)だけA/D1Rを遅延させてDCU(1)44aに出力する。その結果DCU(1)44aにA/D1Rが入力されるタイミングと、DCU(2)にA/D2Rが入力されるタイミングとが同時となる。

30

【0025】

DCU(1)44a及びDCU(2)44bそれぞれは補正係数を用いてA/D1R及びA/D2Rそれぞれをデジタル補正した結果をOAAU46に出力する。DCU(1)43及びDCU(2)44bからの出力を足し合わせて2で割って平均化したものを、OAAU46がアナログ信号(Input)に対するADCU41のAD変換処理結果としてのデジタル信号(Output)から出力する。

40

【0026】

DCU(1)44aからのA/D1Rと、DCU(2)44bからのA/D2Rとの差分をECU45が計算してディザ差分部(DDU)47に出力する。DDU47において、ECU45からの出力から2を引いたものを変換誤差(e)としてDCU(1)44a及びDCU(2)44bに出力する。この変換誤差(e)に基づいてLMSアルゴリズムによりDCU(1)44a及びDCU(2)44bが補正係数を探索する。

【0027】

50

A D C 4 1 においてはバックグラウンド補正が可能である。D i t h e r 1 及び D i t h e r 2 が互いに符号が異なり、絶対値が等しいものとなっているため、O A A U 4 6 にてディザ信号成分がキャンセルされるのが理由である。更に高速低精度な A D C U 4 2 の出力結果がデジタル補正部 D C U (1) 4 4 a、D C U (2) 4 4 b によりデジタル補正されることにより高速高精度なデジタル出力信号 (O u t p u t) が得られる。

【 0 0 2 8 】

しかしながら、D C U (1) 4 4 a 及び D C U (2) 4 4 b をペアにて必要とし、A D 変換部とデジタル補正部が1つずつしかない構成に比べて面積の増大に伴うコストの増大や半導体集積回路装置の小型化の妨げという問題点が発生する。

【課題を解決するための手段】

10

【 0 0 2 9 】

一実施の形態による半導体集積回路装置は、第一及び第二 A D 変換器を有する。第一モードにおいては、第一及び第二 A D 変換器に共通に第一テスト信号が入力されて、第一 A D 変換器のための第一補正係数と第二 A D 変換器のための第二補正係数とが算出される。第二モードにおいては、第一 A D 変換器が第一補正係数を用いて第一デジタル補正処理を行うことで第一アナログ信号を第一デジタル信号に変換し、第二 A D 変換器が第二補正係数を用いて第二デジタル補正処理を行うことで第二アナログ信号を第二デジタル信号に変換する。

【発明の効果】

【 0 0 3 0 】

20

前記一実施の形態によれば、半導体集積回路装置が小面積となる。

【図面の簡単な説明】

【 0 0 3 1 】

【図 1】非特許文献 1 に記載された A D 変換器を書き直した構成図である。

【図 2】非特許文献 2 に記載された A D 変換器を書き直した構成図である。

【図 3】非特許文献 3 に記載された A D 変換器を書き直した構成図である。

【図 4】非特許文献 4 に記載された A D 変換器を書き直した構成図及びこの構成図のための動作図である。

【図 5】実施の形態 1 に係る半導体集積回路装置を含む通信システムの構成図である。

【図 6】実施の形態 1 に係る半導体集積回路装置を含む通信システムの動作図である。

30

【図 7】実施の形態 1 に係る I Q 信号用デジタル補正部の構成図である。

【図 8】実施の形態 1 に係る I Q 間補正部の構成図である。

【図 9】I 信号用 A D 変換部及び Q 信号用 A D 変換部の一実施例である、電荷シェア型 A D 変換部の構成図である。

【図 10】I 信号用 A D 変換部及び Q 信号用 A D 変換部の一実施例である、電荷再配分型 A D 変換部の構成図である。

【図 11】I 信号用 A D 変換部及び Q 信号用 A D 変換部の一実施例である、電荷再配分型 A D 変換部の構成図である。

【図 12】半導体集積回路装置の一変形例である。

【図 13】A D 変換器用テスト信号を生成するための A D 変換器用テスト信号生成回路の一実施例である。

40

【図 14】A D 変換器用テスト信号を生成するための A D 変換器用テスト信号生成回路の一実施例である。

【図 15】A D 変換器用テスト信号を生成するための A D 変換器用テスト信号生成回路の一実施例である。

【図 16】実施の形態 2 に係る半導体集積回路装置を含む通信システムの構成図である。

【発明を実施するための形態】

【 0 0 3 2 】

まず本発明者は、通信処理用の半導体集積回路装置に用いられる A D 変換器として、高速高精度で低消費電力な A D 変換器を提供するための構成(以下、「基本構成」という。

50

)を考えた。

【0033】

すなわち、基本構成は、アナログI信号をAD変換したものをデジタル補正処理することでAD変換処理を行うI信号用AD変換器及び、アナログQ信号をAD変換したものをデジタル補正処理することでAD変換処理を行うQ信号用AD変換器を有するものである。

【0034】

この基本構成において、デジタル補正処理としてはバックグラウンド補正か、フォアグラウンド補正がいずれかが必要となると考えた。

【0035】

まずデジタル補正処理としてフォアグラウンド補正を適用して、上述した基本構成を持つ半導体集積回路装置を得ようとした場合、使用するI信号用AD変換器及びQ信号用AD変換器のそれぞれについて、先に述べた4つのADC11、21、31、41のいずれかを適用することができると考えられる。適用したと仮定すると、第一モードにおいてのみ用いられる面積の大きな回路が必要となり、半導体集積回路装置の小面積化が妨げられる。その理由としては以下となる。

【0036】

上述した基本構成に対して、ADC11、21、31、41のいずれかを適用した場合、I信号用とQ信号用にADCが2つ必要となる。参考図1に示すADC11を適用した場合においては、変換誤差(e)を求める必要の無い第二モードにおいては、2つのRADCU13は必要ない。よって、2つのRADCU13は第一モードにおいてのみ用いる回路となる。参考図2に示すADC21を適用した場合においては、変換誤差(e)を求める必要の無い第二モードにおいては、2つのRDACU23は必要ない。2つのRDACU23が第一モードにおいてのみ用いる回路となる。参考図3に示すADC31を適用した場合においては、ADCUとDCUはそれぞれ4つも存在することとなるが、このうちの2つのADCUと2つのDCUは第一モードにおいて、用いない回路となる。変換誤差(e)を求める必要の無い第二モードにおいては、I信号用のADCに1つのADCUと1つのDCUとがあればよく、Q信号用のADCに1つのADCUと1つのDCUとがあればよいからである。参考図4に示すADC41を適用した場合においては、変換誤差(e)を求める必要の無い第二モードにおいては、DCU(1)44a又はDCU(2)44bは必要ない。理由として第二モードにおいては、ADCU42に対してディザ信号の入力を止め、更にOAAU47からの出力ではなく、DCU(1)44a又はDCU(2)44bの出力がそのままADC41の出力とすることにより、DCU(1)44a又はDCU(2)44bの動作をとめることができるからである。よって、DCU(1)43又はDCU(2)44bが第一モードにおいてのみ用いる回路となる。

【0037】

以上のように第二モードにおいて必要とないと説明を行った回路の面積が大きく、半導体集積回路装置の小面積化を妨げる。

【0038】

更に付加的な課題として、フォアグラウンド補正を適用して、上述した前提構成を持つ半導体集積回路装置を得ようとした場合、使用するI信号用AD変換器及びQ信号用AD変換器のそれぞれについて、ADC11、21、31、41のいずれかを適用した場合、以下の問題点がある。第一モードにおいて、第一モードにおいてのみ用いられる面積の大きな回路が動作する上に第二モードにおいても用いられる面積の大きな回路も動作するため、半導体集積回路装置の低消費電力化が妨げられる。その理由としては以下となる。

【0039】

上述したようにADCUが2つ必要となる。よって、参考図1に示すADC12を適用した場合においては、RADCUと、ADCUと、DCUとがそれぞれ2つ第一モードにおいて動作する。参考図2に示すADC21を適用した場合においては、RDACUと、ADCUと、DCUとがそれぞれ2つ第一モードにおいて動作する。参考図3に示すAD

10

20

30

40

50

C 3 1 を適用した場合においては、A D C U と、D C U とがそれぞれ 4 つ第一モードにおいて動作する。よって消費電力が大きくなる。特に R A D C U、R D A C U、及び A D C U はアナログ回路であり、良好な性能を出すためにオペアンプが用いられることが多いが、このオペアンプは消費電力が大きな回路で構成されるため、第一モードにおいて消費電力が大きくなる。図 4 に示す A D C 4 1 を適用した場合においては、2 つの A D C U と、4 つの D C U が第一モードにおいて動作する。よって消費電力が大きくなる。更に少なくとも第一モードにおいては、変換誤差 (e) を求めるために一回のアナログ信号のサンプリングごとに二回の A D C U での A D 変換処理が必要となる。よって高速に A D C U での A D 変換処理が必要となり、第一モードにおいて消費電力が大きくなる。特にオペアンプを用いる A D C U ではオペアンプを高速動作させる必要が出てくる。オペアンプは高速動作が大きくなると、これに応じて消費電力も増大し、低消費電力化の妨げになる。

10

【 0 0 4 0 】

次に、A D C 1 1、3 1、4 1 はバックグラウンド補正が可能である。例えば、バックグラウンド補正を上述した基本構成を持つ半導体集積回路装置に適用し、さらに、I 信号用 A D 変換器及び Q 信号用 A D 変換器として、A D C 1 1、3 1、4 1 を適用した場合を考える。その場合以下のように低消費電力化の妨げとなる。

【 0 0 4 1 】

バックグラウンド補正においては、第一モードや第二モードといったものは存在しない。そのため、A D 変換処理を行う場合は常に以下ようになる。

【 0 0 4 2 】

I 信号用と Q 信号用とで A D C U が 2 つ必要となる。よって、参考図 1 に示す A D C 1 1 を適用した場合においては、2 つの R A D C U と、2 つの A D C U と、2 つの D C U とがそれぞれ A D 変換処理時には常に動作する。参考図 3 に示す A D C 3 1 を適用した場合においては、A D C U と、D C U とがそれぞれ 4 つが A D 変換処理時には常に動作する。よって第一モードと第二モードを持つフォアグラウンド補正型の半導体集積回路装置よりも更に消費電力が大きくなる。特に上述したように、R A D C U、R D A C U、及び A D C U の A D 変換処理時の消費電力が問題となる。参考図 4 に示す A D C 4 1 を適用した場合においては、2 つの A D C U と、4 つの D C U とが A D 変換処理時には常に動作する。よって第一モードと第二モードを持つフォアグラウンド補正型の半導体集積回路装置よりも更に消費電力が大きくなる。更に上述したように、A D 変換処理時には常に、変換誤差 (e) を求めるために一回のアナログ信号のサンプリングごとに二回の A D C U での A D 変換処理が必要となる。よって高速に A D C U での A D 変換処理が必要となり、消費電力が大きくなる。

20

30

【 0 0 4 3 】

以上を鑑みると、次の 2 つの構成・機能に関しては、I 信号用 A D 変換器及び Q 信号用 A D 変換器として 4 つの A D C 1 1、2 1、3 1、4 1 のいずれかを適用するのが性能的には良好となる。

【 0 0 4 4 】

(1) アナログ I 信号を A D 変換したものをデジタル補正処理することで A D 変換処理を行う I 信号用 A D 変換器及び、アナログ Q 信号を A D 変換したものをデジタル補正処理することで A D 変換処理を行う Q 信号用 A D 変換器を有する半導体集積回路装置

40

(2) I 信号用 A D 変換器及び Q 信号用 A D 変換器のフォアグラウンド補正

しかしながら、I 信号用 A D 変換器及び Q 信号用 A D 変換器を有する半導体集積回路装置の小面積化及び低消費電力化には依然として問題があることが分かる。

【 0 0 4 5 】

上述した基本構成に 4 つの A D C 1 1、2 1、3 1、4 1 のいずれかを組み合わせた場合、バックグラウンド補正及びフォアグラウンド補正のうちのいずれかを適用したとしても、補正係数の算出のために面積の大きな回路を追加する必要があり、この面積の大きな回路の追加による消費電力のために、半導体集積回路装置の小面積化及び低消費電力化が妨げられるからである。

50

【 0 0 4 6 】

以上の事項を鑑みて、後述するような実施の形態を導き出した。

【 0 0 4 7 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明する。しかし、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部又は全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合及び原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

10

【 0 0 4 8 】

さらに、以下の実施の形態において、その構成要素（動作、タイミングチャート、動作ステップ等も含む）は、特に明示した場合及び原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合及び原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似又は類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

【 0 0 4 9 】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部位や部材には同一又は関連する符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一又は同様な部分の説明を原則として繰り返さない。

20

【 0 0 5 0 】

（実施の形態 1）

以下、本実施の形態の半導体集積回路装置及びこの半導体集積回路装置を含む通信システムの構成と、半導体集積回路装置及びこの半導体集積回路装置を含む通信システムの動作とについて詳細に説明する。図 5 は半導体集積回路装置を含む通信システムの構成図である。図 6 は半導体集積回路装置を含む通信システムの動作図である。図 7 は半導体集積回路装置内の I 及び Q 信号用デジタル補正部の構成図である。図 8 は半導体集積回路装置内の I Q 間補正部の構成図である。

30

【 0 0 5 1 】

1. 構成

まず図 5 を参照しながら、本実施の形態の半導体集積回路装置及びこの半導体集積回路装置を含む通信システムの構成について説明する。

【 0 0 5 2 】

（1）通信システム

本実施の形態の通信システムは、アンテナ ANT と無線通信用の半導体集積回路装置 R F I C とベースバンド処理部 B B U とを有する。アンテナ ANT は外部からの通信信号としての高周波信号 H F S を受ける。無線通信用の半導体集積回路装置 R F I C は、同図の 2 点鎖線に囲われている部分であり、高周波信号 H F S をダウンコンバートしてベースバンド信号に復調する。ベースバンド処理部 B B U はベースバンド信号を受けてデジタル処理を行って通信信号の解析やデータ処理を行う。尚、半導体集積回路装置 R F I C は、G S M (G o b a l S y s t e m M o b i l e C o m m u n i c a t i o n)、W C D M A (W i d e B a n d C D M A)、及び L T E (L o n g T e r m E v o l u t i o n) に対応したものである。

40

【 0 0 5 3 】

（2）半導体集積回路装置

半導体集積回路装置 R F I C は、アナログ回路 R - A C と A D 変換器 I - A D C と A D 変換器 Q - A D C とデジタル処理部 D O U とアナログ回路 T - A C とを有する。アナログ

50

回路 R - A C は、同図の鎖線に囲われている部分である。アナログ回路 R - A C は、アンテナ A N T を介して高周波信号 H F S を受け、アナログ I 信号 R - I A とアナログ I 信号 R - I A と位相が 90 度ずれているようなアナログ Q 信号 R - Q A とを生成する。アナログ I 信号 R - I A とアナログ Q 信号 R - Q A とは直交しているともいうが、現実にはプロセスばらつき等のばらつきにて厳密に 90 度ずれているわけではない。A D 変換器 I - A D C は、同図の鎖線に囲われている部分であり、アナログ I 信号 R - I A を受けて、A D 変換処理を行うことによりデジタル I 信号 R - I D を生成する。A D 変換器 Q - A D C は、同図の 1 点鎖線に囲われている部分であり、アナログ Q 信号 R - Q A を受けて、A D 変換処理を行うことによりデジタル Q 信号 R - Q D を生成する。デジタル処理部 D O U は、デジタル I 信号 R - I D 及びデジタル Q 信号 R - Q D を受け、デジタル処理を行い、ベースバンド信号を生成してベースバンド処理部 B B U に出力する。アナログ回路 T - A C は、同図の鎖線に囲われている部分である。アナログ回路 T - A C は、ベースバンド処理部 B B U からのベースバンド信号に基づいたデジタル I 信号 T - I D 及びデジタル Q 信号 T - Q D をデジタル処理部 D O U から受け、変調処理を行って出力用高周波信号を生成する。

10

【 0 0 5 4 】

尚、アナログ I 信号はアナログの I 信号であり、アナログ Q 信号はアナログの Q 信号である。デジタル I 信号はデジタルの I 信号であり、デジタル Q 信号はデジタルの Q 信号である。更に I 信号は同相信号 (I n p h a s e 信号) であり、Q 信号は直交信号 (Q u a d r a t u r e p h a s e 信号) である。

20

【 0 0 5 5 】

ここで、アナログ回路 R - A C、A D 変換器 I - A D C、A D 変換器 Q - A D C、デジタル処理部 D O U、及び後に説明するパワーアンプ P A を除いたアナログ回路 T - A C は第一の半導体基板上に形成される。パワーアンプ P A は第二の半導体基板上に形成される。第一及び第二の半導体基板を 1 つのパッケージにて封止して半導体集積回路装置 R F I C としている。尚、第二半導体基板を無くしてパワーアンプ P A は半導体集積回路装置 R F I C と別としてもよい。更にベースバンド処理部 B B U は、半導体集積回路装置 R F I C とは別の半導体集積回路装置であり、アンテナ A N T もまた半導体集積回路装置 R F I C とは別の回路装置である。

【 0 0 5 6 】

30

(a) 受信用アナログ回路

アナログ回路 R - A C は送受信切替スイッチ T R - S W とローノイズアンプ L N A とミキサ R I - M I X とフィルタ I - F I L とフィルタ Q - F I L とを有する。また、アナログ回路 R - A C は I 可変増幅器 I - P G A と可変増幅器 Q - P G A とクロックパルス生成器 C P G とループスイッチ L - S W とを有する。送受信切替スイッチ T R - S W はアンテナ A N T を介した高周波信号 H F S の必要な信号成分がアナログ回路 R - A C 内部に入力するものである。また、送受信切替スイッチ T R - S W はアナログ回路 T - A C からの不要な信号成分がアナログ回路 R - A C に入力されないようにカットするものである。ローノイズアンプ L N A は送受信切替スイッチ T R - S W からの高周波信号 H F S をベースバンド処理部 B B U により指定された倍率にて低ノイズにて増幅する。ミキサ R I - M I X はローノイズアンプ L N A からの高周波信号 H F S に対して高周波信号であり所定の周波数を持つ第一ミキサ信号をミキシングすることで低周波に周波数変換するようなダウンコンバートを行って、アナログ I 信号 R - I A を生成する。ミキサ R Q - M I X はローノイズアンプ L N A からの高周波信号 H F S に対して高周波信号であり所定の周波数を持ち第一ミキサ信号と位相が 90 度異なる第二ミキサ信号をミキシングすることで低周波に周波数変換するようなダウンコンバートを行って、アナログ Q 信号 R - Q A を生成する。フィルタ I - F I L は受信用 I ミキサ R I - M I X からのアナログ I 信号 R - I A を受け、ベースバンド処理部 B B U により指定された帯域の周波数を通すことによりアナログ I 信号 R - I A を出力する。フィルタ Q - F I L はミキサ R Q - M I X からのアナログ Q 信号 R - Q A を受け、ベースバンド処理部 B B U により指定された帯域の周波数を通すことによ

40

50

リアナログQ信号R-QAを出力する。可変増幅器I-PGAはフィルタI-FILからのアナログI信号I-QAを受け、ベースバンド処理部BBUにより指定された倍率にて増幅したアナログI信号R-IAを出力する。可変増幅器Q-PGAはフィルタQ-FILからのアナログQ信号R-QAを受け、ベースバンド処理部BBUにより指定された倍率にて増幅したアナログQ信号R-QAを出力する。クロックパルス生成器CPGは、第一ミキサ信号及び第二ミキサ信号を生成するための位相同期ループPLLと、位相同期ループPLLからの出力に従って所定のクロックに位相が合った高周波信号である第一及び第二ミキサ信号を生成する電圧制御発振器VCOとを有する。

【0057】

(b) I信号用AD変換器及びQ信号用AD変換器

10

(い)構成

AD変換器I-ADCは、テスト入力端子TITと、切替回路I-SCと、AD変換部I-ADCUと、デジタル補正部DCUI&Qとを有する。

【0058】

AD変換器Q-ADCは、テスト入力端子TITと、切替回路Q-SCと、AD変換部Q-ADCUと、デジタル補正部DCUI&Qとを有する。尚、テスト入力端子TITと、デジタル補正部DCUI&Qとは、AD変換器I-ADCと共有している。

【0059】

(ろ)AD変換テスト動作

切替回路I-SCのスイッチSWI1がON、スイッチSWI2がOFFであり、切替回路Q-SCのスイッチSWQ1がON、スイッチSWQ2がOFFのとき、以下のように動作する。尚、本実施の形態においては、このときの動作をAD変換テスト動作と称する。本明細書全体では、テスト信号ADC-TSを用いてAD変換用補正係数を生成する動作をAD変換テスト動作とする。

20

【0060】

テスト信号ADC-TSが切替回路I-SCを介してAD変換部I-ADCUに入力され、切替回路Q-SCを介してAD変換部Q-ADCUに入力される。AD変換部I-ADCUはテスト信号ADC-TSに加えて第一ディザ信号Dither1が入力され、これら入力をAD変換処理してその結果をデジタル補正部DCUI&Qに出力する。AD変換部Q-ADCUはテスト信号ADC-TSに加えて第二ディザ信号Dither2

30

【0061】

デジタル補正部DCUI&Qは補正係数設定レジスタI-ADCCCSRESと補正係数設定レジスタQ-ADCCCSRESとを有する。補正係数設定レジスタI-ADCCCSRESはAD変換器I-ADCのためのデジタル補正処理用の補正係数を格納するものである。補正係数設定レジスタQ-ADCCCSRESはAD変換器Q-ADCのためのデジタル補正処理用の補正係数を格納するものである。デジタル補正部DCUI&QはAD変換部I-ADCUからの出力をデジタル補正処理した補正結果と、AD変換部Q-ADCUからの出力をデジタル補正処理した補正結果とを保持する。保持されたこれら補正結果に基づいて、補正係数設定レジスタI-ADCCCSRESに格納されるべき補正係数I-ADCCCが決定されて格納される。ここで、補正係数I-ADCCCは図7で示される W_i である。また、補正係数設定レジスタQ-ADCCCSRESに格納されるべき補正係数Q-ADCCCが決定されて格納される。ここで、補正係数Q-ADCCCは図7で示される U_i である。

40

【0062】

(は)AD変換本番動作

切替回路I-SCのスイッチSWI1がOFF、スイッチSWI2がONであり、切替回路Q-SCのスイッチSWQ1がOFF、スイッチSWQ2がONのとき、以下のように動作する。尚、本実施の形態においてはこのときの動作をAD変換本番動作と称する。

50

本明細書全体では、A/D変換テスト動作時に求められたA/D変換用補正係数を用いて受信アナログ回路からの受信アナログ信号に対してA/D変換処理を行う動作をA/D変換本番動作とする。

【0063】

アナログI信号R-I/Aが切替回路I-SCを介してA/D変換部I-ADCUに入力され、アナログQ信号R-Q/Aが切替回路Q-SCを介してA/D変換部Q-ADCUに入力される。A/D変換部I-ADCUにはアナログI信号R-I/Aが入力され、この入力をA/D変換処理してその結果をデジタル補正部DCUI&Qに出力する。A/D変換部Q-ADCUにはアナログQ信号R-Q/Aが入力され、この入力をA/D変換処理してその結果をデジタル補正部DCUI&Qに出力する。デジタル補正部DCUI&QはA/D変換部I-ADCUからの出力を補正係数設定レジスタI-ADCCCSRESに格納されている補正係数I-ADCCCを用いてデジタル補正処理する。そして、デジタル補正部DCUI&QはA/D変換器I-ADCにおけるA/D変換処理結果としてデジタルI信号R-IDを出力する。デジタル補正部DCUI&QはA/D変換部Q-ADCUからの出力を補正係数設定レジスタQ-ADCCCSRESに格納されている補正係数Q-ADCCCを用いてデジタル補正処理する。そして、デジタル補正部DCUI&QはA/D変換器Q-ADCにおけるA/D変換処理結果としてデジタルQ信号R-QDを出力する。

10

【0064】

(c) デジタル処理部

デジタル処理部DOUはI/Q間補正部I/QCUとキャリブレーション信号生成回路I/QCU-CSGと頻度設定レジスタADC-FSRESとを有する。さらに、デジタル処理部DOUは期間設定レジスタADC-PSRESと頻度設定レジスタI/QC-FSRESと期間設定レジスタI/QC-PSRESとモード設定レジスタMRESとを有する。I/Q間補正部I/QCUはアナログ回路R-ACにおけるミキサRI-MIXから可変増幅器I-PGAまでのパスに起因する利得や位相、直流オフセットのミスマッチを検出し、補正する。また、I/Q間補正部I/QCUはミキサRQ-MIXから可変増幅器Q-PGAまでのパスに起因する利得や位相、直流オフセットのミスマッチを検出し、補正する。キャリブレーション信号生成回路I/QCU-CSGはI/Q間補正部I/QCUのための補正係数を算出するためのテスト信号I/QC-TSを生成する。

20

【0065】

I/Q間補正部I/QCUはデジタルI信号R-IDの処理のための補正係数I-I/QCUCを格納する補正係数設定レジスタI-I/QCUCCSRESを持つ。ここで、補正係数I-I/QCUCは図8に示される係数H11、H12、kIである。更にI/Q間補正部I/QCUはデジタルQ信号R-QDの処理のための補正係数Q-I/QCUCを格納する補正係数設定レジスタQ-I/QCUCCSRESも持つ。ここで、補正係数Q-I/QCUCは図8に示される係数H21、H22、kQである。

30

【0066】

(d) 送信用アナログ回路

アナログ回路T-ACはDA変換器I-DACとDA変換器Q-DACとローパスフィルタI-LPFとローパスフィルタQ-LPFとを有する。さらに、アナログ回路T-ACはミキサTI-MIXとミキサTQ-MIXと出力足し合わせ部T-OAUとパワーアンプPAとを有する。DA変換器I-DACはベースバンド処理部BBUからのベースバンド信号に基づいており、デジタル処理部DOUから出力されたデジタルI信号T-IDを受け、DA変換処理してアナログI信号T-IAを生成する。DA変換器Q-DACはベースバンド処理部BBUからのベースバンド信号に基づいており、デジタル処理部DOUから出力されたデジタルQ信号T-QDを受け、DA変換処理してアナログQ信号T-QAを生成する。ローパスフィルタI-LPFはDA変換器I-DACからのアナログI信号T-IAを受け、ベースバンド処理部BBUにより指定された周波数よりも低周波領域の信号を通して出力する。ローパスフィルタQ-LPFはDA変換器Q-DACからのアナログQ信号T-QAを受け、ベースバンド処理部BBUにより指定された周波数より

40

50

も低周波領域の信号を通して出力する。ミキサT I - M I XはローパスフィルタI - L P FからのアナログI信号T - I Aに対して高周波信号であり所定の周波数を持つ第三ミキサ信号をミキシングすることで高周波に周波数変換するようなアップコンバートを行って出力する。ミキサT Q - M I XはローパスフィルタI - L P FからのアナログI信号T - I Aに対して高周波信号であり所定の周波数を持ち第三ミキサ信号と位相が90度異なる第四ミキサ信号をミキシングすることで高周波に周波数変換するようなアップコンバートを行って出力する。出力足し合わせ部T - O A UはミキサT I - M I X及びミキサT Q - M I Xからの出力を足し合わせて通信用の送信用高周波信号を生成する。パワーアンプP Aは出力足し合わせ部T - O A Uからの出力を増幅する。

【0067】

10

尚、クロックパルス生成器C P G、ループスイッチL - S W、及び送受信切替スイッチT R - S Wはアナログ回路R - A Cと共用されている。パワーアンプP Aからの出力は送受信切替スイッチT R - S Wによってアナログ回路R - A Cに雑音が入力されないように所定周波数領域がカットされる。なお、アンテナA N Tを介した高周波信号H F Sも送受信切替スイッチT R - S Wによってパワーアンプに雑音が入力されないように所定周波数領域がカットされる。パワーアンプP Aからの出力で送受信切替スイッチT R - S Wを通った送信用高周波信号の信号成分がアンテナA N Tを介して外部に送信される。

【0068】

(e) I Q間補正テスト動作

補正係数I - I / Q C U C C及び補正係数Q - I / Q C U C Cを算出するとき、以下のように動作する。尚、本実施の形態においては、このときの動作をI Q間補正テスト動作と称する。本明細書全体では、キャリブレーション信号生成回路I / Q C U - C S Gからの出力に基づいて、I Q間補正用補正係数を算出する動作をI Q間補正テスト動作とする。

20

【0069】

ループスイッチL - S WがONする。キャリブレーション信号生成回路I / Q C U - C S GからD A変換器I - D A Cに対してキャリブレーション信号I - C Sが出力される。また、キャリブレーション信号生成回路I / Q C U - C S GからD A変換器Q - D A Cに対してキャリブレーション信号Q - C Sが出力される。A D変換本番動作が実施される。その結果、以下のように動作する。

30

【0070】

キャリブレーション信号I - C S及びキャリブレーション信号Q - C Sがアナログ回路T - A Cに出力される。キャリブレーション信号I - C S及びキャリブレーション信号Q - C Sがアナログ回路T - A Cにより各種変換処理される。そして、各種変換処理の結果が出力足し合わせ部T - O A UからループスイッチL - S Wを介してアナログ回路R - A Cに入力される。この入力が入力されるアナログ回路R - A CのミキサR I - M I X及びミキサR Q - M I Xに入力されて各種変換処理がなされる。この各種変換処理の結果としてアナログI信号R - I AがA D変換器I - A D Cに出力され、アナログQ信号R - Q AがA D変換器Q - A D Cに出力される。A D変換器I - A D C及びA D変換器Q - A D CはA D変換本番動作を行い、デジタルI信号R - I D及びデジタルQ信号R - Q DをI Q間補正部I / Q C Uに出力する。I Q間補正部I / Q C UはデジタルI信号R - I D及びデジタルQ信号R - Q Dを補正処理し、この補正結果に基づいて補正係数I - I / Q C U C C及び補正係数Q - I / Q C U C Cを算出する。

40

【0071】

(f) I Q間補正本番動作

I Q間補正テスト動作にて求められた補正係数I - I / Q C U C C及び補正係数Q - I / Q C U C Cを用いて、上述したような利得や位相、直流オフセットのミスマッチを検出し、補正するとき、以下のように動作する。尚、本実施の形態においては、このときの動作をI Q間補正本番動作と称する。本明細書全体では、I Q間補正用テスト動作にて求められたI Q間補正用補正係数を用いて、A D変換器からの受信デジタル信号に対しデジタ

50

ル補正処理を行って補正デジタル信号を生成する動作をI/Q間補正本番動作とする。

【0072】

ループスイッチL-SWがOFFする。キャリブレーション信号生成回路I/QCU-CSGはディセーブル状態となる。AD変換本番動作が実施される。その結果、以下のよう動作する。

【0073】

アンテナANTを介して高周波信号HFSを受け、アナログ回路R-ACがアナログI信号R-IAとアナログQ信号R-QAとを生成する。AD変換器I-ADCがアナログI信号R-IAを受けて、AD変換処理を行うことによりデジタルI信号R-IDを生成する。AD変換器Q-ADCがアナログQ信号R-QAを受けて、AD変換処理を行うことによりデジタルQ信号R-QDを生成する。I/Q間補正部I/QCUは、デジタルI信号R-ID及びデジタルQ信号R-QDを受け、上述したような利得や位相、直流オフセットのミスマッチを検出し、デジタル補正処理を行う。ミスマッチはI/Q間補正テスト動作のときに求められた補正係数I-I/QCUC及び補正係数Q-I/QCUCを用いて検出する。この結果I/Q間補正部I/QCUは、補正デジタルI信号CID、及び補正デジタルQ信号CQDを生成する。デジタル処理部DOUは補正デジタルI信号CID及び補正デジタルQ信号CQDに対して必要なデジタル処理を施してベースバンド信号を生成してベースバンド処理部BBUに送信する。デジタル処理が不必要なら何らのデジタル処理を施さない。その場合は補正デジタルI信号CID及び補正デジタルQ信号CQDは復調されたベースバンド信号となる。

10

20

【0074】

2. 通信システムの動作

図6を参照しながら、半導体集積回路装置を含む通信システムの動作について説明する。

【0075】

(1) 動作シーケンス

動作シーケンスとして、通信システムの起動後に発生する初期シーケンス期間ISPと、初期シーケンス期間後に発生する無信号期間NSPと、無信号期間の後に発生する受信信号処理期間RSPとを有する。2回目の無信号期間NSP2と受信信号処理期間RSP2とのセットである繰り返し期間は一定周期にて繰り返し替えされる。

30

【0076】

初期シーケンス期間ISPは通信システム内のフリップフロップのリセット動作や、通信システム内の電源立ち上げ処理や、通信システム内の各要素回路の各種オフセットをキャンセルするためのキャリブレーション処理を行う期間である。代表的なキャリブレーション処理を行う回路はアナログ回路R-ACとアナログ回路T-ACとである。キャリブレーション処理を行う回路は、ローノイズアンプLNAとフィルタI-FILとフィルタQ-FILと可変増幅器I-PGAと可変増幅器Q-PGAとクロックパルス生成器CPGとである。その他に、キャリブレーション処理を行う回路は、DA変換器I-DACとDA変換器Q-DACとローパスフィルタI-LPFとローパスフィルタQ-LPFとパワーアンプPAとである。

40

【0077】

無信号期間NSPは外部からの高周波信号HFSが来ない期間である。

【0078】

受信信号処理期間(通常動作期間)RSPは外部からの高周波信号HFSをダウンコンバートしてベースバンド信号に復調する期間である。

【0079】

(2) 動作モード

デジタル処理部DOUのモード設定レジスタMRESにベースバンド処理部BBUにより値が設定されることにより動作モードが決定される。動作モードは送受信系それぞれにおいて、I信号用のパスとQ信号用のパスは同一に設定される。

50

【 0 0 8 0 】

動作モードとしては、ADC補正モードADC - CMとIQCUC補正モードI / QCU - CMと受信信号処理モードRSPMとを有する。ADC補正モードADC - CMはAD変換処理用の補正係数である補正係数I - ADCCC及び補正係数Q - ADCCCを算出するためのモードである。IQCUC補正モードI / QCU - CMはIQ間補正部I / QCUのための補正係数である補正係数I - I / QCUCC及び補正係数Q - I / QCUCCを算出するためのモードである。受信信号処理モードRSPMは外部からの高周波信号HFSをダウンコンバートしてベースバンド信号に復調するモードである。

【 0 0 8 1 】

以上にて説明した動作モード以外のモードも存在し、以上にて説明した動作モードに当てはまらないものは、その他モードOMと総称して記載している。尚、通信システム起動直後のその他モードOMでは、通信システム内のフリップフロップのリセット動作や、通信システム内の電源立ち上げ処理が実行される。

10

【 0 0 8 2 】

ADC補正モードADC - CMにおいては、AD変換テスト動作が実行される。IQCUC補正モードI / QCU - CMにおいては、AD変換本番動作が実行されかつ、IQ間補正テスト動作が実行される。受信信号処理モードRSPMにおいては、AD変換本番動作が実行されかつ、IQ間補正本番動作が実行される。

【 0 0 8 3 】

同図においては、初期シーケンス期間ISPにADC補正モードADC - CMが設定される。また、無信号期間NSP、NSP2にADC補正モードADC - CMとIQCUC補正モードI / QCU - CMとが設定される。また、受信信号処理期間RSP、RSP2に受信信号処理モードRSPMが設定される。

20

【 0 0 8 4 】

(3) レジスタ

デジタル処理部DOUは頻度設定レジスタADC - FSRESと期間設定レジスタADC - PSRESと頻度設定レジスタI / QC - FSRESと期間設定レジスタI / QC - PSRESとを有する。

【 0 0 8 5 】

頻度設定レジスタADC - FSRESは初期シーケンス期間ISPにAD変換テスト動作があるのか否かが設定可能である。更に、毎無信号期間NSPごとにAD変換テスト動作があるのか、M個の無信号期間NSPごとにAD変換テスト動作があるのかどうかを設定可能である。ここで、Mは2以上の自然数である。

30

【 0 0 8 6 】

期間設定レジスタADC - PSRESは初期シーケンス期間ISPにAD変換テスト動作がどれだけの長さにて実行されるのかが設定可能である。更に、無信号期間NSPでのAD変換テスト動作がどれだけの長さにて実行されるのかが設定可能である。

【 0 0 8 7 】

頻度設定レジスタI / QC - FSRESは初期シーケンス期間ISPにIQ間補正テスト動作があるのか否かが設定可能である。更に、毎無信号期間NSPごとにIQ間補正テスト動作があるのか、N個の無信号期間ごとにIQ間補正テスト動作があるのかどうかを設定可能である。ここで、Nは2以上の自然数である。

40

【 0 0 8 8 】

期間設定レジスタI / QC - PSRESは初期シーケンス期間ISPにIQ間補正テスト動作がどれだけの長さにて実行されるのかが設定可能である。更に、無信号期間NSPでのIQ間補正テスト動作がどれだけの長さにて実行されるのかが設定可能である。

【 0 0 8 9 】

尚、初期シーケンス期間ISPにADC補正モードADC - CMとIQCUC補正モードI / QCU - CMの両方が実行される場合には、必ずADC補正モードADC - CMが始めに実行される。その後、IQCUC補正モードI / QCU - CMが実行される。各無信号

50

期間NSPにおいてもADC補正モードADC-CMとIQU補正モードI/QU-CMの両方が実行される場合には、必ずADC補正モードADC-CMが始めに実行される。その後、IQU補正モードI/QU-CMが実行される。

【0090】

なお、同図の一番下のグラフは温度又は電源電圧値が時間経過に伴ってどのように変化するかを表す一例であり、下から2番目のグラフはAD変換器用の補正係数値又はIQ間補正部I/QU用の補正係数値が時間経過に伴ってどのように変化するかを表す一例である。

【0091】

3. I及びQ信号用デジタル補正部

図7を用いて、半導体集積回路装置内のI及びQ信号用デジタル補正部の説明を行う。

【0092】

(1) 構成

デジタル補正部DCUI&Qは図7の鎖線にて囲われている部分である。デジタル補正部DCUI&Qは補正係数設定レジスタI-ADCCCSRESとデジタル補正部I-DCUとを有する。また、デジタル補正部DCUI&Qは補正係数設定レジスタQ-ADCCCSRESとデジタル補正部Q-DCUとを有する。さらに、デジタル補正部DCUI&Qは誤差演算部ECUとディザ-差分部DDUと補正係数探索部ADC-CSUとを有する。デジタル補正部I-DCUは、AD変換部I-ADCUからの出力であるAD変換部出力I-ADCUOを受ける。また、デジタル補正部I-DCUは補正係数設定レジスタI-ADCCCSRESに格納された補正係数I-ADCCに從ってデジタル補正処理を行うことでデジタルI信号R-IDを出力する。デジタル補正部Q-DCUはAD変換部Q-ADCUからの出力であるAD変換部出力Q-ADCUOを受ける。また、デジタル補正部Q-DCUは補正係数設定レジスタQ-ADCCCSRESに格納された補正係数Q-ADCCに從ってデジタル補正処理を行うことでデジタルQ信号R-QDを出力する。誤差演算部ECUはデジタル補正部I-DCUとデジタル補正部Q-DCUとの間の出力の差分を取る。ディザ-差分部DDUは誤差演算部ECUからの出力から2を減算することで変換誤差eを出力する。補正係数探索部ADC-CSUはディザ-差分部DDUからの変換誤差eを受ける。そして、補正係数探索部ADC-CSUは変換誤差eに從ってLMSアルゴリズム等の所定のアルゴリズムにて補正係数I-ADCC及び補正係数Q-ADCCを算出する。

【0093】

(2) デジタル補正処理

AD変換部I-ADCUからのAD変換部出力I-ADCUOを D_i とする。そして、補正係数I-ADCCを W_i とする。そのとき、以下の式(1)のような値がデジタルI信号R-IDとしてデジタル補正部I-DCUから出力される。ここで、 i は $0 \sim N-1$ であり、 i は i 番目のAD変換部出力I-ADCUOやAD変換部出力Q-ADCUO等のデジタル出力信号のビットを表す。 N は2以上の自然数で、ビット数を表す。

【0094】

【数1】

数1

$$\sum_{i=0}^{N-1} W_i \cdot D_i \dots\dots(1)$$

【0095】

AD変換部Q-ADCUからのAD変換部出力Q-ADCUOを D_i とする。そして、補正係数Q-ADCCを U_i とする。そのとき、以下の式(2)のような値がデジタルQ信号R-QDとしてデジタル補正部Q-DCUから出力される。

【0096】

10

20

30

40

50

【数 2】

数2

$$\sum_{i=0}^{N-1} U_i \cdot D_i \dots\dots(2)$$

【 0 0 9 7 】

以下の明細書において、A D 変換部 I - A D C U 又は A D 変換部 Q - A D C U からのデジタル出力をデジタル出力 D i とする。

【 0 0 9 8 】

(3) A D 変換テスト動作

A D 変換テスト動作時、以下の動作が実行される。テスト信号 A D C - T S が共通にテスト入力端子 T I T から A D 変換部 I - A D C U 及び A D 変換部 Q - A D C U に入力される。デジタル補正部 I - D C U が A D 変換部 I - A D C U からのデジタル出力 D i を受ける。そして、デジタル補正部 I - D C U は補正係数設定レジスタ I - A D C C C S R E S に格納された補正係数 I - A D C C C に従ってデジタル補正処理を行うことでデジタル I 信号 R - I D を誤差演算部 E C U に出力する。デジタル補正部 Q - D C U が A D 変換部 Q - A D C U からのデジタル出力 D i を受ける。そして、デジタル補正部 Q - D C U は補正係数設定レジスタ Q - A D C C C S R E S に格納された補正係数 Q - A D C C C に従ってデジタル補正処理を行うことでデジタル Q 信号 R - Q D を誤差演算部 E C U に出力する。誤差演算部 E C U はデジタル I 信号 I - Q D からデジタル Q 信号 R - Q D を減算し、その結果をディザ-差分部 D D U に出力する。ディザ-差分部 D D U は誤差演算部 E C U からの出力から 2 を減算し、その結果の変換誤差 e を補正係数探索部 A D C - C S U に出力する。ここで、2 = 第一ディザ-信号 D i t h e r 1 - 第二ディザ-信号 D i t h e r 2 である。補正係数探索部 A D C - C S U は変換誤差 e 及び補正係数 I - A D C C C に従って L M S アルゴリズム等の所定のアルゴリズムにて補正係数 I - A D C C C を算出する。ここで、補正係数 I - A D C C C は補正係数設定レジスタ I - A D C C C S R E S にあらかじめ格納されていたものである(同図で W i と記載されている。)。補正係数探索部 A D C - C S U は変換誤差 e 及び補正係数 Q - A D C C C に従って L M S アルゴリズム等の所定のアルゴリズムにて補正係数 Q - A D C C C を算出する。ここで、補正係数 Q - A D C C C は補正係数設定レジスタ Q - A D C C C S R E S にあらかじめ格納されていたものである(同図で U i と記載されている。)。新たに算出された補正係数 I - A D C C C (同図で W i (N E W) と記載されている。)は補正係数設定レジスタ I - A D C C C S R E S に新たに格納される。また、新たに算出された補正係数 Q - A D C C C (同図で U i (N E W) と記載されている。)は補正係数設定レジスタ Q - A D C C C S R E S に新たに格納される。更に次のテスト信号 A D C - T S がテスト入力端子 T I T から共通に A D 変換器 I - A D C 及び A D 変換器 Q - A D C 入力される。これによって、補正係数設定レジスタ I - A D C C C S R E S の値及び補正係数設定レジスタ Q - A D C C C S R E S の値が更新される。このような更新動作が A D 変換テスト動作時には繰り返えされる。

【 0 0 9 9 】

(4) A D 変換本番動作

A D 変換本番動作時、以下の動作が実行される。アナログ回路 R - A C からのアナログ I 信号 R - I A が A D 変換器 I - A D C に入力され、アナログ Q 信号 R - Q A が A D 変換器 Q - A D C に入力される。A D 変換部 I - A D C U から A D 変換部出力 I - A D C U O (デジタル出力 D i) が出力され、A D 変換部 Q - A D C U から A D 変換部出力 Q - A D C U O (デジタル出力 D i) が出力される。デジタル補正部 I - D C U が A D 変換部 I - A D C U からのデジタル出力 D i を受ける。そして、デジタル補正部 I - D C U は補正係数 I - A D C C C に従って、デジタル補正処理を行うことでデジタル I 信号 R - I D を I Q 間補正部 I / Q C U に出力する。補正係数 I - A D C C C は A D 変換テスト動作時に求められて補正係数設定レジスタ I - A D C C C S R E S に格納されたものである。デジタル補正部 Q - D C U が A D 変換部 Q - A D C U からのデジタル出力 D i を受ける。そして

10

20

30

40

50

、デジタル補正部 Q - D C U は補正係数 Q - A D C C C に従って、デジタル補正処理を行うことでデジタル Q 信号 R - Q D を I Q 間補正部 I / Q C U に出力する。補正係数 Q - A D C C C は A D 変換テスト動作時に求められて補正係数設定レジスタ Q - A D C C C S R E S に格納されたものである。

【 0 1 0 0 】

尚、図 7 にて一点鎖線にて囲われた領域 7 1 は、A D 変換本番動作時には動作しない領域であり、A D 変換テスト動作時にのみ動作する。

【 0 1 0 1 】

4 . I Q 間補正部

図 8 を用いて、半導体集積回路装置内の I Q 間補正部の説明を行う。

10

【 0 1 0 2 】

(1) 構成

I Q 間補正部 I / Q C U は図 8 の 1 点鎖線にて囲われている部分である。I Q 間補正部 I / Q C U は補正係数設定レジスタ I - I / Q C U C C S R E S とデジタル補正部 I - I / Q D C U と補正係数設定レジスタ Q - I / Q C U C C S R E S とデジタル補正部 Q - I / Q D C U と補正係数探索部 I / Q C U - C S U とを有する。デジタル補正部 I - I / Q D C U は補正係数 I - I / Q C U C C に従って、デジタル I 信号 R - I D 及びデジタル Q 信号 R - Q D に対してデジタル補正処理を行い、補正デジタル I 信号 C I D を出力する。補正係数 I - I / Q C U C C は補正係数設定レジスタ I - I / Q C U C C S R E S に格納されたものである。デジタル I 信号 R - I D は A D 変換器 I - A D C からの信号である。デジタル Q 信号 R - Q D は A D 変換器 Q - A D C からの信号である。デジタル補正部 Q - I / Q D C U は補正係数 Q - I / Q C U C C に従って、デジタル I 信号 R - I D 及びデジタル Q 信号 R - Q D に対してデジタル補正処理を行い、補正デジタル Q 信号 C Q D を出力する。補正係数 Q - I / Q C U C C は補正係数設定レジスタ Q - I / Q C U C C S R E S に格納されたものである。デジタル I 信号 R - I D は A D 変換器 I - A D C からの信号である。デジタル Q 信号 R - Q D は A D 変換器 Q - A D C からの信号である。補正係数探索部 I / Q C U - C S U は補正デジタル I 信号 C I D と補正デジタル Q 信号 C Q D とに従って、L M S アルゴリズム等の所定のアルゴリズムにより補正係数 I - I / Q C U C C 及び補正係数 Q - I / Q C U C C を探索する。補正デジタル I 信号 C I D はデジタル補正部 I - I / Q D C U からの信号である。補正デジタル Q 信号 C Q D はデジタル補正部 Q - I / Q D C U からの信号である。

20

30

【 0 1 0 3 】

デジタル補正部 I - I / Q D C U のデジタル補正処理により、デジタル I 信号 R - I D のデジタル Q 信号 R - Q D に対する、利得、位相又は直流オフセットのミスマッチの検出と、補正とが実行される。ここで、利得、位相又は直流オフセットのミスマッチはアナログ回路 R - A C におけるミキサ R I - M I X から可変増幅器 I - P G A までのパスと、ミキサ R Q - M I X から可変増幅器 Q - P G A までのパスに起因するものである。デジタル補正部 Q - I / Q D C U のデジタル補正処理により、デジタル Q 信号 R - Q D のデジタル I 信号 R - I D に対する、利得、位相又は直流オフセットのミスマッチの検出と、補正とが実行される。ここで、アナログ回路 R - A C におけるミキサ R I - M I X から可変増幅器 I - P G A までのパスと、ミキサ R Q - M I X から可変増幅器 Q - P G A までのパスに起因するものである。

40

【 0 1 0 4 】

(2) デジタル補正処理

デジタル補正部 I - I / Q D C U は補正係数 I - I / Q C U C C に従って、デジタル I 信号 R - I D 及びデジタル Q 信号 R - Q D に対してデジタル補正処理を行い、補正デジタル I 信号 C I D を出力する。

【 0 1 0 5 】

デジタル補正部 Q - I / Q D C U は補正係数 Q - I / Q C U C C に従って、デジタル I 信号 R - I D 及びデジタル Q 信号 R - Q D に対してデジタル補正処理を行い、補正デジタ

50

ルQ信号CQDを出力する。

【0106】

ここで、デジタルI信号R-ID、デジタルQ信号R-QD、補正デジタルI信号CID、及び補正デジタルQ信号CQDは以下の式(3)の関係を持つ。

【0107】

【数3】

数3

$$\begin{pmatrix} CID \\ CQD \end{pmatrix} = \begin{pmatrix} H_{11} & H_{12} \\ H_{21} & H_{22} \end{pmatrix} \begin{pmatrix} R-ID \\ R-QD \end{pmatrix} - \begin{pmatrix} kI \\ kQ \end{pmatrix} \dots\dots(3)$$

10

【0108】

ここで、 H_{11} 、 H_{22} は1に近い値で、デジタルI信号R-IDと、デジタルQ信号R-QDとの間の振幅ミスマッチを補正するための係数である。 H_{12} 、 H_{21} は0に近い値で、デジタルI信号R-IDと、デジタルQ信号R-QDとの間の位相ミスマッチを補正するための係数である。 kI 、 kQ は、デジタルI信号R-ID、デジタルQ信号R-QDそれぞれの直流オフセットを取り除くための係数である。

【0109】

(3)IQ間補正テスト動作

IQ間補正テスト動作時、以下の動作が実行される。また、IQ間補正テスト動作時、AD変換本番動作が実行される。

20

【0110】

デジタル補正部I-I/QDCUがAD変換器I-ADCからのデジタルI信号R-ID及びAD変換器Q-ADCからのデジタルQ信号R-QDに対してデジタル補正処理を行う。ここで、デジタル補正処理は補正係数設定レジスタI-I/QCUCSSRESに格納された補正係数I-I/QCUC (同図では H_{11} 、 H_{12} 、 kI と記載されている。)に従って行われる。そして、デジタル補正部I-I/QDCUは補正デジタルI信号CIDを補正係数探索部I/QCU-CSUに出力する。

【0111】

デジタル補正部Q-I/QDCUがAD変換器I-ADCからのデジタルI信号R-ID及びAD変換器Q-ADCからのデジタルQ信号R-QDに対してデジタル補正処理を行う。ここで、デジタル補正処理は補正係数設定レジスタQ-I/QCUCSSRESに格納された補正係数Q-I/QCUC (同図では H_{21} 、 H_{22} 、 kQ と記載されている。)に従って行われる。そして、デジタル補正部Q-I/QDCUは補正デジタルQ信号CQDを補正係数探索部I/QCU-CSUに出力する。

30

【0112】

補正係数探索部I/QCU-CSUはLMSアルゴリズム等の所定のアルゴリズムにより補正係数I-I/QCUC及び補正係数Q-I/QCUCを探索する。ここで、探索は、デジタル補正部I-I/QDCUからの補正デジタルI信号CIDと、デジタル補正部Q-I/QDCUからの補正デジタルQ信号CQDと、補正係数I-I/QCUCと、補正係数Q-I/QCUCとに従って行われる。探索に使用される補正係数I-I/QCUCは補正係数設定レジスタI-I/QCUCSSRESにあらかじめ格納されていたものである。また、探索に使用される補正係数Q-I/QCUCは補正係数設定レジスタQ-I/QCUCSSRESにあらかじめ格納されていたものである。探索された補正係数I-I/QCUC (同図では H_{11} 、 H_{12} 、 kI (New)と記載されている。)は補正係数設定レジスタI-I/QCUCSSRESに新たに格納される。また、補正係数Q-I/QCUC (同図では H_{21} 、 H_{22} 、 kQ (New)と記載されている。)は補正係数設定レジスタQ-I/QCUCSSRESに新たに格納される。

40

【0113】

次にデジタルI信号R-ID及びデジタルQ信号R-QDがデジタル補正部I-I/Q

50

D C U及びデジタル補正部 Q - I / Q D C Uに入力される。これにより、補正係数設定レジスタ Q - I / Q C U C C S R E S及び補正係数設定レジスタ Q - I / Q C U C C S R E Sの値が更新される。このような更新動作が I Q間補正テスト動作時には繰り返えされる。

【 0 1 1 4 】

(4) I Q間補正本番動作

I Q間補正本番動作時、以下の動作が実行される。また、I Q間補正本番動作時、A D変換本番動作が実行される。

【 0 1 1 5 】

デジタル補正部 I - I / Q D C UがA D変換器 I - A D CからのデジタルI信号 R - I D及びA D変換器 Q - A D CからのデジタルQ信号 R - Q Dに対してデジタル補正処理を行う。ここで、デジタル補正処理は、I Q間補正テスト動作時に求められ、補正係数設定レジスタ I - I / Q C U C C S R E Sに格納された補正係数 I - I / Q C U C Cに従って行われる。そして、デジタル補正部 I - I / Q D C Uが補正デジタルI信号 C I Dをデジタル処理部 D O U内部に出力するそして、デジタル処理部 D O Uがベースバンド信号をベースバンド処理部 B B Uに出力する。

10

【 0 1 1 6 】

デジタル補正部 Q - I / Q D C UがA D変換器 I - A D CからのデジタルI信号 R - I D及びA D変換器 Q - A D CからのデジタルQ信号 R - Q Dに対してデジタル補正処理を行う。ここで、デジタル補正処理は、I Q間補正テスト動作時に求められ、補正係数設定レジスタ Q - I / Q C U C C S R E Sに格納された補正係数 Q - I / Q C U C Cに従って行われる。そして、デジタル補正部 Q - I / Q D C Uが補正デジタルQ信号 C Q Dをデジタル処理部 D O U内部に出力する。そして、デジタル処理部 D O Uがベースバンド信号をベースバンド処理部 B B Uに出力する。

20

【 0 1 1 7 】

5 . まとめ

本実施の形態の一態様によれば、以下の作用効果が得られる。

【 0 1 1 8 】

(1) A D C補正モード A D C - C M (第一モード) において、A D変換器 I - A D C (第一A D変換器) 及びA D変換器 Q - A D C (第二A D変換器) に共通にテスト信号 A D C - T S (第一テスト信号) が入力されることで、補正係数 I - A D C C C (第一補正係数) 及び補正係数 Q - A D C C C (第二補正係数) が算出される。ここで、A D C補正モード (第一モード) はフォアグラウンド補正における第一モードに対応する。更にI Q補正モード I / Q C U - C M (第三モード) 又は受信信号処理モード R S P M (第二モード) において、A D C補正モード A D C - C M (第一モード) にて求められた補正係数 I - A D C C C (第一補正係数) を用いてデジタル補正処理することで、A D変換器 I - A D C (第一A D変換器) がアナログI信号 R - I A (第一アナログ信号) をA D変換処理してデジタルI信号 R - I D (第一デジタル信号) を出力する。ここで、受信信号処理モード (第二モード) はフォアグラウンド補正における第二モードに対応する。同じくI Q補正モード I / Q C U - C M (第三モード) 又は受信信号処理モード R S P M (第二モード) において、A D C補正モード A D C - C M (第一モード) にて求められた補正係数 Q - A D C C C (第二補正係数) を用いてデジタル補正処理することで、A D変換器 Q - A D C (第二A D変換器) がアナログQ信号 R - Q A (第二アナログ信号) をA D変換処理してデジタルQ信号 R - Q D (第二デジタル信号) を出力する。ここで、第一モードと第二モードと第三モードとがあるモード情報はモード設定情報格納回路 (モード設定レジスタ M R E S) に格納される。

30

40

【 0 1 1 9 】

前記 (1) の構成又は機能を有することにより、A D変換器 I - A D C (第一変換回路) 及びA D変換器 Q - A D C (第二変換回路) はA D C補正モード (第一モード) A D C - C Mにおいては補正係数 I - A D C C C (第一補正係数) 及び補正係数 Q - A D C C C

50

(第二補正係数)を算出するために用いられる。同じくAD変換器I-ADC(第一AD変換器)及びAD変換器Q-ADC(第二AD変換器)はIQ補正モードI/QCU-CM(第三モード)又は受信信号処理モードRSPM(第二モード)においてはアナログI信号R-IA(第一アナログ信号)及びアナログQ信号R-QA(第二アナログ信号)をAD変換動作するために用いられる。よって面積の大きな追加回路にて補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)を求める必要が無くなることにより半導体集積回路装置が小面積となる。更に、面積の大きな追加回路が無いことによりADC補正モードADC-CM(第一モード)において面積の大きな追加回路が動作しようがないために、低消費電力化が図れる。

【0120】

10

(2)前記(1)の構成又は機能であって、ADC補正モードADC-CM(第一モード)において、AD変換器I-ADC(第一AD変換器)に対して第一ディザ信号Dither1(第一所定電圧)が入力され、AD変換器Q-ADC(第二AD変換器)に対して第二ディザ信号Dither2(第二所定電圧)が入力される。

【0121】

前記(2)の構成又は機能を有することにより、第一ディザ信号Dither1(第一所定電圧)及び第二ディザ信号Dither2(第二所定電圧)によりADC補正モードADC-CM(第一モード)において、補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)の上位ビットが互いに異なる状態から探索される。よって確実に早く補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)の探索を行うことが出来る。

20

【0122】

(3)前記(1)の構成又は機能であって、ADC補正モードADC-CM(第一モード)において、AD変換器I-ADC(第一AD変換器)からの出力とAD変換器Q-ADC(第二変換器)からの出力からの差分に基づいた変換誤差e(差分出力)に基づいて、補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)が算出される。

【0123】

前記(3)の構成又は機能を有することにより、ADC補正モードADC-CM(第一モード)において、AD変換器I-ADC(第一AD変換器)からの出力とAD変換器Q-ADC(第二AD変換器)からの出力からの差分に基づいた変換誤差e(差分出力)に基づいて、補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)が両方算出される。補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)両方が共通の変換誤差e(差分出力)に基づいて求められる。IQ補正モードI/QCU-CM(第三モード)又は受信信号処理モードRSPM(第二モード)にてこの補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)を用いてAD変換器I-ADC(第一変換器)とAD変換器Q-ADC(第二変換器)がAD変換動作を実行する。補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)両方が共通の変換誤差e(差分出力)に基づいて求められ、このようにして求められた補正係数I-ADCC(第一補正係数)及び補正係数Q-ADCC(第二補正係数)が用いられるために、AD変換器I-ADC(第一AD変換器)の出力とAD変換器Q-ADC(第二AD変換器)の出力との間の変換利得ミスマッチが低減される。

30

40

【0124】

ここで変換利得ミスマッチがある場合の問題点を説明する。直交変調方式では、データが、I信号とQ信号の両方に変調されている。復調部では、このI信号とQ信号を組み合わせ所定のデジタル演算を行う。その際に、I信号とQ信号の振幅が互いにずれていると、上記の組合せ演算後に得られる復調波形の振幅が小さくなる(一般に「アイ開口度が小さくなる」と言う)。ここで、振幅の大きさが利得に対応する。前記復調波形は、この段階ではまだ多ビットで表現されているアナログ的な波形である。位相シフト量及び直流

50

オフセット電圧の印加量がI信号とQ信号の間にて互いにずれている場合でも同様にアイ開口度が小さくなる。復調データの判定は、この復調波形が最も振幅しているタイミングにおいて、その値が正か負か判定することで行う。したがって、復調波形の振幅が小さいと、それより絶対値の大きな逆符号の雑音に乗っている場合に、値の正負が逆転し、データの誤判定になる。よってこのデータの誤判断を避けるために変換利得ミスマッチを低減することが必要となる。

【0125】

参考図1～参考図4のようなADCをAD変換器I-ADC及びAD変換器Q-ADCに適用した場合は、変換誤差eがI信号用AD変換器とQ信号用AD変換器との間にて別々になり変換利得ミスマッチが大きくなってしまふ。理由として、I信号用AD変換器にて変換誤差eを算出するための回路とQ信号用AD変換器にて変換誤差eを算出する回路が全く物理的に分離された別個の回路となるためである。尚、参考図1や参考図2のADCは絶対精度の高いRADC UやRDAC Uがあるために元々変換利得誤差は小さい。しかしながら、RADC UやRDAC Uの搭載に伴う、面積増大、消費電力増大、設計工数やコストの増大は避けられない。参考図3や参考図4のADCは絶対精度の高いRADC UやRDAC Uに対応する回路が存在しない。よって特に参考図3や参考図4のようなADCをAD変換器I-ADC及びAD変換器Q-ADCに適用した場合は、変換誤差eがI信号用AD変換器とQ信号用AD変換器との間にて別々になり変換利得ミスマッチが大きくなる弊害が大きい。

【0126】

尚、IQ間補正部I/QCUにて実施されるような、I信号とQ信号と間の補正を行えば、復調波形の振幅が十分に大きくなり、データの誤判定が起こりにくくなる。

【0127】

本実施の形態の別態様によれば、以下の作用効果が得られる。

【0128】

(4)高周波信号HFSを受けアナログI信号R-IA(第一アナログ信号)とアナログQ信号R-QA(第二アナログ信号)とを生成するアナログ回路R-ACと、アナログI信号R-IAを受けデジタル補正処理することによりAD変換処理を行ってデジタルI信号R-IDを生成する第一AD変換器(AD変換器I-ADCに対応)と、アナログQ信号R-QAを受けAD変換処理を行うことによりデジタルQ信号R-QDを生成する第二AD変換器(AD変換器Q-ADCに対応)とを有する。第一AD変換器と第二AD変換器はフォアグラウンド補正を実行する。フォアグラウンド補正の第一モードの実行期間は第一AD変換器と第二AD変換器とで同じである。また、フォアグラウンド補正の第二モードの実行期間が第一AD変換器と第二AD変換器とで同じである。

【0129】

前記(4)の構成又は機能を有することにより、以下のメリットがある。第一AD変換器及び第二AD変換器は1つの高周波信号HFSをアナログ回路R-ACにより変換することにより得られたアナログI信号R-IA及びアナログQ信号R-QAに対して変換処理をするものである。よって第一モードの実行期間が第一AD変換器と第二AD変換器とで同じであり、第二モードの実行期間が第一AD変換器と第二AD変換器とで同じであって構わない。第一AD変換器と第二AD変換器とは第一モードの実行期間が同じであり、第二モードの実行期間も同じであることにより、第一モードや第二モードの設定シーケンスが共通にできるために簡単になる。更に第一モードでのAD変換用補正係数の算出や第二モードでのAD変換処理が効果的に行える。

【0130】

温度センサーからの信号処理用の温度センサー用AD変換器と無線通信アンテナからの信号用の無線通信用AD変換器があり、温度センサー用AD変換器及び無線通信用AD変換器それぞれが、デジタル補正処理を行ってAD変換処理を行い、フォアグラウンド補正を行うものである半導体集積回路装置が存在する場合を考える。温度センサーからの信号と無線通信アンテナからの信号は互いに独立に動作するものであるため、温度センサー用

10

20

30

40

50

A D変換器が温度センサーからの信号に対するA D変換処理を行うタイミングと、無線通信用A D変換器が無線通信アンテナからの信号に対するA D変換処理を行うタイミングとは全く異なるものとなる。よって第一モードと第二モードは温度センサー用A D変換器と無線通信用A D変換器においては互いに全く異なるものとなる。前記(4)の構成又は機能の場合、1つの高周波信号H F Sからアナログ回路R - A CがアナログI信号R - I A及びアナログQ信号R - Q Aを生成するから、第一モードと第二モードを第一A D変換器と第二A D変換器の間で同じとすることができる。

【0131】

前記(4)の構成又は機能に前記(1)の構成又は機能を組み合わせた場合、以下のメリットがある。第一モードがA D変換器I - A D CとA D変換器Q - A D Cの間で同じであるから、第一モードにてA D変換器I - A D C及びA D変換器Q - A D Cに共通にテスト信号A D C - T Sを入力することが可能となる。なお、第一モードと第二モードがA D変換器I - A D CとA D変換器Q - A D Cの間で異なる場合は、第一モードにてA D変換器I - A D C及びA D変換器Q - A D Cに共通にテスト信号A D C - T Sを入力すると、どちらか一方のA D変換器が第二モードの動作が不可能となる。

10

【0132】

前記(4)の構成又は機能に前記(1)及び(3)の構成又は機能を組み合わせた場合、以下のメリットがある。第一モードがA D変換器I - A D C(第一A D変換器)とA D変換器Q - A D C(第二A D変換器)の間で同じであるから、第一モードにてA D変換器I - A D Cの出力及びA D変換器Q - A D Cの出力からの差分に基づいた変換誤差eに基づいて補正係数I - A D C C C(第一補正係数)及び補正係数Q - A D C C C(第二補正係数)の両方が算出されることが可能となる。なお、第一モードと第二モードがA D変換器I - A D CとA D変換器Q - A D Cの間で異なる場合は、A D変換器I - A D Cの出力及びA D変換器Q - A D Cの出力からの差分に基づいた変換誤差eを取得することは不可能である。

20

【0133】

(5)前記(4)の構成又は機能であって、第一モードにおいて、第一及び第二A D変換器のA D変換用補正係数が求められた後、I Q補正モードI / Q C - C M(第三モード)において、以下のようにI Q間補正用補正係数を算出する。I Q間補正部I / Q C U(デジタル誤差補正回路)は、デジタルI信号R - I D(第一デジタル信号)を第二モードにて動作する第一A D変換器から受け、デジタルQ信号R - Q D(第二デジタル信号)を第二モードにて動作する第二A D変換器から受けることにより、デジタルI信号R - I D(第一デジタル信号)及びデジタルQ信号R - Q D(第二デジタル信号)に対してデジタル補正処理を行うことにより補正係数I - I / Q C U C C(第三補正係数)及び補正係数Q - I / Q C U C C(第四補正係数)を算出する。

30

【0134】

前記(5)の構成又は機能を有することにより、以下のメリットがある。第一モードにおいてA D変換用補正係数が求められるため、第二モードにおいては、第一及び第二A D変換器に最適なA D変換器補正係数を用いることができる。よってI Q補正モードI / Q C - C M(第三モード)においては、第一及び第二A D変換器の出力が最適化されているために、補正係数I - I / Q C U C C(第三補正係数)及び補正係数Q - I / Q C U C C(第四補正係数)をより正しく得ることができる。

40

【0135】

(6)前記(4)の構成又は機能であって、初期シーケンス期間において、第一及び第二A D変換器が第一モードにて動作可能に構成されており、無信号期間においても、第一及び第二A D変換器が第一モードにて動作可能に構成されている。受信信号期間(通常動作期間)と無信号期間は定期的に交互に繰り返し替えされる。第一モードで動作する期間を第一テスト動作期間ともいう。

【0136】

前記(6)の構成又は機能を満たすことにより以下のメリットがある。初期シーケンス

50

期間において、第一及び第二AD変換器が第一モードにて動作することにより、プロセスばらつき等の静的なばらつきを反映したAD変換用補正係数を取得できる。無信号期間においても、第一及び第二AD変換器が第一モードにて動作することにより、図6に示すように、温度や電源電圧の変動に追従した最適なAD変換用補正係数を取得できる。

【0137】

(7)前記(4)の構成又は機能であって、初期シーケンス期間において、IQ間補正部I/QCU(デジタル誤差補正回路)がIQ補正モードI/QC-CM(第三モード)にて動作可能に構成されており、無信号期間においても、IQ間補正部I/QCU(デジタル誤差補正回路)がIQ補正モードI/QC-CM(第三モード)にて動作可能に構成されている。受信信号期間(通常動作期間)と無信号期間は定期的に交互に繰り返し替えされる。第三モードで動作する期間を第二テスト動作期間ともいう。

10

【0138】

前記(7)の構成又は機能を有することにより以下のメリットがある。初期シーケンス期間にIQ間補正部I/QCU(デジタル誤差補正回路)がIQ補正モードI/QC-CM(第三モード)にて動作することにより、プロセスばらつき等の静的なばらつきを反映した補正係数I-ADCCC(第一補正係数)及び補正係数Q-ADCCC(第二補正係数)を取得できる。無信号期間においても、IQ間補正部I/QCU(デジタル誤差補正回路)がIQ補正モードI/QC-CM(第三モード)にて動作することにより、図6に示すように、温度や電源電圧の変動に追従した最適な補正係数I-ADCCC及び補正係数Q-ADCCCを取得できる。

20

【0139】

(8)前記(4)及び(6)の構成又は機能において、頻度設定レジスタADC-FSRES及び期間設定レジスタADC-PSRESを有する。

【0140】

前記(8)の構成又は機能を有することにより以下のメリットがある。ベースバンド部BBUや半導体集積回路装置RFICやアンテナANTが組み込まれた携帯電話等の通信システムの特性に合わせて頻度設定レジスタADC-FSRES及び期間設定レジスタADC-PSRESを設定することで、通信システムに合わせた適切な精度及び消費電力にてAD変換用補正係数を求めることができる。

30

【0141】

(9)前記(4)及び(7)の構成又は機能において、頻度設定レジスタI/QC-FSRES及び期間設定レジスタI/QC-PSRESを有する。

【0142】

前記(9)の構成又は機能を有することにより以下のメリットがある。ベースバンド部BBUや半導体集積回路装置RFICやアンテナANTが組み込まれた携帯電話等の通信システムの特性に合わせて頻度設定レジスタI/QC-FSRES及び期間設定レジスタI/QC-PSRESを設定することで、通信システムに合わせた適切な精度及び消費電力にて補正係数I-I/QCUC(第三補正係数)及び補正係数Q-I/QCUC(第四補正係数)を求めることができる。なお、頻度設定レジスタADC-FSRESと期間設定レジスタADC-PSRESと頻度設定レジスタI/QC-FSRESと期間設定レジスタI/QC-PSRESとを併せて期間設定格納回路という。

40

【0143】

6. AD変換部(実施例1)

図9は本実施の形態のAD変換部I-ADCU及びAD変換部Q-ADCUの一実施例である、電荷シェア型AD変換部を示すものである。

【0144】

本実施の形態においては、単相信号を取り扱う通信システムとなっているが、差動信号を取り扱う通信システムとしても問題はない。同図に示すAD変換部CS-ADCU(鎖線にて囲われた領域)は本実施の形態の通信システムが差動信号を取り扱うことが前提となり、各要素回路が差動入出力を行う構成となっている。

50

【 0 1 4 5 】

(1) 構成

AD変換部CS-ADCUはスイッチNP-SWと容量NP-SHCとスイッチNP-CSSWとを有する。さらに、AD変換部CS-ADCUはスイッチRP-SWと容量RP-SHCとスイッチRP-CSSWとを有する。さらに、AD変換部CS-ADCUは比較器CS-CMPと制御部CS-CTRLとビットセルBCe11とを有する。AD変換部CS-ADCUは可変増幅器I-PGA及び可変増幅器Q-PGAの出力のうちどちらか一方を受ける。AD変換部CS-ADCUはアナログ信号NP-RAと、アナログ信号NP-RAと反転関係にあるアナログ信号RP-RAと、により構成される受信アナログ差動信号を受ける。ここでアナログ信号NP-RAは、可変増幅器I-PGAの出力の非反転信号及び可変増幅器Q-PGAの出力の非反転信号のうちどちらか一方である。アナログ信号RP-RAは、可変増幅器I-PGAの出力の反転信号及び可変増幅器Q-PGAの出力の反転信号のうちどちらか一方である。

10

【 0 1 4 6 】

スイッチNP-SWはアナログ信号NP-RAを受ける。スイッチRP-SWはアナログ信号RP-RAを受ける。容量NP-SHCはアナログ信号NP-RAをサンプリングして保持する。容量RP-SHCはアナログ信号RP-RAをサンプリングして保持する。容量NP-SHCとビットセルBCe11との間にて電荷をシェアするためのスイッチNP-CSSWが容量NP-SHCに接続されている。容量RP-SHCとビットセルBCe11との間にて電荷をシェアするためのスイッチRP-CSSWが容量RP-SHC

20

【 0 1 4 7 】

比較器CS-CMPの非反転入力端子と容量NP-SHCとの間はノードNP-CS-Nとなっている。比較器CS-CMPの反転入力端子と容量RP-SHCとの間はノードRP-CS-Nとなっている。比較器CS-CMPはノードNP-CS-NとノードRP-CS-Nとの間の電圧を比較する。

【 0 1 4 8 】

制御部CS-CTRLは、比較器CS-CMPの比較結果を受けて、AD変換部CS-ADCUのデジタル出力Diを生成しデジタル補正部DCUI&Qに出力し、ビットセルBCe11を制御する。

30

【 0 1 4 9 】

ビットセルBCe11は同図の一点鎖線にて囲われた部分であり、デジタル出力Diのビット数分+1のビットセルを有する。すなわち、ビットセルBCe11はディザ信号用ビットセルDBCe11とデジタル出力Diのビット数分のビットセル(その他のビットセル)とを有する。このディザ信号用ビットセルDBCe11はディザ信号用容量Cと、スイッチCA-SW1と、スイッチCA-SW2と、スイッチDC-SW3とを有する。さらに、ディザ信号用ビットセルDBCe11は2つのスイッチSW4a、SW4bと、2つのスイッチSW5a、SW5bとを有する。接続関係は同図に示す通りである。ディザ信号用容量Cの容量値はディザ信号にて与えるべき電圧値に従った容量値を持っている。

40

【 0 1 5 0 】

その他のビットセルはN個のセルがあり、構造はディザ信号用ビットセルDBCe11と基本的に同じであるが、スイッチDC-SW3が無いことが異なる。更にディザ信号用容量Cとの代わりにビットセル容量Ciがあり、このビットセル容量Ciが以下の関係を満たす。

(い) $0 \leq k \leq N - 1$ 、kは0又は自然数、Nは2以上の自然数

(ろ) $k + 1$ 番目のビットセルのビットセル容量 C_{k+1} の容量値は、k番目のビットセルのビットセル容量 C_k の容量値の2倍

尚、デジタル出力Diの最大ビットに対応するN-1番目のビットセルBCe11が最大ビット用セルMSBCe11であり、最小ビットに対応する0番目のビットセルBCe

50

11が最小ビット用セルLSBCellである。ビットセルBCellにはグラウンド電圧GNDと電源電圧VDDとが供給されている。

【0151】

(2)動作

(a)AD変換テスト動作

AD変換テスト動作実行時の動作を以下に説明する。

【0152】

第一タイミングで容量NP-SHC及び容量RP-SHCにアナログ信号NP-RA及びアナログ信号RP-RAをそれぞれサンプリングする。そして、全てのビットセルBCellのビットセル容量Ciに電源電圧VDD-接地電圧GND間に相当する電荷をチャージするために、スイッチCA-SW1及びスイッチCA-SW2をONにする。

10

【0153】

第一タイミング後の第二タイミングで、スイッチNP-SWとスイッチRP-SWとディザ信号用ビットセルDBCCellのスイッチCA-SW1とスイッチCA-SW2とをOFFにする。そして、スイッチNP-CSSWとスイッチRP-CSSWとディザ信号用ビットセルDBCCellのスイッチSW4aとスイッチSW4bとをONにする。このON、OFF制御によって、ディザ信号用容量Cの一端と容量NP-SHCの一端とをノードNP-CS-Nに接続させる。ディザ信号用容量Cの他端と容量RP-SHCの一端とをノードRP-CS-Nに接続させる。このことによって、ディザ信号用容量C内の電荷と容量NP-SHC内の電荷とがチャージシェアされてノードNP-CS-Nに電荷配分される。ディザ信号用容量C内の電荷と容量RP-SHC内の電荷とがチャージシェアされてノードRP-CS-Nに電荷配分される。電荷配分されたノードNP-CS-Nの電圧と電荷配分されたノードRP-CS-Nの電圧とが比較器CS-CMPにより比較される。比較器CS-CMPは、例えば、比較結果が正であれば1、負であれば0を出力する。この比較結果に基づいて、制御部CS-CTRLが最大ビットであるN-1番目のデジタル出力DN-1を決定する。

20

【0154】

第二タイミングの後の第三タイミングにて、デジタル出力DN-1に基づいて、最大ビット用セルMSBCCellのスイッチが制御される。DN-1が1のとき、スイッチSW5a、SW5bをONにする。このことで、最大ビット用セルMSBCCellのビットセル容量CN-1内の電荷量がノードNP-CS-Nの電荷量から差し引かれる。更に、最大ビット用セルMSBCCellのビットセル容量CN-1内の電荷量がノードRP-CS-Nの電荷量から差し引かれる。DN-1が0のとき、スイッチSW4a、SW4bをONにする。このことで、最大ビット用セルMSBCCellのビットセル容量Ci内の電荷量がノードNP-CS-Nに足しあわされる。更に、最大ビット用セルMSBCCellのビットセル容量CN-1内の電荷量がノードRP-CS-Nに足しあわされる。このことによりノードNP-CS-Nにおいて電荷配分が行われ、ノードRP-CS-Nにおいて電荷配分が行われる。電荷配分されたノードNP-CS-Nの電圧と電荷配分されたノードRP-CS-Nの電圧が比較器CS-CMPにより比較される。比較器CS-CMPは、例えば、比較結果が正であれば1、負であれば0を出力する。この比較結果に基づいてN-2番目のデジタル出力DN-2を制御部CS-CTRLが決定する。

30

40

【0155】

以下このような動作を繰り返してデジタル出力D0まで決定する。

【0156】

尚、印加したいディザ電圧を反転させたいとき(第二ディザ信号Dither2を印加するとき)は、第二タイミングにてディザ信号用ビットセルDBCCellのスイッチSW4a及びスイッチSW4bをONにすればよい。

【0157】

(b)AD変換本番動作

AD変換本番動作時の動作はAD変換テスト動作時と基本的に同じであるが、ディザ

50

信号用ビットセル $DBCell$ を用いないため、スイッチ $CA-SW2$ 及びスイッチ $DC-SW3$ を ON のままにて動作させる。

【0158】

このように動作させることで、 AD 変換テスト動作時にはディザ信号成分を重畳させた形にて AD 変換動作させ、 AD 変換本番動作時にはディザ信号成分をなしにして AD 変換動作させる。

【0159】

(3) まとめ

逐次比較型の ADC であるので、 $50MS/s$ 以下で数 mW 以下の低消費電力が可能である。後述の電荷再配分型 ADC (実施例2) と異なり、基準電圧へのアクセス頻度が少ないので、基準電圧の生成を容易化できる利点がある。

10

【0160】

7. AD 変換部 (実施例2)

図10は本実施の形態の AD 変換部 $I-ADC$ 及び AD 変換部 $Q-ADC$ の一実施例である、電荷再配分型 AD 変換部を示すものである。

【0161】

(1) 構成

AD 変換部 $CRD-ADC$ はスイッチ $CS-SW$ と $N+2$ 個のビットセル $BCell2$ と比較器 $CRD-CMP$ と制御部 $CRD-CTRL$ とを有する。可変増幅器 $I-PGA$ 及び可変増幅器 $Q-PGA$ の出力のうちどちらか一方を受ける構成となっており、アナログ信号 RA を受ける構成となっている。ここでアナログ信号 RA とは、アナログ I 信号 $R-IA$ 及びアナログ Q 信号 $R-QA$ のうちのいずれか一方を表すものである。スイッチ $CS-SW$ は各ビットセル $BCell$ のビットセル容量 C_i に、電荷保持ノード $CH-N$ を介してグランド電圧 GND を供給するか否かを選択する。比較器 $CRD-CMP$ は各ビットセル $BCell$ に接続された電荷保持ノード $CH-N$ の電圧とグランド電圧 GND 電圧とを比較する制御部 $CRD-CTRL$ は比較器 $CRD-CMP$ の比較結果に基づいて、デジタル出力 D_i を決定する。そして、デジタル補正部 $DCUI \& Q$ に出だし、各ビットセル $BCell$ を制御する。

20

【0162】

各ビットセル $BCell$ は以下のようにになっている。ディザ信号用ビットセル $DBCell2$ はディザ信号用容量 C と第一スイッチ $CRD-SW1$ と第二スイッチ $CRD-SW2$ と第三スイッチ $CRD-SW3$ とを有する。ディザ信号用容量 C は所定の容量値であり、ディザ信号に相当するの電圧値を作り出すためのものである。第一スイッチ $CRD-SW1$ は正の参照用電圧 $+V_R$ を通すか否かを選択する。第二スイッチ $CRD-SW2$ は負の参照用電圧 $-V_R$ を通すか否かを選択する。第三スイッチ $CRD-SW3$ はグランド電圧 GND を通すか否かを選択する。

30

【0163】

尚、ディザ信号用ビットセル $DBCell2$ のスイッチ及び容量の接続関係は同図に示す通りである。

【0164】

40

その他のビットセル $BCell2$ の構造はディザ信号用ビットセル $DBCell2$ と基本的に同じであるが、次の点が異なる。第三スイッチ $CRD-SW3$ に関して、ディザ信号用ビットセル $DBCell2$ においては、グランド電圧 GND をディザ信号用容量 C が受けるか否かを選択するスイッチとして設けられている。しかし、その他のビットセル $BCell$ においては受信アナログ信号 RA をビットセル容量 C_i が受けるか否かを選択するスイッチとして設けられている。更にディザ信号用容量 C との代わりにビットセル容量 C_i があり、このビットセル容量 C_i が以下の関係を満たす。

(い) $0 \leq k \leq N-1$, k は0又は自然数、 N は2以上の自然数

(ろ) $k+1$ 番目のビットセルのビットセル容量 C_{k+1} の容量値は、 k 番目のビットセルのビットセル容量 C_k の容量値の2倍

50

尚、デジタル出力 D_i の最大ビットに対応するビットセルが最大ビット用セル $MSBCe112$ であり、最小ビットに対応するビットセルが2つありそれぞれ第一最小ビット用セル $LSB1Ce11$ 及び第二最小ビット用セル $LSB2Ce11$ である。

【0165】

第二最小ビット用セル $LSB2Ce11$ は他のビットセル $B Ce112$ と異なり、第二スイッチ $CRD-SW2$ がない。

【0166】

(2) 動作

(a) AD変換テスト動作

AD変換テスト動作実行時の動作を以下に説明する。

10

【0167】

第一タイミングで全てのビットセル $B Ce11$ に関して、スイッチ $CS-SW$ 及び第三スイッチ $CRD-SW3$ をONにする。その後、電荷保持ノード $CH-N$ に受信アナログ信号 RA をサンプリングしつつ、ディザ信号用容量 C にグラウンド電圧 GND を印加する。

【0168】

第一タイミング後の第二タイミングで、スイッチ $CS-SW$ 及び第三スイッチ $CRD-SW3$ をOFFにする。その後、最大ビット用セル $MSBCe112$ の第一スイッチ $CRD-SW1$ をONにしつつ、残りのビットセル $B Ce112$ の第二スイッチ $CRD-SW2$ をONにする。電荷保持ノード $CH-N$ に、アナログ信号 RA に対応する電圧とディザ信号に対応する電圧とを足し合わせ、最大ビット用セル $MSBCe112$ に対応する電圧を差し引いた電圧を符号反転された電圧が発生する。比較器 $CRD-CMP$ でこの電圧の符号を判定する。その結果、制御部 $CRD-CTRL$ がデジタル出力 D_i の最大ビットを、正ならデジタル出力 $D_{N-1} = 0$ 、負ならデジタル出力 $D_{N-1} = 1$ と判定する。

20

【0169】

第二タイミングの後の第三タイミングにて、デジタル出力 $D_{N-1} = 1$ のとき、最大ビット用セル $MSBCe112$ の第一スイッチ $CRD-SW1$ をONのままに制御部 $CRD-CTRL$ が制御する。デジタル出力 $D_{N-1} = 0$ のとき、最大ビット用セル $MSBCe112$ の第一スイッチ $CRD-SW1$ をOFFにし、最大ビット用セル $MSBCe112$ の第二スイッチ $CRD-SW2$ をONにする。次に $N-2$ 番目のビットセル $B Ce112$ の第一スイッチ $CRD-SW1$ をONにしつつ、第二スイッチ $CRD-SW2$ をOFFにする。比較器 $CRD-CMP$ が電荷保持ノード $CH-N$ に発生した電圧の符号を判定する。その結果、制御部 $CRD-CTRL$ がデジタル出力 D_i の上から2番目のビットを、正ならデジタル出力 $D_{N-2} = 0$ 、負ならデジタル出力 $D_{N-2} = 1$ と判定する。以下、最小ビットまで繰り返し、デジタル出力 D_i を確定させる。このことでディザ信号成分を含んだ形にてデジタル出力 D_i が生成される。

30

【0170】

(b) AD変換本番動作

AD変換本番動作時の動作を以下に説明する。基本的にAD変換テスト動作時と変わらないが、第一～第三タイミングにおいて、ディザ信号用ビットセル $DBCe112$ は第三スイッチ $CRD-SW3$ がONになったままで動作される。このことでディザ信号成分を含まない形にてデジタル出力 D_i が生成される。AD変換テスト動作時にはディザ信号用ビットセル $DBCe112$ を用いるが、AD変換本番動作時にはディザ信号用ビットセル $DBCe112$ を用いない。

40

【0171】

(3) まとめ

逐次比較型のADCUであるので、 $50MS/s$ 以下で数 mW 以下の低消費電力が可能である。

【0172】

実施例1においては、第一タイミングにおいて第一タイミングで容量 $NP-SHC$ 及び

50

容量 $R P - S H C$ にアナログ信号 $N P - R A$ 及びアナログ信号 $R P - R A$ をそれぞれサンプリングするときのみ、図示しないバッファ回路を用いてアナログ信号 $N P - R A$ 及びアナログ信号 $R P - R A$ を第一タイミングで容量 $N P - S H C$ 及び容量 $R P - S H C$ に入力させる。よって第二タイミングや第三タイミングにバッファ回路を用いないので、低消費電力となる。

【0173】

実施例2においては、第一タイミングで全てのビットセル $B C e l l$ に関して、スイッチ $C S - S W$ 及び第三スイッチ $C R D - S W 3$ をONにする。その後、電荷保持ノード $C H - N$ にアナログ信号 $R A$ をサンプリングしつつ、ディザ信号用容量 C にグラウンド電圧 $G N D$ を印加する時に図示しないバッファ回路を用いる。更に各ビットセル $B C e l l$ に正の参照用電圧 $+V_R$ や負の参照用電圧 $-V_R$ を印加するたびに図示しないバッファ回路を用いる必要があり、実施例1に比べて消費電力が上がる。

10

【0174】

実施例1においては、ノード $N P C S - N$ 及びノード $R P C S - N$ に第一タイミングにて保持された電荷が、第二タイミングや第三タイミングにおいては保存されないため、再利用ができない。

【0175】

実施例2においては、電荷保持ノード $C H - N$ に第一タイミングにて保持された電荷が、第二タイミングや第三タイミングにおいては保存されるため、再利用ができる。

【0176】

8. AD変換部(実施例3)

図11は本実施の形態のAD変換部 $I - A D C U$ 及びAD変換部 $Q - A D C U$ の一実施例である、パイプライン型AD変換部を示すものである。

20

【0177】

(1)構成

パイプライン型AD変換部 $P L - A D C U$ は以下のような構成となっている。可変増幅器 $I - P G A$ 及び可変増幅器 $Q - P G A$ の出力のうちどちらか一方を受ける構成となっており、アナログ信号 $R A$ を受ける構成となっている。各ステージ $S t a g e$ を有し、デジタル出力 $D i$ の最大ビット D_{N-1} に対応するものをステージ $S t a g e N - 1$ とし、各ビットごとに同じように名前及び符号をつけ、最小ビット D_0 に対応するものをステージ $S t a g e 0$ とする。各ステージ $S t a g e i$ は以下の関係を満たす。

30

(い) $0 \leq k \leq N - 1$ 、 k は0又は自然数、 N は2以上の自然数

(ろ) $k + 1$ 番目のステージは k 番目のステージにステージ出力 $S O$ を出力

(は) k 番目のステージは k 番目のビットに対応するデジタル出力 D_k を出力

ステージ $S t a g e N - 1$ はAD変換部 $P A - A D C U$ とディザ信号足し合わせ部 $D A U$ とDA変換部 $P L - D A C U$ とを有する。さらに、ステージ $S t a g e N - 1$ はデジタル出力差分部 $D O D U$ とステージ出力増幅部 $S O A U$ とを持つ。AD変換部 $P A - A D C U$ はアナログ信号 $R A$ を受けて、3値(2値でもOK)のデジタル値にAD変換処理を行う。ディザ信号足し合わせ部 $D A U$ はAD変換部 $P A - A D C U$ の出力(この出力を出力 b_{N-1} とする)とディザ信号()とを足し合わせる。DA変換部 $P L - D A C U$ はディザ信号足し合わせ部 $D A U$ からの出力をDA変換処理する。デジタル出力差分部 $D O D U$ はアナログ信号 $R A$ からDA変換部 $P L - D A C U$ からの出力を差し引く。ステージ出力増幅部 $S O A U$ はデジタル出力差分部 $D O D U$ からの出力を増幅して、次段のステージ $S t a g e N - 2$ にステージ出力 $S O$ を出力する。又、ディザ信号足し合わせ部 $D A U$ の出力がデジタル出力 D_{N-1} となる。

40

【0178】

他のステージ $S t a g e$ は基本的にステージ $S t a g e N - 1$ と同じだが、受信アナログ信号 $R A$ を受けるのではなく、前段のステージ $S t a g e$ からのステージ出力 $S O$ を受ける。ディザ信号足し合わせ部 $D A U$ は無く、AD変換部 $P A - A D C U$ の出力をデジタル出力差分部 $D O D U$ が直接受ける。AD変換部 $P A - A D C U$ の出力がデジタル出力

50

D i となる。

【 0 1 7 9 】

(2) 動作

(a) A D 変換テスト動作

A D 変換テスト動作時において、ステージ S t a g e N - 1 に受信アナログ信号 R A が入力され、ディザ信号が入力されることでステージ出力 S O を次段のステージ S t a g e N - 2 に出力し、同様に繰り返すことでステージ S t a g e 0 に至る。その結果デジタル出力 D i が生成されデジタル補正部 D C U I & Q に出力される。

【 0 1 8 0 】

(b) A D 変換本番動作

A D 変換本番動作時においては、基本的に A D 変換テスト動作時と同じ動作を行うが、ステージ S t a g e N - 1 にディザ信号が足し合わせられない。

【 0 1 8 1 】

よって A D 変換テスト動作においては、ディザ信号成分を含む形にてデジタル出力 D i が生成され、A D 変換本番動作においては、このことでディザ信号成分を含まない形にてデジタル出力 D i が生成される。

【 0 1 8 2 】

(3) まとめ

パイプライン型 A D C U は 5 0 M S / s ~ 数 1 0 0 M S / s の動作が可能である。パイプライン型 A D C U の場合、オペアンプの利得、非線形性、容量ミスマッチなど補正係数の種類が多いため、より複雑なパターンのディザ信号の印加が効果的である。また、テスト信号の振幅を大きくすることで、補正係数の探索を加速できる。

【 0 1 8 3 】

9 . I 及び Q 信号用デジタル補正部 (変形例 1)

図 1 2 は本実施の形態の半導体集積回路装置 R F I C の一変形例である。

【 0 1 8 4 】

(1) 構成

デジタル補正部 D C U I & Q にて用いられる補正係数 I - A D C C C を平均化するための、補正係数平均化部 I - A D C C C A U を有する。デジタル補正部 D C U I & Q にて用いられる補正係数 Q - A D C C C を平均化するための、補正係数平均化部 Q - A D C C C A U を有する。

【 0 1 8 5 】

補正係数平均化部 I - A D C C C A U は補正係数サンプリング部 A D C C C S U と補正係数積分部 A D C C C I U と補正係数平均化部 A D C C C A V E U と補正係数精度設定レジスタ I - A D C C C A S R E S とを有する。補正係数サンプリング部 A D C C C S U は補正係数 I - A D C C C と、サンプリングの開始時刻を表すサンプリングスタート時刻 S S T とサンプリングの終了時刻を表すサンプリング終了時刻 S E T との間の X サンプル期間とで乗算を行う。ここで、X は正の整数である。これによって、X サンプル期間に X 回のサンプリングを補正係数 I - A D C C C に対して行い、X サンプル期間以外の補正係数 I - A D C C C に対しては 0 を乗算することで補正係数 I - A D C C C をマスクする。ここで、補正係数 I - A D C C C は補正係数設定レジスタ I - A D C C C S R E S に格納されたものである。補正係数積分部 A D C C C I U は補正係数足し合わせ部 A D C C C A U と補正係数遅延部 A D C C C D U とで構成され、出力として X 回の補正係数 I - A D C C C のサンプル値の総和を出力する。ここで、補正係数足し合わせ部 A D C C C A U は補正係数サンプリング部 A D C C C S U からの補正係数 I - A D C C C と前の補正係数 I - A D C C C とを足し合わせる。補正係数遅延部 A D C C C D U は補正係数足し合わせ部 A D C C C A U からの補正係数 I - A D C C C を 1 サンプル期間遅延させて補正係数足し合わせ部 A D C C C A U に戻すように出力する。補正係数平均化部 A D C C C A V E U は補正係数積分部 A D C C C I U からの出力を X にて除算する。これにより、X サンプル期間の補正係数 I - A D C C C の平均値を補正係数設定レジスタ I - A D C C C S R E S に対し

10

20

30

40

50

て出力する。補正係数精度設定レジスタ I - ADCCCASRES は X の値を設定することにより、補正係数 I - ADCCC の算出精度を設定する。

【0186】

補正係数平均化部 Q - ADCCCAU は基本的に補正係数平均化部 I - ADCCCAU と同じである。しかし、補正係数 I - ADCCC の代わりに補正係数 Q - ADCCC を取り扱い、補正係数設定レジスタ Q - ADCCCSRES に対して入出力を行う。更に、補正係数精度設定レジスタ I - ADCCCASRES の代わりに補正係数精度設定レジスタ Q - ADCCCASRES を持つ。

【0187】

(2) 動作

AD変換テスト動作において、補正係数 I - ADCCC 及び補正係数 Q - ADCCC が随時更新される。この際、I 信号系と Q 信号系において、デジタル補正部 I - DCU、Q - DCU が補正係数設定レジスタ I - ADCCCSRES、Q - ADCCCSRES に格納された補正係数 I - ADCCC、Q - ADCCC を用いてデジタル補正処理を行う。そして、デジタル補正処理の結果により求められた変換誤差 e に基づいて補正係数探索部 ADC - CSU が補正係数 I - ADCCC、Q - ADCCC を探索する。そして、探索結果に基づいて補正係数設定レジスタ I - ADCCCSRES、Q - ADCCCSRES 内の補正係数 I - ADCCC、Q - ADCCC が更新されるという探索ループが動作する。この探索ループの動作と平行して、補正係数平均化部 I - ADCCCAU 及び補正係数平均化部 Q - ADCCCAU が動作する。このとき、補正係数平均化部 ADCCCAVEU は動作を止めており、補正係数設定レジスタに対して出力を行わない。探索ループの動作が止まったときに、補正係数平均化部 ADCCCAVEU が除算処理を行って AD 変換器用補正係数の平均化を行い、その結果の出力を補正係数設定レジスタ I - ADCCCSRES、Q - ADCCCSRES に対して行う。

【0188】

(3) まとめ

LMS アルゴリズム等のアルゴリズムを用いた場合、補正係数 I - ADCCC、Q - ADCCC を早く収束させるために、補正係数 I - ADCCC、Q - ADCCC 算出のための上述したような探索ループの制御利得である制御ループ利得を大きくする。そうすると、収束後であっても制御ループ利得は大きく振動してしまう。熱雑音や量子化雑音の影響でも収束後の制御ループ利得は振動してしまう。この振動の影響を補正係数 I - ADCCC、Q - ADCCC の平均化により低減できる。尚、探索ループ内には補正係数 I - ADCCC、Q - ADCCC の平均化処理のための回路は配置していない。ここで、平均化処理のための回路は補正係数平均化部 I - ADCCCAU 及び補正係数平均化部 Q - ADCCCAU である。これは探索ループの動作が遅くなるからである。よってこの探索ループ外に補正係数 I - ADCCC、Q - ADCCC の平均化処理のための回路を配置している。動作として、探索ループが動作しているときには補正係数平均化部 ADCCCAVEU は動作を止めており、補正係数設定レジスタ I - ADCCCSRES、Q - ADCCCSRES に対して出力を行わず、探索ループの動作が止まったときに、補正係数平均化部 ADCCCAVEU が除算処理を行って補正係数 I - ADCCC、Q - ADCCC の平均化を行い、その結果を補正係数設定レジスタ I - ADCCCSRES、Q - ADCCCSRES に対して行う。このことで、探索ループの動作の応答を早くしつつ、補正係数 I - ADCCC、Q - ADCCC の平均化処理を行うことができる。

【0189】

尚、補正係数精度設定レジスタ I - ADCCCASRES、Q - ADCCCASRES の X を大きくした場合、サンプル数を増やして平均化効果を高め高精度の補正係数 I - ADCCC、Q - ADCCC を得ることができる。X が小さい場合は低精度であるが、サンプル数が少ないため、補正係数 I - ADCCC、Q - ADCCC の平均化処理の時間を短くできる。又、X の値を 2 のべき乗と制限した場合、補正係数平均化部 ADCCCAVEU は除算動作ではなく、ビットシフト動作にて動作可能となる。

10

20

30

40

50

【 0 1 9 0 】

1 0 . A D 変換器用テスト信号生成回路（実施例 4）

図 1 3 は本実施の形態の半導体集積回路装置 R F I C にて用いられるテスト信号 A D C - T S を生成するためのテスト信号生成回路 A D C - T S G C の一実施例である。

【 0 1 9 1 】

同図に示す点線で囲まれているものがテスト信号生成回路 A D C - T S G C である。テスト信号生成回路 A D C - T S G C は、デジタル波形生成部 D W G U と、D A 変換器 D W G U - D A C とを持つ。D A 変換器 D W G U - D A C はデジタル波形生成部 D W G U の出力を受けて D A 変換することでテスト信号 A D C - T S を生成する。テスト信号生成回路 A D C - T S G C は半導体集積回路装置 R F I C 内に設けられる。

10

【 0 1 9 2 】

デジタル波形生成部 D W G U の出力は、A D 変換器 I - A D C 及び A D 変換器 Q - A D C のフルスケール（A D 変換可能な電圧範囲）に近い振幅を持ち、十分に低い周波数の三角波等が好ましい。これは、テスト信号 A D C - T S が A D 変換器 I - A D C 及び A D 変換器 Q - A D C によりサンプリングされた際、このサンプリングされた電圧が十分に多様なパターンになるようにする。このことにより全ての補正係数 I - A D C C C 及び補正係数 Q - A D C C C の探索を正常に収束させるためである。

【 0 1 9 3 】

D A 変換器 D W G U - D A C から出力されたテスト信号 A D C - T S は雑音や歪が大きくても良い。デジタル補正処理では、補正係数 I - A D C C C 及び補正係数 Q - A D C C C の探索を高精度に行うために、A D 変換器 I - A D C 及び A D 変換器 Q - A D C が厳密に等しい入力電圧をサンプリングすることが重要である。テスト信号 A D C - T S は雑音や歪を含んでいても、A D 変換器 I - A D C 及び A D 変換器 Q - A D C が雑音や歪を含めて同時にサンプリングするために、A D 変換器 I - A D C 及び A D 変換器 Q - A D C のサンプリング電圧が厳密に同一に保たれる。よって、D A 変換器 D W G U - D A C の雑音や歪は許容できるため、D A 変換器 D W G U - D A C の設計が容易となる。

20

【 0 1 9 4 】

1 1 . A D 変換器用テスト信号生成回路（実施例 5）

図 1 4 は本実施の形態の半導体集積回路装置 R F I C にて用いられるテスト信号 A D C - T S を生成するためのテスト信号生成回路 A D C - T S G C 2 の一実施例である。

30

【 0 1 9 5 】

(1) 構成

同図に示す点線で囲まれているものがテスト信号生成回路 A D C - T S G C 2 である。テスト信号生成回路 A D C - T S G C 2 は、チャージポンプ C P とアナログ積分器 A I とを有する。チャージポンプ C P は同図に示す (1) のようなクロック信号 C L K を受け、電流を出力する。アナログ積分器 A I はチャージポンプ C P の出力を受け、同図に示す (4) のようなテスト信号 A D C - T S を出力する。テスト信号生成回路 A D C - T S G C 2 は半導体集積回路装置 R F I C 内に設けられる。

【 0 1 9 6 】

チャージポンプ C P は上側電流源 U I S と P 型 M O S トランジスタ P M O S と N 型 M O S トランジスタ N M O S と下側電流源 B I S とを有する。電源電圧 V D D から接地電圧 G N D に向かって、同図に示されたような接続関係にて複数の構成要素が並んでいて、この並びは上側電流源 U I S 、 P 型 M O S トランジスタ P M O S 、 N 型 M O S トランジスタ N M O S 、下側電流源 B I S の順番である。すなわち、P 型 M O S トランジスタ P M O S のソース端子が上側電流源 U I S と接続され、N 型 M O S トランジスタ N M O S のソース端子が下側電流源 B I S に接続される。また、P 型 M O S トランジスタ P M O S のドレイン端子と N 型 M O S トランジスタ N M O S のドレイン端子とが接続される。P 型 M O S トランジスタ P M O S 及び N 型 M O S トランジスタ N M O S のゲートに同図に示す (1) のようなクロック信号 C L K を受ける。クロック信号 C L K がハイレベルのとき、同図に示す (3) のような経路にて下側電流源 B I S に電流が流れる。クロック信号 C L K がローレ

40

50

ベルのとき、同図に示す(2)のような経路にて上側電流源UISに電流が流れる。

【0197】

アナログ積分器AIはオペアンプOP-Aと帰還容量(コンデンサ)OPA-FCと帰還抵抗OPA-FRとを有する。オペアンプOP-Aは非反転入力端子に電源電圧VDDの1/2の電圧を受け、反転入力端子にチャージポンプCPの出力を受ける。帰還容量OPA-FCはオペアンプOP-Aの反転入力端子と出力との間に並列接続される。帰還抵抗OPA-FRは帰還容量OPA-FCと並列接続される。

【0198】

(2)動作

テスト信号生成回路ADC-TSGC2は以下のように動作する。テスト信号生成回路ADC-TSGC2がクロック信号CLKを受けると、チャージポンプCPが動作し、同図に示す(1)及び(2)のような経路にて帰還容量OPA-FCに電流が流れる。同図に示す(2)のような経路で電流が流れるとき、テスト信号ADC-TSは減少するように変化する。同図に示す(3)のような経路で電流が流れるとき、テスト信号ADC-TSは増加するように変化する。その結果、同図に示す(4)のような三角波の形状のテスト信号ADC-TSがアナログ積分器AIの出力として、テスト信号生成回路ADC-TSGC2がテスト信号ADC-TSを出力する。帰還抵抗OPA-FRはテスト信号ADC-TSが電源電圧VDD/2を中心とする振幅にて動作する波形とするための直流フィード用高抵抗である。クロック信号CLKの周波数が、テスト信号ADC-TSとしての三角波の周波数となる。

【0199】

クロック信号CLKは、AD変換器I-ADC用及びAD変換器Q-ADC用のサンプリングクロックを分周して十分に低い周波数を持つものとする。三角波の振幅は、上側電流源UIS及び下側電流源BISの電流値、帰還容量OPA-FCの容量値にて設定し、AD変換器I-ADC及びAD変換器Q-ADCのフルスケール近くまでの振幅を持つものとする。これらにより、補正係数I-ADCC及び補正係数Q-ADCCの探索が確実に収束できるようにする。実施例4と同様に、テスト信号ADC-TSに雑音や歪が含まれていても許容できるため、テスト信号生成回路ADC-TSGC2の設計は容易である。

【0200】

12. AD変換器用テスト信号生成回路(実施例6)

図15は本実施の形態の半導体集積回路装置RFICにて用いられるテスト信号ADC-TSを生成するためのテスト信号生成回路ADC-TSGC3の一実施例である。

【0201】

(1)構成

同図に示す点線で囲まれているものがテスト信号生成回路ADC-TSGC3である。テスト信号生成回路ADC-TSGC3は、実施例5と同様に、チャージポンプCPとアナログ積分器AIとを有する。さらに、テスト信号生成回路ADC-TSGC3はAD変換器I-ADC及びAD変換器Q-ADCとAD変換器出力平均化部(平均化回路)IQADC-OAUとチャージポンプ制御回路CPCとを有する。(1)のようなクロック信号CLKを受け、電流を出力するチャージポンプCP。チャージポンプCPの出力を受け、(4)のようなテスト信号ADC-TSを出力するアナログ積分器AI。チャージポンプの出力を受けるAD変換器I-ADC及びAD変換器Q-ADC。AD変換器出力平均化部IQADC-OAUはAD変換器I-ADC及びAD変換器Q-ADCからの2つの出力を受けこの2つの出力を平均化して出力する。チャージポンプ制御回路CPCはAD変換器出力平均化部IQADC-OAUからの出力を受け、チャージポンプCPに入力されるクロック信号CLKを生成する。ここでテスト信号生成回路ADC-TSGC3はこれら構成要素によるループ回路として構成されている。テスト信号生成回路ADC-TSGC3は半導体集積回路装置RFIC内に設けられる。

【0202】

10

20

30

40

50

(2) 動作

AD変換テスト動作時におけるテスト信号生成回路ADC-TSGCの動作について説明する。実施例6にて説明したように、同図に示す(2)及び(3)の経路で電流が流れることにより、同図に示す(4)のようなテスト信号ADC-TSがAD変換器I-ADC及びAD変換器Q-ADCに入力される。第一ディザ信号Dither1がAD変換器I-ADCに入力され、第二ディザ信号Dither2がAD変換器Q-ADCに入力されている。AD変換器出力平均化部IQADC-OAUにてこれらディザ信号成分がキャンセルされて、同図に示す(5)のような信号が出力される。AD変換器出力平均化部IQADC-OAUの出力はテスト信号ADC-TSをAD変換処理したものとなる。チャージポンプ制御回路CPCは同図に示す(5)のような信号を受ける。チャージポンプ制御回路CPCは同図に示す(5)のような信号が、第一閾値電圧Vth1を下回るとハイレベルの信号を出力する。そして、チャージポンプ制御回路CPCは第一閾値電圧Vth1よりも大きな第二閾値電圧Vth2を上回るとローレベルの信号を出力する。これにより同図に示す(1)のようなクロック信号CLKが生成されてチャージポンプCPに出力される。ループ回路としてのテスト信号生成回路ADC-TSGC3は三角波発信器を構成しており、三角波としてのテスト信号ADC-TSが用いられて補正係数I-ADCC、Q-ADCCが生成される。

10

【0203】

実施例5と比較して、三角波の振幅が第一閾値電圧Vth1及び第二閾値電圧Vth2により管理できるので、上側電流源UIS、下側電流源BIS、及び帰還容量OPA-FCのばらつきにより飽和するリスクを回避できる点が優れている。

20

【0204】

実施例6における三角波の周波数は、第一閾値電圧Vth1、第二閾値電圧Vth2、上側電流源UIS、下側電流源BIS、及び帰還容量OPA-FCで決まるもので、実施例5のようにサンプリングクロックの整数分の1ではない。したがって、三角波の周波数がAD変換器I-ADC用及びAD変換器Q-ADC用のサンプリングクロックの周波数と無関係にできる。これにより、AD変換器I-ADC及びAD変換器Q-ADCにおける三角波のサンプリング電圧が多様なパターンとなり、補正係数I-ADCC、Q-ADCCの探索に有利となる点も優れている。

【0205】

13. その他の変形例

(1) ディザ信号

本実施の形態において、AD変換部I-ADCUに入力されている第一ディザ信号Dither1はAD変換部Q-ADCUに入力されている第二ディザ信号Dither2と絶対値が等しく、符号が逆なものとなっている。よって第一ディザ信号Dither1 = とすると第二ディザ信号Dither2 = - となる。しかしながら必ずしもこのような関係は必要なく、第一ディザ信号Dither1 = 2、第二ディザ信号Dither2 = 0でもよく、第一ディザ信号Dither1 = 0、第二ディザ信号Dither2 = 2でもよい。このように第一、第二ディザ信号のうちのどちらか一方が0であり、他方が2であってもよい。

30

40

【0206】

(2) ミスマッチ

本実施の形態において、IQ間補正部I/QCUがアナログ回路R-ACにおけるミキサRI-MIXから可変増幅器I-PGAまでのパスと、ミキサRQ-MIXから可変増幅器Q-PGAまでのパスに起因する利得や位相、直流オフセットのミスマッチを検出し、補正するのが最も良い。しかしながら、利得や位相、直流オフセットのうちの少なくとも1つ(又は2つ)のミスマッチを検出し、補正する形態でも構わない。

【0207】

(3) キャリブレーション処理

本実施の形態において、初期シーケンス期間において、アナログ回路R-AC及びアナ

50

ログ回路 T - A C の以下の回路についてキャリブレーション処理を行っている。

(a) アナログ回路 R - A C

ローノイズアンプ L N A、フィルタ I - F I L、フィルタ Q - F I L、可変増幅器 I - P G A、可変増幅器 Q - P G A、クロックパルス生成器 C P G

(b) アナログ回路 T - A C

D A 変換器 I - D A C、D A 変換器 Q - D A C、ローパスフィルタ I - L P F、ローパスフィルタ Q - L P F、パワーアンプ P A

これら要素回路に対するキャリブレーション処理は初期シーケンス期間に限らず、A D C 補正モード A D C - C M にて実行されてもよい。特に定期的に訪れる無信号期間にてキャリブレーション処理がなされる場合には、これらの要素回路の温度変動や電源電圧変動に対応したキャリブレーション処理結果が得られ、復調処理や変調処理の高精度化が図れる。更にこれら要素回路ごとにキャリブレーション処理の頻度や時間を設定できるようにしてもよい。この場合、各要素回路ごとに最適なキャリブレーション頻度や時間があるので、復調処理や変調処理の高精度化と消費電力の最適化が図れる。尚、これら要素回路のキャリブレーション、特にアナログ回路 R - A C の各要素回路のキャリブレーション処理は I Q 補正モード I / Q C - C M の前に実行されるのがよい。理由として I Q 間補正部 I / Q C U はアナログ回路 R - A C におけるミキサ R I - M I X から可変増幅器 I - P G A までのパスと、ミキサ R Q - M I X から可変増幅器 Q - P G A までのパスに起因する利得や位相、直流オフセットのミスマッチを検出し、補正するものである。よってミキサ R I - M I X から可変増幅器 I - P G A までのパスに存在する各要素回路やミキサ R Q - M I X から可変増幅器 Q - P G A までのパスに存在する各要素回路の各種オフセット等が最適に補正されていない場合、I Q 間補正部 I / Q C U における利得や位相、直流オフセットのミスマッチの検出及び補正処理が高精度に実行できないからである。

【 0 2 0 8 】

(4) I Q 補正用テスト信号

本実施の形態において、キャリブレーション信号生成回路 I / Q C U - C S G はアナログ Q 信号 T - Q A のローパスフィルタ I - L P F やローパスフィルタ Q - L P F にテスト信号 I / Q C - T S を出力する構成となっている。しかしながら、ミキサ R I - M I X から可変増幅器 I - P G A までのパスやミキサ R Q - M I X から可変増幅器 Q - P G A までのパスをテスト信号 I / Q C - T S が通ればいいので、ローノイズアンプ L N A とミキサ R I - M I X 及びミキサ R Q - M I X との間に直接テスト信号 I / Q C - T S が入力される構成としてもよい。尚、ループスイッチ L - S W は、ミキサ R I - M I X から可変増幅器 I - P G A までのパスやミキサ R Q - M I X から可変増幅器 Q - P G A までのパスをテスト信号 I / Q C - T S が通る必要があるために、図 5 に示すような場所に設けられている。切替回路 I - S C 及び切替回路 Q - S C は、ミキサ R I - M I X から可変増幅器 I - P G A までのパスやミキサ R Q - M I X から可変増幅器 Q - P G A までのパスを通ることにより各要素回路のオフセット等のばらつきが A D 変換テスト動作に影響しないように、図 5 に示すような場所に設けられている。ミキサ R I - M I X から A D 変換器 I - A D C との間のパス、及びミキサ R Q - M I X から A D 変換器 Q - A D C との間のパスにあるフィルタと可変増幅アンプの配置の順番は逆でもよく、フィルタと可変増幅器がそれぞれ複数あり、交互にフィルタと可変増幅器とが繰り返されるように配置されていてもよい。

【 0 2 0 9 】

(5) A D C

前記 5 の (4) ~ (9) の構成又は機能において、第一 A D 変換器は図 5 に記載されている A D 変換器 I - A D C であってもよく、第二 A D 変換器は図 5 に記載されている A D 変換器 Q - A D C であってもよい。第一 A D 変換器はアナログ回路 R - A C とデジタル処理部 D O U との間に設けられる、参考図 1 ~ 参考図 4 のいずれかの A D C であってもよい。この場合には参考図 1 ~ 参考図 4 の A D C のアナログ信号 (I n p u t) が I 信号用可変増幅器 I - P G A の出力から入力され、参考図 1 ~ 参考図 4 の A D C のデジタル信号 (O u t p u t) が I Q 間補正部 I / Q C U のデジタル I 信号 R - I D を受ける入力部に入

力する。第二AD変換器はアナログ回路R - ACとデジタル処理部DOUとの間に設けられる、参考図1～参考図4のいずれかのADCであってもよい。この場合には参考図1～参考図4のADCのアナログ信号(Input)が可変増幅器Q - PGAの出力から入力され、参考図1～参考図4のADCのデジタル信号(Output)がIQ間補正部I/QCUのデジタルQ信号R - QDを受ける入力部に入力する。要はI信号パスのADCはアナログI信号R - IAを受けデジタル補正処理することによりAD変換処理を行ってデジタルI信号R - IDを生成するものであればよい。同じくQ信号パスのADCはアナログQ信号R - QAを受けデジタル補正処理することによりAD変換処理を行ってデジタルQ信号R - QDを生成するものであればよい。尚、第一AD変換器に参考図1、参考図3及び参考図4のいずれかのADCを適用する場合、切替回路I - SCを参考図1、参考図3及び参考図4のいずれかのADCの前段に接続し、第一モードと第二モードの間にてAD変換器用テスト信号の入力と可変増幅器I - PGAの出力が切り替えられる構成とすればよい。第二AD変換器に参考図1、参考図3及び参考図4のいずれかのADCを適用する場合、切替回路Q - SCを参考図1、参考図3及び参考図4のいずれかのADCの前段に接続し、第一モードと第二モードの間にてAD変換器用テスト信号の入力と可変増幅器Q - PGAの出力が切り替えられる構成とすればよい。

10

【0210】

(実施の形態2)

以下、図面を参照しながら本実施の形態の半導体集積回路装置及びこの半導体集積回路装置を含む通信システムの構成と半導体集積回路装置について詳細に説明する。図16は半導体集積回路装置を含む通信システムの構成図である。

20

【0211】

実施の形態1の通信システムと同じ部分もあるが、異なる点も幾つかあり、そこを中心に説明する。

【0212】

実施の形態1ではアンテナは1つであったが、本実施の形態ではアンテナが2つあり、それに伴い、受信用アナログ回路が2つある。さらにその後段のI及びQ信号用のAD変換器の構成が変更されている。更にデジタル処理部の構成が変更されている。

【0213】

1. 通信システム

本実施の形態の通信システムは、構成要素が実施の形態1とは異なり、第一アンテナANT1と第二アンテナANT2と半導体集積回路装置RFIC2とベースバンド処理部BBUを有する。第一アンテナANT1は外部からの通信信号としての第一高周波信号HFS1を受ける。第二アンテナANT2は第一高周波信号HFS1と同一種類の信号である第二高周波信号HFS2を受ける。なお、ベースバンド処理部BBUは実施の形態1と同じものである。

30

【0214】

2. 半導体集積回路装置

(1) 構成

半導体集積回路装置RFIC2は、構成要素が実施の形態1とは異なる第一アナログ回路R - AC1と第二アナログ回路R - AC2とAD変換器R - ADCとを有する。さらに、半導体集積回路装置RFIC2は、デジタル処理部DOU2とアナログ回路T - AC2とを有する。

40

【0215】

第一アナログ回路R - AC1は、同図に示す鎖線で囲われているものである。第一アナログ回路R - AC1は第一アンテナANT1を介して第一高周波信号HFS1を受け、アナログI信号L1R - IAと、アナログI信号L1R - IAと位相が90度ずれているようなアナログQ信号L1R - QAとを生成する。第二アナログ回路R - AC2は同図に示す鎖線で囲われているものである。第二アナログ回路R - AC2は第二アンテナANT2を介して第二高周波信号HFS2を受け、アナログI信号L2R - IAと、アナログI信

50

号 L 2 R - I A と位相が 90 度ずれているようなアナログ Q 信号 L 2 R - Q A とを生成する。A D 変換器 R - A D C は同図に示す鎖線で囲われているものである。A D 変換器 R - A D C はアナログ I 信号 L 1 R - I A を受けてこの信号を A D 変換処理してデジタル I 信号 L 1 R - I D を生成する。また、A D 変換器 R - A D C はアナログ Q 信号 L 1 R - Q A を受けてこの信号を A D 変換処理してデジタル Q 信号 L 1 R - Q D を生成する。また、A D 変換器 R - A D C はアナログ I 信号 L 2 R - I A を受けてこの信号を A D 変換処理してデジタル I 信号 L 2 R - I D を生成する。また、A D 変換器 R - A D C はアナログ Q 信号 L 2 R - Q A を受けてこの信号を A D 変換処理してデジタル Q 信号 L 2 R - Q D を生成する。

【 0 2 1 6 】

受信用アナログ回路に関して、実施の形態 1 のアナログ回路 R - A C はループスイッチ L - S W を有していたが、その代わりに本実施の形態の第一アナログ回路 R - A C 1 及びアナログ回路 T - A C ではループ切替回路 L - S C となっている。I Q 間補正テスト動作時にはループ切り替え回路 L - S C が出力足し合わせ部 T - O A U の出力と、第一アナログ回路 R - A C 1 及び第二アナログ回路 R - A C 2 の受信ミキサの入力とを接続する。I Q 間補正本番動作ではこの接続を切断する。ループ切替回路 L - S C 及びクロックパルス生成器 C P G はアナログ回路 T - A C 2 と第一アナログ回路 R - A C 1 と第二アナログ回路 R - A C 2 とで共有されている。送受信切替スイッチ T R - S W はアナログ回路 T - A C 2 と第一アナログ回路 R - A C 1 とで共有されており、第二アナログ回路 R - A C 2 とは共有されていない。アナログ回路 T - A C 2 の出力は送受信切替スイッチ T R - S W を介して第一アンテナ A N T 1 を介して外部に送信される。第一ミキサ信号は第一アナログ回路 R - A C 1 及び第二アナログ回路 R - A C 2 に出力され、第二ミキサ信号は第一アナログ回路 R - A C 1 及び第二アナログ回路 R - A C 2 に出力される。これら以外は、実施の形態 1 のアナログ回路 R - A C と第一アナログ回路 R - A C 1 及び第二アナログ回路 R - A C 2 との間では特に構成上の違いはない。説明するまでも無いが、入力される信号が上述のように変更されているために、内部で処理される信号もこの変更に伴って変更される。

【 0 2 1 7 】

A D 変換器 R - A D C は切替回路 A D C - S C を持つ。切替回路 A D C - S C は、A D 変換テスト動作時には、後段の A D 変換部に共通のテスト信号 A D C - T S を出力する。切替回路 A D C - S C は、A D 変換本番動作時には、アナログ I 信号 L 1 R - I A とアナログ Q 信号 L 1 R - Q A、アナログ I 信号 L 2 R - I A とアナログ Q 信号 L 2 R - Q A とをそれぞれに対応する後段の A D 変換部に出力する。A D 変換器 R - A D C は A D 変換部 L 1 I - A D C U と A D 変換部 L 2 I - A D C U とデジタル補正部 D C U I L 1 & L 2 とを有する。A D 変換器 R - A D C は A D 変換部 L 1 Q - A D C U と A D 変換部 L 2 Q - A D C U とデジタル補正部 D C U Q L 1 & L 2 とを持つ。

【 0 2 1 8 】

デジタル補正部 D C U I L 1 & L 2 は補正係数設定レジスタ L 1 I - A D C C C S R E S と補正係数設定レジスタ L 2 I - A D C C C S R E S とを有する。補正係数設定レジスタ L 1 I - A D C C C S R E S は A D 変換部 L 1 I - A D C U からのデジタル出力に対するデジタル補正処理用の補正係数を格納するためのものである。補正係数設定レジスタ L 2 I - A D C C C S R E S は A D 変換部 L 2 I - A D C U からのデジタル出力に対するデジタル補正処理用の補正係数を格納するためのものである。

【 0 2 1 9 】

デジタル補正部 D C U Q L 1 & L 2 は補正係数設定レジスタ L 1 Q - A D C C C S R E S と補正係数設定レジスタ L 2 Q - A D C C C S R E S とを有する。補正係数設定レジスタ L 1 Q - A D C C C S R E S は A D 変換部 L 1 Q - A D C U からのデジタル出力に対するデジタル補正処理用の補正係数を格納するためのものである。補正係数設定レジスタ L 2 Q - A D C C C S R E S は A D 変換部 L 2 Q - A D C U からのデジタル出力に対するデジタル補正処理用の補正係数を格納するためのものである。

10

20

30

40

50

【0220】

デジタル処理部DOU2とアナログ回路T-AC2については、後述する。

【0221】

(2)動作

(a)AD変換テスト動作

AD変換テスト動作時は以下のように動作する。テスト信号ADC-TSが切替回路ADC-SCを介してAD変換部L1I-ADCUに入力され、AD変換部L1Q-ADCUに入力され、AD変換部L2I-ADCUに入力され、AD変換部L2Q-ADCUに入力される。

【0222】

AD変換部L1I-ADCUはテスト信号ADC-TSに加えて第一ディザ信号Dither1が入力され、これら入力をAD変換処理してその結果をデジタル補正部DCUI L1&L2に出力する。AD変換部L2I-ADCUはテスト信号ADC-TSに加えて第二ディザ信号Dither2が入力され、これら入力をAD変換処理してその結果をデジタル補正部DCUI L1&L2に出力する。

10

【0223】

AD変換部L1Q-ADCUはテスト信号ADC-TSに加えて第一ディザ信号Dither1が入力され、これら入力をAD変換処理してその結果をデジタル補正部DCUQL1&L2に出力する。AD変換部L2Q-ADCUはテスト信号ADC-TSに加えて第二ディザ信号Dither2が入力され、これら入力をAD変換処理してその結果をデジタル補正部DCUQL1&L2に出力する。

20

【0224】

デジタル補正部DCUI L1&L2はAD変換部L1I-ADCUからのデジタル出力をデジタル補正処理した補正結果と、AD変換部L2I-ADCUからのデジタル出力をデジタル補正処理した補正結果とを求める。これら求められた補正結果に基づいて、補正係数設定レジスタL1I-ADCCCSRESに格納されるべき補正係数L1I-ADCCを決定して格納し、補正係数設定レジスタL2I-ADCCCSRESに格納されるべき補正係数L2I-ADCCを決定して格納する。

【0225】

デジタル補正部DCUQL1&L2はAD変換部L1Q-ADCUからのデジタル出力をデジタル補正処理した補正結果と、AD変換部L2Q-ADCUからのデジタル出力をデジタル補正処理した補正結果とを求める。これら求められた補正結果に基づいて、補正係数設定レジスタL1Q-ADCCCSRESに格納されるべき補正係数L1Q-ADCCを決定して格納し、補正係数設定レジスタL2Q-ADCCCSRESに格納されるべき補正係数L2Q-ADCCを決定して格納する。

30

【0226】

(b)AD変換本番動作

AD変換本番動作の時には以下のように動作する。アナログI信号L1R-IAが切替回路ADC-SCを介してAD変換部L1I-ADCUに入力され、アナログI信号L2R-IAが切替回路ADC-SCを介してAD変換部L2I-ADCUに入力される。アナログQ信号L1R-QAが切替回路ADC-SCを介してAD変換部L1Q-ADCUに入力され、アナログQ信号L2R-QAが切替回路ADC-SCを介してAD変換部L2Q-ADCUに入力される。

40

【0227】

AD変換部L1I-ADCUにはアナログI信号L1R-IAが入力され、この入力をAD変換処理してその結果をデジタル補正部DCUI L1&L2に出力する。AD変換部L2I-ADCUにはアナログI信号L2R-IAが入力され、この入力をAD変換処理してその結果をデジタル補正部DCUI L1&L2に出力する。AD変換部L1Q-ADCUにはアナログQ信号L1R-QAが入力され、この入力をAD変換処理してその結果をデジタル補正部DCUQL1&L2に出力する。AD変換部L2Q-ADCUにはアナ

50

ログQ信号L2R-QAが入力され、この入力をAD変換処理してその結果をデジタル補正部DCUQL1&L2に出力する。

【0228】

デジタル補正部DCUIL1&L2はAD変換部L1I-ADCUからの出力を補正係数設定レジスタL1I-ADCCCSRESに格納されている補正係数L1I-ADCCを用いてデジタル補正処理することで、AD変換器R-ADCにおけるAD変換処理結果としてデジタルI信号L1R-IDを出力する。デジタル補正部DCUIL1&L2はAD変換部L2I-ADCUからの出力を補正係数設定レジスタL2I-ADCCCSRESに格納されている補正係数L2I-ADCCを用いてデジタル補正処理することで、AD変換器R-ADCにおけるAD変換処理結果としてデジタルI信号L2R-IDを

10

【0229】

デジタル補正部DCUQL1&L2はAD変換部L1Q-ADCUからの出力を補正係数設定レジスタL1Q-ADCCCSRESに格納されている補正係数L1Q-ADCCを用いてデジタル補正処理することで、AD変換器R-ADCにおけるAD変換処理結果としてデジタルQ信号L1R-QDを出力する。デジタル補正部DCUQL1&L2はAD変換部L2Q-ADCUからの出力を補正係数設定レジスタL2Q-ADCCCSRESに格納されている補正係数L2Q-ADCCを用いてデジタル補正処理することで、AD変換器R-ADCにおけるAD変換処理結果としてデジタルQ信号L2R-QDを

20

【0230】

尚、各AD変換部の内部構成及び動作は実施の形態1のAD変換部と同じである。各デジタル補正部の内部構成及び動作は実施の形態1のデジタル補正部と基本的に同じであるが、AD変換用の補正係数設定レジスタが、実施の形態1のものから上述したような本実施の形態のものに入れ替えられている。よって入れ替えられている箇所を除いては、実施の形態1の図7及びその説明箇所に記載したものに準拠したものとなっている。説明するまでも無いが、入力される信号が上述のように変更されているために、内部で処理される信号もこの変更に伴って変更される。

【0231】

3. デジタル処理部

30

(1) 構成

デジタル処理部DOU2は、実施の形態1と異なり、IQ間補正部L1I/QCUとIQ間補正部L2I/QCUとを持つ。IQ間補正部L1I/QCUは、アナログ回路R-AC1におけるI信号系のミキサから可変増幅器までのパスと、Q信号系のミキサから可変増幅器までのパスとに起因する利得や位相、直流オフセットのミスマッチを検出する。そして、IQ間補正部L1I/QCUは、検出したミスマッチを補正して、補正デジタルI信号L1-CID及び補正デジタルQ信号L1-CQDを出力する。IQ間補正部L2I/QCUは、アナログ回路R-AC2におけるI信号系のミキサから可変増幅器までのパスと、Q信号系のミキサから可変増幅器までのパスとに起因する利得や位相、直流オフセットのミスマッチを検出する。そして、IQ間補正部L2I/QCUは、検出したミスマッチを補正して、補正デジタルI信号L2-CID及び補正デジタルQ信号L2-CQDを出力する。デジタル処理部DOU2はこれら補正デジタル信号に対して必要なデジタル処理を施してベースバンド信号を生成してベースバンド処理部BBUに送信する。デジタル処理部DOU2は不必要なら何らのデジタル処理を施さない。その場合はこれら補正デジタル信号は復調されたベースバンド信号となる。

40

【0232】

IQ間補正部L1I/QCUは補正係数設定レジスタL1I-I/QCUCCSRESと補正係数設定レジスタL1Q-I/QCUCCSRESとを有する。補正係数設定レジスタL1I-I/QCUCCSRESはデジタルI信号L1R-IDの処理のための補正係数L1I-I/QCUCを格納する。補正係数設定レジスタL1Q-I/QCUC

50

SRESはデジタルQ信号L1R-QDの処理のための補正係数L1Q-I/QCUCを格納する。

【0233】

IQ間補正部L2I/QCUは補正係数設定レジスタL2I-I/QCUCCSRESと補正係数設定レジスタL2Q-I/QCUCCSRESとを有する。補正係数設定レジスタL2I-I/QCUCCSRESはデジタルI信号L2R-IDの処理のための補正係数L2I-I/QCUCを格納する。補正係数設定レジスタL2Q-I/QCUCCSRESはデジタルQ信号L2R-QDの処理のための補正係数L2Q-I/QCUCを格納する。

【0234】

尚、各IQ間補正部の内部構成は実施の形態1のIQ間補正部と基本的に同じ構成である。しかし、IQ間補正用の補正係数設定レジスタが、実施の形態1のものから上述したような本実施の形態のものに入れ替えられている。よって入れ替えられている箇所を除くは、実施の形態1の図8及びその説明箇所に記載したものに準拠したものとなっている。説明するまでも無いが、入力される信号が上述のように変更されているために、内部で処理される信号もこの変更に伴って変更される。

【0235】

(2)動作

各IQ間補正部のIQ間補正テスト動作及びIQ間補正本番動作に関して、実施の形態1のIQ間補正部の動作と基本的に同じである。しかし、IQ間補正部に入力される受信デジタル信号及びIQ間補正部から出力される補正デジタル信号が、実施の形態1のものから上述したような本実施の形態のものに入れ替えられている。更にIQ間補正用の補正係数が実施の形態1のものから上述したような本実施の形態のものに入れ替えられている。説明するまでも無いが、入力される信号が上述のように変更されているために、内部で処理される信号もこの変更に伴って変更される。

【0236】

(3)AD変換処理モード

(a)経路1&2間補正モード

デジタル処理部DOU2には更にAD変換処理モードレジスタADCMRESが設けられる。本実施の形態において、今まで述べたAD変換器R-ADCのAD変換処理は、以下のような形となる。第一アンテナANT1から第一アナログ回路R-AC1を通過してきた経路1のI信号であるアナログI信号L1R-IAと、第二アンテナANT2から第二アナログ回路R-AC2を通過してきた経路2のI信号であるアナログI信号L2R-IAとを用いて、AD変換テスト動作時にAD変換用の補正係数を算出する。そして、AD変換本番操作時にAD変換テスト動作時に求められたAD変換用の補正係数を用いてAD変換処理することで、デジタルI信号L1R-ID及びデジタルI信号L2R-IDを生成する。同じく、今まで述べたAD変換器R-ADCのAD変換処理は、以下のような形となる。第一アンテナANT1から第一アナログ回路R-AC1を通過してきた経路1のQ信号であるアナログQ信号L1R-QAと、第二アンテナANT2から第二アナログ回路R-AC2を通過してきた経路2のQ信号であるアナログI信号L2R-QAとを用いて、AD変換テスト動作時にAD変換用の補正係数を算出する。そして、AD変換本番操作時にAD変換テスト動作時に求められたAD変換用の補正係数を用いてAD変換処理することで、デジタルQ信号L1R-QD及びデジタルQ信号L2R-QDを生成する。この場合、AD変換処理モードレジスタADCMRESには経路1&2間補正モードが設定されている。ベースバンド処理部BBUがAD変換処理モードレジスタADCMRESのモード設定を可能としている。

【0237】

(b)IQ間補正モード

AD変換処理モードレジスタADCMRESにIQ間補正モードが設定された場合、以下のような動作をAD変換器R-ADCが行う。第一アンテナANT1から第一アナログ

10

20

30

40

50

回路 R - A C 1 を通ってきた経路 1 の I 信号であるアナログ I 信号 L 1 R - I A と、第一アンテナ A N T 1 から第一アナログ回路 R - A C 1 を通ってきた経路 1 の Q 信号であるアナログ Q 信号 L 1 R - Q A とを用いて、A D 変換テスト動作時に A D 変換用の補正係数を算出する。そして、A D 変換本番操作時に A D 変換テスト動作時に求められた A D 変換用の補正係数を用いて A D 変換処理することで、デジタル I 信号 L 1 R - I D 及びデジタル Q 信号 L 1 R - Q D を生成する。同じく、A D 変換器 R - A D C の A D 変換処理は、以下のような形となる。第二アンテナ A N T 2 から第二アナログ回路 R - A C 2 を通ってきた経路 2 の I 信号であるアナログ I 信号 L 2 R - I A と、第二アンテナ A N T 2 から第二アナログ回路 R - A C 2 を通ってきた経路 2 の Q 信号であるアナログ I 信号 L 2 R - Q A を用いて、A D 変換テスト動作時に A D 変換用の補正係数を算出する。そして、A D 変換本番操作時に A D 変換テスト動作時に求められた A D 変換用の補正係数を用いて A D 変換処理することで、デジタル I 信号 L 2 R - I D 及びデジタル Q 信号 L 2 R - Q D を生成する。

10

【 0 2 3 8 】

A D 変換処理モードレジスタ A D C M R E S に I Q 間補正モードが設定された場合の動作を達成するために、信号入出力及び A D 変換用の補正係数設定レジスタに格納される A D 変換用の補正係数が以下のように変更される。

(い) A D 変換部 L 1 I - A D C U の出力がデジタル補正部 D C U Q L 1 & L 2 に入力される

(ろ) A D 変換部 L 2 Q - A D C U の出力がデジタル補正部 D C U I L 1 & L 2 に入力される

20

(は) 補正係数設定レジスタ L 2 Q - A D C C C S R E S に補正係数 L 1 I - A D C C C が格納される

(に) 補正係数設定レジスタ L 1 I - A D C C C S R E S に補正係数 L 2 Q - A D C C C が格納される

(ほ) デジタル補正部 D C U I L 1 & L 2 からデジタル Q 信号 L 2 R - Q D が出力され、この出力されたデジタル Q 信号 L 2 R - Q D は I Q 間補正部 L 2 I / Q C U に入力される

(へ) デジタル補正部 D C U Q L 1 & L 2 からデジタル I 信号 L 1 R - I D が出力され、この出力されたデジタル I 信号 L 1 R - I D は I Q 間補正部 L 1 I / Q C U に入力される

A D 変換テスト動作及び A D 変換本番動作においても、以上の変更に従って信号入出力及び A D 変換用の補正係数設定レジスタに格納される A D 変換用の補正係数が変更される。A D 変換器 R - A D C 内部においても、入力される信号が上述のように変更されているために、内部で処理される信号もこの変更に伴って変更される。

30

【 0 2 3 9 】

4 . その他

尚、本実施の形態の半導体集積回路装置 R F I C 2 を含む通信システムの動作に関しては、実施の形態 1 の図 6 及びその説明箇所に準拠したものとなる。

【 0 2 4 0 】

アナログ回路 T - A C 2 に関しては、上述したような、クロックパルス生成器 C P G 及びループ切替回路 L - S C に関しては、実施の形態 1 のものと異なる部分がある。それ以外は実施の形態 1 の図 5 及びその説明箇所に準拠したものとなる。

40

5 . まとめ

本実施の形態によれば、以下の作用効果が得られる。

(1) A D C 補正モード A D C - C M (フォアグラウンド補正における第一モードに対応) において、A D 変換部 L 1 I - A D C U 、 A D 変換部 L 1 Q - A D C U 、 A D 変換部 L 2 I - A D C U 、 及び A D 変換部 L 2 Q - A D C U に共通にテスト信号 A D C - T S が入力される。補正係数 L 1 I - A D C C C 及び補正係数 L 2 I - A D C C C が、A D 変換部 L 1 I - A D C U 及び A D 変換部 L 2 I - A D C U からの出力をデジタル補正部 D C U I L 1 & L 2 がデジタル処理することによって算出される。補正係数 L 1 Q - A D C C C 及び補正係数 L 2 Q - A D C C C が、A D 変換部 L 1 Q - A D C U 及び A D 変換部 L 2 Q -

50

A D C Uからの出力をデジタル補正部D C U Q L 1 & L 2がデジタル補正処理することによって算出される。更にI Q補正モードI / Q C U - C M又は受信信号処理モードR S P M (フォアグラウンド補正における第二モードに対応)において、A D C補正モードA D C - C Mにて求められた補正係数L 1 I - A D C C C、及び補正係数L 2 I - A D C C Cを用いてデジタル補正処理することで、アナログI信号L 1 R - I AがA D変換処理されてデジタルI信号L 1 R - I Dが出力され、アナログI信号L 2 R - I AがA D変換処理されてデジタルI信号L 2 R - I Dが出力される。A D C補正モードA D C - C Mにて求められた補正係数L 1 Q - A D C C C、及び補正係数L 2 Q - A D C C Cを用いてデジタル補正処理することで、アナログQ信号L 1 R - Q AがA D変換処理されてデジタルQ信号L 1 R - Q Dが出力され、アナログQ信号L 2 R - Q AがA D変換処理されてデジタルQ信号L 2 R - Q Dが出力される。

10

【0241】

前記(1)の構成又は機能を有することにより、A D変換部L 1 I - A D C U、A D変換部L 2 I - A D C U、デジタル補正部D C U I L 1 & L 2はA D C補正モードA D C - C Mにおいては補正係数L 1 I - A D C C C及び補正係数L 2 I - A D C C Cを算出するために用いられる。更にI Q補正モードI / Q C U - C M又は受信信号処理モードR S P MにおいてはアナログI信号L 1 R - I A及びアナログI信号L 2 R - I AをA D変換動作するためにも用いられる。更に、A D変換部L 1 Q - A D C U、A D変換部L 2 Q - A D C U、及びデジタル補正部D C U Q L 1 & L 2はA D C補正モードA D C - C Mにおいては補正係数L 1 Q - A D C C C及び補正係数L 2 Q - A D C C Cを算出するために用いられる。I Q補正モードI / Q C U - C M又は受信信号処理モードR S P MにおいてはアナログQ信号L 1 R - Q A及びアナログQ信号L 2 R - Q AをA D変換動作するためにも用いられる。よって、面積の大きな追加回路にて補正係数L 1 I - A D C C C、補正係数L 2 I - A D C C C、補正係数L 1 Q - A D C C C、及び補正係数L 2 Q - A D C C Cを求める必要が無くなることにより半導体集積回路装置が小面積となる。更に、面積の大きな追加回路が無いことによりA D C補正モードA D C - C Mにおいて面積の大きな追加回路が動作しようがないために、低消費電力化が図れる。

20

【0242】

(2)前記(1)の構成又は機能であって、A D C補正モードA D C - C Mにおいて、A D変換部L 1 I - A D C Uからの出力とA D変換部L 2 I - A D C Uからの出力からの差分に基づいた変換誤差に基づいて、補正係数L 1 I - A D C C C及び補正係数L 2 I - A D C C Cが算出される。A D C補正モードA D C - C Mにおいて、A D変換部L 1 Q - A D C Uからの出力とA D変換部L 2 Q - A D C Uからの出力からの差分に基づいた変換誤差に基づいて、補正係数L 1 Q - A D C C C及び補正係数L 2 Q - A D C C Cが算出される。

30

【0243】

前記(2)の構成又は機能を有することにより、A D C補正モードA D C - C Mにおいて、A D変換部L 1 I - A D C Uからの出力とA D変換部L 2 I - A D C Uからの出力からの差分に基づいた変換誤差に基づいて、補正係数L 1 I - A D C C C及び補正係数L 2 I - A D C C Cが両方算出される。補正係数L 1 I - A D C C C及び補正係数L 2 I - A D C C C両方が共通の変換誤差に基づいて求められる。A D変換部L 1 Q - A D C Uからの出力とA D変換部L 2 Q - A D C Uからの出力からの差分に基づいた変換誤差に基づいて、補正係数L 1 Q - A D C C C及び補正係数L 2 Q - A D C C Cが両方算出される。補正係数L 1 Q - A D C C C及び補正係数L 2 Q - A D C C C両方が共通の変換誤差に基づいて求められる。I Q補正モードI / Q C U - C M又は受信信号処理モードR S P Mにて、この補正係数L 1 I - A D C C C及び補正係数L 2 I - A D C C Cを用いてA D変換器R - A D CがA D変換動作を実行する。この補正係数L 1 Q - A D C C C及び補正係数L 2 Q - A D C C Cを用いてA D変換器R - A D CがA D変換動作を実行する。補正係数L 1 I - A D C C C及び補正係数L 2 I - A D C C C両方が共通の変換誤差に基づいて求められ、このようにして求められた補正係数L 1 I - A D C C C及び補正係数L 2 I - A D

40

50

CCCが用いられるために、デジタルI信号L1R-IDとデジタルI信号L2R-IDとの間の変換利得ミスマッチが低減される。同じく補正係数L1Q-ADCCC及び補正係数L2Q-ADCCC両方が共通の変換誤差に基づいて求められ、このようにして求められた補正係数L1Q-ADCCC及び補正係数L2Q-ADCCCが用いられるために、デジタルQ信号L1R-QDとデジタルQ信号L2R-QDとの間の変換利得ミスマッチが低減される。

【0244】

(3)前記(2)の構成又は機能であって、AD変換処理モードレジスタADCMRESに経路1&2間補正モードが設定された場合、上述した(1)及び(2)の構成又は機能にて動作する。AD変換処理モードレジスタADCMRESにIQ間補正モードが設定された場合、信号入出力及びAD変換用補正係数設定レジスタに格納されるAD変換用補正係数が上述した3.(3)(b)の(i)~(h)のように変更される。IQ間補正部L1I/QCU及びIQ間補正部L2I/QCUが設けられる。

10

【0245】

前記(3)の構成又は機能を有することにより、次のような状況になる。

(i)IQ間補正部L1I/QCUによる、アナログ回路R-AC1におけるI信号系のミキサから可変増幅器までのパスと、Q信号系のミキサから可変増幅器までのパスに起因する利得や位相、直流オフセットのミスマッチの検出処理及び補正処理によるミスマッチの低減が十分である

(ろ)IQ間補正部L2I/QCUによる、アナログ回路R-AC2におけるI信号系のミキサから可変増幅器までのパスと、Q信号系のミキサから可変増幅器までのパスに起因する利得や位相、直流オフセットのミスマッチの検出処理及び補正処理によるミスマッチの低減が十分である

20

(は)デジタルI信号L1R-IDとデジタルI信号L2R-IDとの間の変換利得ミスマッチ及びデジタルQ信号L1R-QDとデジタルQ信号L2R-QDとの間の変換利得ミスマッチがベースバンド信号を生成するための復調動作の高精度化の妨げになる

以上の(i)~(は)のような状況ときにはAD変換処理モードレジスタADCMRESに経路1&2間補正モードを設定することが可能となる。

【0246】

IQ間補正部L1I/QCU又はIQ間補正部L2I/QCUの動作による変換利得ミスマッチ低減が不十分である場合には、AD変換処理モードレジスタADCMRESにIQ間補正モードを設定すると、以下のような利点がある。デジタルI信号L1R-IDとデジタルQ信号L1R-QDとの間の変換利得ミスマッチ及びデジタルI信号L2R-IDとデジタルQ信号L2R-QDとの間の変換利得ミスマッチを低減し、ベースバンド信号を生成するための復調動作の高精度化が可能となる。

30

【0247】

尚、実施の形態1の実施例1~3のAD変換部は実施の形態2のAD変換部に適宜適用可能である。更に実施の形態2においても、単相信号を取り扱う通信システムとなっているが、差動信号を取り扱う通信システムとしても問題はない。実施の形態1の変形例1のAD変換器用補正係数平均化部は実施の形態2のデジタル補正部DCUIL1&L2及びデジタル補正部DCUQL1&L2に接続される回路として適宜適用可能である。実施の形態1の実施例4~6のテスト信号生成回路ADC-TSGCはテスト信号ADC-TSを生成するための回路として実施の形態2に適宜適用可能である。

40

【0248】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【符号の説明】

【0249】

11、21、31、41 AD変換器(ADC)

50

1 3	参照用 A D 変換部 (R A D C U)	
1 2、2 2、4 2	A D 変換部 (A D C U)	
1 4、2 4	デジタル補正部 (D C U)	
1 5、2 5	誤差演算部 (E C U)	
1 6	分周器 (D I V)	
S C	切り替え回路	
S W 1、S W 2	スイッチ	
2 3	参照用 D A 変換部 (R D A C U)	
3 2 a	第一 A D 変換部 (A D C U (1))	
3 2 b	第二 A D 変換部 (A D C U (2))	10
3 4 a、4 4 a	第一デジタル補正部 (D C U (1))	
3 4 b、4 4 b	第二デジタル補正部 (D C U (2))	
3 7、4 7	ディザ-差分部 (D D U)	
3 6、4 6	出力信号足し合わせ平均化部 (O A A U)	
4 9	遅延部 (D e l a y)	
A D C U S e q u e n c e	A D 変換部シーケンス	
S	サンプリング期間	
A / D 1	第一 A D 変換期間	
A / D 1 R	第一 A D 変換結果	
A / D 2	第二 A D 変換期間	20
A / D 2 R	第二 A D 変換結果	
H F S	高周波信号	
A N T	アンテナ	
R F I C	半導体集積回路装置	
B B U	ベースバンド処理部	
R - I A	アナログ I 信号	
R - Q A	アナログ Q 信号	
R - A C	アナログ回路	
I - A D C	A D 変換器	
Q - A D C	A D 変換器	30
D O U	デジタル処理部	
R - I D	デジタル I 信号	
R - Q D	デジタル Q 信号	
T - A C	アナログ回路	
T R - S W	送受信切替スイッチ	
L N A	ローノイズアンプ	
R I - M I X	ミキサ	
R Q - M I X	ミキサ	
I - F I L	フィルタ	
Q - F I L	フィルタ	40
I - P G A	可変増幅器	
Q - P G A	可変増幅器	
P L L	位相同期ループ	
V C O	電圧制御発振器	
C P G	クロックパルス生成器	
L - S W	ループスイッチ	
I - S C	切替回路	
S W I 1、S W I 2	スイッチ	
I - A D C U	A D 変換部	
D C U I & Q	デジタル補正部	50

Q - S C	切替回路	
SWQ 1、SWQ 2	スイッチ	
Q - A D C U	A D変換部	
T I T	テスト入力端子	
A D C - T S	テスト信号	
D i t h e r 1	第一ディザ信号	
D i t h e r 2	第二ディザ信号	
I - A D C C C	補正係数	
I - A D C C C S R E S	補正係数設定レジスタ	
Q - A D C C C	補正係数	10
Q - A D C C C S R E S	補正係数設定レジスタ	
I / Q C U	I Q間補正部	
I / Q C U - C S G	キャリブレーション信号生成回路	
I / Q C - T S	テスト信号	
A D C - F S R E S	頻度設定レジスタ	
A D C - P S R E S	期間設定レジスタ	
I / Q C - F S R E S	頻度設定レジスタ	
I / Q C - P S R E S	期間設定レジスタ	
M R E S	モード設定レジスタ	
T - I D	デジタルI信号	20
I - D A C	D A変換器	
T - Q D	デジタルQ信号	
Q - D A C	D A変換器	
T - I A	アナログI信号	
I - L P F	ローパスフィルタ	
T - Q A	アナログQ信号	
Q - L P F	ローパスフィルタ	
T I - M I X	ミキサ	
T Q - M I X	ミキサ	
T - O A U	出力足し合わせ部	30
P A	パワーアンプ	
I - C S	キャリブレーション信号	
Q - C S	キャリブレーション信号	
I - I / Q C U C C	補正係数	
I - I / Q C U C C S R E S	補正係数設定レジスタ	
Q - I / Q C U C C	補正係数	
I - I / Q C U C C S R E S	補正係数設定レジスタ	
C I D	補正デジタルI信号	
C Q D	補正デジタルQ信号	
I S P	初期シーケンス期間	40
N S P、N S P 2	無信号期間	
R S P、R S P 2	受信信号処理期間	
A D C - C M	A D C補正モード	
I / Q C U - C M	I Q補正モード	
R S P M	受信信号処理モード	
O M	その他モード	
I - A D C U O	A D変換部出力	
Q - A D C U O	A D変換部出力	
I - D C U	デジタル補正部	
Q - D C U	デジタル補正部	50

A D C - C S U	補正係数探索部	
D i	デジタル出力	
I - I / Q D C U	I Q間デジタル補正部	
Q - I / Q D C U	I Q間デジタル補正部	
I / Q C U - C S U	係数探索部	
C S - A D C U	A D変換部	
N P - R A	アナログ信号	
R P - R A	アナログ信号	
N P - S W	スイッチ	
R P - S W	スイッチ	10
N P - S H C	容量	
R P - S H C	容量	
N P - C S S W	スイッチ	
R P - C S S W	スイッチ	
R P - S H C	容量	
C S - C M P	比較器	
N P C S - N	ノード	
R P C S - N	ノード	
C S - C T R L	制御部	
B C e l l 1、B C e l l 2	ビットセル	20
D B C e l l 1、D B C e l l 2	ディザ信号用ビットセル	
C	ディザ信号用容量	
C A - S W 1	スイッチ	
C A - S W 2	スイッチ	
D C - S W 3	スイッチ	
S W 4 a、S W 4 b	スイッチ	
S W 5 a、S W 5 b	スイッチ	
C i	ビットセル容量	
M S B C e l l 1、M S B C e l l 2	最大ビット用セル	
L S B C e l l 1、L S B C e l l 2	最小ビット用セル	30
G N D	グランド電圧	
V D D	電源電圧	
C R D - A D C U	A D変換部	
R A	アナログ信号	
C H - N o d e	電荷保持ノード	
C S - S W	スイッチ	
C R D - C M P	比較器	
C R D - C T R L	制御部	
+ V _R	正の参照用電圧	
C R D - S W 1	第一スイッチ	40
- V _R	負の参照用電圧	
C R D - S W 2	第二スイッチ	
C R D - S W 3	第三スイッチ	
L S B 1 C e l l	第一最小ビット用セル	
L S B 2 C e l l	第二最小ビット用セル	
P L - A D C U	パイプライン型A D変換部	
S t a g e	ステージ	
P A - A D C U	A D変換部	
D A U	ディザ信号足し合わせ部	
P L - D A C U	D A変換部	50

D O D U	デジタル出力差分部	
S O A U	ステージ出力増幅部	
S O	ステージ出力	
I - A D C C C A U	補正係数平均化部	
Q - A D C C C A U	補正係数平均化部	
S S T	サンプリングスタート時刻	
S E T	サンプリング終了時刻	
A C C C S U	補正係数サンプリング部	
A D C C C A U	補正係数足し合わせ部	
A D C C C D U	補正係数遅延部	10
A D C C C I U	補正係数積分部	
A D C C C A V E U	補正係数平均化部	
I - A D C C C A S R E S	補正係数精度設定レジスタ	
Q - A D C C C A S R E S	補正係数精度設定レジスタ	
A D C - T S G C	テスト信号生成回路	
D W G U	デジタル波形生成部	
D W G U - D A C	D A変換器	
C P	チャージポンプ	
A I	アナログ積分器	
U I S	上側電流源	20
P M O S	P型M O Sトランジスタ	
N M O S	N型M O Sトランジスタ	
B I S	下側電流源	
O P - A	オペアンプ	
O P A - F C	帰還容量	
O P A - F R	帰還抵抗	
I Q A D C - O A U	A D変換器出力平均化部	
C P C C	チャージポンプ制御回路	
V t h 1	第一閾値電圧	
V t h 2	第二閾値電圧	30
H F S 1	第一高周波信号	
A N T 1	第一アンテナ	
H F S 2	第二高周波信号	
A N T 2	第二アンテナ	
L 1 R - I A	アナログI信号	
L 1 R - Q A	アナログQ信号	
R - A C 1	第一アナログ回路	
L 2 R - I A	アナログI信号	
L 2 R - Q A	アナログQ信号	
R - A C 2	第二アナログ回路	40
L 1 R - I D	デジタルI信号	
L 1 R - Q D	デジタルQ信号	
L 2 R - I D	デジタルI信号	
L 2 R - Q D	デジタルQ信号	
R - A D C U	A D変換器	
L - S C	ループ切替回路	
A D C - S C	切替回路	
L 1 I - A D C U	A D変換部	
L 1 Q - A D C U	A D変換部	
L 2 I - A D C U	A D変換部	50

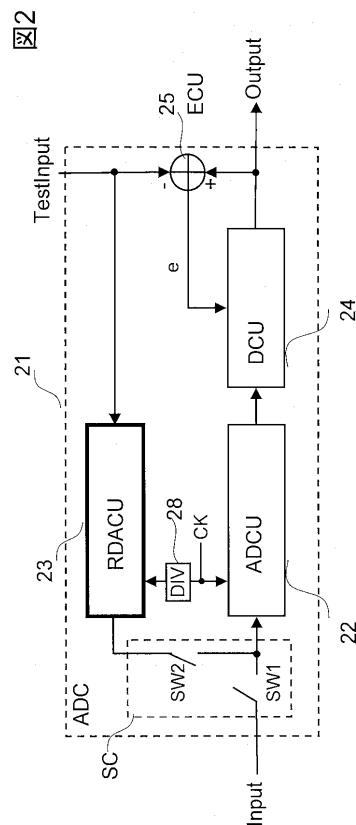
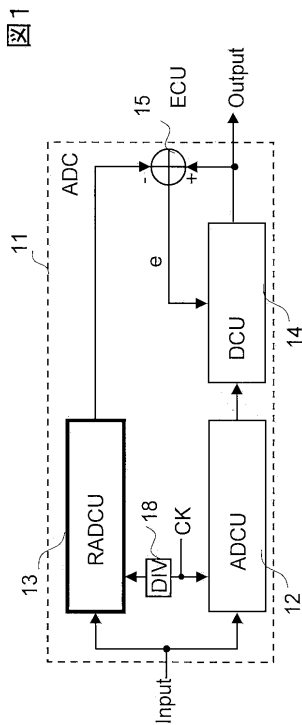
- L 2 Q - A D C U A D 変換部
- D C U I L 1 & L 2 デジタル補正部
- D C U Q L 1 & L 2 デジタル補正部
- L 1 I - A D C C C S R E S 補正係数設定レジスタ
- L 2 I - A D C C C S R E S 補正係数設定レジスタ
- L 1 Q - A D C C C S R E S 補正係数設定レジスタ
- L 2 Q - A D C C C S R E S 補正係数設定レジスタ
- L 1 I - A D C C C 補正係数
- L 2 I - A D C C C 補正係数
- L 1 Q - A D C C C 補正係数
- L 2 Q - A D C C C 補正係数
- L 1 - C I D 補正デジタルI信号
- L 1 - C Q D 補正デジタルQ信号
- L 1 I / Q C U I Q間補正部
- L 2 - C I D 補正デジタルI信号
- L 2 - C Q D 補正デジタルQ信号
- L 2 I / Q C U I Q間補正部
- L 1 I - I / Q C U C C 補正係数
- L 1 I - I / Q C U C C S R E S 補正係数設定レジスタ
- L 1 Q - I / Q C U C C 補正係数
- L 1 Q - I / Q C U C C S R E S 補正係数設定レジスタ
- L 2 I - I / Q C U C C 補正係数
- L 2 I - I / Q C U C C S R E S 補正係数設定レジスタ
- L 2 Q - I / Q C U C C 補正係数
- L 2 Q - I / Q C U C C S R E S 補正係数設定レジスタ

10

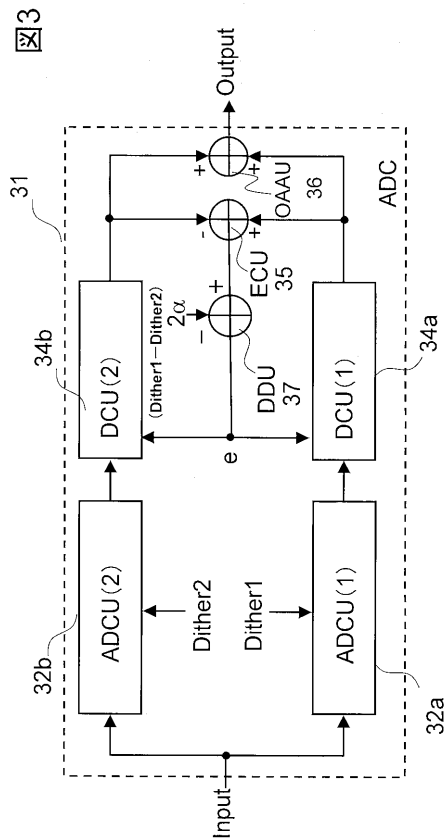
20

【図1】

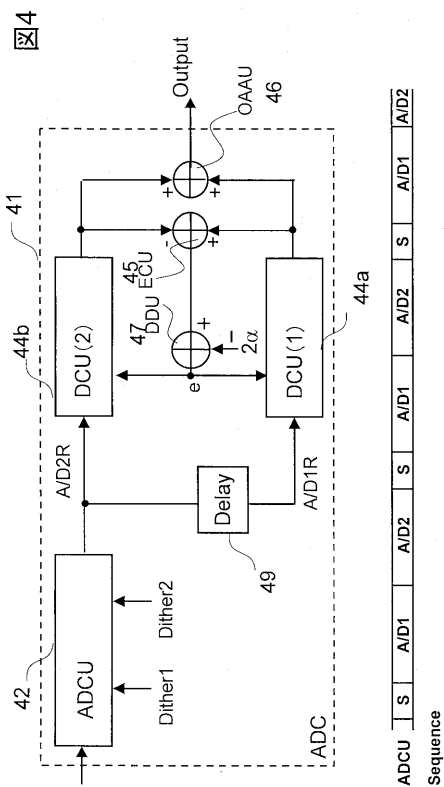
【図2】



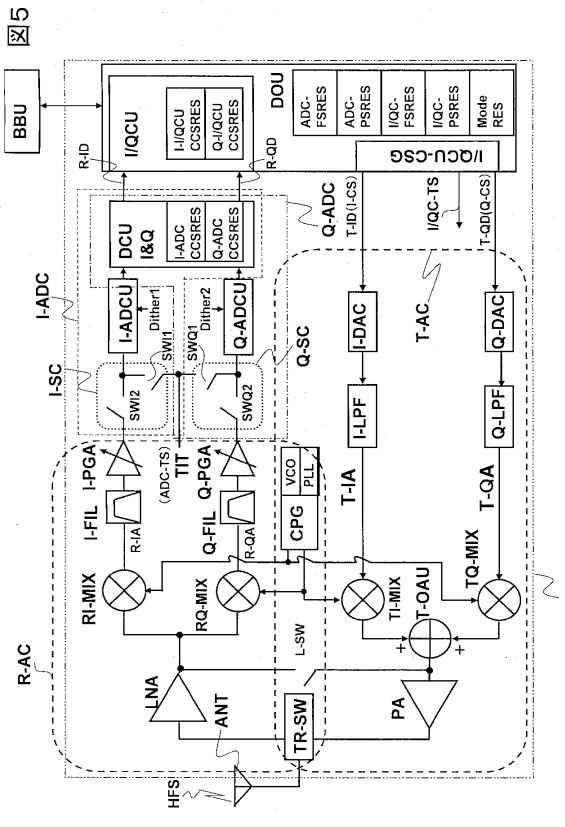
【図3】



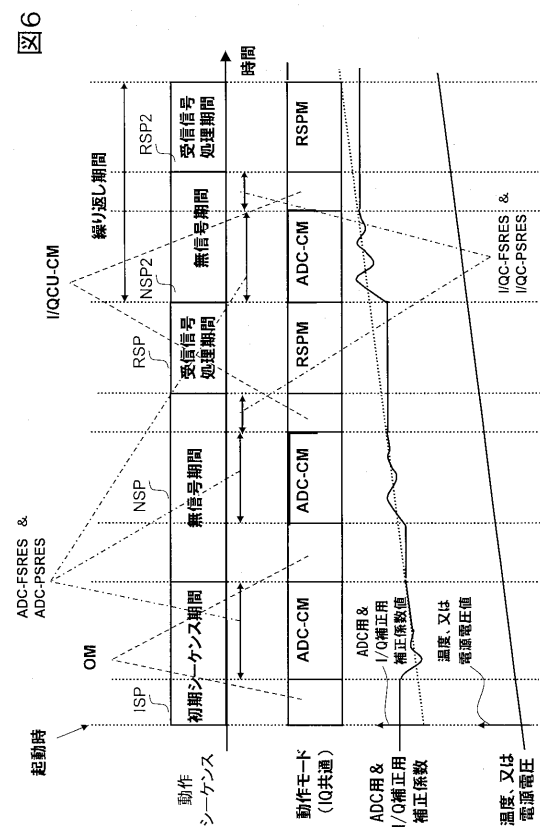
【図4】



【図5】

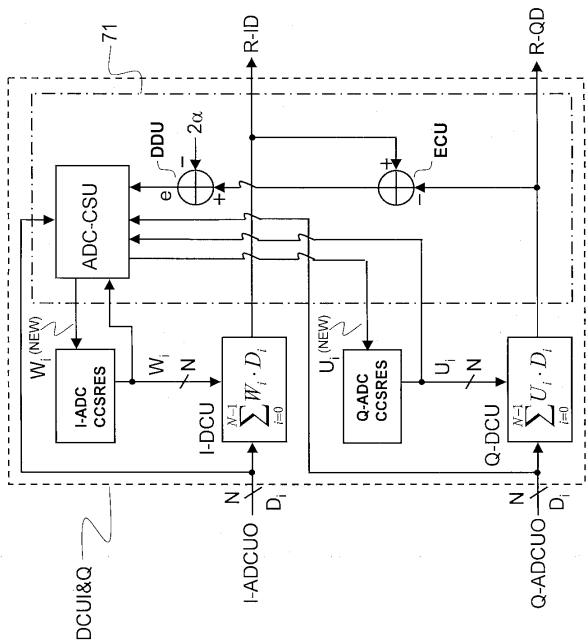


【図6】



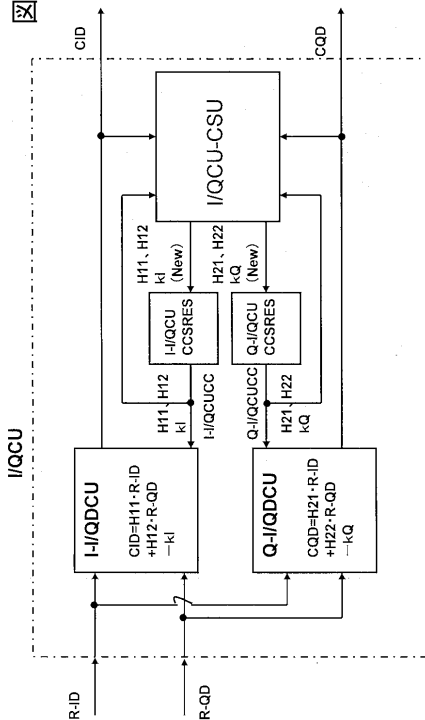
【 図 7 】

図7



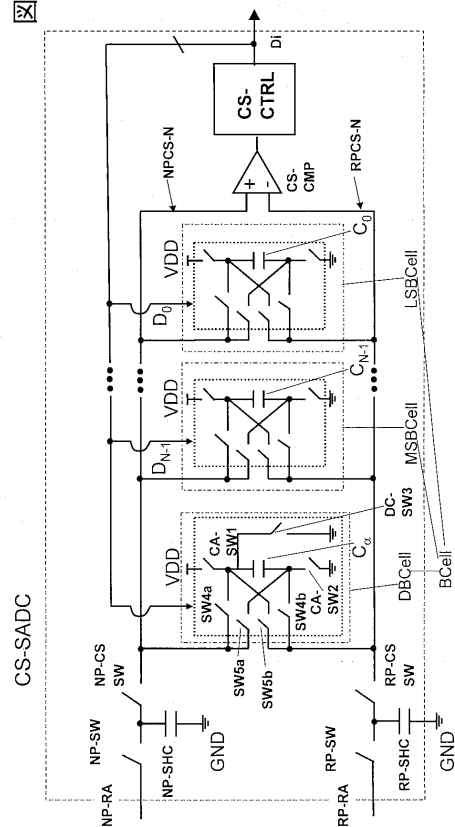
【 図 8 】

図8



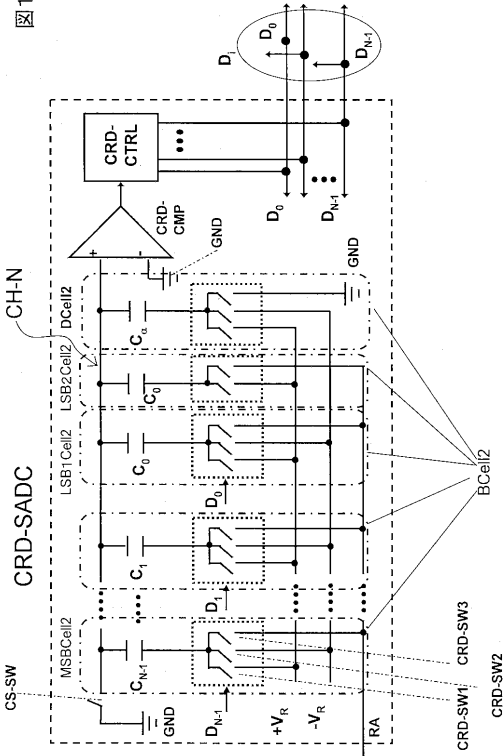
【 図 9 】

図9



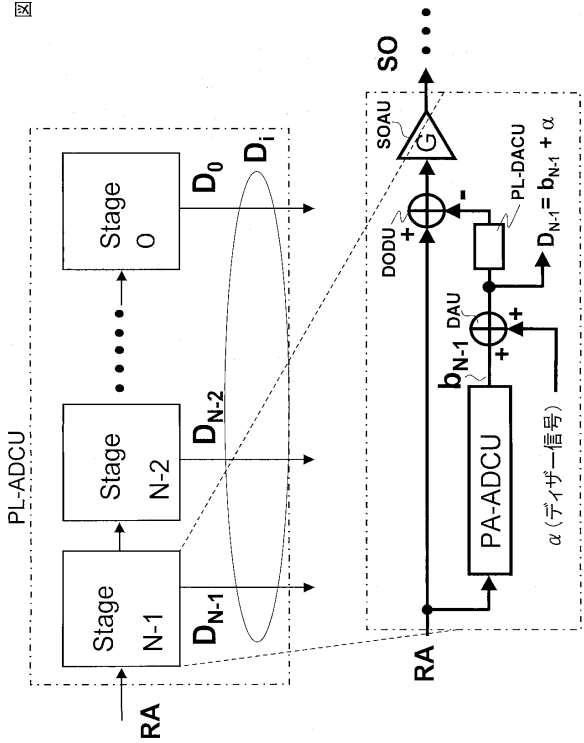
【 図 10 】

図10



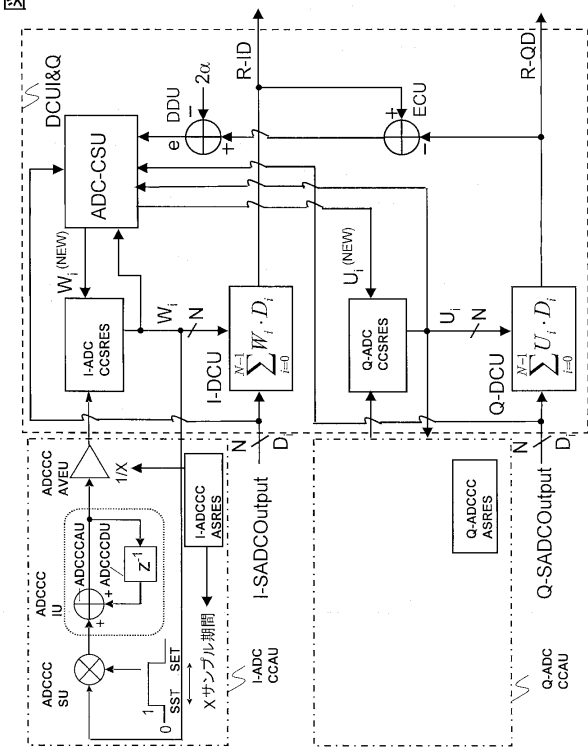
【 図 1 1 】

図11



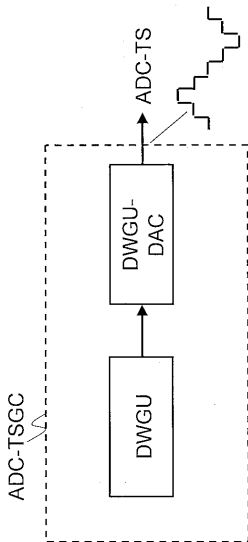
【 図 1 2 】

図12



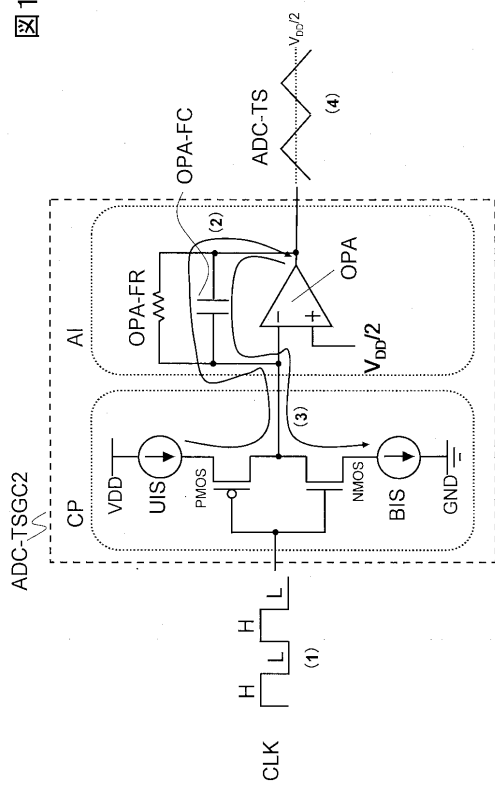
【 図 1 3 】

図13



【 図 1 4 】

図14



フロントページの続き

- (72)発明者 氏家 隆一
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 木村 圭助
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 大島 俊
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

審査官 岩井 一央

- (56)参考文献 特開 2 0 0 4 - 2 4 2 0 2 8 (J P , A)
特開 2 0 0 3 - 1 7 7 1 6 1 (J P , A)
特開 2 0 1 0 - 1 7 8 0 3 1 (J P , A)
特開 2 0 1 0 - 2 7 1 1 7 3 (J P , A)
特開 2 0 0 9 - 1 3 0 4 4 4 (J P , A)

- (58)調査した分野(Int.Cl. , DB名)
H 0 3 M 1 / 0 0 - 1 / 8 8